

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4083160号  
(P4083160)

(45) 発行日 平成20年4月30日(2008.4.30)

(24) 登録日 平成20年2月22日(2008.2.22)

(51) Int.Cl.		F I		
<b>HO 1 L 21/8242 (2006.01)</b>		HO 1 L 27/10	3 2 1	
<b>HO 1 L 27/108 (2006.01)</b>		G 1 1 C 11/34	3 5 2 C	
<b>G 1 1 C 11/404 (2006.01)</b>		G 1 1 C 11/34	3 5 4 D	
<b>G 1 1 C 11/407 (2006.01)</b>				

請求項の数 5 (全 15 頁)

(21) 出願番号	特願2004-291609 (P2004-291609)	(73) 特許権者	000003078
(22) 出願日	平成16年10月4日 (2004.10.4)		株式会社東芝
(65) 公開番号	特開2006-108309 (P2006-108309A)		東京都港区芝浦一丁目1番1号
(43) 公開日	平成18年4月20日 (2006.4.20)	(74) 代理人	100075812
審査請求日	平成17年3月15日 (2005.3.15)		弁理士 吉武 賢次
		(74) 代理人	100088889
			弁理士 橘谷 英俊
		(74) 代理人	100082991
			弁理士 佐藤 泰和
		(74) 代理人	100096921
			弁理士 吉元 弘
		(74) 代理人	100103263
			弁理士 川崎 康
		(74) 代理人	100118843
			弁理士 赤岡 明

最終頁に続く

(54) 【発明の名称】 半導体記憶装置およびFBCメモリセルの駆動方法

(57) 【特許請求の範囲】

【請求項1】

第1の絶縁膜上に半導体膜を含む半導体基板と、  
前記半導体膜に形成されたボディ領域に電荷を充放電することによってデータを格納し、  
前記ボディ領域の両側にソース層およびドレイン層を含むメモリセルと、  
複数の前記メモリセルがマトリックス状に配列されたメモリセルアレイと、  
前記メモリセルの前記ボディ領域上に設けられた第2の絶縁膜と、  
前記第2の絶縁膜上に設けられた第1のワード線と、  
前記メモリセルのドレイン層に接続され、前記メモリセルがデータ保持状態であるときに基準電位となるビット線と、  
前記メモリセルのソース層に接続され、基準電位にあるソース線と、  
前記第1の絶縁膜内に埋め込まれ、前記メモリセルの前記ボディ領域の下に設けられた第2のワード線とを備え、  
前記メモリセルがデータ保持状態であるときの前記第2のワード線の電位  $V_{BWLH}$  は、データの読み出し/書き込み動作を実行するときの前記第2のワード線の電位  $V_{BWL L}$  よりも前記基準電位に近く、かつ、前記電位  $V_{BWLH}$  および  $V_{BWL L}$  は前記基準電位よりも低いことを特徴とする半導体記憶装置。

【請求項2】

前記メモリセルは前記ボディ領域にホールを蓄積または放出することによってデータを格納し、

前記データ保持状態は、前記第1のワード線の電位が前記基準電位よりも低い電位に低下した状態であり、

前記読出し/書込み動作状態は、前記第1のワード線の電位が前記基準電位よりも高い電位に上昇した状態であることを特徴とする請求項1に記載の半導体記憶装置。

【請求項3】

前記メモリセルは前記ボディ領域にホールを蓄積または放出することによってデータを格納し、

前記メモリセルが前記データ保持状態から前記読出し/書込み動作状態へ遷移する際には、前記第2のワード線の電位が $V_{BWLH}$ から $V_{BWL L}$ へ変化した後前記第1のワード線の電位が前記基準電位よりも高い電位へ上昇し、

前記メモリセルが前記読出し/書込み動作状態から前記データ保持状態へ遷移する際には、前記第1のワード線の電位が前記基準電位よりも低い電位へ低下した後前記第2のワード線の電位が $V_{BWL L}$ から $V_{BWLH}$ へ変化することを特徴とする請求項1または請求項2に記載の半導体記憶装置。

【請求項4】

第1の絶縁膜上に半導体膜を含む半導体基板と、

前記半導体膜に形成されたボディ領域に電荷を充放電することによってデータを格納し、前記ボディ領域の両側にソース層およびドレイン層を含むメモリセルと、

複数の前記メモリセルがマトリックス状に配列されたメモリセルアレイと、

前記メモリセルの前記ボディ領域上に設けられた第2の絶縁膜と、

前記第2の絶縁膜上に設けられたワード線と、

前記メモリセルのドレイン層に接続され、前記メモリセルがデータ保持状態であるときに基準電位となるビット線と、

前記メモリセルのソース層に接続され、基準電位となるソース線と、

前記第1の絶縁膜内に埋め込まれ、複数の前記ワード線および複数の前記ビット線にわたり前記ボディ領域の下に設けられたバックゲート電極とを備え、

前記メモリセルアレイ内の前記メモリセルが全てデータ保持状態であるときの前記バックゲート電極の電位 $V_{BWLH}$ は、前記メモリセルアレイ内の前記メモリセルの1つがデータの読出し/書込み動作を実行しているときの前記バックゲート電極の電位 $V_{BWL L}$ よりも前記基準電位に近く、かつ、前記電位 $V_{BWLH}$ および $V_{BWL L}$ は前記基準電位よりも低いことを特徴とする半導体記憶装置。

【請求項5】

SOI層に形成されたボディ領域と、該ボディ領域上に形成された第1の絶縁膜上に設けられたフロントゲート電極と、該ボディ領域の下にある第2の絶縁膜内に埋め込まれたバックゲート電極と、前記ボディ領域の両側に設けられたソース層およびドレイン層とを備えたFBCメモリセルの駆動方法であって、

前記FBCメモリセルがデータの読出し/書込み動作状態であるときには、前記バックゲート電極の電位を $V_{BWL L}$ にし、

前記FBCメモリセルがデータ保持状態であるときには、前記バックゲート電極の電位を $V_{BWL L}$ よりも前記ソース層の電位に近い電位 $V_{BWLH}$ にすることを具備し、

前記電位 $V_{BWLH}$ および $V_{BWL L}$ は前記ソース層の電位よりも低いことを特徴とするFBCメモリセルの駆動方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体記憶装置およびFBCメモリセルの駆動方法に関する。

【背景技術】

【0002】

DRAMに代わるメモリセルとしてFBC(Floating Body Cell)メモリが開発されている。さらに、素子の微細化に伴い、フルディプレッション(full-depression)型FBC(

10

20

30

40

50

以下、FD - FBCともいう)メモリが開発されている。FD - FBCメモリは、SOI基板上に形成された浮遊状態のボディ領域と、ボディ領域の両側に形成されたソース・ドレイン層と、ボディ領域上に形成されたゲート絶縁膜上に設けられたフロントゲート電極と、BOX (Buried Oxide) 層内に埋め込まれたバックゲート電極とを備えている。

【0003】

FD - FBCメモリは、このボディ領域にホールを蓄積または放出することによってデータ“1”または“0”を記憶することができる点で部分ディプレッション型FBC(以下、PD - FBCという)メモリと同じである。しかし、PD - FBCメモリではその閾値電圧を決める要因はボディ領域の不純物濃度であるが、FD - FBCメモリでは、その閾値電圧を決める要因は、フロントゲート電極およびバックゲート電極がチャンネル表面へ与える電界の影響である。つまり、FD - FBCメモリでは、データを保持するためにバックゲート電極を十分な負電位にバイアスする。これによって、ポテンシャルウェルが形成され、ボディ領域に正孔が蓄積される。従って、FD - FBCメモリでは、ボディ領域への不純物の導入は不要であり、ボディ領域は真性(intrinsic)半導体でも差し支えない。FD - FBCメモリでは、SOI層の膜厚を薄くすれば、データ“1”とデータ“0”との閾値電圧差  $V_{th}$  を大きく維持したまま、素子を微細化することが可能である。また、ボディ領域の不純物濃度のばらつきに起因するメモリセルの閾値電圧の変動を小さくすることができる。

10

【0004】

しかし、微細化とともにSOI層の膜厚を薄くすると、バックゲート電極に印加する電位は、ボディ領域にホールが蓄積された状態(データ“1”の状態)を保持するために大きな負電位にする必要がある。このため、バックゲート電極とボディ領域との間の電界強度が高くなる。この電界強度は、ホールが蓄積されていない状態(データ“0”の状態)にあるボディ領域にホールを蓄積するように作用する。その結果、データ“0”の保持能力が劣化するというデータリテンションの問題が生じる。

20

【特許文献1】米国特許第6,617,651号

【発明の開示】

【発明が解決しようとする課題】

【0005】

データの保持能力の劣化を抑制し、十分に微細化可能な半導体記憶装置を提供する。

30

【課題を解決するための手段】

【0006】

本発明に係る実施形態に従った半導体記憶装置は、第1の絶縁膜上に半導体膜を含む半導体基板と、前記半導体膜に形成されたボディ領域に電荷を充放電することによってデータを格納し、前記ボディ領域の両側にソース層およびドレイン層を含むメモリセルと、複数の前記メモリセルがマトリクス状に配列されたメモリセルアレイと、前記メモリセルの前記ボディ領域上に設けられた第2の絶縁膜と、前記第2の絶縁膜上に設けられた第1のワード線と、前記メモリセルのドレイン層に接続され、前記メモリセルがデータ保持状態であるときに基準電位となるビット線と、前記メモリセルのソース層に接続され、基準電位となるソース線と、前記第1の絶縁膜内に埋め込まれ、前記メモリセルの前記ボディ領域の下に設けられた第2のワード線とを備え、

40

前記メモリセルがデータ保持状態であるときの前記第2のワード線の電位  $V_{BWLH}$  は、データの読み出し/書き込み動作を実行するときの前記第2のワード線の電位  $V_{BWL}$  よりも前記基準電位に近く、かつ、前記電位  $V_{BWLH}$  および  $V_{BWL}$  は前記基準電位よりも低いことを特徴とする。

【0007】

本発明に係るさらに他の実施形態に従った半導体記憶装置は、第1の絶縁膜上に半導体膜を含む半導体基板と、前記半導体膜に形成されたボディ領域に電荷を充放電することによってデータを格納し、前記ボディ領域の両側にソース層およびドレイン層を含むメモリセルと、複数の前記メモリセルがマトリクス状に配列されたメモリセルアレイと、前記

50

メモリセルの前記ボディ領域上に設けられた第2の絶縁膜と、前記第2の絶縁膜上に設けられたワード線と、前記メモリセルのドレイン層に接続され、前記メモリセルがデータ保持状態であるときに基準電位となるビット線と、前記メモリセルのソース層に接続され、基準電位となるソース線と、前記第1の絶縁膜内に埋め込まれ、前記メモリセルの前記ボディ領域の下に前記メモリセルアレイごとに設けられたバックゲートプレーンとを備え、  
 前記メモリセルアレイ内の前記メモリセルが全てデータ保持状態であるときの前記バックゲートプレーンの電位 $V_{BWLH}$ は、前記メモリセルアレイ内の前記メモリセルの1つがデータの読出し/書込み動作を実行しているときの前記バックゲートプレーンの電位 $V_{BWL}$ よりも前記基準電位に近く、かつ、前記電位 $V_{BWLH}$ および $V_{BWL}$ は前記基準電位よりも低いことを特徴とする。

10

## 【0008】

本発明に係る実施形態に従ったFBCメモリセルの駆動方法は、SOI層に形成されたボディ領域と、該ボディ領域上に形成された第1の絶縁膜上に設けられたフロントゲート電極と、該ボディ領域の下にある第2の絶縁膜内に埋め込まれたバックゲート電極と、前記ボディ領域の両側に設けられたソース層およびドレイン層とを備えたFBCメモリセルの駆動方法であって、

前記FBCメモリセルがデータの読出し/書込み動作状態であるときには、前記バックゲート電極の電位を $V_{BWL}$ にし、前記FBCメモリセルがデータ保持状態であるときには、前記バックゲート電極の電位を $V_{BWL}$ よりも前記ソース層の電位に近い電位 $V_{BWLH}$ にすることを具備し、

20

前記電位 $V_{BWLH}$ および $V_{BWL}$ は前記ソース層の電位よりも低いことを特徴とする。

## 【発明の効果】

## 【0009】

本発明に係る半導体記憶装置は、データの保持能力の劣化を抑制しつつ、十分に微細化をすることができる。

## 【発明を実施するための最良の形態】

## 【0010】

以下、図面を参照して本発明に係る実施形態を説明する。本実施形態は、本発明を限定するものではない。

30

## 【0011】

図1は、本発明に係る第1の実施形態に従った半導体記憶装置のメモリ部100の平面図である。メモリ部100は、複数のメモリセルMCがマトリクス状に配列されたメモリセルアレイMCAを備えている。メモリセルMCは、例えば、FBCメモリセルである。図1では、4つのメモリセルアレイMCAが示されている。メモリセルアレイMCAは、各行に設けられたワード線WLおよびバックワード線BWLと、各列に設けられたビット線BLとを備えている。また、メモリセルアレイMCAは、それぞれ独立にローデコーダRD (Row Decoder)、ワード線ドライバWLD (WL Drivers) およびバックワード線ドライバBWL D (BWL Drivers)を備えている。尚、センスアンプSAから離れる方向を列方向とし、センスアンプSAと平行な方向を行方向とする。

40

## 【0012】

さらに、各メモリセルアレイMCAは、或る行に配列されたダミーセルDCを備え、ダミーセルDCに対応したダミーワード線DWLおよびバックダミーワード線DBWLを備えている。ダミーセルDCは、通常のメモリセルMCと同一の構造を有する。ダミーセルDCは、データ“0”の電位とデータ“1”の電位との中間電位を格納するか、あるいは、交互にデータ“0”と“1”とが書き込まれている。ダミーセルDCが中間電位を格納している場合には、読出し時に、ダミーセルDCは、この中間電位をセンスアンプSAへ伝達する。あるいは、読出し時に、データ“1”のダミーセルDCとデータ“0”のダミーセルDCとがショートし、それによってデータ“0”の電位とデータ“1”の電位との中間電位をセンスアンプSAへ伝達する。メモリセルアレイMCAは、ダミーワード線

50

DWLおよびバックダミーワード線DBWLに対応してダミーワード線ドライバDWLDおよびダミーバックワード線ドライバDBWLDを備えている。

【0013】

また、メモリセルアレイMCAは、プリチャージ状態(precharge state)の場合に全てのビット線BLを一斉に0ボルトに設定するために用いられるイコライジングセルEQCを各ビット線BLに備えている。さらに、メモリセルアレイMCAは、イコライジングセルEQCに対応してイコライジング線EQLおよびバックイコライジング線BEQLをさらに備えている。セルEQCは、メモリセルMCと同じ構成でよい。

【0014】

センスアンプSA (Sense Amplifiers) は、その左右のメモリセルアレイMCAで共通に用いられる。センスアンプSAは、その左右のメモリセルアレイMCA内のビット線BLに接続されている。センスアンプSAは、一方のメモリセルアレイMCA内のダミーセルDCからデータ“0”の電位とデータ“1”の電位との中間電位を基準電位として入力する。また、センスアンプSAは、他方のメモリセルアレイMCA内のメモリセルMCからそのメモリセルMCに格納されたデータに基づいた電位(データ“0”またはデータ“1”の電位)を入力する。さらに、センスアンプSAは、基準電位とメモリセルMCの電位とを比較して、このメモリセルMCのデータが“0”であるか“1”であるかを検出する。即ち、メモリ部100は、オープンビット線方式を採用している。

【0015】

図2は、メモリセルアレイMCAの構成を示した回路図である。図2では、ダミーセルDCおよびイコライザセルEQC、並びに、これらに付随するドライバは省略されている。メモリセルアレイMCAは、マトリックス状に配列された $m \times n$ 個のメモリセルと、 $n$ 本のビット線 $BL_0 \sim BL_{n-1}$ と、第1のワード線として $m$ 本のワード線 $WL_0 \sim WL_{m-1}$ と、第2のワード線として $m$ 本のバックワード線 $BWL_0 \sim BWL_{m-1}$ とを備えている。バックワード線 $BWL_0 \sim BWL_{m-1}$ は、ワード線 $WL_0 \sim WL_{m-1}$ に対して平行に延びている。ビット線 $BL_0 \sim BL_{n-1}$ は、ワード線 $WL_0 \sim WL_{m-1}$ に対して直交している。

【0016】

メモリセルMCは、ダブルゲート型のトランジスタである。よって、メモリセルMCは、ワード線 $WL_0 \sim WL_{m-1}$ のいずれかに接続されたフロントゲート電極FGと、バックワード線 $BWL_0 \sim BWL_{m-1}$ のいずれかに接続されたバックゲート電極BGとを備えている。また、メモリセルMCのドレインは、ビット線 $BL_0 \sim BL_{n-1}$ のいずれかに接続されている。メモリセルMCのソースは基準電位GND(例えば、0ボルト)に共通に接続されている。

【0017】

図3は、メモリセルMCの1つをビット線BLに沿って切断したときの断面図である。半導体基板10は、半導体材料からなるバルクBULと、絶縁体からなる第1の絶縁膜BOXと、半導体材料からなる半導体膜SOIとを有する。メモリセルMCは、p型のボディ領域FBと、n型のソース層Sと、n型のドレイン層Dと、第2の絶縁膜GIと、フロントゲートFG(第1のワード線WL)と、バックゲートBG(第2のワード線BWL)とを備えている。

【0018】

半導体材料は、例えば、シリコンである。ボディ領域FBは、半導体膜SOIに形成されている。ボディ領域FBは、ソース層S、ドレイン層D、フロントゲートFGおよびバックゲートBGから電氣的に浮遊している。ボディ領域FBは、不純物濃度の低いp型半導体であり、真性半導体であってもよい。

【0019】

ソース層Sおよびドレイン層Dは、ボディ領域FBの両側の半導体膜SOIに設けられている。第2の絶縁膜GIは、ボディ領域FB上に設けられている。フロントゲートFGは、第2の絶縁膜GI上に設けられている。さらに、第2のワード線BWLは、第1の絶

10

20

30

40

50

縁膜BOX内に埋め込まれており、ボディ領域FBの下に設けられている。第2のワード線BWLは、例えば、ドーフトポリシリコンから成る。

【0020】

ドレイン層Dは、ビット線BLと電氣的に接続されている。ソース層Sは、ゲートFG、BG（ワード線WL、BWL）に対して平行に延びるソース線SLに電氣的に接続されている。

【0021】

図4は、ビット線BL、ワード線WLおよびバックワード線BWLのそれぞれの電位の変化を示したグラフである。メモリセルアレイMCAがデータ保持状態であるときには、ビット線BLおよびソース線SLのそれぞれの電位は基準電位GND（0ボルト）であり、ワード線WLの電位はデータ保持電位VWLにある。このとき、バックワード線BWLの電位は、データ保持電位V<sub>BWLH</sub>である。

10

【0022】

メモリセルアレイMCAが動作状態になるときは、まず、バックワード線BWLが、電位V<sub>BWLH</sub>から電位V<sub>BWLL</sub>へ立ち下がる（時点t0～t1）。次に、ワード線WLが、データ保持電位V<sub>WLL</sub>から読出し電位V<sub>WLHR</sub>へ立ち上がる（時点t2）。ワード線WLが電位V<sub>WLHR</sub>であるときに、データがメモリセルMCから読み出される（時点t2～t2a）。データ“1”が読み出された場合、ビット線BLは電位V<sub>BLH</sub>へ立ち上がり、データ“0”が読み出された場合、ビット線BLは電位V<sub>BLL</sub>へ立ち下がる。センスアンプSAはビット線BLの電位に基づいてメモリセルMCのデータを検出する。

20

【0023】

メモリセルMCへデータを書き込むときには、ワード線WLは、書込み電位V<sub>WLHW</sub>へ立ち上がる。データ“1”を書き込む場合、ビット線BLは電位V<sub>BLH</sub>へ立ち上がり、データ“0”を書き込む場合、ビット線BLは電位V<sub>BLL</sub>へ立ち下がる。これにより、メモリセルMCへデータが書き込まれる。

【0024】

このデータの読出し/書込み動作を実行するとき、バックワード線BWLの電位は、電位V<sub>BWLH</sub>よりも基準電位（例えば、0ボルト）から遠い電位V<sub>BWLL</sub>に維持される。本実施形態では、電位V<sub>BWLH</sub>およびV<sub>BWLL</sub>はともに負電位であるので、電位V<sub>BWLL</sub>は、電位V<sub>BWLH</sub>よりも低い電位である。

30

【0025】

その後、ワード線WLに接続されたメモリセルMCへのアクセスが完了すると、ワード線WLがデータ保持電位V<sub>WLL</sub>に戻る（時点t3）。その後、バックワード線BWLは電位V<sub>BWLL</sub>よりも基準電位に近い電位V<sub>BWLH</sub>に戻る（時点t4～t5）。

【0026】

FD-FBCメモリの動作原理について説明する。通常、n型のFBCメモリセルがデータ“1”を保持するためには、ボディ領域のポテンシャルをソースおよびドレイン領域のポテンシャルよりも低く（深く）する必要がある。これにより、インパクトイオン化により発生した正孔がボディ内に蓄積され得るからである。

40

【0027】

PD-FBCメモリの場合、ボディ領域は比較的不純物濃度の高いp型であるので、ボディ領域のポテンシャルはn型のソース・ドレイン領域のポテンシャルに対して充分深くなる。

【0028】

一方、FD-FBCメモリでは、半導体膜SOIの膜厚が薄く、および/または、ボディ領域内のp型不純物の濃度が低いので、ボディ領域のポテンシャルはソース・ドレイン領域のポテンシャルに対して充分に深くすることができない。よって、ボディ領域FB内の正孔はボディ領域FB内に留まることができず、ソース・ドレイン領域へ逃げ出してしまふ。

50

## 【 0 0 2 9 】

そこで、バックゲート B G からボディ領域 F B へ絶対的に大きな負の電圧を与えることにより、ボディ領域 F B のポテンシャルをソース・ドレイン領域のポテンシャルよりも低くする。これにより、正孔はボディ領域に滞留することができる。即ち、メモリセル M C はデータ “ 1 ” を保持することができる。

## 【 0 0 3 0 】

本実施形態では、データ保持状態においてバックワード線 B W L を電位  $V_{BWL L}$  よりも高い（基準電位に近い）電位  $V_{BWL H}$  へ立ち上げる。この動作はボディ領域 F B の両端のポテンシャルバリアを低くするので、正孔がソース・ドレイン領域へ放出されてしまうことが懸念される。

10

## 【 0 0 3 1 】

しかし、本実施形態では、データ保持状態において電位  $V_{W L L}$  および電位  $V_{BWL H}$  はともに基準電位（例えば、0 ボルト）よりも低い電位であるので、バックワード線 B W L を電位  $V_{BWL H}$  にしたとしても、正孔は、ボディ領域のバックゲート B G（バックワード線 B W L）側からフロントゲート F G（ワード線 W L）側へ移動するだけである。よって、本実施形態に従ってバックワード線 B W L を駆動しても、正孔はソース・ドレイン領域へ逃げることなく、メモリセル M C はデータ “ 1 ” を保持し続けることができる。

## 【 0 0 3 2 】

次に、データ “ 0 ” のデータ保持能力について説明する。データ保持状態では、図 4 に示すように、ソース・ドレイン領域の電位は基準電位である。これに対し、ワード線 W L およびバックワード線 B W L の電位はそれぞれ基準電位よりも低い電位  $V_{W L L}$  および  $V_{BWL H}$  である。したがって、ソース・ドレイン領域とワード線 W L、B W L との間の p n 接合が逆バイアスされている状態である。従って、p n 接合でのリーク電流は、ボディ領域に正孔を増加させるように作用する。また、G I D L（Gate Induced Drain Leakage）のリーク電流も同様に、ボディ領域に正孔を増加させるように作用する。このため、正孔を蓄積したデータ “ 1 ” の状態は、データ保持状態においてデータ “ 0 ” へ変化することはない。一方、正孔を放出したデータ “ 0 ” の状態は、データ保持状態においてデータ “ 1 ” へ徐々に変化する。即ち、データ保持時間は、ボディ領域内の正孔（少数キャリア（minority carrier））がより少ない状態（データ “ 0 ” の状態）の持続時間に依存する。

20

30

## 【 0 0 3 3 】

データ保持状態においてデータ “ 0 ” の保持能力を高める（即ち、データ “ 0 ” の保持状態をより長く維持する）ためには、ボディ領域 F B 内の電界の強さを低く抑えることが効果的である。一般的には、データ “ 1 ” およびデータ “ 0 ” のそれぞれの閾値電圧を一定に保ちつつ F D - F B C メモリのサイズを縮小（scaling）するためには、半導体膜 S O I の膜厚および第 2 の絶縁膜 G I の膜厚を薄膜化する必要がある。G I D L のリーク電流を一定に保つために、フロントゲート F G の電位は F D - F B C メモリのサイズに依らず一定にすることが好ましい。一方、バックゲート B G の電位は、F D - F B C メモリのサイズを小さくするに従い、低く（基準電位よりも遠く）することが必要である。従って、従来のデータ保持方式では、バックゲート B G（バックワード線 B W L）とボディ領域 F B との間の電界は F D - F B C メモリのサイズの縮小に伴い強くなる。これは、データ “ 0 ” のデータ保持能力を低下させることを意味する。

40

## 【 0 0 3 4 】

しかし、本実施形態は、データ保持状態におけるバックワード線 B W L の電位  $V_{BWL H}$  を、動作状態におけるバックワード線 B W L の電位  $V_{BWL L}$  よりも基準電位に近くしている。これによって、バックゲート B G とボディ領域 F B との間の電界が緩和されている。その結果、データ “ 0 ” のデータ保持能力が向上する。

## 【 0 0 3 5 】

図 5 は、本実施形態に従った F D - F B C メモリセルの動作を検証したシミュレーション結果を示すグラフである。尚、メモリセル M C のフロントゲート F G のゲート長  $L_g$  は

50

150 nm、第2の絶縁膜の膜厚 $T_{ox}$ は12 nm、半導体膜SOIの膜厚 $T_{Si}$ は36 nm、第1の絶縁膜BOXの膜厚は25 nm、ボディ領域FBの不純物濃度NAは $1.0 \times 10^{17} \text{ cm}^{-3}$ 、ワード線の最低電圧 $V_{wl1}$ が-3ボルト、ビット線の最低電圧 $V_{bl1}$ が-1ボルト、バックワード線(プレート)の最低電圧 $V_{bw1l}$ が-2ボルト、ならびに、バックワード線の最高電圧 $V_{bw1h}$ が-1ボルトとした。

【0036】

まず、時間0でメモリセルMCにデータ“0”が書き込まれた状態にある。次に、ワード線WLを-3ボルトに低下し、ビット線BLを0ボルトに上昇させる。次に、バックワード線BWLを-2Vから-1Vへとビット線BLの基準電位(0V)へ近づける。これによって、ボディ領域FB内の電界が緩和されている(時点6ns)。この6nsの時点は、メモリセルMCがデータ“0”の保持状態にある時点である。

10

【0037】

次に、バックワード線BWLを-2Vに低下させ、ビット線BLを0.2Vに上昇させ、尚且つ、ワード線WLを1.5Vに上昇させる(時点12ns)。これにより、メモリセルMCからデータ“0”の読出しを実行する。その直後、ビット線BLを2.2Vまで上昇させる(時点14ns)。これによってメモリセルMCへデータ“1”を書き込む。

【0038】

データ“1”の書込みが終了すると、ワード線WLを-3Vへ低下させ、ビット線BLを0Vへ低下させる(時点26~28ns)。これにより、メモリセルMCは、データ“1”を保持する。ここで、再度、バックワード線BWLを-2Vから-1Vへとビット線BLの電位(0V)へ近づけることによって、ボディ領域FB内の電界が緩和されている(時点30ns)。この30nsの時点は、メモリセルMCがデータ“1”の保持状態にある時点である。

20

【0039】

次に、バックワード線BWLを-2Vに低下させ、ビット線BLを0.2Vに上昇させ、尚且つ、ワード線WLを1.5Vに上昇させる(時点36ns)。これにより、メモリセルMCからデータ“1”の読出しを実行する。その直後、ビット線BLを-1Vまで低下させる(時点38ns)。これによってメモリセルMCへデータ“0”を書き込む。

【0040】

データ“0”の書込みが終了すると、ワード線WLを-3Vへ、ビット線BLを0Vへ戻す(時点50~52ns)。これにより、メモリセルMCは、データ“0”を保持する。ここで、再度、時点6nsのときと同様に、ボディ領域FB内の電界が緩和されている(時点54ns)。最後に、メモリセルMCからデータ“0”を読み出している。

30

【0041】

図6は、図5に示す一連の動作において、データ“1”とデータ“0”の信号をモニタしたグラフである。横軸は、フロントゲートFG(WL)に印加した電圧 $V_{gs}$ であり、縦軸は、ソース-ドレイン間の電流 $I_{ds}$ である。d1は34ns~36nsの時間におけるデータ“1”を読み出したときの電流値を示す。d0は58ns~60nsの時間におけるデータ“0”を読み出したときの電流値を示す。このグラフに示すようにデータ“1”とデータ“0”の閾値電圧差 $V_{th}$ は約0.4Vある。約0.4Vという $V_{th}$ の数値は、FBCメモリとして正常に機能していることを示している。

40

【0042】

(第1の実施形態の変形例)

図7は、第1の実施形態の変形例におけるビット線BL、ワード線WLおよびバックワード線BWLのそれぞれの電位の変化を示したグラフである。本変形例は、時点 $t_{2a}$ までのデータの読出し動作は図4に示す動作と同様である。データを読み出した後、バックワード線BWLを電位 $V_{BWLH}$ という高レベルに上昇させる。このように、ワード線WLを $V_{BLH}$ という高電位にし、かつ、バックワード線BWLを電位 $V_{BWLH}$ という高電位にすることによって、ボディ領域FBのポテンシャルを上昇させる。その結果、不揮発性メモリのパージ(purge)動作のように、一旦、このワード線WLに接続されたメモリ

50

セルMCの正孔が排除され、続いて、センスアンプの情報に基づきデータ“1”を格納していたメモリセルMCのみにデータ“1”を書き込む。その後、バックワード線BWLを電位 $V_{BWL_L}$ に戻す(時点 $t_{2b}$ )。時点 $t_{2b}$ からの本変形例の動作は、図4に示す時点 $t_{2a}$ 以降の動作と同様である。

【0043】

本変形例も、第1の実施形態と同様の効果を得ることができる。尚、バックワード線BWLに沿った総てのメモリセルMC内の正孔を排除する場合、バックワード線BWLの電位は、必ずしも電位 $V_{BWL_H}$ である必要は無く、電位 $V_{BWL_L}$ よりも高い電位であればよい。

【0044】

(第2の実施形態)

図8は、本発明に係る第2の実施形態に従った半導体記憶装置のメモリ部200の平面図である。第1の実施形態ではバックワード線BWLはワード線WLに対応してワード線WLと同数設けられていたが、第2の実施形態では、バックゲート電極として平面状のバックプレーンBPが設けられている。バックプレーンBPは、複数のワード線および複数のビット線に亘って設けられている。例えば、バックプレーンBPは、或る $k \times l$ 個( $k$ 、 $l$ の整数)のメモリセルMCの下に設けられる。

【0045】

より詳細には、第2の実施形態では、バックプレーンBPは、メモリセルアレイMCAごとに設けられている。これに伴い、メモリセルアレイMCAごとにバックプレーンドライバ(Back-plane Driver)BPDが設けられている。第2の実施形態のその他の構成要素は、第1の実施形態の構成要素と同じでよい。

【0046】

図9は、第2の実施形態のメモリセルアレイMCAの構成を示した回路図である。メモリセルアレイMCA内のメモリセルMCのバックゲートBGは1つのバックゲートドライバBPDに共通に接続されている。このバックゲートドライバBPDによってメモリセルアレイMCA内のバックゲートBGは、総て等しい電位に駆動される。

【0047】

図10は、第2の実施形態のメモリセルMCの1つをビット線BLに沿って切断したときの断面図である。バックプレーンBPは、第1の絶縁膜BOX内に平面状に埋め込まれている。第2の実施形態の他の構成要素は、図3に示す第1の実施形態の他の構成要素と同じでよい。また、第2の実施形態の動作は、図4に示す第1の実施形態の動作と同様でよい。ただし、第2の実施形態のバックプレーンBPの動作は、図4に示すバックワード線BWLの動作に該当する。

【0048】

第2の実施形態によれば、メモリセルアレイMCAの全体をデータ保持状態にするときに、1つのバックプレーンドライバBPDがバックプレーンBPの全体を駆動すれば足りる。よって、ドライバをワード線の数だけ設ける必要がないので、駆動回路が簡略化され、素子サイズを小さくすることができる。また、図5および図6に示すシミュレーション結果は第2の実施形態に適用することができる。よって、第2の実施形態は第1の実施形態と同じ効果を有する。ただし、第2の実施形態は、メモリセルアレイMCAの各行毎にバックゲートの電位を制御することはできない。

【0049】

第2の実施形態では、バックプレーンBPは、メモリセルアレイMCAごとに設けられていた。しかし、バックプレーンBPは、1つのメモリセルアレイMCA内のいくつかのメモリセルMCのグループに対して設けられてもよい。

【0050】

図11は、第2の実施形態の変形例に従ったメモリセルMCの断面図である。この変形例では、第1の絶縁膜BOXが薄く、その下のバルクBULに形成された不純物拡散層をバックプレーンBPとしている。バックプレーンBPは、例えば、p型のバルクBULの

10

20

30

40

50

表面に n 型の不純物をイオン注入することによって形成された n + 型の拡散層である。あるいは、バックプレーン B P は、例えば、n 型のバルク B U L の表面に p 型の不純物をイオン注入することによって形成された p + 型の拡散層である。本変形例は、第 2 の実施形態と同様の効果を有する。

【 0 0 5 1 】

勿論、バックプレーン B P は、p 型のバルク B U L の表面に p 型の不純物をイオン注入することによって形成された p + 型の拡散層からなるバックプレーン、あるいは、n 型のバルク B U L の表面に n 型の不純物をイオン注入することにより形成された n + 型の拡散層からなるバックプレーンにすることも可能である。

【 0 0 5 2 】

( 第 3 の実施形態 )

図 1 2 は、本発明に係る第 3 の実施形態に従った半導体記憶装置のメモリ部 3 0 0 の平面図である。メモリ部 3 0 0 において、メモリセルアレイ M C A は、各列に配列されたメモリセル M C に接続されたサブビット線 S B L を備える。このサブビット線 S B L は、センスアンプに直接接続されておらず、メインビット線 M B L を介してセンスアンプ S A に電氣的に接続される。

【 0 0 5 3 】

メインビット線 M B L は、複数のサブビット線 S B L ごとに設けられており、ビット線スイッチング回路 B L S を介してその複数のサブビット線 S B L に接続されている。ビット線スイッチング回路 B L S は、複数のサブビット線 S B L のうち 1 つのサブビット線 S B L を選択してメインビット線 M B L に接続する。第 3 の実施形態のその他の構成要素は、第 2 の実施形態の構成要素と同じでよい。

【 0 0 5 4 】

バックプレーン B P は、メモリセルアレイ M C A ごとに設けられてもよく、また、1 つのメモリセルアレイ M C A 内のいくつかのメモリセル M C のグループに対して設けられてもよい。また、図 1 1 に示す変形例を第 3 の実施形態にも適用することができる。さらに図 5 および図 6 に示すシミュレーション結果は第 3 の実施形態に適用することができる。よって、第 3 の実施形態の動作は、第 2 の実施形態と同じ効果を有する。

【 図面の簡単な説明 】

【 0 0 5 5 】

【 図 1 】本発明に係る第 1 の実施形態に従った半導体記憶装置のメモリ部 1 0 0 の平面図。

【 図 2 】メモリセルアレイ M C A の構成を示した回路図。

【 図 3 】メモリセル M C の 1 つをビット線 B L に沿って切断したときの断面図。

【 図 4 】ビット線 B L、ワード線 W L およびバックワード線 B W L のそれぞれの電位の変化を示したグラフ。

【 図 5 】本実施形態に従った F D - F B C メモリセルの動作を検証したシミュレーション結果を示すグラフ。

【 図 6 】図 5 に示す一連の動作において、データ “ 1 ” とデータ “ 0 ” の信号をモニタしたグラフ。

【 図 7 】第 1 の実施形態の変形例におけるビット線 B L、ワード線 W L およびバックワード線 B W L のそれぞれの電位の変化を示したグラフ。

【 図 8 】本発明に係る第 2 の実施形態に従った半導体記憶装置のメモリ部 2 0 0 の平面図。

【 図 9 】第 2 の実施形態のメモリセルアレイ M C A の構成を示した回路図。

【 図 1 0 】第 2 の実施形態のメモリセル M C の 1 つをビット線 B L に沿って切断したときの断面図。

【 図 1 1 】第 2 の実施形態の変形例に従ったメモリセル M C の断面図。

【 図 1 2 】本発明に係る第 3 の実施形態に従った半導体記憶装置のメモリ部 3 0 0 の平面図。

10

20

30

40

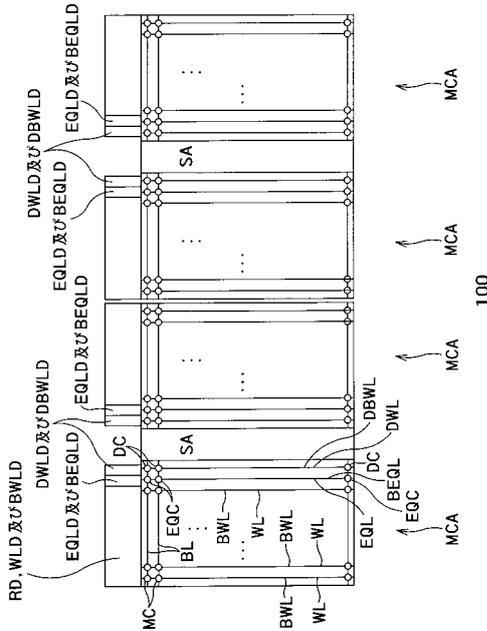
50

【符号の説明】

【 0 0 5 6 】

- B O X ... 第 1 の絶縁膜
- S O I ... 半導体膜
- 1 0 ... 半導体基板
- F B ... ボディ領域
- S ... ソース層
- D ... ドレイン層
- M C ... メモリセル
- M C A ... メモリセルアレイ
- G I ... 第 2 の絶縁膜
- W L ... 第 1 のワード線
- B L ... ビット線
- S L ... ソース線
- B W L ... 第 2 のワード線
- $V_{BWLH}$  ... データ保持状態での第 2 のワード線の電位
- $V_{BWLl}$  ... データ読み出し / 書き込み動作での第 2 のワード線の電位

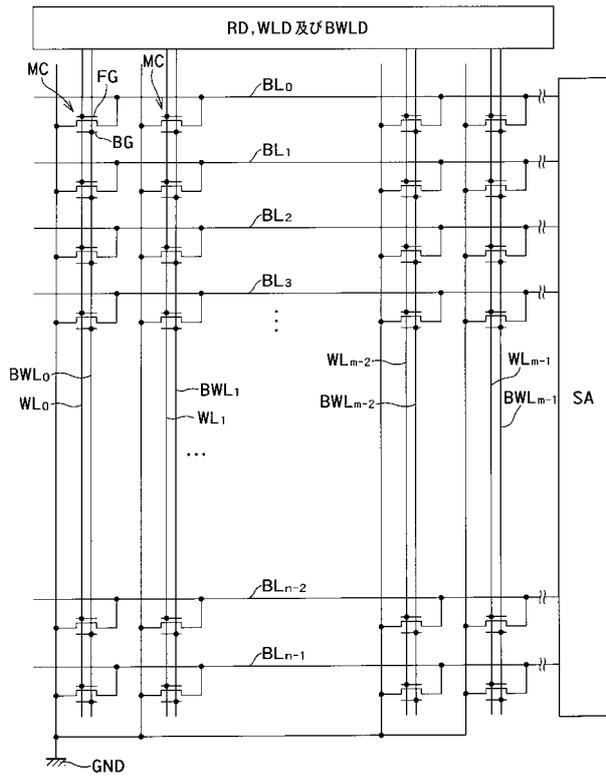
【 図 1 】



MC ... メモリセル  
 MCA ... メモリセルアレイ  
 BL ... ビット線  
 WL ... ワード線

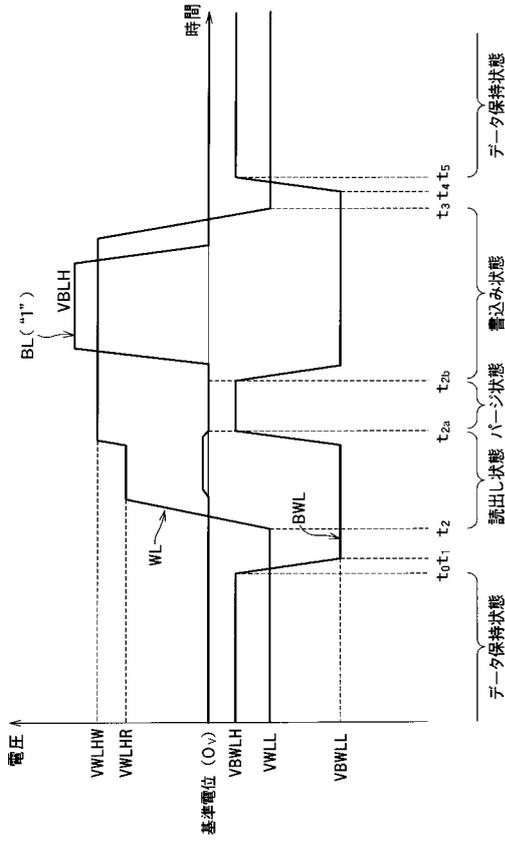
SA ... センスタンプ  
 BWL ... バックワード線  
 RD, WLD, BWLD, DWLD, DBWLD, EQLD, BEQLD ... チョウダまたはドライバ

【 図 2 】

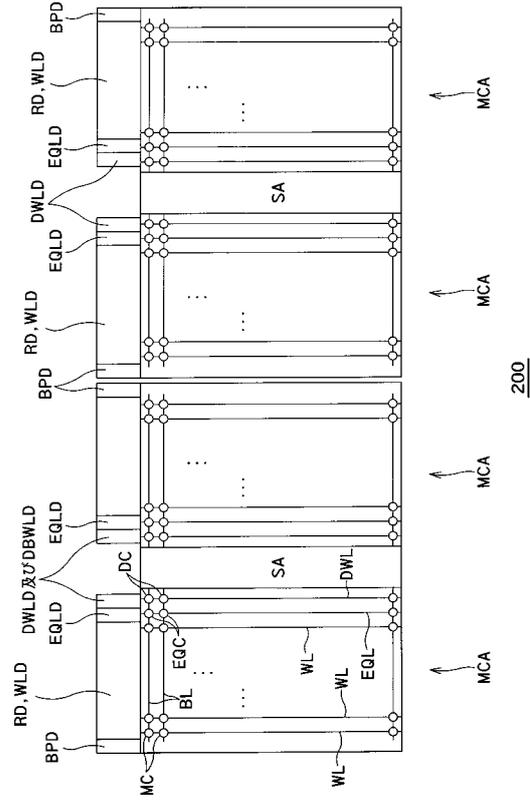




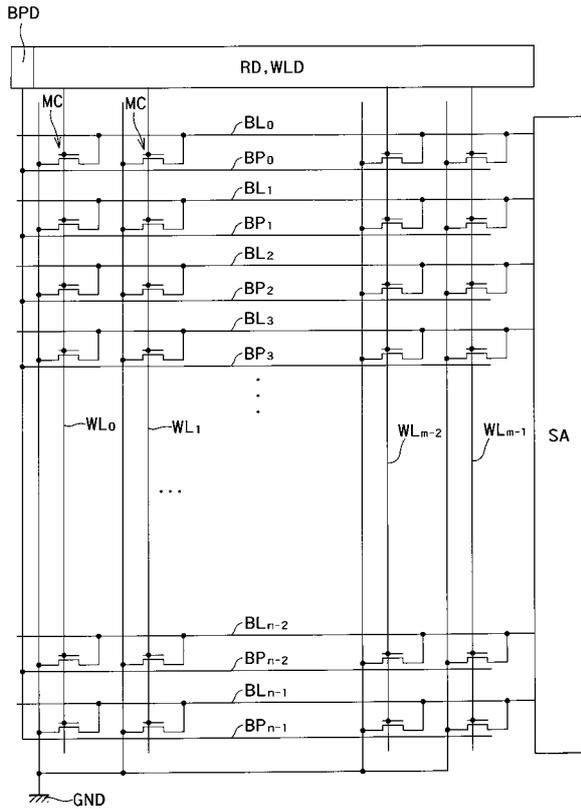
【図7】



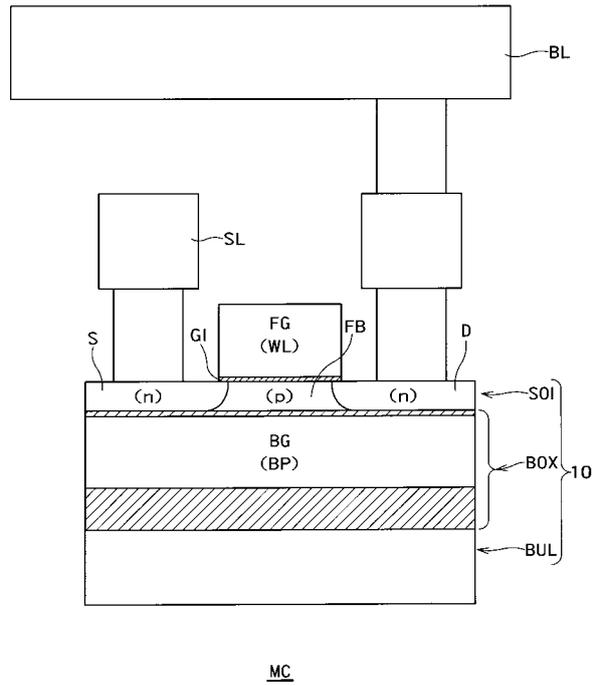
【図8】



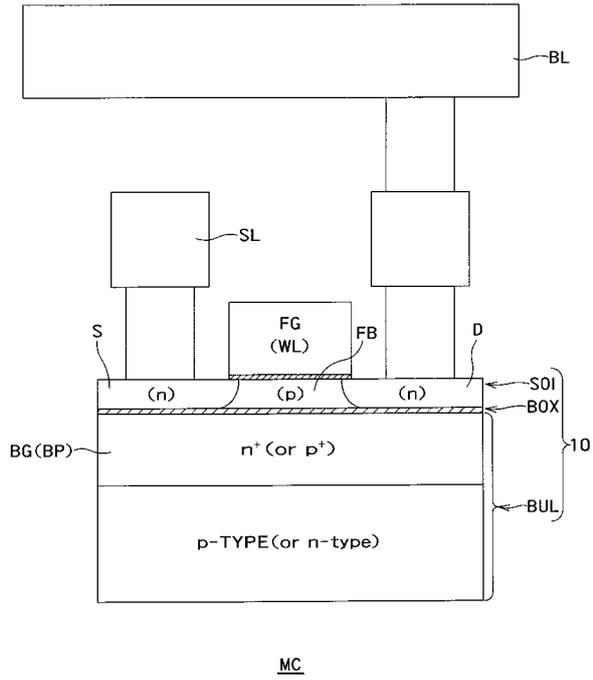
【図9】



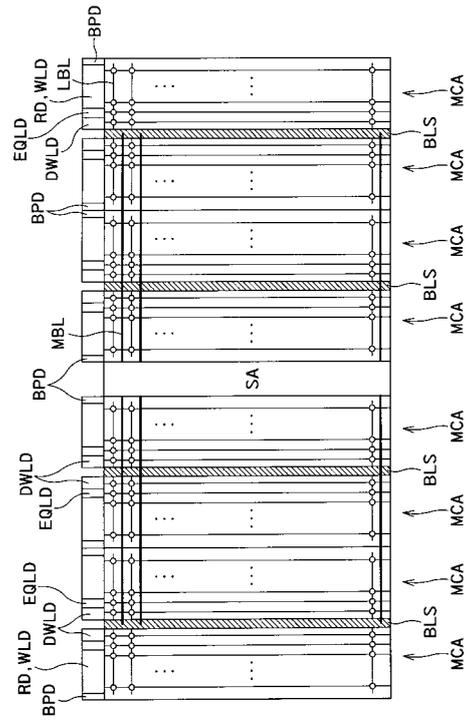
【図10】



【 1 1 】



【 1 2 】



---

フロントページの続き

(72)発明者 大 澤 隆

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝 マイクロエレクトロニクスセンター内

審査官 柴山 将隆

(56)参考文献 特開2002-246571(JP,A)

特開2003-086712(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 21/8242

G11C 11/404

G11C 11/407

H01L 27/108