



(19)
Bundesrepublik Deutschland
Deutsches Patent- und Markenamt

(10) **DE 10 2004 063 994 B4 2009.01.02**

(12)

Patentschrift

(21) Aktenzeichen: **10 2004 063 994.9**

(22) Anmeldetag: **03.12.2004**

(43) Offenlegungstag: **24.08.2006**

(45) Veröffentlichungstag
 der Patenterteilung: **02.01.2009**

(51) Int Cl.⁸: **H01L 21/50 (2006.01)**

H01L 23/50 (2006.01)

H01L 23/28 (2006.01)

Innerhalb von drei Monaten nach Veröffentlichung der Patenterteilung kann nach § 59 Patentgesetz gegen das Patent Einspruch erhoben werden. Der Einspruch ist schriftlich zu erklären und zu begründen. Innerhalb der Einspruchsfrist ist eine Einspruchsgebühr in Höhe von 200 Euro zu entrichten (§ 6 Patentkostengesetz in Verbindung mit der Anlage zu § 2 Abs. 1 Patentkostengesetz).

(30) Unionspriorität:
10/973,557 26.10.2004 US

(62) Teilung aus:
10 2004 058 413.3

(73) Patentinhaber:
**Advanced Chip Engineering Technology Inc.,
 Hsinchu, TW**

(74) Vertreter:
BOEHMERT & BOEHMERT, 28209 Bremen

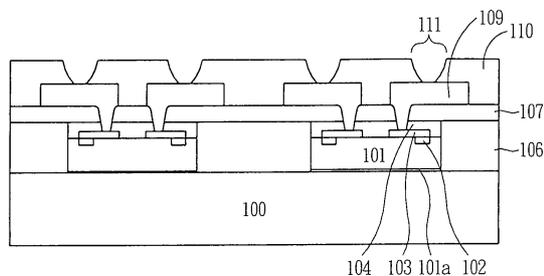
(72) Erfinder:
Yang, Wen Kun, Hsinchu, TW

(56) Für die Beurteilung der Patentfähigkeit in Betracht
 gezogene Druckschriften:
US2004/02 32 543 A1
US2003/02 30 804 A1
US2003/01 24 767 A1
US2003/00 36 257 A1
US 64 86 005 B1
US 56 29 835 A
US 52 39 198 A
DE10 2004 033057 A1

(54) Bezeichnung: **Chipgroße Packungsstruktur**

(57) Hauptanspruch: Chipgroße Packungsstruktur mit einer Packungsdicke von weniger als 400 µm, mit:

- einer Basis (100);
- einem Chip (101) mit Kontaktflächen (102);
- ersten leitenden Leitungen (103), die auf dem Chip (101) gebildet sind, um die Kontaktflächen (102) zu bedecken;
- einer ersten dielektrischen Schicht (104), die auf dem Chip (101) und den ersten leitenden Leitungen (103) gebildet ist, wobei die erste dielektrische Schicht (104) erste Öffnungen (105) auf den ersten leitenden Leitungen (103) aufweist;
- einer ersten Materialschicht (106), die auf der Basis (100) gebildet ist und in einen Raum zwischen den Chips (101) auf der Basis (100) gefüllt ist;
- einer zweiten dielektrischen Schicht (107), die auf der ersten dielektrischen Schicht (104) und der ersten Materialschicht (106) gebildet ist, wobei die zweite dielektrische Schicht (107) zweite Öffnungen (108) auf den ersten leitenden Leitungen (103) aufweist;
- zweiten leitenden Leitungen (109), die...



Beschreibung

[0001] Die Erfindung bezieht sich auf eine Packung bzw. ein Gehäuse für Halbleiter, insbesondere eine chipgroße Packung bzw. ein chipgroßes Gehäuse.

Stand der Technik

[0002] Halbleitertechnologien entwickeln sich sehr schnell, und insbesondere Halbleiterchips tendieren zur Miniaturisierung. Die Anforderungen an die Funktionen der Halbleiterchips tendieren jedoch entgegengesetzt zur Vielseitigkeit. So müssen die Halbleiterchips mehr E/A-Kontaktstellen bzw. -flächen auf einer kleineren Fläche aufweisen, so daß die Dichte der Anschlüsse schnell zunimmt. Dieses führt dazu, daß das Packen bzw. Anordnen der Halbleiterchips schwieriger wird und die Ausbeute abnimmt.

[0003] Der Hauptzweck der Packungs- bzw. Gehäusestruktur, besteht darin, die Chips vor äußerer Beschädigung zu schützen. Des weiteren muß von den Chips erzeugte Wärme effizient durch die Packungs- bzw. Gehäusestruktur verteilt werden, um den Betrieb der Chips sicherzustellen.

[0004] Die frühere Leadframe-Packungstechnologie ist schon für moderne Halbleiterchips nicht geeignet, weil die Dichte der Anschlüsse zu hoch ist. Es wurde deshalb eine neue Packungstechnologie der BGA("Ball Grid Array"-Kugelgitteranordnung) entwickelt, um die Packungserfordernisse für moderne Halbleiterchips zu erfüllen. Die BGA-Packung hat den Vorteil, daß kugelförmige Anschlüsse einen kürzeren Rasterabstand als die Leadframe-Packung aufweisen und daß es unwahrscheinlich ist, daß die kugelförmigen Anschlüsse beschädigt und verformt werden. Darüber hinaus hat der kürzere Signalübertragungsabstand den Vorteil, daß sich die Betriebsfrequenz erhöht, um die Anforderung einer schnelleren Arbeitsleistung zu erfüllen. Beispielsweise offenbart das US-Patent 5,629,835 A eine BGA-Packung bzw. ein BGA-Gehäuse nach Mahulikar et al. Das US-Patent 5,239,198 A eine andere Packung, bei der die FR4-Substrate mit einem Muster von Leitungszügen hierauf auf einem PCB montiert sind. Das taiwanische Patent 177,766 offenbart eine WLP vom Fan-out-Typ vom Erfinder der vorliegenden Erfindung (entspricht der DE 102004033057 A1).

[0005] Die meisten Packungstechnologien unterteilen die Chips auf einem Wafer in jeweilige Chips und packen und testen dann jeden Chip einzeln. Eine andere Packungstechnologie, die als Wafer Niveau-Packung ("Wafer Level Package", WLP) bezeichnet wird, kann die Chips auf einem Wafer vor dem Unterteilen der Chips in jeweilige Chips anordnen. Die WLP-Technologie hat einige Vorteile, beispielsweise eine kürzere Produktionszykluszeit, geringere Kosten und die fehlende Notwendigkeit des Unterteilens

lends oder Formgießens.

[0006] Wie bereits erwähnt, ist die Größe des Chips sehr klein, und die E/A-Kontaktflächen werden auf einer Oberfläche eines Chips in herkömmlicher Art und Weise gebildet. Deshalb ist die Anzahl von Kontaktflächen begrenzt, und ein zu kurzer Rasterabstand zwischen den Kontaktflächen führt zu dem Problem einer Signalkopplung oder Signalschnittstelle. Infolge des zu kurzen Rasterabstands zwischen den Kontaktflächen führt das Löten auch leicht zur Bildung einer Lötbrücke. Darüber hinaus wird die Größe des Chips allmählich kleiner, und der gepackte IC des Chips weist bei einigen Packungstechnologien (beispielsweise der chipgroßen Packung) keine Standardgröße auf. Testausrüstung, Packungsausrüstung usw. für Chips oder Packungen bestimmter Größen können nicht weiter genutzt werden. Neben der schlechten Leistung der Zwischenverbindung und einem höheren Kontaktwiderstand des Chips führt schlechte thermische Leitung der Basis zur Verminderung oder zum Ausfall von Funktionen des Chips.

[0007] In dem Dokument US 2003/0230804 A1, welches den nächstliegenden Stand der Technik offenbart, wird eine Halbleiterstruktur aus einem Halbleitersubstrat beschrieben, welches eine integrierte Schaltung umfaßt, die mit mehreren Verbindungsanschlüssen verbunden ist. Auf der bekannten Halbleiterstruktur sind mehrere Verteiler-Leitungen gebildet, welche mit den Verbindungsanschlüssen verbunden werden und Verbindungsanschlußabschnitte aufweisen. Auf Oberflächen der Verteiler-Leitungen mit Ausnahme der Verbindungsanschlußabschnitte ist ferner Kupferoxid aufgetragen. Schließlich ist auf der Halbleiterstruktur eine einhüllende Schicht aus isolierendem Material gebildet.

[0008] In dem Dokument US 2003/0124767 A1 wird eine integrierte Chip-Struktur offenbart. Bei der bekannten Chip-Struktur ist ein Chip auf einem Keramiksubstrat befestigt und auf dem Chip und dem Keramiksubstrat ist eine Dünnschicht-Schaltung gebildet. Die Dünnschicht-Schaltung umfaßt in einer Ausführungsform mehrere dielektrische Schichten und Verdrahtungsschichten, auf denen abschließend eine Passivierungsschicht gebildet ist.

[0009] In dem Dokument US 6,486,005 B1 wird eine Halbleiterstruktur beschrieben, bei dem ein Wafer mit Verbindungsanschlüssen versehen und in Chips zerlegt wird. Auf den Chips sind zwei Pufferschichten aufgetragen, wobei die Verbindungsanschlüsse frei liegen. Auf der zweiten Pufferschicht sind Leitungen gebildet, welche mit den freiliegenden Verbindungsanschlüssen verbunden sind. Hierauf ist eine Lötmaske angeordnet, welche jeweils einen Abschnitt der Leitungen frei läßt, so daß dort Lötkegeln entstehen können. In dem Dokument DE 102 34 951 A1 wird ein Verfahren zur Herstellung von Halbleiter-

schaltungsmodulen offenbart, bei dem auf ein Transfersubstrat eine strukturierte Verbindungsschicht aufgetragen wird, auf welcher Schaltungseinrichtungen mit Kontaktflächen aufgebracht werden. Danach werden die Schaltungseinrichtungen mittels eines Füllstoffes miteinander verbunden und das Transfersubstrat wird entfernt. Anschließend werden elektrische Verbindungseinrichtungen aufgebracht, um die Kontaktflächen der Schaltungseinrichtungen miteinander zu verbinden. Schließlich wird auf den elektrischen Verbindungseinrichtungen eine Passivierungsschicht aufgetragen.

[0010] Bei einem in dem Dokument EP 1 152 464 A2 beschriebenen Verfahren zur Herstellung eines Halbleiterchips wird ein Substrat mit einem haftenden Film versehen. Anschließend werden Halbleiterchips auf dem haftenden Film angeordnet und mit einer Isolierschicht beschichtet. Die Isolierschicht wird dann bis zu einer Dicke der Halbleiterchips abgetragen. Schließlich wird der haftende Film entfernt und die Halbleiterchips werden in einzelne Komponenten geschnitten. Die mittels des Verfahrens aus dem Dokument EP 1 152 464 A2 hergestellten Halbleiterchips weisen auf ihrer Oberfläche eine als Lotmaske dienende Schicht auf.

[0011] Schließlich wird in dem Dokument US 6,489,185 B1 ein Mikroelektronikmodul beschrieben, bei welchem die aktive Oberfläche eines Mikroelektronik-Chips mit einem haftenden Material verbunden ist, welches auf einem Schutzfilm angeordnet ist. Der Mikroelektronik-Chip ist ferner mittels eines Einkapselungsmaterials eingekapselt. In einer Ausführungsform ist auf dem Mikroelektronik-Chip eine Schicht aus Lötmaskenmaterial aufgebracht.

[0012] Das Dokument US 2003/0036257 A1 offenbart eine dünne CSP-Struktur, wobei ein Polyimidsubstrat eine Dicke von 62 μm , ein „GAP“ eine Dicke von 15 μm und ein Chip eine Dicke von 55 μm aufweisen.

[0013] Das Dokument US 2004/0232543 A1 offenbart ein elektronisches Bauteil mit einem Halbleiterchip, welcher eine Dicke von 100 bis 750 μm aufweist.

Die Erfindung

[0014] Ausgehend von den obigen Problemen des Standes der Technik ist es Aufgabe der Erfindung, eine chipgroße Packungsstruktur anzugeben.

[0015] Weiterhin ist es Aufgabe der Erfindung, eine chipgroße Packungsstruktur zu schaffen, um aufgrund einer Siliziumrückseite mit Metall eine gute thermische Leitung zu erreichen.

[0016] Des weiteren soll der Kontaktwiderstand der

chipgroßen Packungsstruktur vermindert werden.

[0017] Darüber hinaus sollen die Kosten der Packungsstruktur vermindert werden.

[0018] Auch die Ausbeute und die Zuverlässigkeit der Packungsstruktur sollen erhöht werden.

[0019] Des weiteren soll mit der Erfindung eine Packungsstruktur mit einer superdünnen Packungsdicke (weniger als 400 μm) geschaffen werden.

[0020] Die Erfindung liefert eine chipgroße Packungs- bzw. Gehäusestruktur mit einer Packungsdicke von weniger als 400 μm . Die Packungsstruktur umfasst eine Basis, einen Chip, erste leitende Leitungen, eine erste dielektrische Schicht, eine erste Materialschicht, eine zweite dielektrische Schicht, zweite leitende Leitungen, eine zweite Materialschicht und Lötugeln. Der Chip mit Kontaktflächen haftet an der Basis. Die ersten leitenden Leitungen sind auf dem Chip gebildet, um die Kontaktflächen zu bedecken. Eine erste dielektrische Schicht ist auf dem Chip und den ersten leitenden Leitungen gebildet, und die erste dielektrische Schicht weist erste Öffnungen auf den ersten leitenden Leitungen auf. Eine erste Materialschicht ist auf der Basis gebildet und in einen Raum gefüllt, mit Ausnahme der Basis. Eine zweite dielektrische Schicht ist auf der ersten dielektrischen Schicht und der ersten Materialschicht gebildet, und die zweite dielektrische Schicht weist zweite Öffnungen auf den ersten leitenden Leitungen auf, wobei die zweiten Öffnungen im wesentlichen gleich zu den ersten Öffnungen sind. Die zweiten leitenden Leitungen sind auf den ersten Öffnungen gebildet, und die zweiten Öffnungen sind elektrisch mit den ersten leitenden Leitungen jeweils verbunden. Eine zweite Materialschicht ist auf den zweiten leitenden Leitungen und der zweiten dielektrischen Schicht gebildet, die zweite Materialschicht weist eine Dicke von 20 bis 25 μm auf, und die zweite Materialschicht weist dritte Öffnungen auf den zweiten leitenden Leitungen auf. Die Lötugeln sind auf die dritten Öffnungen gelötet und jeweils an die zweiten leitenden Leitungen elektrisch gekoppelt. Die erste dielektrische Schicht und die erste Materialschicht sind im wesentlichen auf dem selben Niveau.

Zeichnung

[0021] Die Erfindung wird im folgenden anhand von Ausführungsbeispielen unter Bezugnahme auf Figuren einer Zeichnung näher erläutert. Hierbei zeigen:

[0022] [Fig. 1](#) eine schematische Darstellung der Nutzung von Aufnahmen und Ablegen zum Ersetzen bzw. Umsetzen von Standardchips auf einer neuen Basis;

[0023] [Fig. 2](#) eine schematische Seitenansicht des

Aufnehmens und des Anhaftens der guten Chips aus den mehreren Chips an der Basis;

[0024] [Fig. 3](#) eine schematische Seitenansicht des erfindungsgemäßen Bildens einer ersten Materialschicht auf der Basis zum Füllen eines Raumes zwischen mehreren Chips auf der Basis;

[0025] [Fig. 4](#) eine schematische Seitenansicht des erfindungsgemäßen Entfernens eines Teilbereiches der zweiten dielektrischen Schicht zum Bilden zweier Öffnungen auf den ersten leitenden Leitungen;

[0026] [Fig. 5](#) eine schematische Seitenansicht eines erfindungsgemäßen Bildens zweier leitender Leitungen, die mit den ersten leitenden Leitungen jeweils verbunden sind;

[0027] [Fig. 6](#) eine schematische Seitenansicht eines erfindungsgemäßen Bildens einer zweiten Materialschicht mit dritten Öffnungen auf den zweiten leitenden Leitungen; und

[0028] [Fig. 7](#) eine schematische Seitenansicht eines erfindungsgemäßen Bildens von Lötkegeln auf den dritten Öffnungen.

Beschreibung von Ausführungsbeispielen

[0029] Im folgenden werden Ausführungsbeispiele der Erfindung im Detail beschrieben. Es wird darauf hingewiesen, daß die Erfindung neben den explizit beschriebenen Ausführungsformen in einem großen Bereich praktiziert werden kann und daß der Bereich der Erfindung ausdrücklich nur durch die Ansprüche definiert wird.

[0030] Die Komponenten der unterschiedlichen Elemente sind nicht maßstabsgerecht dargestellt. Einige Abmessungen der in Beziehung stehenden Komponenten sind vergrößert und bedeutungslose Abschnitte sind nicht dargestellt, um eine klarere Beschreibung und ein Verständnis der Erfindung zu liefern.

[0031] Anhand der [Fig. 1–Fig. 7](#) wird die Herstellung einer chipgroßen Packung erläutert. Zuerst wird eine erste Leitungsschicht auf einem verarbeiteten Siliziumwafer mit mehreren Chips mit Kontaktflächen gebildet. Eine erste Fotolackschicht wird auf der ersten Kontaktleitungsschicht gebildet. Dann wird die erste Fotolackschicht auf der ersten Kontaktleitungsschicht gemustert. Zum Bilden erster leitender Leitungen wird die erste Kontaktleitungsschicht geätzt, um die Kontaktflächen zu bedecken. Die verbleibende erste Fotolackschicht wird entfernt. Danach wird auf den ersten leitenden Leitungen und dem verarbeiteten Siliziumwafer eine erste dielektrische Schicht gebildet. Die erste dielektrische Schicht wird mittels Licht/Ätzen gemustert, um erste Öffnungen auf den ersten leitenden Leitungen zu bilden. Danach

wird der verarbeitete Siliziumwafer in Chips geteilt, um die mehreren Chips zu trennen. Die guten Chips werden aus den mehreren Chips herausgenommen und an einer Basis haftend angebracht. Die guten Chips und die Basis werden gehärtet. Dann wird eine erste Materialschicht auf der Basis gebildet, um einen Raum zwischen den mehreren Chips auf der Basis zu füllen. Die erste Materialschicht wird gehärtet. Eine zweite dielektrische Schicht wird auf der ersten Materialschicht gebildet, um die ersten Öffnungen in den ersten leitenden Leitungen zu füllen. Ein Teilbereich der zweiten dielektrischen Schicht wird entfernt, um zweite Öffnungen auf den ersten leitenden Leitungen zu bilden, wobei die zweiten Öffnungen im wesentlichen gleich zu den ersten Öffnungen sind. Eine zweite Kontaktleitungsschicht wird auf der zweiten dielektrischen Schicht gebildet, um die zweiten Öffnungen auf den ersten leitenden Leitungen zu füllen. Eine zweite Fotolackschicht wird gebildet, um zweite leitende Leitungen zu bilden, die mit den ersten leitenden Leitungen verbunden sind. Eine zweite Materialschicht wird auf den zweiten leitenden Leitungen und der zweiten dielektrischen Schicht gebildet. Eine zweite Fotolackschicht wird entfernt, um zweite leitende Leitungen zu bilden. Dann wird die zweite Materialschicht mittels Licht/Ätzen gemustert, um dritte Öffnungen auf den zweiten leitenden Leitungen zu bilden. Danach werden Lötkegeln auf die dritten Öffnungen gelötet. Schließlich wird die Basis geschnitten, um einzelne chipgroße Packungen bzw. Gehäuse zu bilden.

[0032] Die Herstellung umfaßt einen Schritt zum Aufnehmen und zum Ablegen von Standardchips auf einer zusätzlichen Basis zum Erhalten eines geeigneten und weiteren Abstands zwischen den Chips im Vergleich zu dem ursprünglichen Abstand zwischen den Chips auf einem Wafer. Deshalb weist die Packungsstruktur eine größere Größe einer Kugelanzahl als die Größe des Chips auf, um das Problem des kurzen Rasterabstands zwischen Kugeln zu vermeiden. Das Verfahren umfaßt einen Schritt zum Aufnehmen und zum Ablegen von guten Standardchips auf einer Basis, um einen geeigneten und größeren Abstand zwischen den Chips als der ursprüngliche Abstand zwischen den Chips auf einem Wafer zu erhalten. Das Verfahren für die chipgroße Packung umfaßt die Schritte des Trennens von Chips auf einem Wafer, des Aufnehmens und des Ablegens der Chips auf einer Basis und des Füllens einer ersten Materialschicht auf die Basis in einen Raum zwischen den Chips auf der Basis. Eine dielektrische Schicht mit ersten Öffnungen wird gemustert, um einen Abschnitt einer leitenden Leitung des Chips freizulegen. Ein leitendes Material wird in die ersten Öffnungen und auf die dielektrische Schicht gefüllt. Danach wird eine zweite Materialschicht gebildet, so daß zweite Öffnungen entstehen, die das leitende Material freilegen, und dann werden Lötkegeln auf die zweiten Öffnungen gelötet.

[0033] Ein verarbeiteter Siliziumwafer mit Chips wird auf eine Basis gelegt, und dann wird die Dicke des verarbeiteten Siliziumwafers mittels rückseitigem Lappen vermindert, um einen Dickebereich von 50–300 µm auszubilden. Der verarbeitete Siliziumwafer mit der vorgenannten Dicke kann leicht gesägt werden, um die Chips auf dem Wafer in jeweilige Chips zu teilen. Der Schritt des rückseitigen Lappens kann weggelassen werden, wenn der verarbeitete Siliziumwafer nicht hart ist, um ihn ohne rückseitiges Lappen zu sägen. Eine dielektrische Schicht (Schutzschicht) wird optional auf dem verarbeiteten Siliziumwafer vor dem Sägen gebildet, um die Chips vor Beschädigungen zu schützen.

[0034] Jeder einzelne und geteilte Chip **110a** auf einem Wafer wird getestet, und anschließend bilden die guten Standardchips mittels Auswählen die getesteten Chips auf dem Wafer. Die guten Standardchips **110a** werden aufgenommen, auf eine zusätzliche Basis **100** mit einem größeren Abstand zwischen benachbarten Chips verlagert und haften an der Basis **100** mittels eines UV-härtbaren und/oder eines wärmehärtbaren Haftmittels mit guter thermischer Leitfähigkeit (nicht dargestellt), wie dies [Fig. 1](#) zeigt. Das Haftmittel beschichtet die Basis **100**. Wenn die Chips **110a** auf dem Haftmittel angeordnet werden, wird das Haftmittel mittels UV-Licht oder thermisch ausgehärtet. Der Abstand zwischen benachbarten Chips auf der Basis **100** wird größer ausgebildet, um genügend Raum für eine Fan-out-Kugelanordnung in späteren Schritten zu schaffen. Folglich kann mittels der Erfindung ein idealer oder optimierter Kugelrasterabstand aufrechterhalten werden, um Probleme der Signalkopplung und der Signalinterferenz zu vermeiden, und die Anzahl der E/A-Anschlüsse (Kugeln) kann erhöht werden, auch wenn die Größe der Chips kleiner wird. Das Material für die Basis **100** kann Glas, Silizium, Keramik, Kristallmaterialien, Metall oder dergleichen sein, und sogar eine runde oder rechteckige Form kann vorgesehen sein. Bei der Erfindung ist die Anzahl von Chips nicht begrenzt. Mehr als drei Chips können bei der Erfindung in die selbe Packungs- bzw. Gehäusestruktur gepackt sein. Das Haftmaterial ist bei der Erfindung vorzugsweise ein thermisch gut leitendes Material, so daß die Probleme (beispielsweise Spannung) vermieden sind, die sich aufgrund der Temperaturdifferenz zwischen den Chips **110a** und der Basis **100** ergeben.

[0035] Die Erläuterung und die entsprechende Figur unten beziehen sich auf einen einzelnen Chip, um zu vereinfachen und eine klarere kompakte Beschreibung der Erfindung zu liefern.

[0036] Vor dem Erreichen des Ergebnisses nach [Fig. 2](#) kann ein Plasmaätzen (RIE) optional genutzt werden, um die Oberfläche des verarbeiteten Wafers zu reinigen, um sicher zu gehen, daß keine Restmaterialien auf dem Wafer sind. Danach wird auf dem

Wafer eine erste Kontaktleitungsschicht **103** gebildet, wobei hierin Kontaktflächen **102** gebildet werden. Auf der ersten Kontaktleitungsschicht **103** wird eine erste Fotolackschicht gebildet. Die erste Kontaktleitungsschicht kann mittels eines physikalischen Verfahrens, eines chemischen Verfahrens oder einer Kombination hiervon gebildet werden, beispielsweise: CVD, PVD, Sputtern oder Galvanisieren. Die erste Kontaktleitungsschicht **103** umfaßt Al oder Ti, Cu oder die Kombination hiervon. Die Dicke der ersten Kontaktleitungsschicht **103** beträgt vorzugsweise 1–2 µm. Dann wird die erste Fotolackschicht (nicht dargestellt) auf der ersten Kontaktleitungsschicht **103** gemustert. Die erste Kontaktleitungsschicht **103** wird geätzt, um erste leitende Leitungen zum Bedecken der Kontaktflächen **102** zu bilden. Die verbleibende erste Fotolackschicht wird entfernt. Dann wird auf den ersten leitenden Leitungen **103** und dem Chip **101** eine erste dielektrische Schicht **104** gebildet. Die erste dielektrische Schicht **104** umfaßt BCB, SINR und die Kombination hiervon. Die Dicke der ersten dielektrischen Schicht **104** beträgt vorzugsweise etwa 2 µm bis etwa 5 µm. Die erste dielektrische Schicht **104** wird belichtet/geätzt, um erste Öffnungen auf den ersten leitenden Leitungen zu bilden. Nach dem Bilden der ersten leitenden Leitungen und der ersten dielektrischen Schicht werden die guten Chips und der Wafer gehärtet. Das rückseitige Lappen des Wafers kann optional genutzt werden, um vor dem Schritt zum Trennen der Chips eine vorbestimmte Dicke von etwa 50–300 µm zu erreichen. Gemäß [Fig. 1](#) wird der gute Chip aufgenommen und in [Fig. 1](#) auf der Basis **100** angeordnet. Nachdem die vorgenannten Schritte ausgeführt wurden, ergibt sich das Ergebnis nach [Fig. 2](#).

[0037] [Fig. 2](#) ist eine schematische Seitenansicht des Aufnehmens und Anklebens/Anhaftens der guten Chips **101** aus den mehreren Chips auf/an einer Basis **100**. Wie bereits erwähnt, werden die ersten leitenden Leitungen **103** auf dem Chip **101** gebildet, um die Kontaktflächen **102** zu bedecken. Auf dem Chip **101** und den ersten leitenden Leitungen **103** wird eine erste dielektrische Schicht **104** gebildet, und die erste dielektrische Schicht **104** umfaßt erste Öffnungen **105** auf den ersten leitenden Leitungen **103**. Der Chip **101** mit den Kontaktflächen **102** wird auf die Basis **100** mittels eines UV-härtbaren und/oder eines wärmehärtbaren Haftmittels **101a** mit guter thermischer Leitfähigkeit geklebt. Die erste dielektrische Schicht **104** mit den ersten Öffnungen **105** wird auf den ersten leitenden Leitungen **103** und dem verarbeiteten Siliziumwafer mittels eines photolithographischen Bearbeiten der ersten dielektrischen Schicht gebildet. Der gute Chip **101** wird mittels Sägen des verarbeiteten Siliziumwafers gebildet. Die guten Chips **101** werden auf die Basis **100** geklebt. Die guten Chips **101** und die Basis **100** werden dann gehärtet. Die Basis **100** weist Metall oder Glas auf, wobei das Metall Fe, Co, Ni und eine Kombination

hiervon umfaßt, beispielsweise den kommerziellen Namen Legierung **42**, und wobei die Dicke der Legierung vorzugsweise etwa 200–300 µm beträgt. Wenn Glas genutzt wird, beträgt die Dicke des Glases vorzugsweise etwa 200–400 µm.

[0038] **Fig. 3** ist eine schematische Seitenansicht des Bildens einer ersten Materialschicht auf der Basis **100** zum Füllen eines Raumes zwischen den mehreren Chips **101** auf der Basis **100**. Die erste Materialschicht **106** wird auf der Basis **100** gebildet, um einen Raum (Schnittlinie) zwischen den mehreren Chips **101** zu füllen, und die Oberfläche der ersten Materialschicht **106** und die Oberfläche der ersten dielektrischen Schicht **104** sind im wesentlichen auf gleicher Höhe. Das Material der ersten Materialschicht **106** kann ein UV-härtbares oder thermisch härtpbares Material sein. Danach wird die erste Materialschicht **106** mittels UV oder thermisch gehärtet. Die erste Materialschicht **106** kann mittels eines Schablonen-Vakuumdruckverfahrens oder eines photolithographischen Verfahrens hergestellt werden. Die erste Materialschicht **106** dient als eine Pufferschicht zum Vermindern einer Spannung infolge der Temperatur oder dergleichen. Die erste Materialschicht **106** kann ein UV-härtbares und/oder wärme-härtbares Material sein, beispielsweise Siliziumgummi, Epoxy, Harz, SINR, PI oder BCB gebildet mittels eines Vakuumdruckverfahrens und/oder eines photolithographischen Verfahrens, usw. Die Dicke der ersten Materialschicht ist die gleiche wie die Dicke der Chips.

[0039] Gemäß **Fig. 4** wird eine zweite dielektrische Schicht **107** auf der ersten Materialschicht **106** gebildet, um die ersten Öffnungen **105** auf den ersten leitenden Leitungen **103** zu füllen. Danach wird ein Teilbereich der zweiten dielektrischen Schicht **107** entfernt, um hierin zweite Öffnungen **108** auf den ersten leitenden Leitungen **103** zu bilden, wobei die zweiten Öffnungen **108** im wesentlichen gleich zu den ersten Öffnungen **105** sind. Die zweite dielektrische Schicht ist vorzugsweise aus SINR, BCB, Siliziumgummi gebildet mittels eines Druck- oder eines Beschichtungsverfahrens, und die Dicke der zweiten dielektrischen Schicht beträgt vorzugsweise etwa 2 µm bis etwa 8 µm. Der Schritt zum Entfernen eines Teilbereichs der zweiten dielektrischen Schicht wird mittels eines Laserschneidverfahrens oder eines photolithographischen Verfahrens ausgeführt. Dann kann Plasmaätzen (RIE) optional genutzt werden, um die Oberfläche der ersten leitenden Leitungen **103** nach dem Schritt des Entfernens eines Teilbereichs der zweiten Isolationsschicht **107** durch die Öffnungen **108** zu reinigen, um sicherzustellen, daß auf den ersten leitenden Leitungen **103** keine Restmaterialien verbleiben. Nachfolgend kann ein chemisches Cu-Galvanisieren oder Ti/Cu-Sputtern optional genutzt werden, um eine dünne Metallschicht (nicht dargestellt) auf der Oberfläche der ersten leitenden Leitungen **103** zu bil-

den.

[0040] Dann wird auf der zweiten dielektrischen Schicht **107** und den ersten leitenden Leitungen **103** eine zweite Fotolackschicht (nicht dargestellt) gebildet. Die zweite Fotolackschicht wird auf der dünnen Metallschicht (nicht dargestellt) gemustert. Auf der zweiten dielektrischen Schicht **107** wird eine zweite Kontaktleitungsschicht gebildet, um die zweiten Öffnungen **108** auf den ersten leitenden Leitungen **103** zu füllen. Die zweite Kontaktleitungsschicht **109** kann mittels Galvanisieren gebildet werden. Die zweite Kontaktleitungsschicht **109** umfaßt Ni, Cu, Au und/oder die Kombination hiervon. Die Dicke der zweiten Kontaktleitungsschicht **109** beträgt vorzugsweise etwa 12 µm bis etwa 18 µm. Danach wird die zweite Fotolackschicht entfernt, um zweite leitende Leitungen **109** zu bilden, die mit den ersten leitenden Leitungen **103** verbunden sind, wie dies **Fig. 5** zeigt.

[0041] Gemäß **Fig. 6** wird auf den zweiten leitenden Leitungen **109** und der zweiten dielektrischen Schicht **107** eine zweite Materialschicht gebildet. Die zweite Materialschicht **110** wird mittels eines Druck- oder eines Beschichtungsverfahrens gebildet. Die zweite Materialschicht **110** umfaßt ein Material mit dem Handelsnamen Solder Mask (Epoxy), SINR, BCB mit einer Dicke von etwa 20–25 µm und eine Kombination hiervon. Nachfolgend wird die zweite Materialschicht **110** belichtet/geätzt, um dritte Öffnungen **111** in der zweiten Materialschicht **110** zu bilden, wodurch die zweiten leitenden Leitungen **109** freigelegt werden. Dann kann das Plasmaätzen (RIE) genutzt werden, um optional die Oberfläche der zweiten leitenden Leitungen **109** zu reinigen.

[0042] Gemäß **Fig. 7** werden Lötkekeln **112** auf den Lötöffnungen **111** mit Hilfe eines Schablonendruckverfahrens angeordnet. Danach werden die Lötkekeln **112** mit den Oberflächen der zweiten leitenden Leitungen **109** mittels eines IR-Rückfluß-Verfahrens verbunden.

[0043] Dann kann die bearbeitete Basis **100** in mehrere chipgroße Chipstücke für FT("Final Testing"-Abschlußtest) und BI("Burn In"-Einbrennen) nach dem Schritt des Lötens der Lötkekeln **112** auf die dritten Öffnungen **111** geschnitten werden. Dann kann nach dem Schritt des FT("Final Testing"-Abschlußtest) ein Schritt zum Lasermarkieren ausgeführt werden.

[0044] Schließlich wird die gepackte Basis **100** mit der vorgenannten Struktur entlang der Sägelinie (nicht dargestellt) gesägt, um einzelne chipgroße Packungen bzw. Gehäuse zu bilden.

[0045] Des weiteren kann nach dem Schritt zum Schneiden der gepackten Basis **100** ein Schritt zum Aufnehmen und zum Ablegen der chipgroßen Packung auf einer Ablage für einen SMT-Prozeß("Sur-

face Mounting Technique"-Oberflächenmontagetechnik) ausgeführt werden, um einzelne chipgroße Packungen bzw. Gehäuse zu bilden.

[0046] Erfindungsgemäß kann die vorgenannte Packungsstruktur eine chipgroße Packungsstruktur mit einer sehr dünnen Packungsdicke (weniger als 400 µm) liefern, um aufgrund der Siliziumrückseite mit Metall einen guten Wärmeleiter zu erhalten. Somit wird die Ausbeute und die Zuverlässigkeit erhöht und der Kontaktwiderstand der Packungsstruktur vermindert. Des Weiteren kann die erfindungsgemäße chipgroße Packungsstruktur die Kosten der Packungsstruktur vermindern.

[0047] Obwohl spezifische Ausführungsformen erläutert und beschrieben wurden, ergibt sich für den Fachmann, daß verschiedene Modifikationen gemacht werden können, ohne den mittels der Ansprüche begrenzten Bereich der Erfindung zu verlassen.

Patentansprüche

1. Chipgroße Packungsstruktur mit einer Packungsdicke von weniger als 400 µm, mit:

- einer Basis (**100**);
- einem Chip (**101**) mit Kontaktflächen (**102**);
- ersten leitenden Leitungen (**103**), die auf dem Chip (**101**) gebildet sind, um die Kontaktflächen (**102**) zu bedecken;
- einer ersten dielektrischen Schicht (**104**), die auf dem Chip (**101**) und den ersten leitenden Leitungen (**103**) gebildet ist, wobei die erste dielektrische Schicht (**104**) erste Öffnungen (**105**) auf den ersten leitenden Leitungen (**103**) aufweist;
- einer ersten Materialschicht (**106**), die auf der Basis (**100**) gebildet ist und in einen Raum zwischen den Chips (**101**) auf der Basis (**100**) gefüllt ist;
- einer zweiten dielektrischen Schicht (**107**), die auf der ersten dielektrischen Schicht (**104**) und der ersten Materialschicht (**106**) gebildet ist, wobei die zweite dielektrische Schicht (**107**) zweite Öffnungen (**108**) auf den ersten leitenden Leitungen (**103**) aufweist;
- zweiten leitenden Leitungen (**109**), die auf den ersten Öffnungen (**105**) und den zweiten Öffnungen (**108**) gebildet sind, um mit den ersten leitenden Leitungen (**103**) elektrisch zu koppeln;
- einer zweiten Materialschicht (**110**), die auf den zweiten leitenden Leitungen (**109**) und der zweiten dielektrischen Schicht (**107**) gebildet ist, wobei die zweite Materialschicht (**110**) dritte Öffnungen (**111**) auf den zweiten leitenden Leitungen (**109**) aufweist; und
- wobei die zweite Materialschicht (**110**) eine Dicke von 20 bis 25 µm aufweist.

2. Chipgroße Packungsstruktur nach Anspruch 1, gekennzeichnet durch Lötkekeln (**112**), die auf die dritten Öffnungen (**111**) gelötet sind und mit den zweiten leitenden Leitungen (**119**) elektrisch verbunden

sind.

3. Chipgroße Packungsstruktur nach Anspruch 1 oder 2, dadurch gekennzeichnet, dass der Chip (**101**) eine Dicke im Bereich von 50 bis 300 µm aufweist.

4. Chipgroße Packungsstruktur nach einem der vorangehenden Ansprüche, dadurch gekennzeichnet, dass die erste dielektrische Schicht (**104**) eine Dicke im Bereich von 2 bis 5 µm aufweist.

5. Chipgroße Packungsstruktur nach einem der vorangehenden Ansprüche, dadurch gekennzeichnet, dass die zweite dielektrische Schicht (**107**) eine Dicke im Bereich von 2 bis 8 µm aufweist.

6. Chipgroße Packungsstruktur nach Anspruch 1, dadurch gekennzeichnet, dass die Oberflächen der ersten dielektrischen Schicht (**104**) und der ersten Materialschicht (**106**) im wesentlichen auf gleicher Höhe sind.

7. Chipgroße Packungsstruktur nach Anspruch 1, dadurch gekennzeichnet, dass der Chip (**101**) mittels Sägen einer bearbeiteten Basis (**100**) gebildet ist.

8. Chipgroße Packungsstruktur nach Anspruch 7, dadurch gekennzeichnet, dass die bearbeitete Basis (**100**) rückseitig geläppt ist und eine Dicke von etwa 200–400 µm aufweist.

9. Chipgroße Packungsstruktur nach Anspruch 1, dadurch gekennzeichnet, dass die Materialien der ersten Materialschicht (**106**) und der zweiten Materialschicht (**110**) ein UV-härtbares oder ein wärmehärtbares Material umfassen.

10. Chipgroße Packungsstruktur nach Anspruch 1, dadurch gekennzeichnet, dass die Basis (**100**) ein Metall oder eine Legierung **42** (42Ni58Fe) umfasst, wobei das Metall Fe, Co, Ni und die Kombination hiervon umfasst und dass die Dicke des Metalls etwa 200 bis 300 µm beträgt.

Es folgen 4 Blatt Zeichnungen

Anhängende Zeichnungen

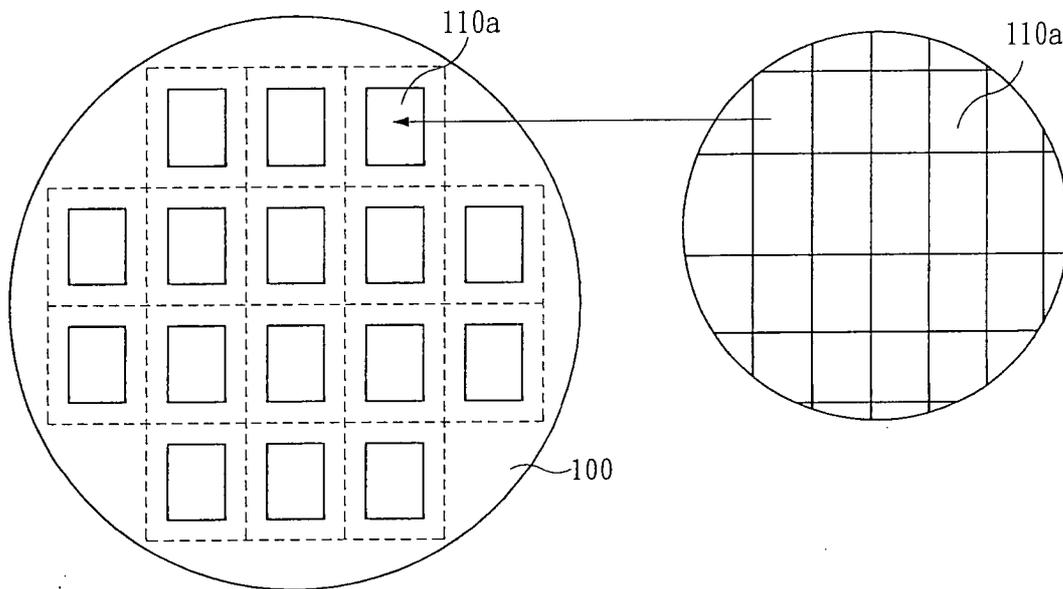


FIG. 1

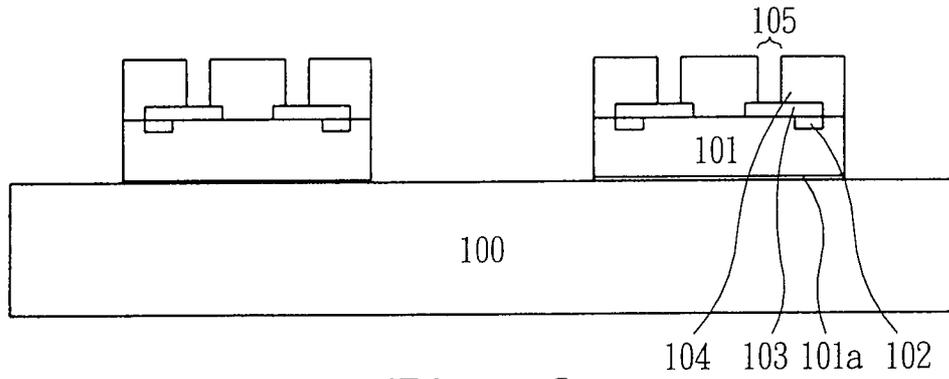


Fig. 2

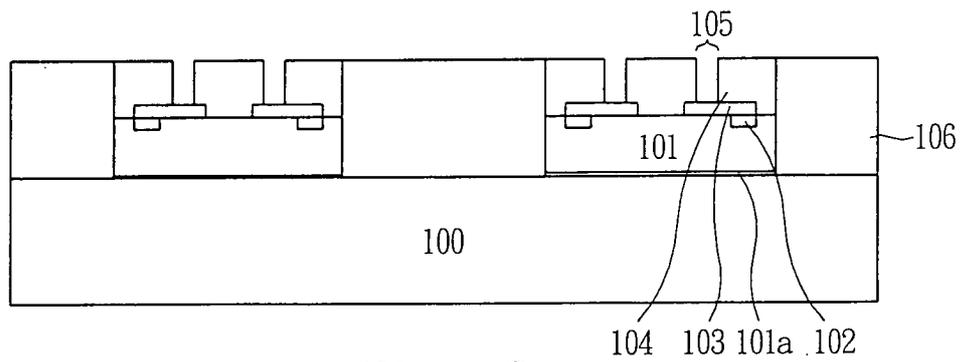


Fig. 3

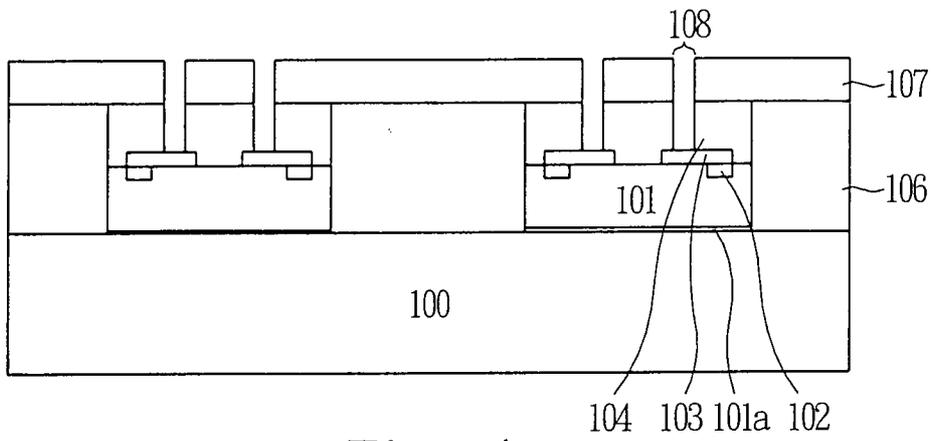


Fig. 4

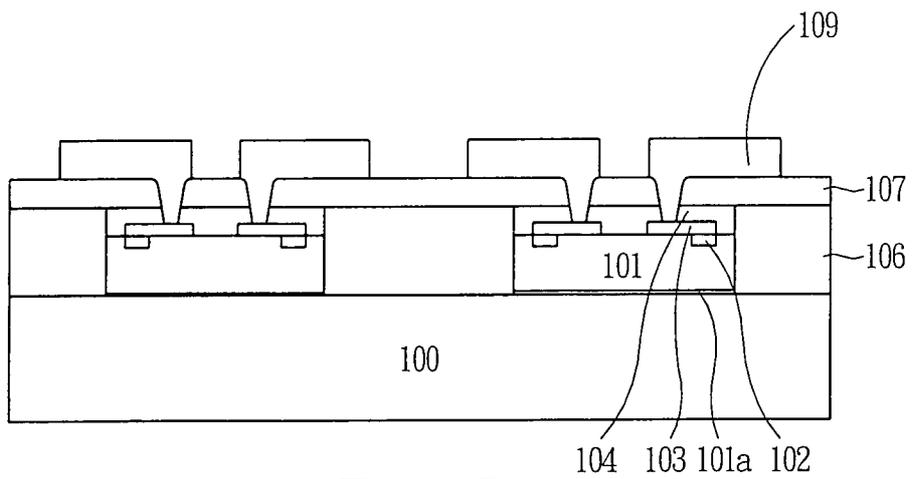


Fig. 5

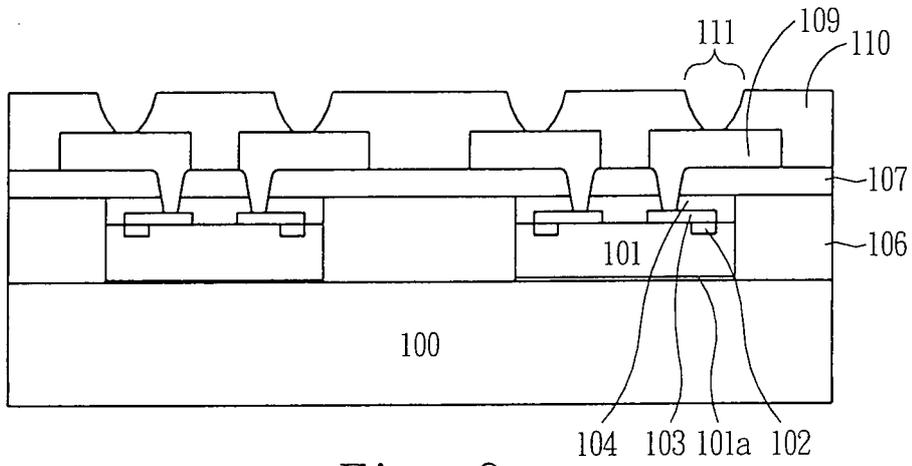


Fig. 6

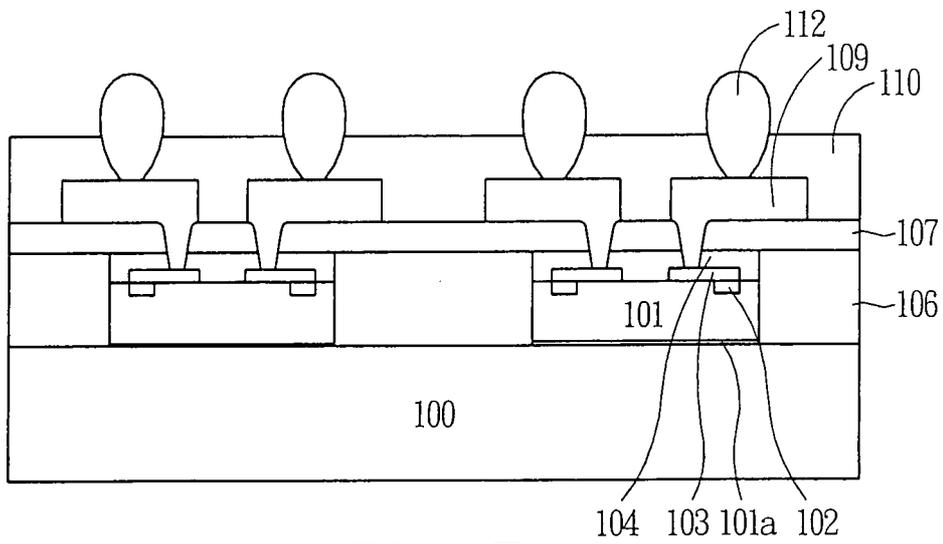


Fig. 7