



(12) 发明专利

(10) 授权公告号 CN 102394608 B

(45) 授权公告日 2014. 06. 04

(21) 申请号 201110300474. 4

(22) 申请日 2011. 09. 28

(73) 专利权人 上海复旦微电子集团股份有限公司

地址 200433 上海市杨浦区国泰路 127 号复旦国家大学科技园 4 号楼

(72) 发明人 郝树森 刘阳 王磊 李清

(74) 专利代理机构 北京集佳知识产权代理有限公司 11227

代理人 骆苏华

(51) Int. Cl.

H03K 3/03 (2006. 01)

H03K 3/354 (2006. 01)

(56) 对比文件

CN 101951144 A, 2011. 01. 19,

CN 101877571 A, 2010. 11. 03,

CN 101286733 A, 2008. 10. 15,

US 4947140 A, 1990. 08. 07,

CN 102045041 A, 2011. 05. 04,

审查员 罗湘

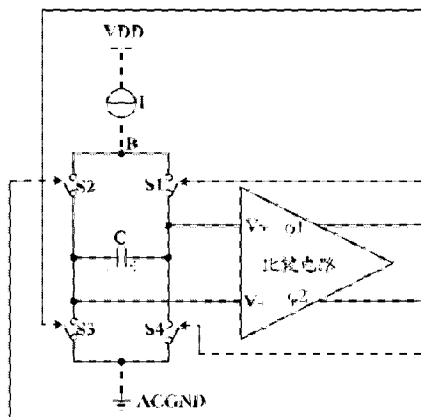
权利要求书2页 说明书9页 附图6页

(54) 发明名称

振荡器电路

(57) 摘要

一种振荡器电路,包括:电容;电流源;四个开关;比较电路,包括:第一输入端、第二输入端、第一输出端和第二输出端,第一输出端和第二输出端的电压状态相反,第一输出端的输出信号对应第一开关和第三开关的通断,第二输出端的输出信号对应第二开关和第四开关的通断;当第一输出端的电压状态为第一状态时,第一开关和第三开关导通,第二开关和第四开关断开;当第一输出端的电压状态为第二状态时,第一开关和第三开关断开,第二开关和第四开关导通;当电容两端的电压差等于第一阈值或第二阈值时,第一输出端和第二输出端的电压状态翻转;第一阈值大于0,第二阈值小于0。本发明提高了电容的利用率。



1. 一种振荡器电路,其特征在于,包括:

电容;

第一电流源,用于提供电流;

开关组合,包括:第一开关、第二开关、第三开关和第四开关,其中:所述第一开关的一端连接所述电流源,所述第一开关的另一端连接所述电容的正极,所述第二开关的一端连接所述电流源,所述第二开关的另一端连接所述电容的负极,所述第三开关的一端连接所述电容的负极,所述第三开关的另一端连接交流地,所述第四开关的一端连接所述电容的正极,所述第四开关的另一端连接交流地;

比较电路,包括:第一输入端、第二输入端、第一输出端和第二输出端,所述第一输出端和所述第二输出端的电压状态相反,所述第一输入端和所述电容的正极连接,所述第二输入端与所述电容的负极连接,所述第一输出端的输出信号对应所述第一开关和所述第三开关的通断,所述第二输出端的输出信号对应所述第二开关和所述第四开关的通断;所述比较电路为迟滞比较器,所述迟滞比较器包括:第四 PMOS 晶体管、第五 PMOS 晶体管、第六 PMOS 晶体管、第七 PMOS 晶体管、第八 PMOS 晶体管、第三 NMOS 晶体管、第四 NMOS 晶体管、第五 NMOS 晶体管、第六 NMOS 晶体管、第七 NMOS 晶体管和第八 NMOS 晶体管,其中:所述第四 PMOS 晶体管的源极、第五 PMOS 晶体管的源极和第六 PMOS 晶体管的源极连接电源电压,所述第四 PMOS 晶体管的栅极、第五 PMOS 晶体管的栅极和第六 PMOS 晶体管的栅极连接偏置电压;所述第五 PMOS 晶体管的漏极连接第七 PMOS 晶体管的源极和第八 PMOS 晶体管的源极;所述第七 PMOS 晶体管的栅极为第一输入端;所述第八 PMOS 晶体管的栅极为第二输入端;所述第七 PMOS 晶体管的漏极、所述第三 NMOS 晶体管的栅极、所述第四 NMOS 晶体管的栅极、第四 NMOS 晶体管的漏极、第五 NMOS 晶体管的漏极和第六 NMOS 晶体管的栅极相连接,所述第八 PMOS 晶体管的漏极、所述第七 NMOS 晶体管的栅极、所述第八 NMOS 晶体管的栅极、第七 NMOS 晶体管的漏极、第六 NMOS 晶体管的漏极和第五 NMOS 晶体管的栅极相连接;所述第四 PMOS 晶体管的漏极连接所述第三 NMOS 晶体管的漏极且将连接点作为第二输出端;所述第六 PMOS 晶体管的漏极连接所述第八 NMOS 晶体管的漏极且将连接点作为第一输出端;所述第三 NMOS 晶体管的源极、所述第四 NMOS 晶体管的源极、所述第五 NMOS 晶体管的源极、所述第六 NMOS 晶体管的源极、所述第七 NMOS 晶体管的源极和所述第八 NMOS 晶体管的源极连接地;

当所述第一输出端的电压状态为第一状态,所述第二输出端的电压状态为第二状态时,所述第一开关和所述第三开关导通,所述第二开关和所述第四开关断开;当所述第一输出端的电压状态为第二状态,所述第二输出端的电压状态为第一状态时,所述第一开关和所述第三开关断开,所述第二开关和所述第四开关导通;

当所述电容两端的电压差等于第一阈值或第二阈值时,所述第一输出端和所述第二输出端的电压状态翻转;所述第一阈值大于 0,所述第二阈值小于 0。

2. 如权利要求 1 所述的振荡器电路,其特征在于,所述第一状态为高电平,所述第二状态为低电平。

3. 如权利要求 1 所述的振荡器电路,其特征在于,所述第一状态为低电平,所述第二状态为高电平。

4. 如权利要求 1 所述的振荡器电路,其特征在于,所述第一阈值和所述第二阈值的绝

对值相同。

5. 如权利要求 1 所述的振荡器电路,其特征在于,所述振荡器电路还包括:非交叠时钟电路,所述非交叠时钟电路包括第三输入端、第四输入端、第三输出端和第四输出端,其中:所述第三输入端连接所述第一输出端,所述第四输入端连接所述第二输出端,所述第三输出端连接所述第一开关和所述第三开关,所述第四输出端连接所述第二开关和所述第四开关。

6. 如权利要求 5 所述的振荡器电路,其特征在于,所述非交叠时钟电路包括:第一与非门、第二与非门、第一反相器和第二反相器,其中:第一与非门的一个输入端作为第三输入端,第二与非门的一个输入端作为第四输入端,第一与非门的另一个输入端、第二与非门的输出端和第二反相器的输入端相连接,第一与非门的输出端、第二与非门的另一个输入端和第一反相器的输入端相连接,所述第一反相器的输出端作为第三输出端,所述第二反相器的输出端作为第四输出端。

7. 如权利要求 1 所述的振荡器电路,其特征在于,所述电流源包括:电阻、第一 PMOS 晶体管、第二 PMOS 晶体管、第三 PMOS 晶体管、第一 NMOS 晶体管和第二 NMOS 晶体管,其中:所述电阻的一端、所述第一 PMOS 晶体管的源极和所述第三 PMOS 晶体管的源极连接电源电压,所述电阻的另一端连接第二 PMOS 晶体管的源极,所述第一 PMOS 晶体管的栅极、第二 PMOS 晶体管的栅极、第三 PMOS 晶体管的栅极、第一 PMOS 晶体管的漏极和第一 NMOS 晶体管的漏极相连接,所述第二 PMOS 晶体管的漏极、所述第二 NMOS 晶体管的漏极、所述第一 NMOS 晶体管的栅极和所述第二 NMOS 晶体管的栅极相连接,所述第一 NMOS 晶体管的源极和所述第二 NMOS 晶体管的源极接地,所述第三 PMOS 晶体管的漏极为电流源的输出端。

8. 如权利要求 1 所述的振荡器电路,其特征在于,所述连接交流地包括:通过一个电阻或者一个电流源与一恒压源相连、直接与一恒压源相连、或连接地。

振荡器电路

技术领域

[0001] 本发明涉及集成电路技术领域,尤其涉及一种振荡器电路。

背景技术

[0002] 振荡器被广泛用于各种电子产品中,特别是在集成电路中,振荡器为集成电路中的各种数字信号处理模块提供时钟信号。然而,在集成电路中,基于反相器的简单环形振荡器的输出频率会随电源电压有巨大的波动,不适用于对时钟频率要求较高的应用环境。

[0003] 在现有技术中,公开号为 CN101286733A 的中国专利申请公开了一种低压低功耗振荡器,参见图 1 所示,包括:

[0004] 电容 C1;

[0005] 电流源产生电路,包括:启动电路、由第一 PMOS 晶体管 MP1 和第二 PMOS 晶体管 MP2 构成的电流镜、由第一 NMOS 晶体管 MN1 和第二 NMOS 晶体管 MN2 构成的放大电路、以及电阻 R1;

[0006] 由第四 PMOS 晶体管 MP4 构成的充电电路;

[0007] 由第四 NMOS 晶体管 MN4 构成的比较电路;

[0008] 由第三 NMOS 晶体管 MN3 构成的放电电路;

[0009] 由第一反相器 U1 和第二反相器 U2 构成的延时电路。

[0010] 但是,该结构的振荡器对电容的利用率不高,其只利用了电容充电过程进行计时,而对电容放电的过程没有充分地利用,参考图 2 所示,电容充电时间(电容两端电压大于 0)决定时钟信号半个时钟周期的时间宽度,而电容放电过程(电容两端电压等于 0)对时钟的周期没有贡献。此时的电容值为时钟周期与所述电阻 R1 的电阻值之比。由于电容值与电容极板的正对面积成正比,电容值越大,电容的面积越大,因此此种结构使得在低频振荡器应用环境中,电容所消耗的芯片面积较大。

[0011] 在现有技术中,公开号为 CN102045041A 的中国专利申请公开了一种 RC 振荡器及其实现方法,参见图 3 所示,包括:镜像恒流源产生电路 101、基准电压产生电路 102、比较整形电路 103 以及充放电电路 104。该 RC 振荡器通过基准电压产生电路 102 获得充电上限电压及放电下限电压,通过比较整形电路 103 将该充电上限电压、该放电下限电压与充放电电压进行比较产生充电控制信号与放电控制信号,控制充放电电路 104 中充放电电容进行充放电。此时的电容值 C 为: $C = (1/2) * T / (R * M / K)$,其中:M 为基准电压产生电路 102 中电流镜的电流放大倍数,K 为充放电电路 104 中电流镜的电流放大倍数,T 为时钟周期,R 为电压产生电路 102 中电阻 R1 的电阻值。

[0012] 参考图 4 所示,该技术中电容的充电时间和放电时间共同决定了时钟的周期,但是由于电容充电上限电压和放电下限电压均为正数,该电容只能在电压大于或等于放电下限电压且小于或等于充电上限电压的范围内进行充放电,因此使得电容不能完全放电,效率有所降低。

[0013] 因此,如何在振荡器电路中,提高电容的利用率,以减小振荡器电路消耗的芯片面

积就成为本领域技术人员亟待解决的问题。

发明内容

[0014] 本发明解决的问题是提供一种振荡器电路,以提高电容的利用率,最终减小振荡器电路消耗的芯片面积。

[0015] 为解决上述问题,本发明提供了一种振荡器电路,包括:

[0016] 电容;

[0017] 第一电流源,用于提供电流;

[0018] 开关组合,包括:第一开关、第二开关、第三开关和第四开关,其中:所述第一开关的一端连接所述电流源,所述第一开关的另一端连接所述电容的正极,所述第二开关的一端连接所述电流源,所述第二开关的另一端连接所述电容的负极,所述第三开关的一端连接所述电容的负极,所述第三开关的另一端连接交流地,所述第四开关的一端连接所述电容的正极,所述第四开关的另一端连接交流地;

[0019] 比较电路,包括:第一输入端、第二输入端、第一输出端和第二输出端,所述第一输出端和所述第二输出端的电压状态相反,所述第一输入端和所述电容的正极连接,所述第二输入端与所述电容的负极连接,所述第一输出端的输出信号对应所述第一开关和所述第三开关的通断,所述第二输出端的输出信号对应所述第二开关和所述第四开关的通断;

[0020] 当所述第一输出端的电压状态为第一状态,所述第二输出端的电压状态为第二状态时,所述第一开关和所述第三开关导通,所述第二开关和所述第四开关断开;当所述第一输出端的电压状态为第二状态,所述第二输出端的电压状态为第一状态时,所述第一开关和所述第三开关断开,所述第二开关和所述第四开关导通;

[0021] 当所述电容两端的电压差等于第一阈值或第二阈值时,所述第一输出端和所述第二输出端的电压状态翻转;所述第一阈值大于0,所述第二阈值小于0。

[0022] 可选地,所述第一状态为高电平,所述第二状态为低电平。

[0023] 可选地,所述第一状态为低电平,所述第二状态为高电平。

[0024] 可选地,所述第一阈值和所述第二阈值的绝对值相同。

[0025] 可选地,所述比较电路为迟滞比较器。

[0026] 可选地,所述振荡器电路还包括:非交叠时钟电路,所述非交叠时钟电路包括第三输入端、第四输入端、第三输出端和第四输出端,其中:所述第三输入端连接所述第一输出端,所述第四输入端连接所述第二输出端,所述第三输出端连接所述第一开关和所述第三开关,所述第四输出端连接所述第二开关和所述第四开关。

[0027] 与现有技术相比,本发明具有以下优点:

[0028] 1) 本发明中第一开关的一端连接电流源,第一开关的另一端连接电容的正极,第三开关的一端连接电容的负极,第三开关的另一端连接交流地,第二开关的一端连接电流源,第二开关的另一端连接电容的负极,第四开关的一端连接电容的正极,第四开关的另一端连接交流地,比较电路的两个输出端的电压状态相反,第一输出端的输出信号对应第一开关和第三开关的通断,第二输出端的输出信号对应第二开关和第四开关的通断,当第一输出端的电压状态为第一状态,第二输出端的电压状态为第二状态时,第一开关和第三开关导通,第二开关和第四开关断开,此时对电容进行充电;当第一输出端的电压状态为第二

状态,第二输出端的电压状态为第一状态时,第一开关和第三开关断开,第二开关和第四开关导通,此时对电容进行放电;又由于电容两端的电压差等于第一阈值或第二阈值时,第一输出端和第二输出端的电压状态翻转,且第一阈值大于0,第二阈值小于0,从而对电容不仅能够充分地充放电,同时还能进行反向充放电,使得电容的利用率达到了最大化,由于振荡器电路可以充分利用电容正向充电、正向放电、反向放电和反向充电的过程进行计时,使得振荡器周期大大延长。在相同时钟周期需求下,本发明提供的振荡器结构可减小电容的大小,最终可以减小电容在集成电路上消耗的面积,从而减小芯片的实现成本。

[0029] 2) 可选方案中,还可以包括非交叠时钟电路,所述非交叠时钟电路包括第三输入端、第四输入端、第三输出端和第四输出端,其中:所述第三输入端连接所述第一输出端,所述第四输入端连接所述第二输出端,所述第三输出端连接所述第一开关和所述第三开关,所述第四输出端连接所述第二开关和所述第四开关,由于非交叠时钟电路中总是电压状态为高的信号先变低,然后电压状态为低的信号再变高,从而非交叠时钟可以保证第一开关和第三开关(或者是第二开关和第四开关)先断开,然后第二开关和第四开关(或第一开关和第三开关)才导通,最终可以有效消除四个开关同时翻转时出现的漏电现象,使得振荡器的时钟周期更加精确。

附图说明

- [0030] 图1是现有技术一种振荡器的结构示意图;
- [0031] 图2是图1所示振荡器的电容充放电与输出时钟的关系示意图;
- [0032] 图3是现有技术另一种振荡器的结构示意图;
- [0033] 图4是图3所示振荡器的电容充放电与输出时钟的关系示意图;
- [0034] 图5是本发明实施例一振荡器电路的结构示意图;
- [0035] 图6是图5中电流源的结构示意图;
- [0036] 图7是图5中比较电路的结构示意图;
- [0037] 图8是图5中电容充放电与输出时钟的关系示意图;
- [0038] 图9是本发明实施例二振荡器电路的结构示意图;
- [0039] 图10是图9中非交叠时钟电路的结构示意图。

具体实施方式

[0040] 为使本发明的上述目的、特征和优点能够更加明显易懂,下面结合附图对本发明的具体实施方式做详细的说明。

[0041] 在下面的描述中阐述了很多具体细节以便于充分理解本发明,但是本发明还可以采用其他不同于在此描述的其它方式来实施,因此本发明不受下面公开的具体实施例的限制。

[0042] 正如背景技术部分所述,现有技术中振荡器对电容的利用率都不高,没有充分利用电容充电过程和放电过程,因此使得电容所消耗的芯片面积比较大。

[0043] 为了克服上述缺陷,本发明提供了一种振荡器电路,包括:

[0044] 电容;

[0045] 电流源,用于提供电流;

[0046] 开关组合,包括:第一开关、第二开关、第三开关和第四开关,其中:所述第一开关的一端连接所述电流源,所述第一开关的另一端连接所述电容的正极,所述第二开关的一端连接所述电流源,所述第二开关的另一端连接所述电容的负极,所述第三开关的一端连接所述电容的负极,所述第三开关的另一端连接交流地,所述第四开关的一端连接所述电容的正极,所述第四开关的另一端连接交流地;

[0047] 比较电路,包括:第一输入端、第二输入端、第一输出端和第二输出端,所述第一输出端和所述第二输出端的电压状态相反,所述第一输入端和所述电容的正极连接,所述第二输入端与所述电容的负极连接,所述第一输出端的输出信号对应所述第一开关和所述第三开关的通断,所述第二输出端的输出信号对应所述第二开关和所述第四开关的通断;

[0048] 当所述第一输出端的电压状态为高电平时,所述第一开关和所述第三开关导通;当所述第二输出端的电压状态为高电平时,所述第二开关和所述第四开关导通;

[0049] 当所述电容两端的电压差等于第一阈值或第二阈值时,所述第一输出端和所述第二输出端的电压状态翻转;所述第一阈值大于0,所述第二阈值小于0。

[0050] 本发明充分利用了对电容充放电以及反向充放电的过程,提高了电容的利用率,由于振荡器需要经历电容放电和充电的过程进行计时,使得振荡器电路的周期延长。在相同时钟周期需求下,本发明提供的振荡器电路可减小电容的大小,从而减小了电容所消耗的芯片面积。

[0051] 下面结合附图进行详细说明。

[0052] 实施例一

[0053] 参考图5所示,本实施例提供的振荡器电路包括:

[0054] 电容C;

[0055] 电流源I,连接电源电压VDD,所述电流源I用于提供电流;

[0056] 开关组合,包括:第一开关S1、第二开关S2、第三开关S3和第四开关S4,其中:所述第一开关S1的一端连接所述电流源I,所述第一开关S1的另一端连接所述电容C的正极+,所述第二开关S2的一端连接所述电流源I,所述第二开关S2的另一端连接所述电容C的负极-,所述第三开关S3的一端连接所述电容C的负极-,所述第三开关S3的另一端连接交流地ACGND,所述第四开关S4的一端连接所述电容C的正极+,所述第四开关S4的另一端连接交流地ACGND;所述第一开关S1、所述第二开关S2和所述电流源I相交于B点;

[0057] 比较电路,包括:第一输入端V+、第二输入端V-、第一输出端 $\phi 1$ 和第二输出端 $\phi 2$,所述第一输出端 $\phi 1$ 和所述第二输出端 $\phi 2$ 的电压状态相反,所述第一输入端V+和所述电容C的正极+连接,所述第二输入端V-与所述电容C的负极-连接,所述第一输出端 $\phi 1$ 分别连接所述第一开关S1和所述第三开关S3且控制所述第一开关S1和所述第三开关S3的通断,所述第二输出端 $\phi 2$ 分别连接所述第二开关S2和所述第四开关S4且控制所述第二开关S2和所述第四开关S4的通断;

[0058] 当所述第一输出端 $\phi 1$ 的电压状态为第一状态时,所述第一开关S1和所述第三开关S3导通;当所述第二输出端 $\phi 2$ 的电压状态为第一状态时,所述第二开关S2和所述第四开关S4导通;

[0059] 当所述电容C两端的电压差等于第一阈值或第二阈值时,所述第一输出端 $\phi 1$ 和所述第二输出端 $\phi 2$ 的电压状态翻转;所述第一阈值大于0,所述第二阈值小于0。

[0060] 其中,所述电流源 I 可以为现有技术任意一种可以提供电流的装置。

[0061] 在一个具体例子中,参考图 6 所示,所述电流源 I 包括:电阻 R、第一 PMOS 晶体管 P1、第二 PMOS 晶体管 P2、第三 PMOS 晶体管 P3、第一 NMOS 晶体管 N1 和第二 NMOS 晶体管 N2,其中:所述电阻 R 的一端、所述第一 PMOS 晶体管 P1 的源极和所述第三 PMOS 晶体管 P3 的源极连接电源电压 VDD。所述电阻 R 的另一端连接第二 PMOS 晶体管 P2 的源极,所述第一 PMOS 晶体管 P1 的栅极、第二 PMOS 晶体管 P2 的栅极、第三 PMOS 晶体管 P3 的栅极、第一 PMOS 晶体管 P1 的漏极和第一 NMOS 晶体管 N1 的漏极相连接。所述第二 PMOS 晶体管 P2 的漏极、所述第二 NMOS 晶体管 N2 的漏极、所述第一 NMOS 晶体管 N1 的栅极和所述第二 NMOS 晶体管 N2 的栅极相连接。所述第一 NMOS 晶体管 N1 的源极和所述第二 NMOS 晶体管 N2 的源极连接地 GND。所述第三 PMOS 晶体管 P3 的漏极为 B 点,即所述第三 PMOS 晶体管 P3 的漏极为电流源 I 的输出端。

[0062] 所述地 GND 上的电位指的是系统的零电位。

[0063] 其中,所述第三开关 S3 的另一端连接交流地 ACGND,即:所述第三开关 S3 的另一端可以通过一个电阻或者一个电流源与一恒压源相连;或者,所述第三开关 S3 的另一端直接与一恒压源相连;或者,所述第三开关 S3 的另一端连接地 GND,即所述交流地 ACGND 可以是地 GND。

[0064] 其中,在所述比较电路中,第一输出端 $\phi 1$ 和所述第二输出端 $\phi 2$ 的电压状态始终相反,当第一输入端 V+ 与第二输入端 V- 之间的电压差等于第一阈值或第二阈值时,第一输出端 $\phi 1$ 和第二输出端 $\phi 2$ 的电压状态翻转。所述第一状态可以为高电平,所述第二状态可以为低电平,相应的,所述第一开关 S1、第二开关 S2、第三开关 S3 和第四开关 S4 的导通/断开是通过高电平/低电平来控制。如:当第一输出端 $\phi 1$ 为高电平时,第二输出端 $\phi 2$ 为低电平,则第一开关 S1 和第三开关 S3 导通,第二开关 S2 和第四开关 S4 断开;当第一输出端 $\phi 1$ 为低电平时,第二输出端 $\phi 2$ 为高电平,则第一开关 S1 和第三开关 S3 断开,第二开关 S2 和第四开关 S4 导通。

[0065] 需要说明的是,在本发明的其他实施例中,还可以通过其他方式来控制四个开关的导通/断开,如:所述第一状态还可以为低电平,第二状态为高电平,从而所述第一开关 S1、第二开关 S2、第三开关 S3 和第四开关 S4 的导通/断开是通过低电平/高电平来控制。

[0066] 本实施例中所述比较电路可以采用迟滞比较器实现。在一个具体例子中,参考图 7 所示,所述比较电路包括:第四 PMOS 晶体管 P4、第五 PMOS 晶体管 P5、第六 PMOS 晶体管 P6、第七 PMOS 晶体管 P7、第八 PMOS 晶体管 P8、第三 NMOS 晶体管 N3、第四 NMOS 晶体管 N4、第五 NMOS 晶体管 N5、第六 NMOS 晶体管 N6、第七 NMOS 晶体管 N7 和第八 NMOS 晶体管 N8。

[0067] 其中:所述第四 PMOS 晶体管 P4 的源极、第五 PMOS 晶体管 P5 的源极和第六 PMOS 晶体管 P6 的源极连接电源电压 VDD。所述第四 PMOS 晶体管 P4 的栅极、第五 PMOS 晶体管 P5 的栅极和第六 PMOS 晶体管 P6 的栅极连接偏置电压 V_{bias} 。所述偏置电压 V_{bias} 用于保证第四 PMOS 晶体管 P4、第五 PMOS 晶体管 P5 和第六 PMOS 晶体管 P6 处于开启状态。所述第五 PMOS 晶体管 P5 的漏极连接第七 PMOS 晶体管 P7 的源极和第八 PMOS 晶体管 P8 的源极。所述第七 PMOS 晶体管 P7 的栅极为第一输入端 V+。所述第八 PMOS 晶体管 P8 的栅极为第二输入端 V-。所述第七 PMOS 晶体管 P7 的漏极、所述第三 NMOS 晶体管 N3 的栅极、所述第四 NMOS 晶体管 N4 的栅极、第四 NMOS 晶体管 N4 的漏极、第五 NMOS 晶体管 N5 的漏极和第六 NMOS 晶体

管 N6 的栅极相连接。所述第八 PMOS 晶体管 P8 的漏极、所述第七 NMOS 晶体管 N7 的栅极、所述第八 NMOS 晶体管 N8 的栅极、第七 NMOS 晶体管 N7 的漏极、第六 NMOS 晶体管 N6 的漏极和第五 NMOS 晶体管 N5 的栅极相连接。所述第四 PMOS 晶体管 P4 的漏极连接所述第三 NMOS 晶体管 N3 的漏极且将连接点作为第二输出端 $\phi 2$ 。所述第六 PMOS 晶体管 P6 的漏极连接所述第八 NMOS 晶体管 N8 的漏极且将连接点作为第一输出端 $\phi 1$ 。所述第三 NMOS 晶体管 N3 的源极、所述第四 NMOS 晶体管 N4 的源极、所述第五 NMOS 晶体管 N5 的源极、所述第六 NMOS 晶体管 N6 的源极、所述第七 NMOS 晶体管 N7 的源极和所述第八 NMOS 晶体管 N8 的源极连接地 GND。

[0068] 所述第一阈值和所述第二阈值的绝对值可以相同,也可以不同。对于图 7 所示的比较电路,第一阈值和第二阈值可以分别通过以下公式确定:

$$[0069] \quad V_{TH1} = \left[\frac{2}{\beta_{P7P8}} \cdot \frac{I_{P5}}{(W_{N7}/L_{N7}) + (W_{N6}/L_{N6})} \right]^{1/2} \cdot \left[(W_{N6}/L_{N6})^{1/2} - (W_{N7}/L_{N7})^{1/2} \right]$$

$$[0070] \quad V_{TH2} = - \left[\frac{2}{\beta_{P7P8}} \cdot \frac{I_{P5}}{(W_{N4}/L_{N4}) + (W_{N5}/L_{N5})} \right]^{1/2} \cdot \left[(W_{N5}/L_{N5})^{1/2} - (W_{N4}/L_{N4})^{1/2} \right]$$

[0071] 其中: V_{TH1} 为第一阈值, V_{TH2} 为第二阈值, β_{P7P8} 为第八 PMOS 晶体管 P8 和第七 PMOS 晶体管 P7 的跨导, I_{P5} 是第五 PMOS 晶体管 P5 漏极的输出电流, W_{N7} 为第七 NMOS 晶体管 N7 的宽度, W_{N6} 为第六 NMOS 晶体管 N6 的宽度, L_{N6} 是第六 NMOS 晶体管 N6 的长度, L_{N7} 为第七 NMOS 晶体管 N7 的长度, W_{N4} 为第四 NMOS 晶体管 N4 的宽度, W_{N5} 为第五 NMOS 晶体管 N5 的宽度, L_{N4} 是第四 NMOS 晶体管 N4 的长度, L_{N5} 是第五 NMOS 晶体管 N5 的长度。

[0072] 由上述两个公式可知:当第七 PMOS 晶体管 P7 的尺寸和第八 PMOS 晶体管 P8 的尺寸相等,第四 NMOS 晶体管 N4 的尺寸和第七 NMOS 晶体管 N7 的尺寸相等,第五 NMOS 晶体管 N5 的尺寸和第六 NMOS 晶体管 N6 的尺寸相等时,所述第一阈值和第二阈值的绝对值相同。需要说明的是,在本发明的其他实施例中,所述第一阈值和所述第二阈值的绝对值还可以不相同。

[0073] 此外,为了保证第一阈值大于 0,则第六 NMOS 晶体管 N6 的宽长比应该大于第七 NMOS 晶体管 N7 的宽长比;为了保证第二阈值小于 0,则第五 NMOS 晶体管 N5 的宽长比应该大于第四 NMOS 晶体管的宽长比。

[0074] 本实施例中以迟滞比较器中 MOS 晶体管的尺寸确定第一阈值和第二阈值的具体值。需要说明的是,在本发明的其他实施例中,所述比较电路还可以通过多个普通比较器与若干开关或触发器组合来实现,此时,所述第一阈值和第二阈值的具体取值还可以由外部电路来确定。

[0075] 参考图 8 所示,本实施例中所述电容 C 会循环重复正向充电、正向放电、反向放电和反向充电这四种状态,具体地:

[0076] 1) 当振荡器电路开始工作时,所述比较电路的第一输出端 $\phi 1$ 的电压状态为高电平,第二输出端 $\phi 2$ 的电压状态为低电平,则第一开关 S1 和第三开关 S3 导通,第二开关 S2 和第四开关 S4 断开,所述电容 C 处于正向充电状态,所述电容 C 两端的电压差逐渐从零开始增大,由于比较电路第一输入端 V+ 和第二输入端 V- 之间的电压差等于电容两端的电压,因此比较电路第一输入端 V+ 和第二输入端 V- 之间的电压差也逐渐从零开始增大;

[0077] 2) 当比较电路第一输入端 V+ 和第二输入端 V- 之间的电压差等于第一阈值 (所述第一阈值大于 0) 时, 第一输出端 $\phi 1$ 和第二输出端 $\phi 2$ 的电压状态翻转, 即第一输出端 $\phi 1$ 的电压状态为低电平, 第二输出端 $\phi 2$ 的电压状态为高电平, 从而第一开关 S1 和第三开关 S3 断开, 第二开关 S2 和第四开关 S4 导通, 所述电容 C 处于正向放电状态, 所述电容 C 两端的电压差逐渐从第一阈值开始变小;

[0078] 3) 当电容两端的电压差变为零后, 电容两端的电压差继续变为负值, 此时所述电容 C 处于反向放电状态;

[0079] 4) 当电容 C 两端的电压差等于第二阈值 (所述第二阈值小于 0) 时, 即比较电路第一输入端 V+ 和第二输入端 V- 之间的电压差等于第二阈值时, 第一输出端 $\phi 1$ 和第二输出端 $\phi 2$ 的电压状态翻转, 即第一输出端 $\phi 1$ 的电压状态为高电平, 第二输出端 $\phi 2$ 的电压状态为低电平, 从而第一开关 S1 和第三开关 S3 导通, 第二开关 S2 和第四开关 S4 断开, 所述电容 C 处于反向充电状态, 其两端电压差从第二阈值逐渐增大到 0, 从而重复 1), 进入下一个循环周期。

[0080] 上述是以电容 C 的初始状态为正向充电为例进行说明。需要说明的是, 当振荡器电路开始工作时, 所述电容 C 还可以先进行反向充电, 此时, 所述比较电路的第一输出端 $\phi 1$ 的电压状态为低电平, 而第二输出端 $\phi 2$ 的电压状态为高电平。本实施例中电容 C 进行一次正向充电、正向放电、反向放电和反向充电过程的时间作为振荡器电路的一个计时周期, 在充分提高电容利用率的同时, 使得计时周期得到延长。

[0081] 通过比较图 8、图 2 和图 4 可知: 本实施例中使得电容的利用率最大化。

[0082] 本实施例中电容 C 的电容值由下面的公式确定:

$$[0083] \quad C = (1/2) * I * T / (V_{th1} - V_{th2})$$

[0084] 其中, V_{th1} 为第一阈值, V_{th2} 为第二阈值, I 为电流源 I 对电容 C 的充放电电流, T 为输出时钟信号的周期。

[0085] 本实施例对电容不仅能够充分地充放电, 同时还能进行反向充放电, 使得电容的利用率达到了最大化, 最终可以减小电容在芯片上消耗的面积。

[0086] 本实施例充分利用了对电容正向充电、正向放电、反向放电和反向充电的过程, 使得电容的利用率达到了最大化, 并保证振荡器电路计时周期得到延长。在相同时钟周期需求下, 本实施例提供的振荡器电路可减小电容的大小, 从而减小电容在芯片上消耗的面积, 最终可以节省系统 (特别是集成电路) 的实现成本。

[0087] 实施例二

[0088] 参考图 9 所示, 本实施例与实施例一的区别在于: 本实施例提供的振荡器电路增加了非交叠时钟电路, 所述非交叠时钟包括第三输入端 $\xi 1$ 、第四输入端 $\xi 2$ 、第三输出端 $\delta 1$ 和第四输出端 $\delta 2$, 其中: 所述第三输入端 $\xi 1$ 连接所述第一输出端 $\phi 1$, 所述第四输入端 $\xi 2$ 连接所述第二输出端 $\phi 2$, 所述第三输出端 $\delta 1$ 连接所述第一开关 S1 和所述第三开关 S3, 所述第四输出端 $\delta 2$ 连接所述第二开关 S2 和所述第四开关 S4。

[0089] 作为一个具体例子, 参考图 10 所示, 所述非交叠时钟包括: 第一与非门 Y1、第二与非门 Y2、第一反相器 A1 和第二反相器 A2, 其中: 第一与非门 Y1 和第二与非门 Y2 组成 RS 触发器。具体地, 第一与非门 Y1 的一个输入端作为第三输入端 $\xi 1$, 第二与非门 Y2 的一个输入端作为第四输入端 $\xi 2$ 。第一与非门 Y1 的另一个输入端、第二与非门 Y2 的输出端和第二

反相器 A2 的输入端相连接。第一与非门 Y1 的输出端、第二与非门 Y2 的另一个输入端和第一反相器 A1 的输入端相连接。所述第一反相器 A1 的输出端作为第三输出端 $\delta 1$ ，所述第二反相器 A2 的输出端作为第四输出端 $\delta 2$ 。

[0090] 第三输入端 $\xi 1$ 的电压状态与第一输出端 $\phi 1$ 的电压状态相同，第四输入端 $\xi 2$ 的电压状态与第二输出端 $\phi 2$ 的电压状态相同。当第一输出端 $\phi 1$ 和第二输出端 $\phi 2$ 的电压状态翻转时，第三输入端 $\xi 1$ 和第四输入端 $\xi 2$ 的电压状态同时发生翻转。

[0091] 本实施例的工作过程如下：

[0092] 1) 第一输出端 $\phi 1$ 的电压状态为高电平，第二输出端 $\phi 2$ 的电压状态为低电平，则第三输入端 $\xi 1$ 的电压状态为高电平，第四输入端 $\xi 2$ 的电压状态为低电平，第一与非门 Y1 的输出端的电压状态为低电平，第二与非门 Y2 的输出端的电压状态为高电平，第一反相器 A1 的输出端的电压状态为高电平，第二反相器 A2 的输出端的电压状态为低电平，即第一反相器 A1 的输出端与第一输出端 $\phi 1$ 的电压状态相同，第二反相器 A2 的输出端与第二输出端 $\phi 2$ 的电压状态相同。相应的，所述第一开关 S1 和第三开关 S3 导通，所述第二开关 S2 和第四开关 S4 断开，电容 C 进行正向充电。

[0093] 2) 当电容 C 两端的电压差等于第一阈值，使得第一输出端 $\phi 1$ 和第二输出端 $\phi 2$ 的电压状态翻转后，第一输出端 $\phi 1$ 的电压状态为低电平，第二输出端 $\phi 2$ 的电压状态为高电平，则第三输入端 $\xi 1$ 的电压状态变为低电平，第四输入端 $\xi 2$ 的电压状态变为高电平。

[0094] 由与非门的特性可知，第三输入端 $\xi 1$ 的电压状态变为低电平后，第一与非门 Y1 的输出端可立即变为高电平，但是由于第一与非门 Y1 的输出端的电压状态原来为低电平，虽然第四输入端 $\xi 2$ 的电压状态变为高电平，但第二与非门 Y2 的输出端的电压状态仍为高电平，因此只有当第一与非门 Y1 的输出端的电压状态变为高电平之后，第二与非门 Y2 的输出端的电压状态才能变为低电平，即第三输出端 $\delta 1$ 的电压状态变为低电平后，第四输出端 $\delta 2$ 的电压状态才能变成高电平。这样，非交叠时钟电路的两个输出端的电压状态随着电容 C 正向充电结束而发生翻转时，总是原来电压状态为高电平的输出端先翻转为低电平，然后原来电压状态为低电平的输出端才能翻转为高电平。从而第三输出端 $\delta 1$ 的电压状态变化使得第一开关 S1 和第三开关 S3 断开之后，第四输出端 $\delta 2$ 的电压状态变化才能使得第二开关 S2 和第四开关 S4 导通，从而可以有效消除四个开关同时翻转造成漏电的情况。

[0095] 当第二开关 S2 和第四开关 S4 导通且第一开关 S1 和第三开关 S3 断开之后，电容 C 开始进行正向放电。

[0096] 3) 当电容 C 两端的电压差变为零后，电容 C 两端的电压差继续变为负值，此时所述电容 C 处于反向放电状态；

[0097] 4) 当电容 C 两端的电压差等于第二阈值时，第一输出端 $\phi 1$ 的电压状态翻转为高电平，第二输出端 $\phi 2$ 的电压状态翻转为低电平。相应的，第四输出端 $\delta 2$ 的电压状态先翻转为低电平（即第二开关 S2 和第四开关 S4 断开），然后第三输出端 $\delta 1$ 的电压状态才翻转为高电平（即第一开关 S1 和第三开关 S3 导通），所述电容 C 处于反向充电状态，其两端电压差从第二阈值逐渐增大到 0，从而重复 1)，进入下一个循环周期。

[0098] 本实施例通过增加非交叠时钟电路，可以使得电压状态为高的信号先变低，然后电压状态为低的信号再变高，从而非交叠时钟可以保证导通的两个开关先断开，然后剩余

两个开关才导通,最终可以有效消除四个开关同时翻转时出现的漏电现象,使得振荡器的时钟周期更加精确。

[0099] 虽然本发明已以较佳实施例披露如上,但本发明并非限定于此。任何本领域技术人员,在不脱离本发明的精神和范围内,均可作各种更动与修改,因此本发明的保护范围应当以权利要求所限定的范围为准。

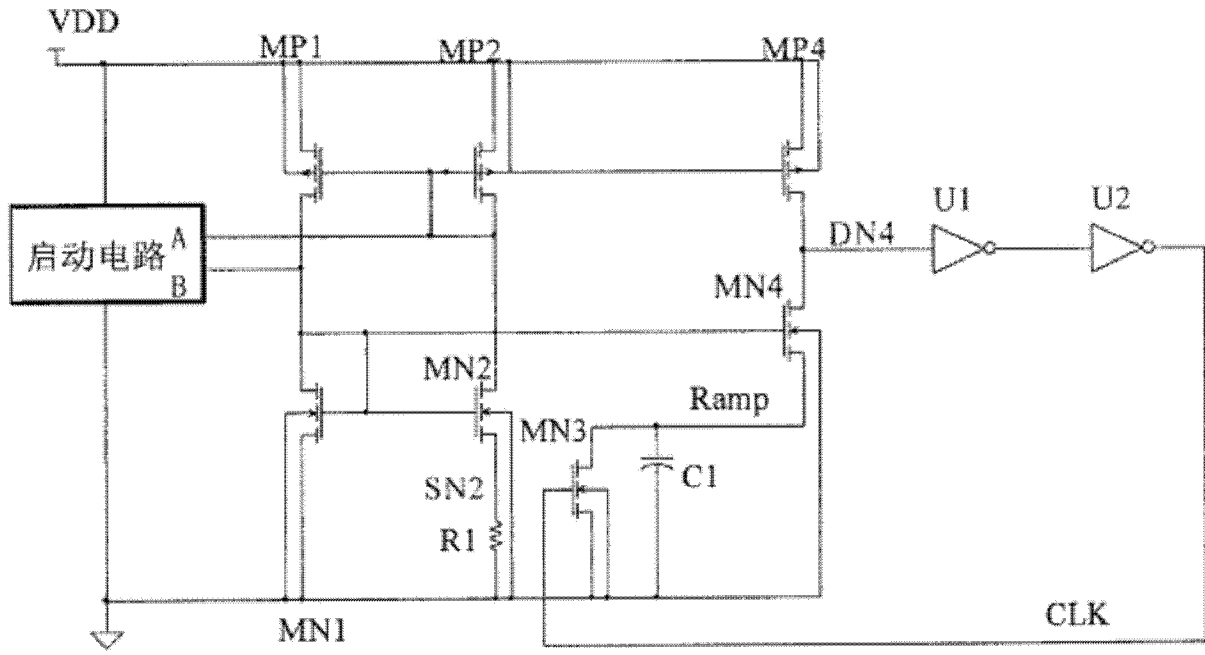


图 1

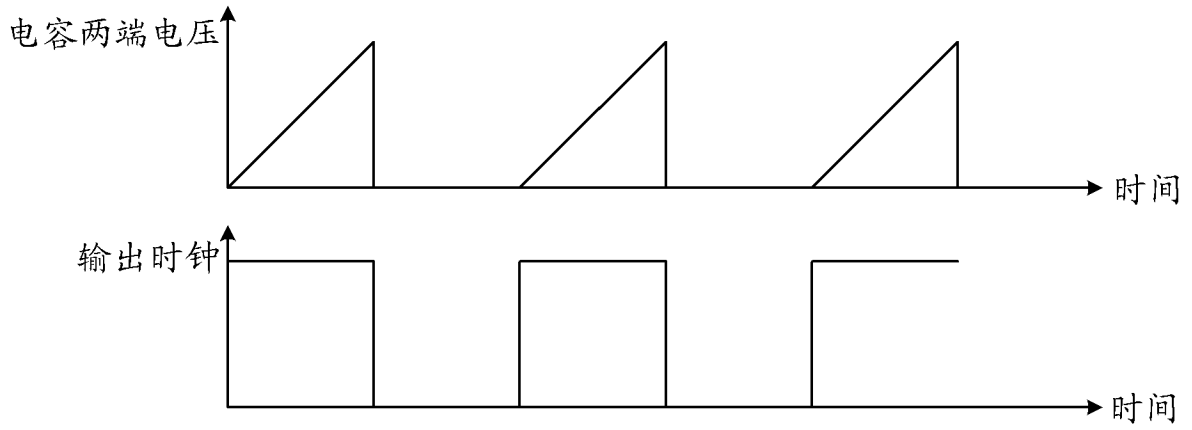


图 2

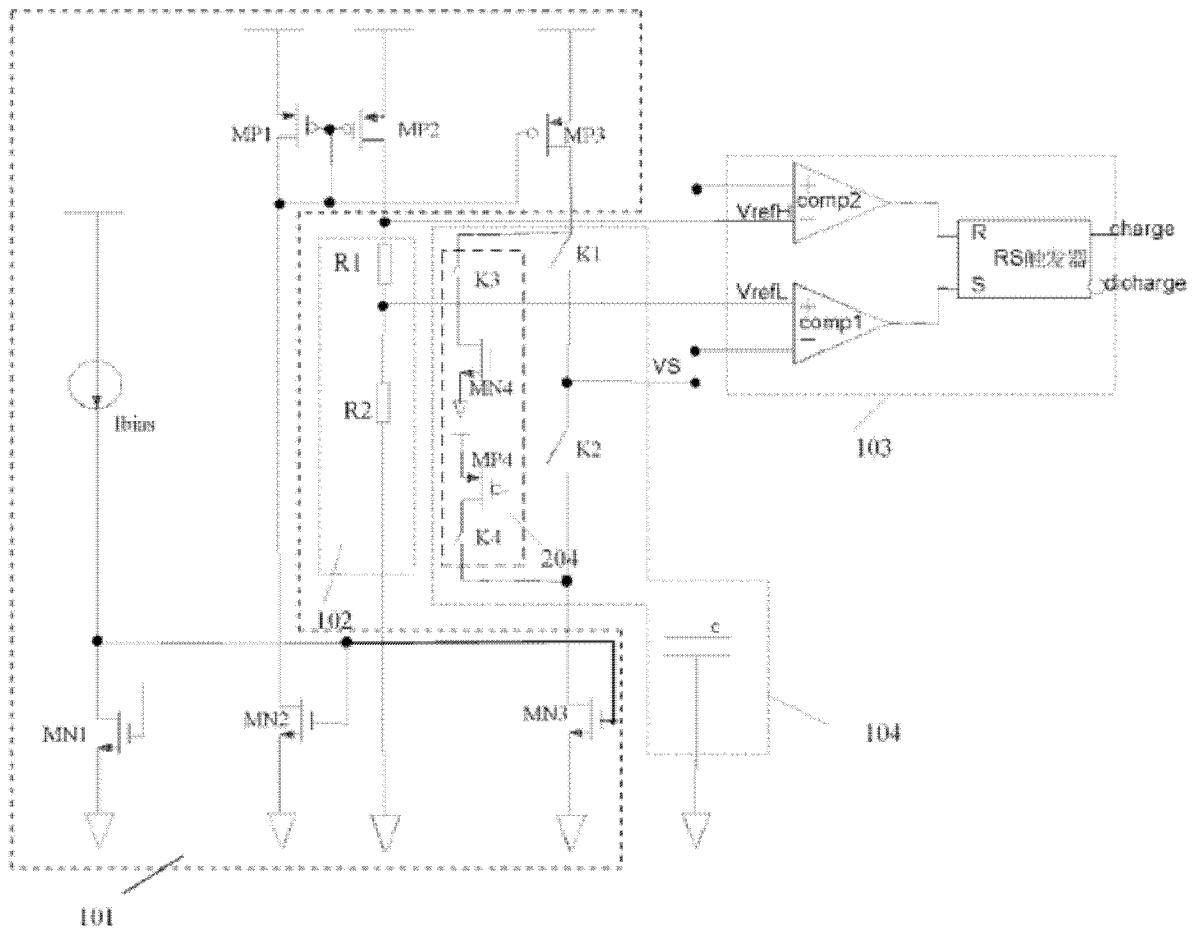


图 3

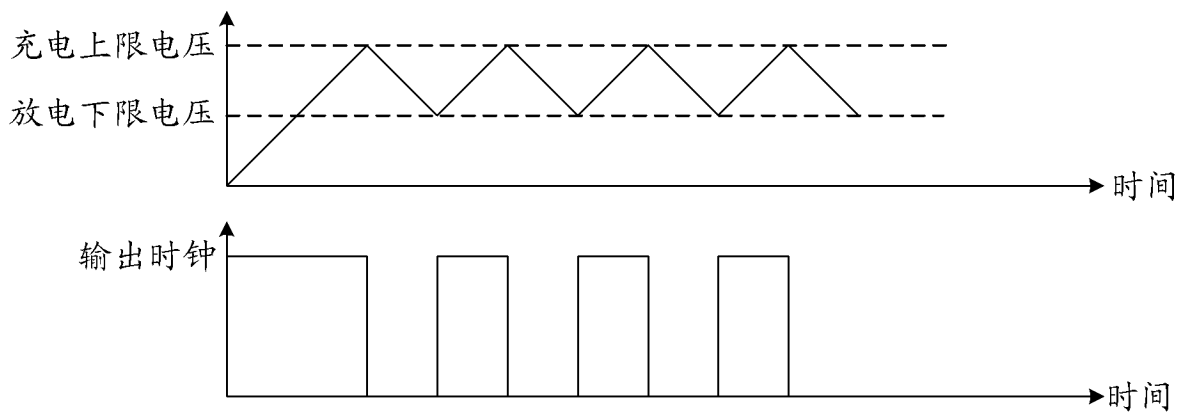


图 4

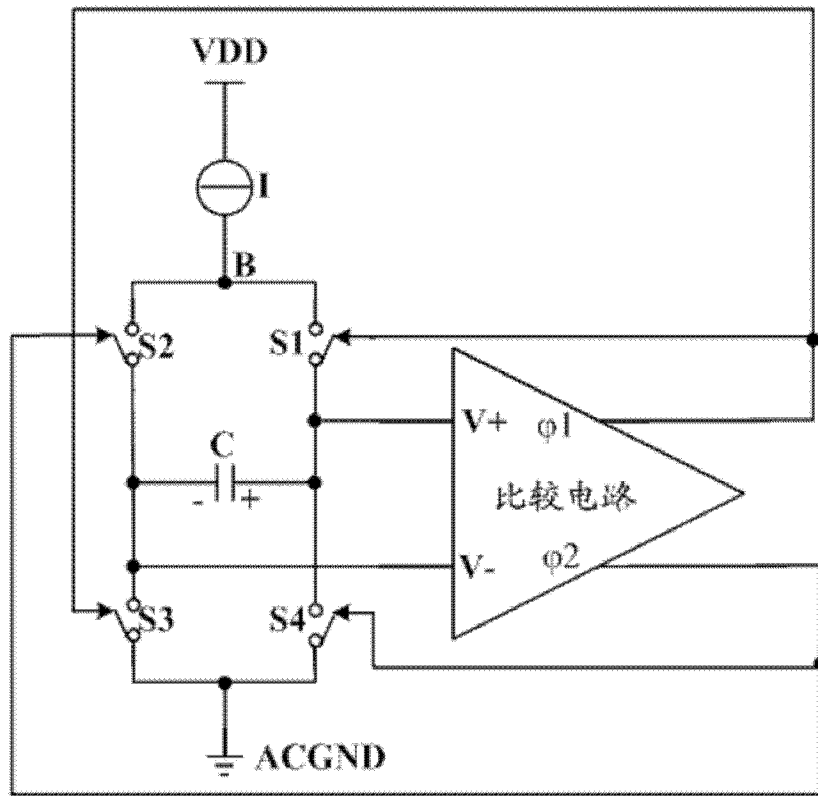


图 5

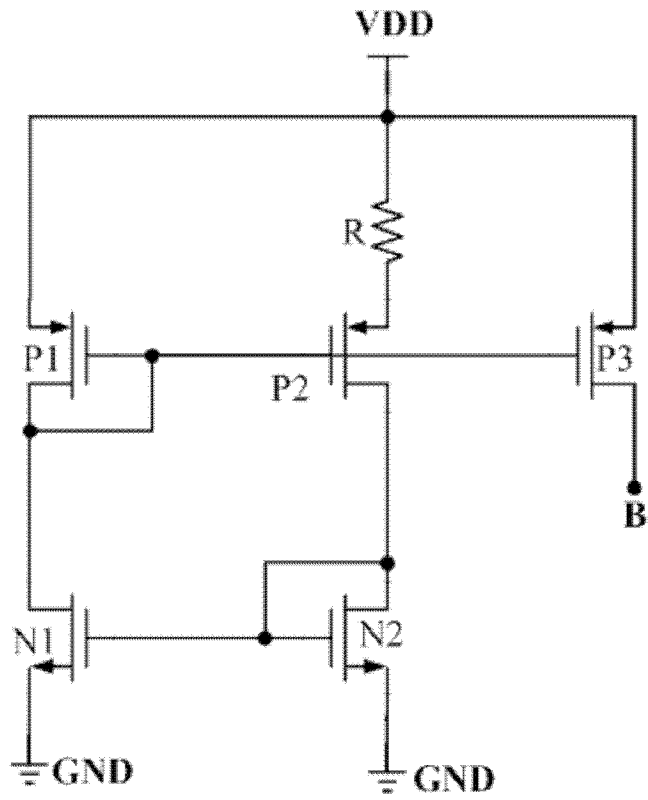


图 6

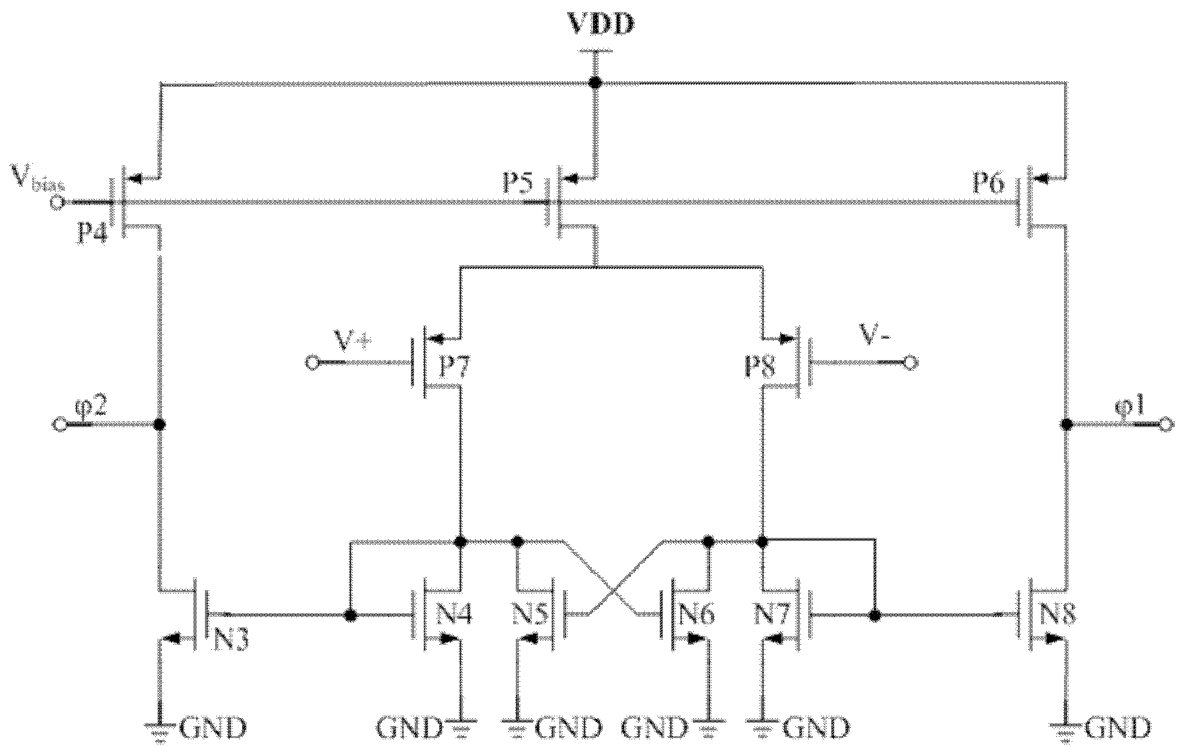


图 7

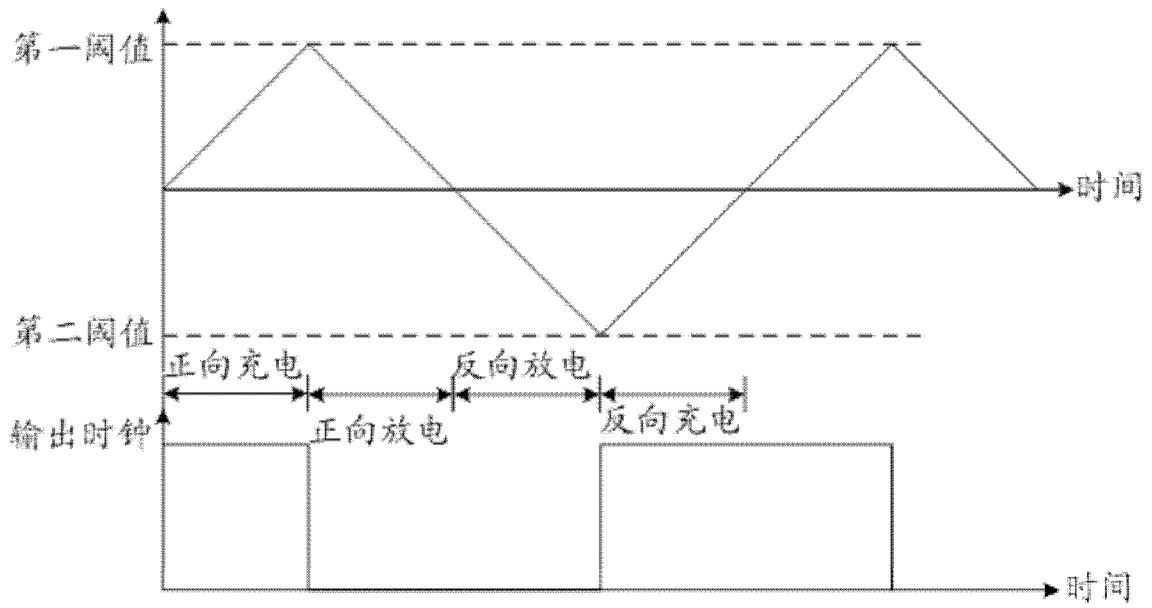


图 8

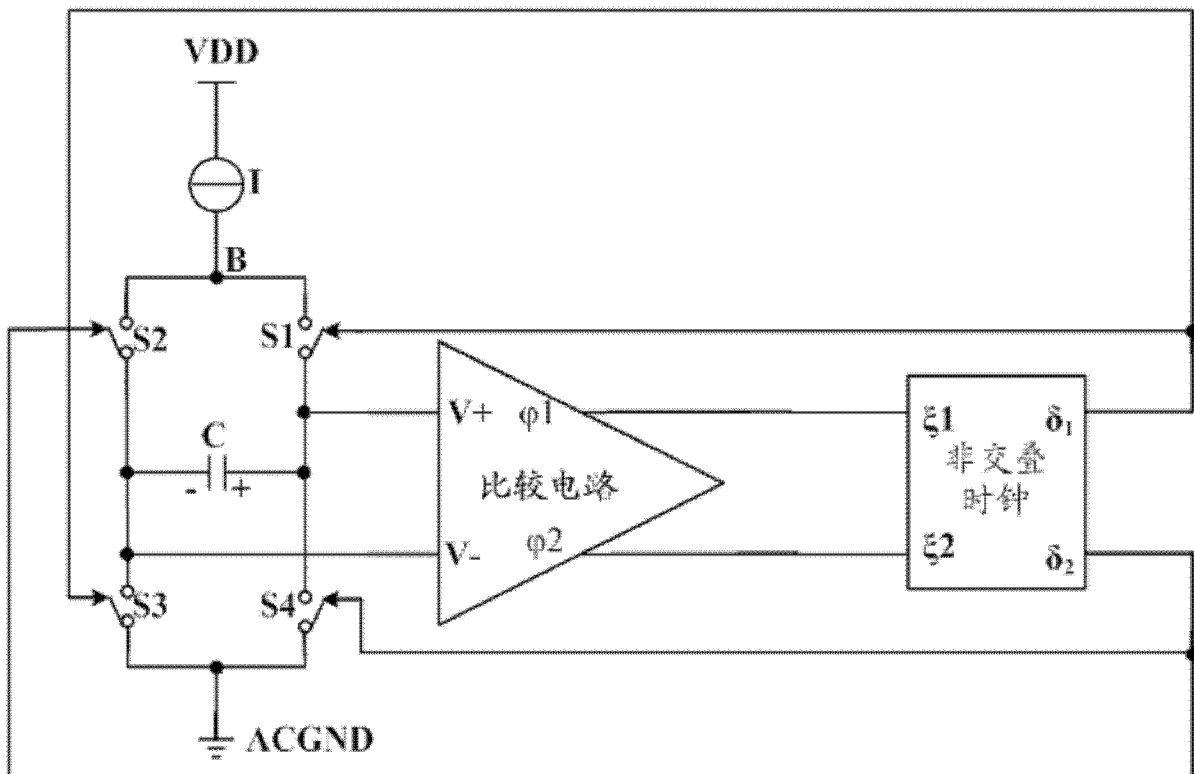


图 9

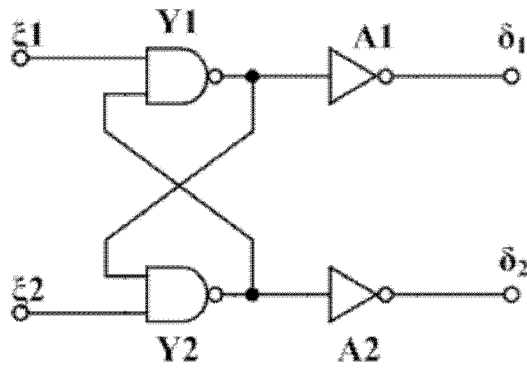


图 10