

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2016-46337

(P2016-46337A)

(43) 公開日 平成28年4月4日(2016.4.4)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 21/336 (2006.01)	HO 1 L 29/78 3 O 1 S	5 F 0 4 8
HO 1 L 29/78 (2006.01)	HO 1 L 29/78 3 O 1 G	5 F 1 4 0
HO 1 L 21/8234 (2006.01)	HO 1 L 27/08 1 O 2 A	
HO 1 L 27/088 (2006.01)	HO 1 L 27/08 1 O 2 C	

審査請求 未請求 請求項の数 8 O L (全 26 頁)

(21) 出願番号	特願2014-168213 (P2014-168213)	(71) 出願人	302062931 ルネサスエレクトロニクス株式会社 東京都江東区豊洲三丁目2番24号
(22) 出願日	平成26年8月21日 (2014.8.21)	(74) 代理人	100110928 弁理士 速水 進治
		(74) 代理人	100127236 弁理士 天城 聡
		(72) 発明者	滴生 彰 神奈川県川崎市中原区下沼部1753番地 ルネサスエレクトロニクス株式会社内
		(72) 発明者	中山 知士 茨城県ひたちなか市堀口751番地 ルネサスセミコンダクタマニュファクチャリング株式会社内

最終頁に続く

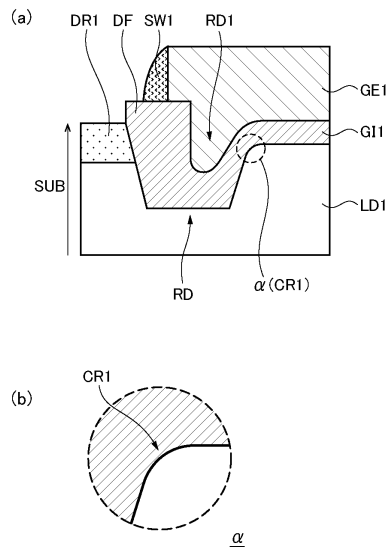
(54) 【発明の名称】 半導体装置及び半導体装置の製造方法

(57) 【要約】

【課題】凹部の近傍において電界集中が発生することを抑制する。

【解決手段】基板SUBには、ゲート絶縁膜GI1が形成されている。さらに基板SUBには、ドレイン領域DR1が形成されている。基板SUBには、凹部RDが形成されている。凹部RDは、ゲート絶縁膜GI1とドレイン領域DR1の間に位置している。凹部RDには、絶縁膜DFが埋め込まれている。ゲート絶縁膜GI1側において絶縁膜DFには、凹部RD1が形成されている。そしてドレイン領域DR1のゲート絶縁膜GI1側では、凹部RDの内側面と基板SUBの表面によって形成される角CR1が丸まっている。

【選択図】 図3



【特許請求の範囲】

【請求項 1】

基板と、
 ゲート絶縁膜及びゲート電極を有し、ドレイン及びソースが平面視で前記ゲート絶縁膜を介して互いに対向している第 1 トランジスタと、
 前記基板に形成され、前記ドレイン及び前記ソースの一方となる第 1 不純物領域と、
 前記基板に形成され、前記ゲート絶縁膜と前記第 1 不純物領域の間に位置している第 1 凹部と、
 前記第 1 凹部に埋め込まれた第 1 絶縁膜と、
 前記ゲート絶縁膜側において前記第 1 絶縁膜に形成された第 2 凹部と、
 を備え、
 前記第 1 凹部の前記ゲート絶縁膜側では、前記第 1 凹部の内側面と前記基板の表面によって形成される第 1 角が丸まっている半導体装置。

10

【請求項 2】

請求項 1 に記載の半導体装置において、
 前記基板に形成され、前記ドレイン及び前記ソースの他方となる第 2 不純物領域と、
 前記基板に形成され、前記ゲート絶縁膜と前記第 2 不純物領域の間に位置している第 3 凹部と、
 前記第 3 凹部に埋め込まれた第 2 絶縁膜と、
 前記ゲート絶縁膜側において前記第 2 絶縁膜に形成された第 4 凹部と、
 を備え、
 前記第 3 凹部の前記ゲート絶縁膜側では、前記第 3 凹部の内側面と前記基板の表面によって形成される第 2 角が丸まっている半導体装置。

20

【請求項 3】

請求項 1 に記載の半導体装置において、
 ゲート絶縁膜及びゲート電極を有し、ドレイン及びソースが平面視で前記ゲート絶縁膜を介して互いに対向している第 2 トランジスタを備え、
 前記第 1 トランジスタは、電源電位が第 1 電圧である第 1 回路を構成しており、
 前記第 2 トランジスタは、電源電位が前記第 1 電圧より低い第 2 電圧である第 2 回路を構成しており、
 前記第 1 トランジスタの前記ゲート絶縁膜は、前記第 2 トランジスタの前記ゲート絶縁膜より厚い半導体装置。

30

【請求項 4】

請求項 3 に記載の半導体装置において、
 前記基板に形成され、前記第 2 トランジスタを平面視で囲んでいる第 5 凹部と、
 前記第 5 凹部に埋め込まれた第 3 絶縁膜と、
 を備え、
 前記第 3 絶縁膜の上面は、前記第 2 凹部の底面よりも上に位置している半導体装置。

【請求項 5】

基板上に第 1 絶縁膜を形成する工程と、
 前記第 1 絶縁膜に開口を形成する工程と、
 前記開口を形成した後に前記第 1 絶縁膜をマスクとして前記基板をエッチングすることにより、前記基板に第 1 凹部を形成する工程と、
 前記第 1 凹部及び前記開口に第 2 絶縁膜を埋め込む工程と、
 前記第 2 絶縁膜をエッチングすることにより、前記第 2 絶縁膜の上面を前記開口の上端よりも下に位置させる工程と、
 前記第 2 絶縁膜をエッチングした後に絶縁膜を前記第 1 絶縁膜上及び第 2 絶縁膜上に形成することにより、前記開口と重なる領域に第 2 凹部を備える第 3 絶縁膜を形成する工程と、
 前記第 2 凹部の一部を平面視で内側に含む第 1 領域をマスク膜で覆い、かつ前記第 2 凹

40

50

部の残りの部分を平面視で内側に含む第2領域を前記マスク膜で覆わない工程と、

前記マスク膜をマスクとして前記第1絶縁膜、前記第2絶縁膜、及び前記第3絶縁膜をエッチングすることにより、前記第2領域において前記第1絶縁膜及び前記第3絶縁膜を除去するとともに前記第2領域において前記第2絶縁膜の上面を前記第1凹部の上端よりも下に位置させる工程と、

前記マスク膜を除去する工程と、

前記マスク膜を除去した後、前記第1領域に前記第3絶縁膜を残したまま前記第2領域において前記基板に酸化膜を形成する工程と、
を備える半導体装置の製造方法。

【請求項6】

10

請求項5に記載の半導体装置の製造方法において、

前記第1絶縁膜は、シリコン窒化膜であり、

前記第2絶縁膜は、シリコン酸化膜であり、

前記第3絶縁膜は、シリコン窒化膜である半導体装置の製造方法。

【請求項7】

基板上に第1絶縁膜を形成する工程と、

前記第1絶縁膜に開口を形成する工程と、

前記開口を形成した後に前記第1絶縁膜をマスクとして前記基板をエッチングすることにより、前記基板に第1凹部を形成する工程と、

前記第1凹部及び前記開口に第2絶縁膜を埋め込む工程と、

20

前記第2絶縁膜をエッチングすることにより、前記第2絶縁膜の上面を前記第1凹部の上端よりも下に位置させる工程と、

前記第2絶縁膜をエッチングした後に前記第1絶縁膜を除去する工程と、

前記第1絶縁膜を除去した後に前記基板上及び前記第2絶縁膜上に絶縁膜を形成することにより、前記第1凹部と重なる領域に第2凹部を備える第3絶縁膜を形成する工程と、

前記第2凹部の一部を平面視で内側に含む第1領域をマスク膜で覆い、かつ前記第2凹部の残りの部分を平面視で内側に含む第2領域を前記マスク膜で覆わない工程と、

前記マスク膜をマスクとして前記第2絶縁膜及び前記第3絶縁膜をエッチングすることにより、前記第2領域において前記第3絶縁膜を除去するとともに前記第2領域において前記第2絶縁膜の上面を前記第1凹部の上端よりも下に位置させる工程と、

30

前記マスク膜を除去する工程と、

前記マスク膜を除去した後、前記第1領域に前記第3絶縁膜を残したまま前記第2領域において前記基板に酸化膜を形成する工程と、
を備える半導体装置の製造方法。

【請求項8】

請求項7に記載の半導体装置の製造方法において、

前記第1絶縁膜は、シリコン窒化膜であり、

前記第2絶縁膜は、シリコン酸化膜であり、

前記第3絶縁膜は、シリコン窒化膜である半導体装置の製造方法。

【発明の詳細な説明】

40

【技術分野】

【0001】

本発明は、半導体装置及び半導体装置の製造方法に関し、例えばパワートランジスタに適用可能な技術である。

【背景技術】

【0002】

半導体装置では、半導体基板に複数のトランジスタが形成されることがある。この場合各トランジスタを電氣的に絶縁するために、STI (Shallow Trench Isolation) が用いられることがある。

【0003】

50

特許文献 1 には、STI の一例が記載されている。特許文献 1 では、まず、シリコン基板の表面に凹部を形成する。次いで、凹部に絶縁膜を埋め込む。次いで、シリコン基板の表面をエッチングする。これにより、上記した絶縁膜の上面をシリコン基板の表面よりも上に位置させる。次いで、熱酸化によりシリコン基板の表面に酸化膜を形成する。次いで、酸化膜を除去する。次いで、熱酸化によりシリコン基板の表面にゲート絶縁膜を形成する。特許文献 1 には、上記した絶縁膜（凹部）の近傍では、他の領域に比して酸素濃度が高いと記載されている。そして特許文献 1 には、ゲート絶縁膜の膜厚は、凹部の近傍において他の領域に比べて厚くなると記載されている。

【先行技術文献】

【特許文献】

10

【0004】

【特許文献 1】特開 2005 - 19703 号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

STI において形成される凹部の近傍には、ゲート電極及びゲート絶縁膜が形成される場合がある。さらに上記した凹部の近傍には、高い電圧が印加される場合がある。そのような場合、凹部の近傍において電界集中が発生することを抑制する必要がある。その他の課題と新規な特徴は、本明細書の記述及び添付図面から明らかになるであろう。

【課題を解決するための手段】

20

【0006】

一実施の形態によれば、半導体装置は、基板及び第 1 トランジスタを備えている。第 1 トランジスタは、ゲート絶縁膜を備えている。さらにトランジスタは、ドレイン及びソースの一方となる第 1 不純物領域を備えている。基板には、第 1 凹部が形成されている。第 1 凹部は、ゲート絶縁膜と第 1 不純物領域の間に位置している。そして第 1 凹部の前記ゲート絶縁膜側では、第 1 凹部の内側面と基板の表面によって形成される第 1 角が丸まっている。

【発明の効果】

【0007】

前記一実施の形態によれば、凹部の近傍において電界集中が発生することが抑制される。

30

【図面の簡単な説明】

【0008】

【図 1】第 1 の実施形態に係る半導体装置に用いられるトランジスタの構成を示す平面図である。

【図 2】図 1 の A - A' 断面図である。

【図 3】図 2 に示した凹部を拡大した図である。

【図 4】図 2 に示した凹部を拡大した図である。

【図 5】図 2 の変形例を示す図である。

【図 6】図 3 に示した半導体装置の製造方法を示す断面図である。

40

【図 7】図 3 に示した半導体装置の製造方法を示す断面図である。

【図 8】図 3 に示した半導体装置の製造方法を示す断面図である。

【図 9】図 3 に示した半導体装置の製造方法を示す断面図である。

【図 10】図 3 に示した半導体装置の製造方法を示す断面図である。

【図 11】図 3 に示した半導体装置の製造方法を示す断面図である。

【図 12】図 3 に示した半導体装置の製造方法を示す断面図である。

【図 13】図 3 に示した半導体装置の製造方法を示す断面図である。

【図 14】図 3 に示した半導体装置の製造方法を示す断面図である。

【図 15】比較例に係る半導体装置の製造方法を示す断面図である。

【図 16】比較例に係る半導体装置の製造方法を示す断面図である。

50

- 【図 17】比較例に係る半導体装置の製造方法を示す断面図である。
 【図 18】比較例に係る半導体装置の製造方法を示す断面図である。
 【図 19】比較例に係る半導体装置の製造方法を示す断面図である。
 【図 20】図 6 ~ 図 14 に示した方法の変形例を示す図である。
 【図 21】図 6 ~ 図 14 に示した方法の変形例を示す図である。
 【図 22】図 6 ~ 図 14 に示した方法の変形例を示す図である。
 【図 23】図 6 ~ 図 14 に示した方法の変形例を示す図である。
 【図 24】図 6 ~ 図 14 に示した方法の変形例を示す図である。
 【図 25】図 6 ~ 図 14 に示した方法の変形例を示す図である。
 【図 26】第 2 の実施形態に係る半導体装置の構成を示す平面図である。
 【図 27】トランジスタの構成を示す断面図である。
 【図 28】トランジスタの構成を示す平面図である。
 【図 29】図 27 に示した半導体装置の製造方法を示す断面図である。
 【図 30】図 27 に示した半導体装置の製造方法を示す断面図である。
 【図 31】図 27 に示した半導体装置の製造方法を示す断面図である。
 【図 32】図 27 に示した半導体装置の製造方法を示す断面図である。
 【図 33】図 27 に示した半導体装置の製造方法を示す断面図である。
 【図 34】図 27 に示した半導体装置の製造方法を示す断面図である。
 【図 35】図 27 に示した半導体装置の製造方法を示す断面図である。
 【図 36】図 27 に示した半導体装置の製造方法を示す断面図である。
 【図 37】図 27 に示した半導体装置の製造方法を示す断面図である。
 【図 38】図 27 に示した半導体装置の製造方法を示す断面図である。
 【図 39】図 27 に示した半導体装置の製造方法を示す断面図である。
 【発明を実施するための形態】

10

【0009】

以下、実施の形態について、図面を用いて説明する。尚、すべての図面において、同様な構成要素には同様の符号を付し、適宜説明を省略する。

【0010】

(第 1 の実施形態)

図 1 は、第 1 の実施形態に係る半導体装置に用いられるトランジスタ TR 1 の構成を示す平面図である。図 2 は、図 1 の A - A' 断面図である。図 2 に示すように、トランジスタ TR 1 は、基板 SUB を用いて形成されている。具体的には、基板 SUB には、ウェル WL 1 が形成されている。そしてトランジスタ TR 1 は、ウェル WL 1 を用いて形成されている。本図に示すように、トランジスタ TR 1 は、ゲート電極 GE 1、ゲート絶縁膜 GI 1、ドレイン領域 DR 1 (第 1 不純物領域)、ソース領域 SR 1 (第 2 不純物領域)、LDD (Lightly - Doped Drain) 領域 LD 1、LDS (Lightly - Doped Source) 領域 LS 1、及びサイドウォール SW 1 を備えている。

30

【0011】

図 1 を用いてトランジスタ TR 1 の平面レイアウトについて説明する。トランジスタ TR 1 では、ドレイン (ドレイン領域 DR 1)、ゲート電極 GE 1、及びソース (ソース領域 SR 1) が第 1 方向 (X 1 方向) にこの順で並んでいる。そしてドレイン領域 DR 1、ゲート電極 GE 1、及びソース領域 SR 1 それぞれは、第 1 方向 (X 1 方向) に直交する第 2 方向 (Y 1 方向) に延伸している。

40

【0012】

基板 SUB には、分離領域 IR が形成されている。図 2 を用いて後述するように、分離領域 IR は、基板 SUB の凹部 REC (図 2) に埋め込まれた絶縁膜 DF (図 2) である。言い換えると、分離領域 IR は、STI によって形成されている。図 1 に示すように、ドレイン領域 DR 1 及びソース領域 SR 1 は、分離領域 IR によって平面視で囲まれている。この場合、図 2 を用いて後述するように、ドレイン領域 DR 1 とゲート電極 GE 1 の間に凹部 RD (分離領域 IR) が形成されている。同様に、ソース領域 SR 1 とゲート電

50

極 G E 1 の間に凹部 R S (分離領域 I R) が形成されている。

【 0 0 1 3 】

図 1 に示すように、ドレイン領域 D R 1 には、複数のコンタクト C T 1 が設けられている。これらのコンタクト C T 1 は、第 2 方向 (Y 1 方向) に沿って配置されている。ソース領域 S R 1 には、複数のコンタクト C T 1 が設けられている。これらのコンタクト C T 1 は、第 2 方向 (Y 1 方向) に沿って配置されている。

【 0 0 1 4 】

本図に示すように、 L D D 領域 L D 1 は、平面視でドレイン領域 D R 1 を内側に含んでいる。同様に、 L D S 領域 L S 1 は、平面視でソース領域 S R 1 を内側に含んでいる。さらに L D D 領域 L D 1 は、ソース領域 S R 1 側の側面がゲート電極 G E 1 に入り込んでいる。同様に、 L D S 領域 L S 1 は、ドレイン領域 D R 1 側の側面がゲート電極 G E 1 に入り込んでいる。

10

【 0 0 1 5 】

次に、図 2 を用いてトランジスタ T R 1 の断面構造について説明する。本図に示すように、ウェル W L 1 には、 L D D 領域 L D 1 及び L D S 領域 L S 1 が形成されている。 L D D 領域 L D 1 には、ドレイン領域 D R 1 が形成されている。 L D S 領域 L S 1 には、ソース領域 S R 1 が形成されている。 L D D 領域 L D 1 及び L D S 領域 L S 1 の間には、ゲート絶縁膜 G I 1 が形成されている。そしてドレイン領域 D R 1 とゲート絶縁膜 G I 1 の間には、凹部 R D (第 1 凹部) が位置している。一方、ソース領域 S R 1 とゲート絶縁膜 G I 1 の間には、凹部 R S (第 3 凹部) が位置している。

20

【 0 0 1 6 】

なお、 L D D 領域 L D 1 及び L D S 領域 L S 1 は、ウェル W L 1 と反対の導電性を有する領域である。そしてドレイン領域 D R 1 は、 L D D 領域 L D 1 より浅く、かつ不純物濃度が L D D 領域 L D 1 より高い。同様に、ソース領域 S R 1 は、 L D S 領域 L S 1 より浅く、かつ不純物濃度が L D S 領域 L S 1 より高い。

【 0 0 1 7 】

凹部 R D には、絶縁膜 D F (第 1 絶縁膜) が埋め込まれている。同様に、凹部 R S には、絶縁膜 D F (第 2 絶縁膜) が埋め込まれている。絶縁膜 D F は、例えば、シリコン酸化膜である。本図に示す例において、凹部 R D の絶縁膜 D F 及び凹部 R S の絶縁膜 D F は、ゲート絶縁膜 G I 1 と一体である。そして凹部 R D の絶縁膜 D F は、ゲート絶縁膜 G I 1 側の領域に凹部 R D 1 (第 2 凹部) を有している。同様に、凹部 R S の絶縁膜 D F は、ゲート絶縁膜 G I 1 側の領域に凹部 R S 1 (第 4 凹部) を有している。凹部 R D 1 及び凹部 R S 1 それぞれには、ゲート電極 G E 1 の一部が埋め込まれている。

30

【 0 0 1 8 】

ゲート電極 G E 1 は、基板 S U B 上に位置している。さらにゲート電極 G E 1 の側面には、サイドウォール S W 1 が形成されている。なお、ゲート電極 G E 1 は、例えばポリシリコンにより形成されている。サイドウォール S W 1 は、例えば、シリコン酸化膜又はシリコン窒化膜により形成されている。

【 0 0 1 9 】

トランジスタ T R 1 は、絶縁層 I L によって覆われている。絶縁層 I L には、コンタクト C T 1 が埋め込まれている。ドレイン領域 D R 1 側のコンタクト C T 1 は、ドレイン領域 D R 1 に接続している。ソース領域 S R 1 側のコンタクト C T 1 は、ソース領域 S R 1 に接続している。

40

【 0 0 2 0 】

図 3 (a) は、図 2 に示した凹部 R D を拡大した図である。図 3 (b) は、図 3 (a) における部分の拡大図である。本図 (a) に示すように、凹部 R D のゲート絶縁膜 G I 1 側では、凹部 R D の内側面と基板 S U B の表面によって形成される角 (角 C R 1) が位置している。そして本図 (b) に示すように、角 C R 1 は丸まっている。これにより、角 C R 1 での電界集中が抑制される。

【 0 0 2 1 】

50

詳細には、本図(a)に示すように、基板SUBの表面は、角CR1を除いて、一直線(第1直線)上に位置している。同様に、凹部RDのうちゲート絶縁膜GI1側の内側面は、角CR1を除いて、一直線(第2直線)上に位置している。この場合、角CR1は、上記した第1直線及び上記した第2直線のなす角の内側に位置するようになる。なお、第1直線及び第2直線のなす角度は、例えば、90度以上120度以下である。

【0022】

さらに本図(a)に示すように、ゲート絶縁膜GI1及び絶縁膜DFは、一体となっている。そして凹部RDのゲート絶縁膜GI1側では、ゲート絶縁膜GI1及び絶縁膜DFを構成する絶縁膜が角CR1に沿って形成されている。これにより、凹部RDは、上記した絶縁膜のうち角CR1に沿って形成されている部分を内側面に有するようになる。

10

【0023】

なお、凹部RDの深さ(本図(a)では、基板SUBの厚さ方向において、ドレイン領域DR1の上面と凹部RDの底面との距離)は、例えば、200nm以上400nm以下である。さらに上記した第1直線(基板SUBの表面に沿った直線)及び上記した第2直線(凹部RDの内側面に沿った直線)のなす角度は、上記したように、例えば、90度以上120度以下である。そして凹部RDの深さ及び上記した角度が上記したようになる場合、角CR1は、曲率半径の最小値が例えば10nm以上200nm以下となるように丸まっている。

【0024】

図4(a)は、図2に示した凹部RSを拡大した図である。図4(b)は、図4(a)における部分の拡大図である。本図(a)に示すように、凹部RSのゲート絶縁膜GI1側では、凹部RSの内側面と基板SUBの表面によって形成される角(角CR2)が位置している。そして本図(b)に示すように、角CR2は丸まっている。これにより、角CR2での電界集中が抑制される。

20

【0025】

詳細には、本図(a)に示すように、基板SUBの表面は、角CR2を除いて、一直線(第3直線)上に位置している。同様に、凹部RSのうちゲート絶縁膜GI1側の内側面は、角CR2を除いて、一直線(第4直線)上に位置している。この場合、角CR2は、上記した第3直線及び上記した第4直線のなす角の内側に位置するようになる。なお、第3直線及び第4直線のなす角度は、例えば、90度以上120度以下である。

30

【0026】

さらに本図(a)に示すように、ゲート絶縁膜GI1及び絶縁膜DFは、一体となっている。そして凹部RSのゲート絶縁膜GI1側では、ゲート絶縁膜GI1及び絶縁膜DFを構成する絶縁膜が角CR2に沿って形成されている。これにより、凹部RSは、上記した絶縁膜のうち角CR2に沿って形成されている部分を内側面に有するようになる。

【0027】

なお、凹部RSの深さ(本図(a)では、基板SUBの厚さ方向において、ソース領域SR1の上面と凹部RDの底面との距離)は、例えば、200nm以上400nm以下である。さらに上記した第3直線(基板SUBの表面に沿った直線)及び上記した第4直線(凹部RSの内側面に沿った直線)のなす角度は、上記したように、例えば、90度以上120度以下である。そして凹部RSの深さ及び上記した角度が上記したようになる場合、角CR2は、曲率半径の最小値が例えば10nm以上200nm以下となるように丸まっている。

40

【0028】

図5は、図2の変形例を示す図である。ソース領域SR1とウェルWL1の間には、高い耐圧が要求されない場合がある。このような場合、本図に示すように、LDS領域LS1(図2)及び凹部RS(図2)を形成しなくてもよい。本図に示す例では、ゲート絶縁膜GI1は、ドレイン領域DR1側の端部がドレイン領域DR1に達している。

【0029】

図6~図14は、図3に示した半導体装置の製造方法を示す断面図である。まず、図2

50

に示すように、基板SUBにウェルWL1を形成する。次いで、ウェルWL1にLDD領域LD1及びLDS領域LS1を形成する。

【0030】

次いで、図6に示すように、基板SUB上に酸化膜OX1（例えば、シリコン酸化膜）、窒化膜NT1（例えば、シリコン窒化膜）（第1絶縁膜）、反射防止膜ARC、及びマスク膜MK1をこの順で積層する。次いで、リソグラフィにより、マスク膜MK1に開口OP1を形成する。

【0031】

次いで、図7に示すように、マスク膜MK1をマスクとして、窒化膜NT1、酸化膜OX1、及び基板SUBをエッチングする。これにより、窒化膜NT1及び酸化膜OX1に開口OP2が形成される。さらに、開口OP2を介して基板SUBに凹部RDが形成される。次いで、マスク膜MK1及び反射防止膜ARCを除去する。

10

【0032】

次いで、図8に示すように、基板SUB上及び窒化膜NT1上に絶縁膜DF（例えば、シリコン酸化膜）（第2絶縁膜）を形成する。これにより、凹部RD及び開口OP2が絶縁膜DFによって埋め込まれる。さらに、絶縁膜DFは、窒化膜NT1上に形成される。なお、絶縁膜DFは、例えば、CVD（Chemical Vapor Deposition）により形成される。

【0033】

次いで、図9に示すように、絶縁膜DFの表層を除去する。これにより、窒化膜NT1上の絶縁膜DFが除去される。絶縁膜DFの除去には、例えば、CMP（Chemical Mechanical Polishing）を用いる。

20

【0034】

次いで、図10に示すように、絶縁膜DFの表層をさらに除去する。これにより、絶縁膜DFの上面の高さを窒化膜NT1の上面の高さよりも低くする。さらに本図に示す例では、絶縁膜DFの上面の高さは、基板SUBの表面より高い。なお、絶縁膜DFの除去には、例えば、ウェットエッチングを用いる。

【0035】

次いで、図11に示すように、絶縁膜DF上及び窒化膜NT1上に窒化膜NT2（例えば、シリコン窒化膜）（第3絶縁膜）を形成する。この場合、本図に示すように、窒化膜NT2は、凹部RDと重なる領域において凹部RE1を有するようになる。これは、絶縁膜DFの上面が窒化膜NT1の上面よりも低いためである。この場合、絶縁膜DFの上面と窒化膜NT1の上面の間には、段差が生まれる。そしてこの段差によって、窒化膜NT2の上面に、上記したように凹部RE1が形成される。なお、凹部RE1の深さは、例えば10nm以上100nm以下である。

30

【0036】

次いで、図12に示すように、窒化膜NT2上にマスク膜MK2を形成する。この場合、マスク膜MK2は、凹部RE1の一部を平面視で内側に含む領域（第1領域RG1）を覆っている。言い換えると、マスク膜MK2は、凹部RE1の残りの部分を平面視で内側に含む領域（第2領域RG2）を覆っていない。この場合、第2領域RG2は、後の工程においてゲート絶縁膜GI1（図3）が形成される領域である。

40

【0037】

次いで、図13に示すように、マスク膜MK2をマスクとして、窒化膜NT2、窒化膜NT1、酸化膜OX1、及び絶縁膜DFをエッチングする。これにより、第2領域RG2において、窒化膜NT2、窒化膜NT1、及び酸化膜OX1を除去する。さらに第2領域RG2において、絶縁膜DFの上面を凹部RDの上端よりも下に位置させる。この場合、第2領域RG2において、基板SUBの一部が除去される。そしてこの場合、詳細を後述するように、第2領域RG2において、凹部RDの内側面と基板SUBの表面によって形成される角（角CR1）が丸まる。次いで、マスク膜MK2を除去する。

【0038】

50

角CR1が丸まる理由について説明する。図12に示したように、窒化膜NT2の上面には、凹部RE1によって段差が生じている。そして図12及び図13に示す例では、基板SUBの厚さ方向におけるエッチングがいずれの領域でもほぼ均一に進行する。この場合、窒化膜NT2の上記した段差の形状が基板SUBの表面に転写されるようになる。これにより、角CR1が丸まる。

【0039】

次いで、図14に示すように、第1領域RG1に窒化膜NT2を残したまま、第2領域RG2において、例えば熱酸化により、基板SUBに酸化膜OX2を形成する。酸化膜OX2は、ゲート絶縁膜GI1になる絶縁膜である。この場合、酸化膜OX2（ゲート絶縁膜GI2）を側面に有する凹部（凹部RD1）が凹部RDの絶縁膜DFに形成される。次いで、ゲート電極GE1及びサイドウォールSW1を形成する。これにより、図3に示した半導体装置が製造される。

10

【0040】

図15～図19は、比較例に係る半導体装置の製造方法を示す断面図である。比較例は、以下の点を除いて、本実施形態と同様である。まず、比較例では、本実施形態と同様にして、図6～図9に示した工程を実施する。

【0041】

次いで、図15に示すように、窒化膜NT1（図9）を除去する。これにより、絶縁膜DFの上面が酸化膜OX1（基板SUB）の上面よりも上に位置するようになる。

【0042】

次いで、図16に示すように、酸化膜OX1（基板SUB）上及び絶縁膜DF上に窒化膜NT2を形成する。この場合、本図に示すように、窒化膜NT2の上面は、凹部RD上において凸部CONを有するようになる。これは、絶縁膜DFの上面が酸化膜OX1（基板SUB）の上面よりも低いためである。この場合、絶縁膜DFの上面と酸化膜OX1（基板SUB）の上面の間には、段差が生まれる。そしてこの段差によって、窒化膜NT2の上面に、上記したように凸部CONが形成される。

20

【0043】

次いで、図17に示すように、窒化膜NT2上にマスク膜MK2を形成する。この場合、マスク膜MK2は、凹部RDの一部を平面視で内側に含む領域（第1領域RG1）を覆っている。言い換えると、マスク膜MK2は、凹部RDの残りの部分を平面視で内側に含む領域（第2領域RG2）を覆っていない。この場合、第2領域RG2は、後の工程においてゲート絶縁膜GI1（図3）が形成される領域である。

30

【0044】

次いで、図18に示すように、マスク膜MK2をマスクとして、窒化膜NT2、酸化膜OX1、及び絶縁膜DFをエッチングする。これにより、第2領域RG2において、窒化膜NT2及び酸化膜OX1を除去する。さらに第2領域RG2において、絶縁膜DFの上面を凹部RDの上端よりも下に位置させる。この場合、第2領域RG2において、基板SUBの一部が除去される。そしてこの場合、詳細を後述するように、第2領域RG2において、凹部RDの内側面と基板SUBの表面によって形成される角（角CR1）に突出部PROが形成される。突出部PROは、基板SUBの表面から上に向かって突出している。次いで、マスク膜MK2を除去する。

40

【0045】

突出部PROが形成される理由について説明する。図17に示したように、窒化膜NT2の上面には、凸部CONによって段差が生じている。そして図17及び図18に示す例では、基板SUBの厚さ方向におけるエッチングがいずれの領域でもほぼ均一に進行する。そして図17に示すように、窒化膜NT2は、上記した段差が形成されている部分の膜厚（基板SUBの厚さ方向の厚さ）が他の部分の膜厚（基板SUBの厚さ方向の厚さ）よりも厚い。この場合、上記した段差が形成されている領域のエッチングは、残りの領域のエッチングに比して遅く基板SUBに達する。これにより、上記した段差が形成されている領域と残りの領域の間で、基板SUBのエッチング量に差が生じる。結果、突出部PR

50

Oが形成される。

【0046】

次いで、図19に示すように、第1領域RG1に窒化膜NT2を残したまま、第2領域RG2において、例えば熱酸化により、基板SUBに酸化膜OX2を形成する。酸化膜OX2は、ゲート絶縁膜GI1になる絶縁膜である。この場合、基板SUBの表面には、突出部PROが残っている。そしてこのような突出部PROは、電界集中の原因になり得る。

【0047】

本実施形態(図6~図14)と比較例(図15~図19)を対比する。本実施形態では、図11に示すように、窒化膜NT2の上面は、凹部RD上において凹部RE1を有している。そして上記したように、凹部RDの内側面と基板SUBの表面によって形成される角(角CR1)は、凹部RE1に起因して丸まるようになる(図13)。これに対して、比較例では、図16に示すように、窒化膜NT2の上面は、凹部RD上において凸部CONを有している。そして上記したように、角CR1は、凸部CONに起因して突出部PROを有するようになる(図18)。この対比から明らかなように、角CR1が丸まるか又は突出部PROを有するかは、窒化膜NT2の上面の形状によって決定される。

10

【0048】

さらに上記したように、本実施形態では、図13に示すように、角CR1が丸まっている。これにより、本実施形態では、角CR1での電界集中を抑制することができる。これに対して、比較例では、図18に示すように、角CR1が突出部PROを有している。これにより、比較例では、突出部PROが電界集中の原因になり得る。この対比から明らかなように、本実施形態では、比較例よりも、角CR1での電界集中を抑制することができる。

20

【0049】

以上、本実施形態によれば、凹部RDの内側面と基板SUBの表面によって形成される角(角CR1)が丸まっている。これにより、角CR1での電界集中を効果的に抑制することができる。

【0050】

図20~図25は、図6~図14に示した方法の変形例を示す図である。本変形例は、以下の点を除いて、本実施形態と同様である。まず、本変形例では、本実施形態と同様にして、図6~図9に示した工程を実施する。

30

【0051】

次いで、図20に示すように、絶縁膜DFの表層をさらに除去する。これにより、絶縁膜DFの上面の高さを凹部RDの上端の高さよりも低くする。なお、絶縁膜DFの除去には、例えば、ウェットエッチングを用いる。

【0052】

次いで、図21に示すように、窒化膜NT1(図20)を除去する。

【0053】

次いで、図22に示すように、酸化膜OX1(基板SUB)上及び絶縁膜DF上に窒化膜NT2(第3絶縁膜)を形成する。この場合、本図に示すように、窒化膜NT2は、凹部RDと重なる領域において凹部RE1を有するようになる。これは、絶縁膜DFの上面が酸化膜OX1(基板SUB)の上面よりも低いためである。この場合、絶縁膜DFの上面と酸化膜OX1(基板SUB)の上面の間には、段差が生まれる。そしてこの段差によって、窒化膜NT2の上面に、上記したように凹部RE1が形成される。

40

【0054】

次いで、図23に示すように、窒化膜NT2上にマスク膜MK2を形成する。この場合、マスク膜MK2は、凹部RE1の一部を平面視で内側に含む領域(第1領域RG1)を覆っている。言い換えると、マスク膜MK2は、凹部RE1の残りの部分を平面視で内側に含む領域(第2領域RG2)を覆っていない。この場合、第2領域RG2は、後の工程においてゲート絶縁膜GI1(図3)が形成される領域である。

50

【 0 0 5 5 】

次いで、図 2 4 に示すように、マスク膜 M K 2 をマスクとして、窒化膜 N T 2、酸化膜 O X 1、及び絶縁膜 D F をエッチングする。これにより、第 2 領域 R G 2 において、窒化膜 N T 2 及び酸化膜 O X 1 を除去する。さらに第 2 領域 R G 2 において、絶縁膜 D F の上面を凹部 R D の上端よりも下に位置させる。この場合、第 2 領域 R G 2 において、基板 S U B の一部が除去される。そしてこの場合、本実施形態（例えば、図 1 3）と同様にして、第 2 領域 R G 2 において、凹部 R D の内側面と基板 S U B の表面によって形成される角（角 C R 1）が丸まる。次いで、マスク膜 M K 2 を除去する。

【 0 0 5 6 】

次いで、図 2 5 に示すように、第 1 領域 R G 1 に窒化膜 N T 2 を残したまま、第 2 領域 R G 2 において、例えば熱酸化により、基板 S U B に酸化膜 O X 2 を形成する。酸化膜 O X 2 は、ゲート絶縁膜 G I 1 になる絶縁膜である。この場合、酸化膜 O X 2（ゲート絶縁膜 G I 2）を側面に有する凹部（凹部 R D 1）が凹部 R D の絶縁膜 D F に形成される。

10

【 0 0 5 7 】

本変形例においても、本実施形態と同様にして、凹部 R D の内側面と基板 S U B の表面によって形成される角（角 C R 1）が丸まっている。これにより、角 C R 1 での電界集中を効果的に抑制することができる。

【 0 0 5 8 】

（第 2 の実施形態）

図 2 6 は、第 2 の実施形態に係る半導体装置の構成を示す平面図である。本実施形態に係る半導体装置は、以下の点を除いて、第 1 の実施形態に係る半導体装置と同様の構成である。

20

【 0 0 5 9 】

本図に示す例において、半導体装置は、LCD（Liquid Crystal Display）ドライバである。詳細には、本図に示すように、半導体装置は、同一の基板 S U B にアナログ領域 A N R 及びデジタル領域 D G R を備えている。基板 S U B は、半導体基板であり、例えば、シリコン基板又は S O I（Silicon On Insulator）基板である。そして基板 S U B は、平面形状が矩形となっている。アナログ領域 A N R 及びデジタル領域 D G R は、上記した矩形の長手方向に互いに対向している。なお、半導体装置の平面レイアウトは、本図に示す例に限定されるものではない。

30

【 0 0 6 0 】

アナログ領域 A N R は、アナログ回路 A N C（第 1 回路）を含んでいる。デジタル領域 D G R は、デジタル回路 D G C（第 2 回路）を含んでいる。アナログ回路 A N C は、電源電位が第 1 電圧である。デジタル回路 D G C は、電源電位が第 2 電圧である。第 2 電圧は、第 1 電圧より低い。例えば、第 1 電圧は約 1 0 V であり、第 2 電圧は約 1 V である。アナログ回路 A N C は、例えば、LCD を駆動する電圧を生成する回路である。デジタル回路 D G C は、例えば、ロジック回路である。

【 0 0 6 1 】

図 2 7 は、トランジスタ T R 1 の構成及びトランジスタ T R 2 の構成を示す断面図である。図 2 8 は、トランジスタ T R 2 の構成を示す平面図である。図 2 7 に示したアナログ領域 A N R は、図 2 に対応している。図 2 7 に示したデジタル領域 D G R は、図 2 8 の B - B ' 断面に対応している。

40

【 0 0 6 2 】

本実施形態において、トランジスタ T R 1 は、図 2 6 に示したアナログ回路 A N C を構成している。トランジスタ T R 2 は、図 2 6 に示したデジタル回路 D G C を構成している。図 2 7 に示すように、トランジスタ T R 1 及びトランジスタ T R 2 は、同一の基板 S U B を用いて形成されている。なお、本実施形態に係るトランジスタ T R 1 は、第 1 の実施形態に係るトランジスタ T R 1 と同様の構成である。

【 0 0 6 3 】

図 2 7 に示すように、基板 S U B は、デジタル領域 D G R にウェル W L 2 を有している

50

。トランジスタTR2は、ウェルWL2を用いて形成されている。トランジスタTR2は、ゲート電極GE2、ゲート絶縁膜GI2、ドレイン領域DR2、ソース領域SR2、LDD領域LD2、LDS領域LS2、及びサイドウォールSW2を備えている。

【0064】

図28を用いて、トランジスタTR2の平面レイアウトについて説明する。トランジスタTR2では、ドレイン（ドレイン領域DR2）、ゲート電極GE2、及びソース（ソース領域SR2）が第3方向（X2方向）にこの順で並んでいる。そしてドレイン領域DR2、ゲート電極GE2、及びソース領域SR2それぞれは、第3方向に直交する第4方向（Y2方向）に延伸している。なお、第3方向（X2方向）及び第4方向（Y2）は、第1方向（X1方向）及び第2方向（Y1方向）（図1）とそれぞれ同じでもよいし、又は第1方向（X1方向）及び第2方向（Y1方向）（図1）とそれぞれ異なってもよい。

10

【0065】

上記したように、基板SUBには、分離領域IRが形成されている。本図に示すように、ドレイン領域DR2及びソース領域SR2は、分離領域IRによって規定されている。なお、本図に示す例では、ドレイン領域DR2とソース領域SR2の間には、分離領域IRは形成されていない。ドレイン領域DR2とソース領域SR2の間には、LDD領域LD2、ゲート電極GE2、及びLDS領域LS2が位置している。

【0066】

ドレイン領域DR2には、複数のコンタクトCT2が設けられている。これらのコンタクトCT2は、第4方向（Y2方向）に沿って配置されている。ソース領域SR2には、複数のコンタクトCT2が設けられている。これらのコンタクトCT2は、第4方向（Y2方向）に沿って配置されている。

20

【0067】

次に、図27を用いて、トランジスタTR2の断面構造について説明する。本図に示すように、トランジスタTR2は、基板SUB上にゲート電極GE2を有し、基板SUB（ウェルWL2）にドレイン領域DR2及びソース領域SR2を有している。

【0068】

本図に示すように、LDD領域LD2は、ゲート電極GE2とドレイン領域DR2の間に位置している。LDD領域LD2は、ウェルWL2と反対の導電型を有する領域であり、かつドレイン領域DR2よりも不純物濃度が低い。同様に、LDS領域LS2は、ゲート電極GE2とソース領域SR2の間に位置している。LDS領域LS2は、ウェルWL2と反対の導電型を有する領域であり、かつソース領域SR2よりも不純物濃度が低い。

30

【0069】

ゲート絶縁膜GI2は、基板SUBとゲート電極GE2の間に位置している。本実施形態において、ゲート絶縁膜GI2は、例えば、ゲート絶縁膜GI1と同じ種類の絶縁膜（例えば、シリコン酸化膜）である。そしてゲート絶縁膜GI2の膜厚T2は、ゲート絶縁膜GI1の膜厚T1よりも薄い。これは、デジタル回路DGCの電源電位（第2電圧）が上記したようにアナログ回路ANCの電源電位（第1電圧）よりも低いためである。言い換えると、トランジスタTR2（デジタル回路DGCを構成するトランジスタ）の耐圧は、トランジスタTR1（アナログ回路ANCを構成するトランジスタ）の耐圧よりも低くてもよい。これにより、ゲート絶縁膜GI2の膜厚T2をゲート絶縁膜GI1の膜厚T1よりも薄くすることができる。

40

【0070】

さらに本図に示す例において、第3方向（X2方向）におけるゲート電極GE2の長さL2は、第1方向（X1）方向におけるゲート電極GE1の長さL1より短い。これは、上記と同様にして、トランジスタTR2の耐圧がトランジスタTR1の耐圧よりも低くてもよい。これにより、ゲート電極GE2の長さL2をゲート電極GE1の長さL1よりも短いものにすることができる。

【0071】

50

トランジスタTR1と同様にして、トランジスタTR2は、絶縁層ILによって覆われている。絶縁層ILには、コンタクトCT2が埋め込まれている。ドレイン領域DR2側のコンタクトCT2は、ドレイン領域DR2に接続している。ソース領域SR2側のコンタクトCT2は、ソース領域SR2に接続している。

【0072】

図29～図39は、図27に示した半導体装置の製造方法を示す断面図である。まず、図29に示すように、基板SUBにウェルWL1, WL2を形成する。次いで、ウェルWL1にLDD領域LD1及びLDS領域LS1を形成する。次いで、基板SUB上に酸化膜OX1（例えば、シリコン酸化膜）、窒化膜NT1、反射防止膜ARC、及びマスク膜MK1をこの順で積層する。次いで、リソグラフィにより、マスク膜MK1に開口OP1

10

【0073】

次いで、図30に示すように、マスク膜MK1をマスクとして、窒化膜NT1、酸化膜OX1、及び基板SUBをエッチングする。これにより、窒化膜NT1及び酸化膜OX1に開口OP2が形成される。さらに、開口OP2を介して基板SUBに凹部RECが形成される。この場合、凹部RECは、アナログ領域ANRに凹部RD, RSを含んでいる。次いで、マスク膜MK1及び反射防止膜ARCを除去する。

【0074】

次いで、図31に示すように、基板SUB上及び窒化膜NT1上に絶縁膜DFを形成する。これにより、凹部REC及び開口OP2が絶縁膜DFによって埋め込まれる。さらに、絶縁膜DFは、窒化膜NT1上に形成される。なお、絶縁膜DFは、例えば、CVD（Chemical Vapor Deposition）により形成される。

20

【0075】

次いで、図32に示すように、絶縁膜DFの表層を除去する。これにより、窒化膜NT1上の絶縁膜DFが除去される。絶縁膜DFの除去には、例えば、CMP（Chemical Mechanical Polishing）を用いる。

【0076】

次いで、図33に示すように、絶縁膜DFの表層をさらに除去する。これにより、絶縁膜DFの上面の高さを窒化膜NT1の上面の高さよりも低くする。さらに本図に示す例では、絶縁膜DFの上面の高さは、基板SUBの表面より高い。なお、絶縁膜DFの除去には、例えば、ウェットエッチングを用いる。

30

【0077】

次いで、図34に示すように、絶縁膜DF上及び窒化膜NT1上に窒化膜NT2を形成する。この場合、第1の実施形態（図11）と同様にして、本図に示すように、窒化膜NT2は、凹部RECと重なる領域において凹部RE1を有するようになる。

【0078】

次いで、図35に示すように、窒化膜NT2上にマスク膜MK2を形成する。マスク膜MK2は、第2領域RG2に開口OP3を有している。第2領域RG2は、後の工程においてゲート絶縁膜GI1（図27）が形成される領域である。マスク膜MK2は、第2領域RG2以外の領域（第1領域RG1）において、窒化膜NT2を覆っている。

40

【0079】

次いで、図36に示すように、マスク膜MK2をマスクとして、窒化膜NT2、窒化膜NT1、酸化膜OX1、及び絶縁膜DFをエッチングする。これにより、第2領域RG2において、窒化膜NT2、窒化膜NT1、及び酸化膜OX1を除去する。さらに第2領域RG2において、絶縁膜DFの上面を凹部RECの上端よりも下に位置させる。この場合、第2領域RG2において、基板SUBの一部が除去される。そしてこの場合、第1の実施形態（例えば、図13）と同様にして、第2領域RG2において、凹部RECの内側面と基板SUBの表面によって形成される角（角CR1, CR2）が丸まる。次いで、マスク膜MK2を除去する。

【0080】

50

本図に示す工程において、デジタル領域 DGR の基板 SUB は、窒化膜 NT2 によって覆われている。このため、本図に示した工程において、デジタル領域 DGR の絶縁膜 DF の上面は除去されない。これにより、図 27 に示したように、デジタル領域 DGR の絶縁膜 DF の上面は、凹部 RD1 の底面及び凹部 RS1 の底面よりも上に位置するようになる。

【0081】

次いで、図 37 に示すように、第 1 領域 RG1 に窒化膜 NT2 を残したまま、第 2 領域 RG2 において、例えば熱酸化により、基板 SUB に酸化膜 OX2 を形成する。酸化膜 OX2 は、ゲート絶縁膜 GI1 になる絶縁膜である。この場合、酸化膜 OX2 (ゲート絶縁膜 GI2) を側面に有する凹部 RD1, RS1 がそれぞれ凹部 RD, RS の絶縁膜 DF に形成される。

10

【0082】

次いで、図 38 に示すように、窒化膜 NT2、窒化膜 NT1、及び酸化膜 OX1 を除去する。次いで、例えば熱酸化により、基板 SUB に酸化膜 OX3 を形成する。酸化膜 OX3 は、ゲート絶縁膜 GI2 (図 27) になる絶縁膜である。次いで、基板 SUB 上に導電膜 GE を形成する。導電膜 GE は、ゲート電極 GE1, GE2 (図 27) になる導電膜 (例えば、ポリシリコン膜) である。

【0083】

次いで、図 39 に示すように、導電膜 GE 及び酸化膜 OX3 (図 38) をパターニングする。これにより、ゲート電極 GE1, GE2 及びゲート絶縁膜 GI2 を形成する。次いで、デジタル領域 DGR に LDD 領域 LD2 及び LDS 領域 LS2 を形成する。次いで、サイドウォール SW1, SW2 になる絶縁膜を基板 SUB 上に形成する。次いで、この絶縁膜をエッチバックする。これにより、サイドウォール SW1, SW2 が形成される。次いで、ドレイン領域 DR1 及びソース領域 SR1 並びにドレイン領域 DR2 及びソース領域 SR2 を形成する。次いで、基板 SUB 上に絶縁層 IL を形成する。次いで、絶縁層 IL にコンタクト CT1, CT2 を埋め込む。このようにして、図 27 に示した半導体装置が製造される。

20

【0084】

本実施形態においても、第 1 の実施形態と同様の効果が得られる。

【0085】

以上、本発明者によってなされた発明を実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

30

【符号の説明】

【0086】

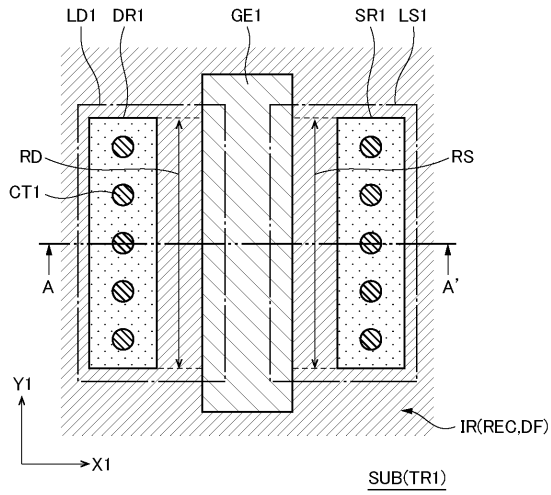
ANC アナログ回路
 ANR アナログ領域
 ARC 反射防止膜
 CON 凸部
 CR1 角
 CR2 角
 CT1 コンタクト
 CT2 コンタクト
 DF 絶縁膜
 DGC デジタル回路
 DGR デジタル領域
 DR1 ドレイン領域
 DR2 ドレイン領域
 GE 導電膜
 GE1 ゲート電極

40

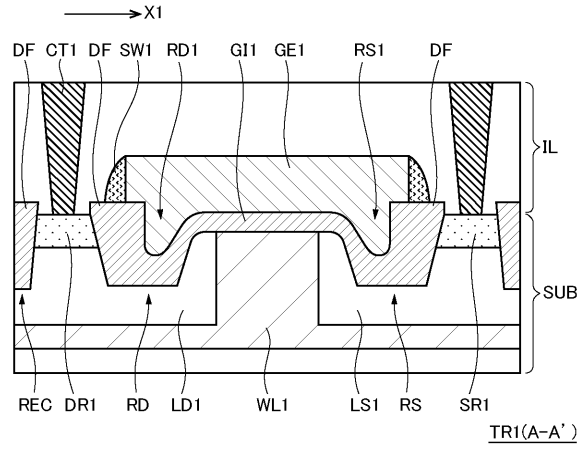
50

GE 2	ゲート電極	
GI 1	ゲート絶縁膜	
GI 2	ゲート絶縁膜	
IL	絶縁層	
IR	分離領域	
LD 1	LDD領域	
LD 2	LDD領域	
LS 1	LDS領域	
LS 2	LDS領域	
MK 1	マスク膜	10
MK 2	マスク膜	
NT 1	窒化膜	
NT 2	窒化膜	
OP 1	開口	
OP 2	開口	
OP 3	開口	
OX 1	酸化膜	
OX 2	酸化膜	
OX 3	酸化膜	
PRO	突出部	20
RD	凹部	
RD 1	凹部	
RE 1	凹部	
REC	凹部	
RG 1	第1領域	
RG 2	第2領域	
RS	凹部	
RS 1	凹部	
SR 1	ソース領域	
SR 2	ソース領域	30
SUB	基板	
SW 1	サイドウォール	
SW 2	サイドウォール	
TR 1	トランジスタ	
TR 2	トランジスタ	
WL 1	ウェル	
WL 2	ウェル	

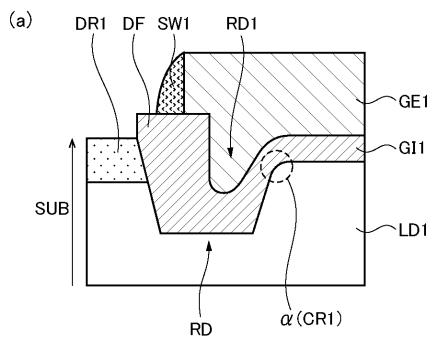
【 図 1 】



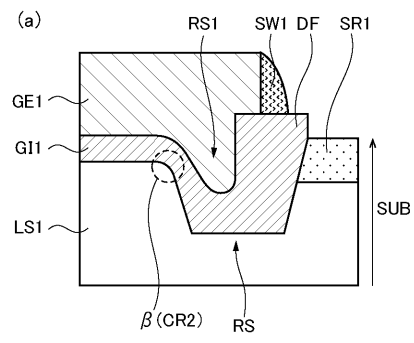
【 図 2 】



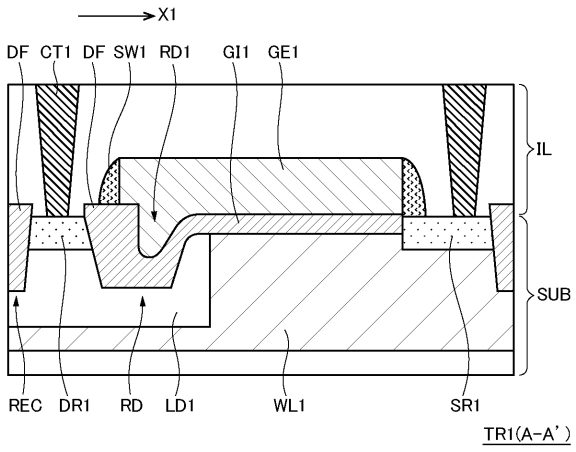
【 図 3 】



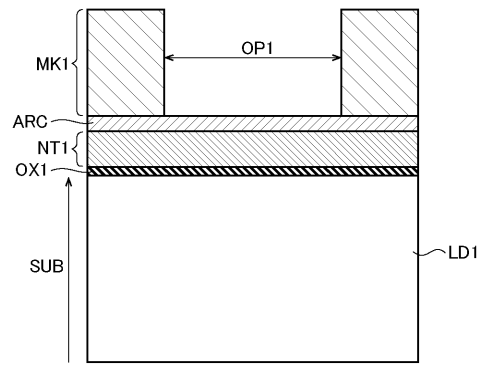
【 図 4 】



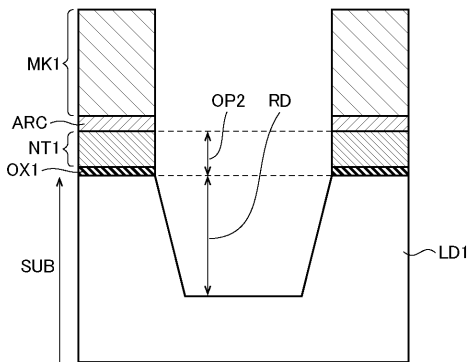
【 図 5 】



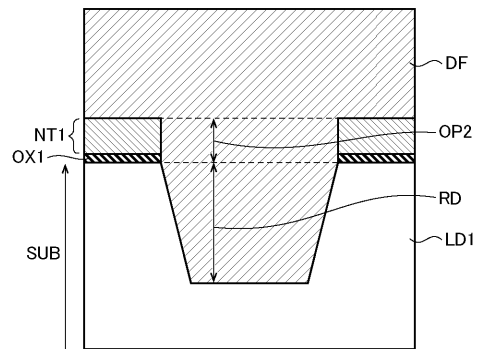
【 図 6 】



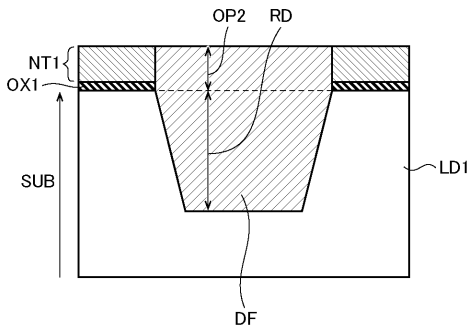
【 図 7 】



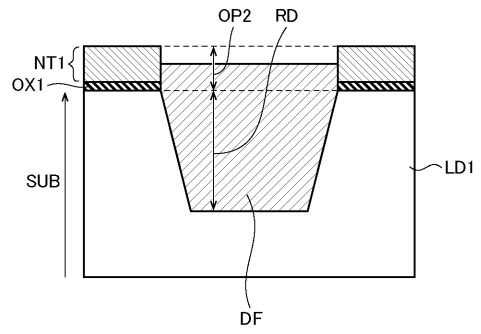
【 図 8 】



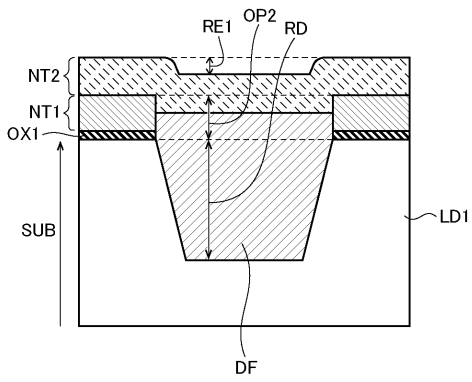
【 図 9 】



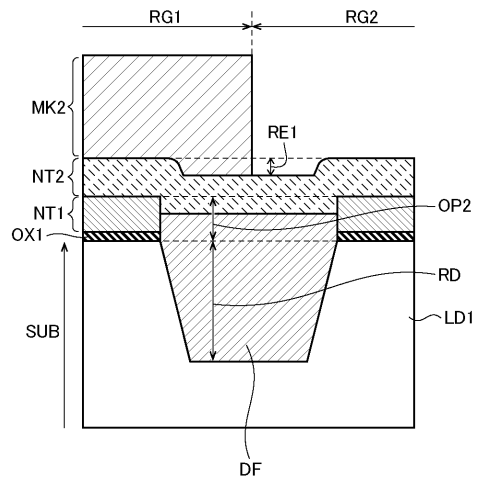
【 図 10 】



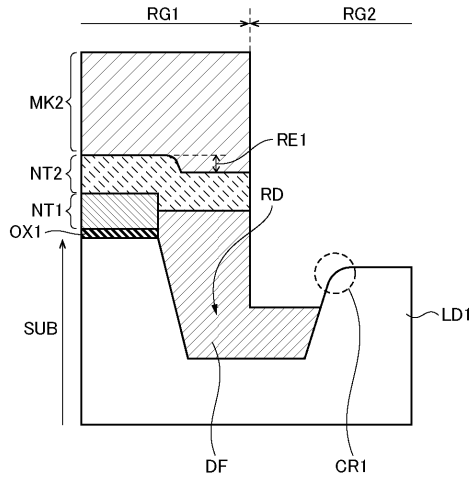
【 図 11 】



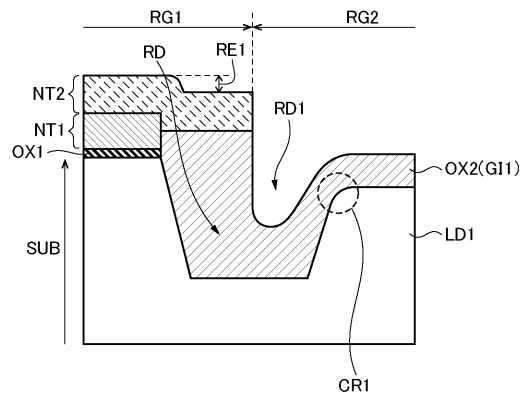
【 図 12 】



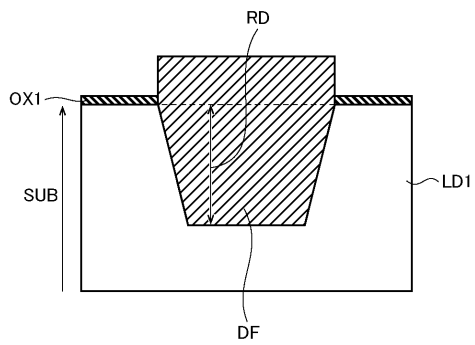
【 図 1 3 】



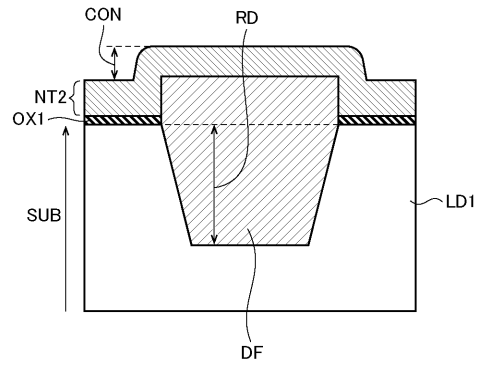
【 図 1 4 】



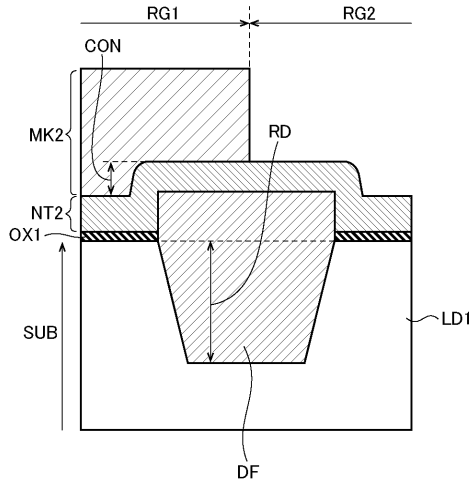
【 図 1 5 】



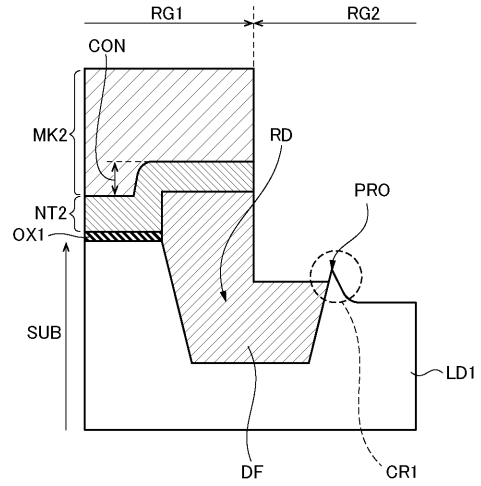
【 図 1 6 】



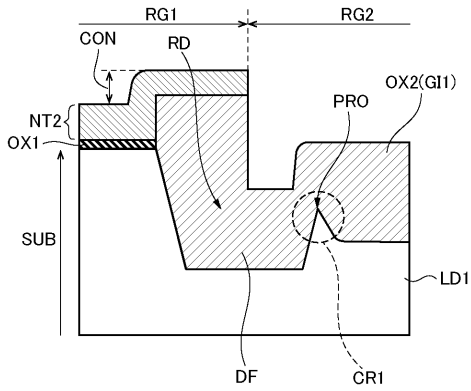
【 図 1 7 】



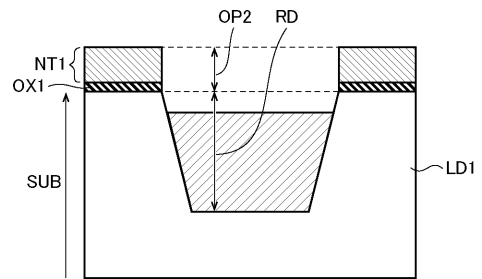
【 図 1 8 】



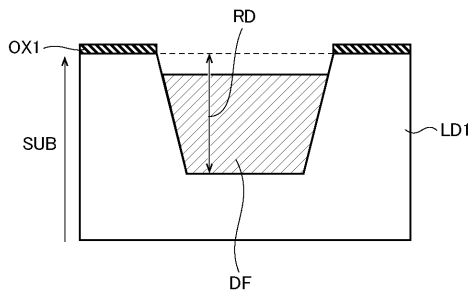
【 図 1 9 】



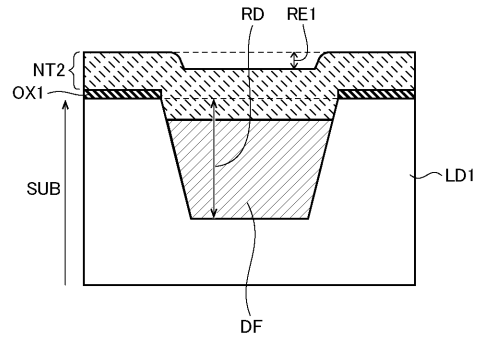
【 図 2 0 】



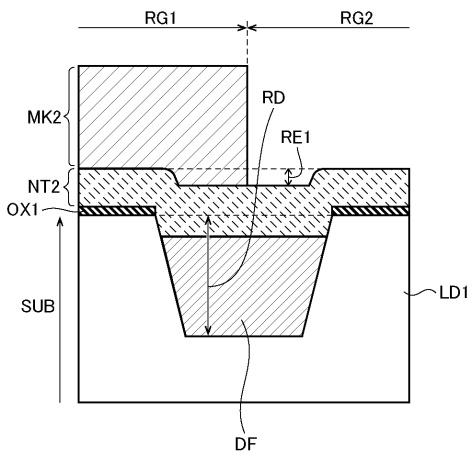
【 図 2 1 】



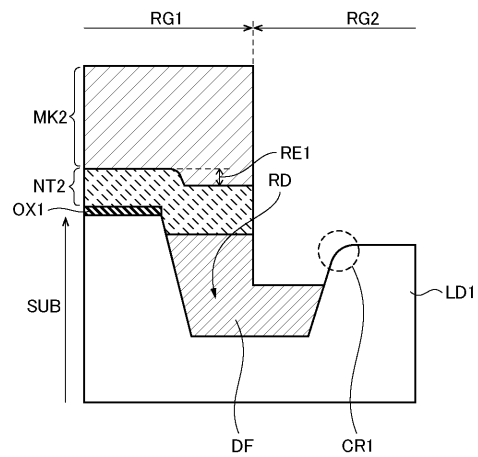
【 図 2 2 】



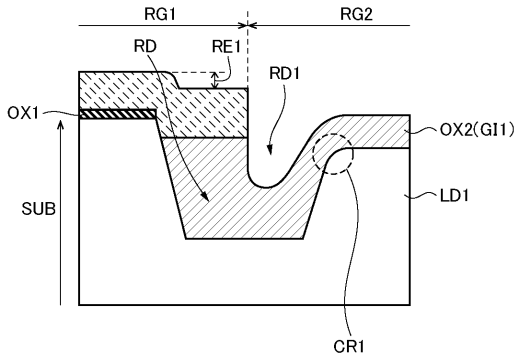
【 図 2 3 】



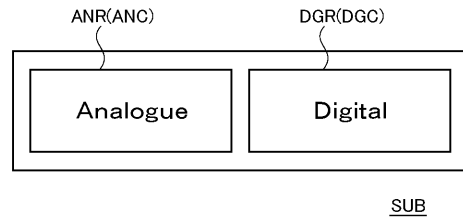
【 図 2 4 】



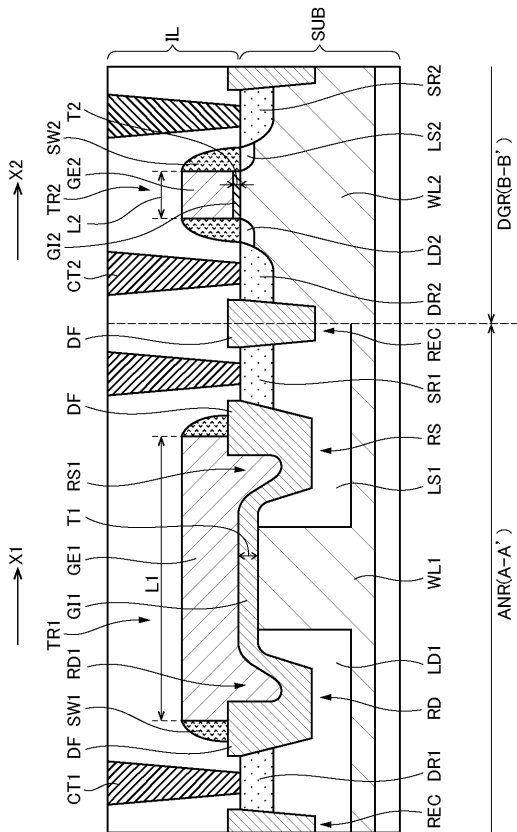
【 図 2 5 】



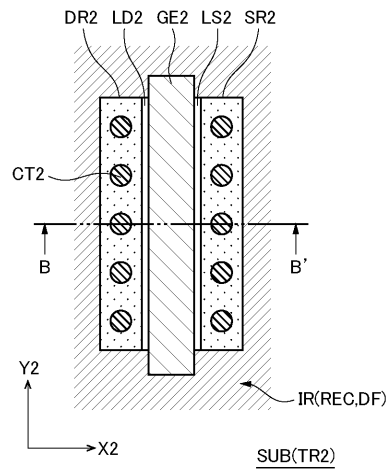
【 図 2 6 】



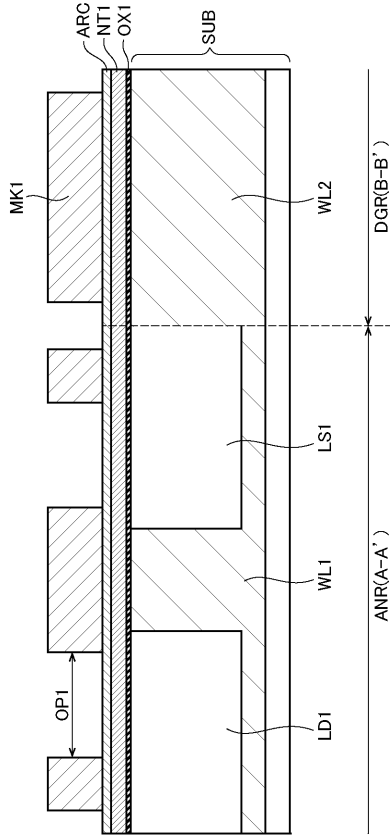
【 図 2 7 】



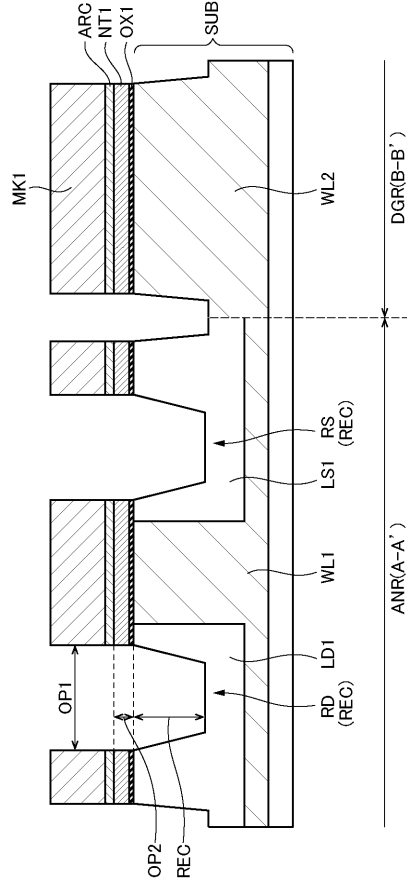
【 図 2 8 】



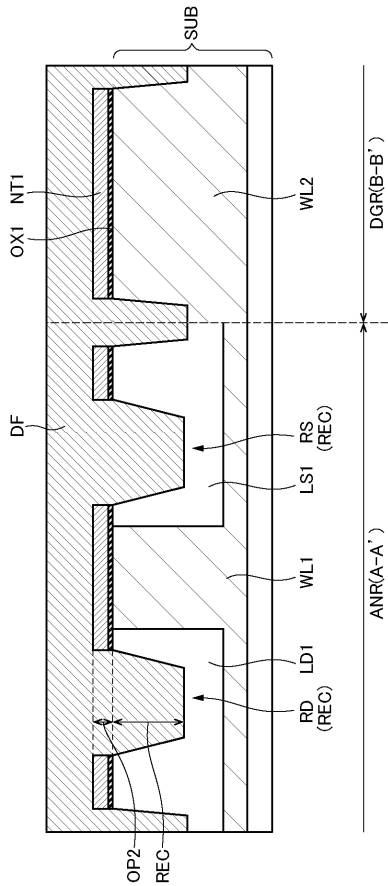
【 図 29 】



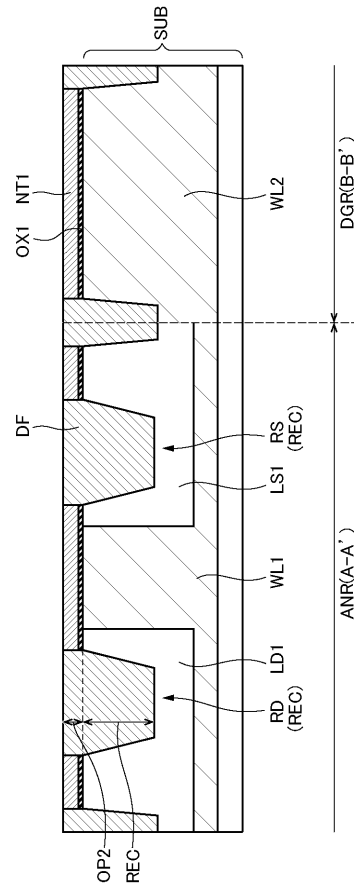
【 図 30 】



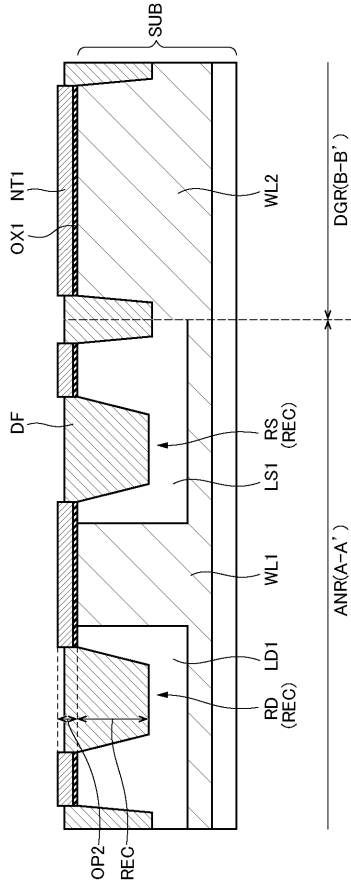
【 図 31 】



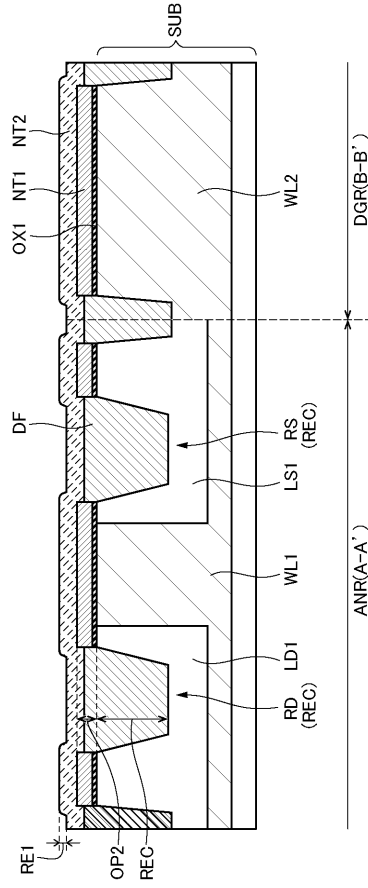
【 図 32 】



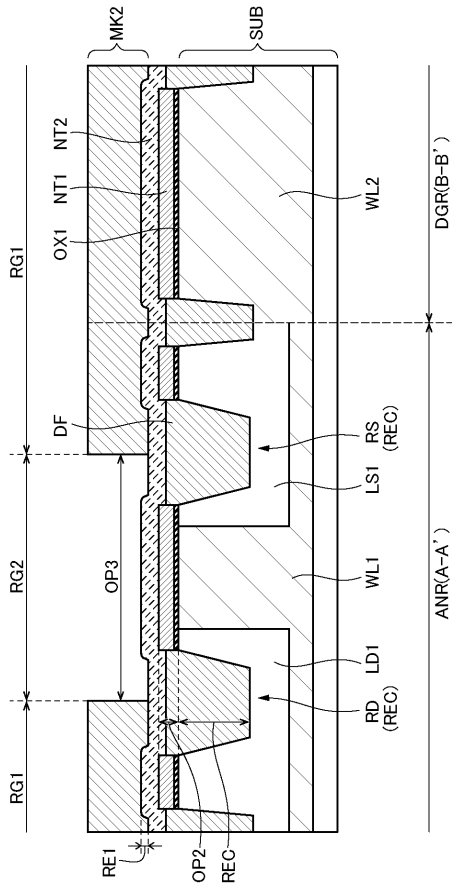
【 3 3 】



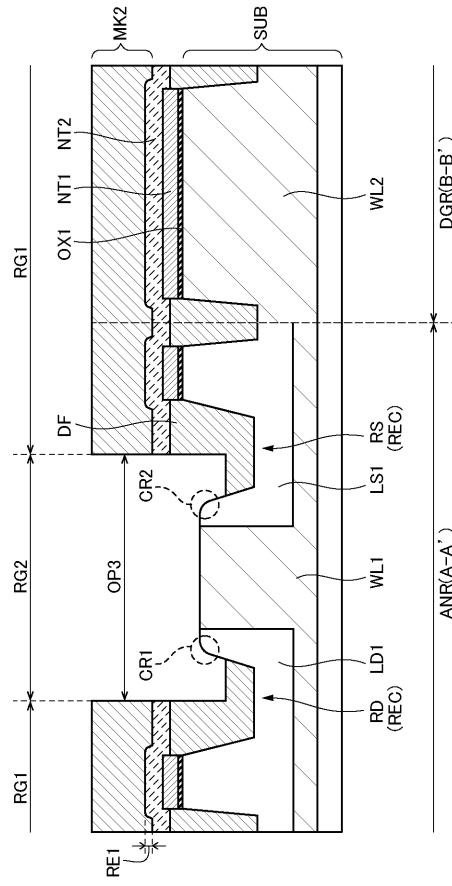
【 3 4 】



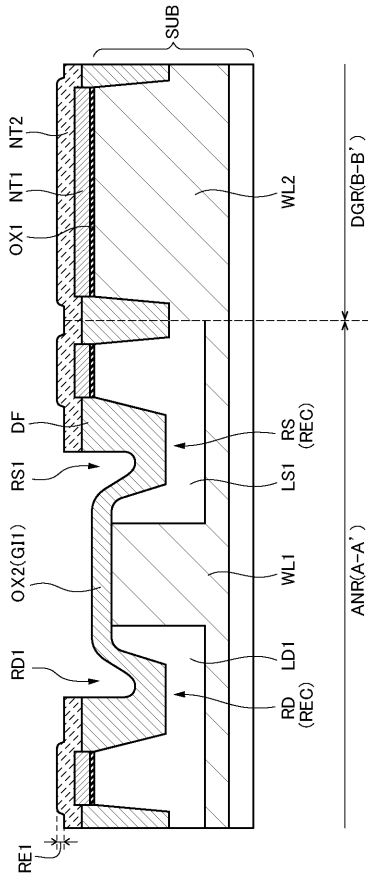
【 3 5 】



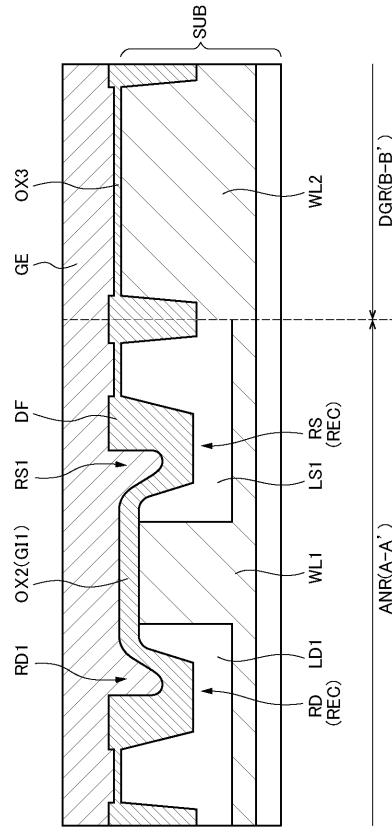
【 3 6 】



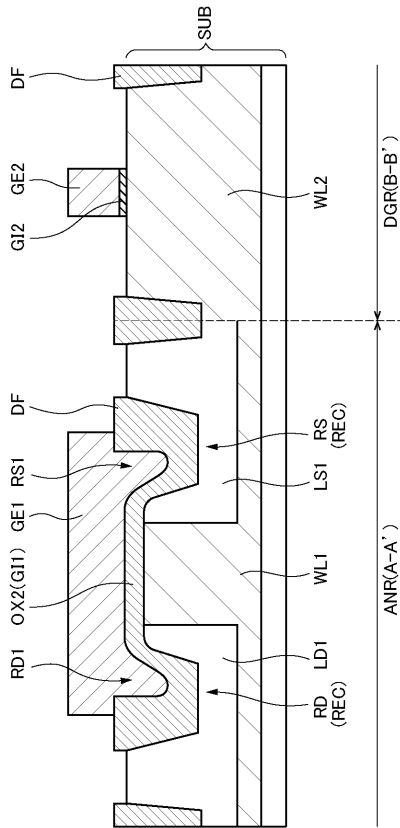
【 図 3 7 】



【 図 3 8 】



【 図 3 9 】



フロントページの続き

(72)発明者 清水 繁明

茨城県ひたちなか市堀口751番地 ルネサスセミコンダクタマニュファクチャリング株式会社
内

(72)発明者 奥秋 広幸

茨城県ひたちなか市堀口751番地 ルネサスセミコンダクタマニュファクチャリング株式会社
内

Fターム(参考) 5F048 AA05 AC01 BA01 BB03 BB16 BB20 BC18 BD10 BE04 BF07
BF16 BG13
5F140 AA19 AA25 AB01 BE03 BE07 BF01 BF04 BF42 BG08 BG12
BG14 BH05 BH15 BH30 BH41 BH45 BH47 CB04 CB10