



(21)申請案號：105112246 (22)申請日：中華民國 105 (2016) 年 04 月 20 日
 (51)Int. Cl. : *G11C16/34 (2006.01)* *G11C16/04 (2006.01)*
G11C16/30 (2006.01)
 (30)優先權：2015/11/23 南韓 10-2015-0163835
 (71)申請人：愛思開海力士有限公司 (南韓) SK HYNIX INC. (KR)
 南韓
 (72)發明人：吳垓灝 OH, HAE SOON (KR)
 (74)代理人：閻啟泰；林景郁
 申請實體審查：無 申請專利範圍項數：20 項 圖式數：15 共 67 頁

(54)名稱

半導體記憶體裝置及其操作方法

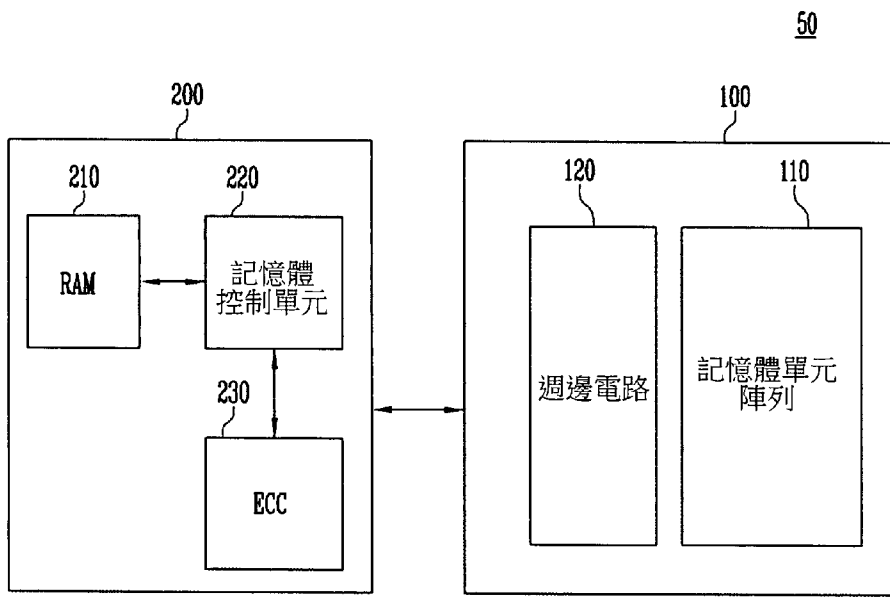
SEMICONDUCTOR MEMORY DEVICE AND OPERATING METHOD THEREOF

(57)摘要

提供了一種半導體記憶體裝置及其操作方法，該半導體記憶體裝置包括各自具有 n 個程式狀態中的一個作為目的程式狀態的多個記憶體單元，該操作方法包括：將具有作為目的程式狀態的第一組程式狀態的第一組記憶體單元設置為程式允許模式；將具有作為目的程式狀態的第二組程式狀態的第二組記憶體單元設置為程式禁止模式；按照程式狀態的級別的升序對 n 個程式狀態中的第 i 執行程式操作和程式驗證操作；以及在對第 i 程式狀態的程式驗證操作成功後，將具有第 i 程式狀態的第一組記憶體單元中的一個或更多個記憶體單元從程式允許模式改變為程式禁止模式，且將具有第 $(i+k)$ 程式狀態的第二組記憶體單元中的一個或更多個記憶體單元從程式禁止模式改變為程式允許模式。

There are provided an operating method of a semiconductor memory device including a plurality of memory cells each having one of “ n ” number of program statuses as a target program status, the operating method comprising: setting a first group of the memory cells, which have a first group of the program statuses as the target program status, to a program permit mode; setting a second group of the memory cells, which have a second group of the program statuses as the target program status, to a program inhibit mode; performing a program operation and a program verification operation to an i -th one of the “ n ” program statuses in ascending order of level of the program statuses; and changing one or more of the memory cells of the first group of the memory cells having the i -th program status from the program permit mode to the program inhibit mode, and one or more of the memory cells of the second group of the memory cells having an $(i+k)$ th program status to from the program inhibit mode to the program permit mode, upon success of the program verification operation to the i -th program status.

指定代表圖：



符號簡單說明：

- 50 . . . 記憶體系統
- 100 . . . 半導體記憶體裝置
- 110 . . . 記憶體單元陣列
- 120 . . . 週邊電路
- 200 . . . 控制器
- 210 . . . RAM
- 220 . . . 記憶體控制單元
- 230 . . . 錯誤校正電路

圖1

發明摘要

※ 申請案號：105112246

※ 申請日：105. 4. 20

※IPC 分類：G11C 16/34 (2006.1)
G11C 16/04 (2006.1)
G11C 16/30 (2006.1)

【發明名稱】(中文/英文)

半導體記憶體裝置及其操作方法

SEMICONDUCTOR MEMORY DEVICE AND OPERATING METHOD
THEREOF

【中文】

提供了一種半導體記憶體裝置及其操作方法，該半導體記憶體裝置包括各自具有 n 個程式狀態中的一個作為目的程式狀態的多個記憶體單元，該操作方法包括：將具有作為目的程式狀態的第一組程式狀態的第一組記憶體單元設置為程式允許模式；將具有作為目的程式狀態的第二組程式狀態的第二組記憶體單元設置為程式禁止模式；按照程式狀態的級別的升序對 n 個程式狀態中的第 i 執行程式操作和程式驗證操作；以及在對第 i 程式狀態的程式驗證操作成功後，將具有第 i 程式狀態的第一組記憶體單元中的一個或更多個記憶體單元從程式允許模式改變為程式禁止模式，且將具有第 $(i+k)$ 程式狀態的第二組記憶體單元中的一個或更多個記憶體單元從程式禁止模式改變為程式允許模式。

【英文】

There are provided an operating method of a semiconductor memory device including a plurality of memory cells each having one of "n" number of program statuses as a target program status, the operating method comprising: setting a first group of the memory cells, which have a first group of the program statuses as the

target program status, to a program permit mode; setting a second group of the memory cells, which have a second group of the program statuses as the target program status, to a program inhibit mode; performing a program operation and a program verification operation to an i -th one of the “ n ” program statuses in ascending order of level of the program statuses; and changing one or more of the memory cells of the first group of the memory cells having the i -th program status from the program permit mode to the program inhibit mode, and one or more of the memory cells of the second group of the memory cells having an $(i+k)$ th program status to from the program inhibit mode to the program permit mode, upon success of the program verification operation to the i -th program status.

【代表圖】

【本案指定代表圖】：第（ 1 ）圖。

【本代表圖之符號簡單說明】：

50：記憶體系統

100：半導體記憶體裝置

110：記憶體單元陣列

120：週邊電路

200：控制器

210：RAM

220：記憶體控制單元

230：錯誤校正電路

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：

無

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】(中文/英文)

半導體記憶體裝置及其操作方法

SEMICONDUCTOR MEMORY DEVICE AND OPERATING METHOD
THEREOF

相關申請案之交互參考

【0001】 本申請要求於 2015 年 11 月 23 日在韓國智慧財產權局提交的韓國專利申請第 10-2015-0163835 號的優先權，通過引用將其整個公開內容整體結合於此。

【技術領域】

【0002】 本公開的一方面涉及一種電子設備，且更具體地，涉及一種半導體記憶體裝置及其操作方法。

【先前技術】

【0003】 半導體記憶體裝置是通過使用半導體（例如，矽（Si）、鍺（Ge）、砷化鎵（GaAs）、磷化銦（InP）等）來實現的記憶體裝置。在半導體記憶體裝置中包括揮發性記憶體裝置和非揮發性記憶體裝置。

【0004】 揮發性記憶體裝置是一種當供電受阻時消除存儲的資料的記憶體裝置。靜態 RAM(SRAM)、動態 RAM(DRAM)和同步 DRAM(SDRAM)被包括在揮發性記憶體裝置中。非揮發性記憶體裝置是一種當供電受阻時保持所存儲的資料的記憶體裝置。唯讀記憶體（ROM）、可程式化 ROM（PROM）、電可程式化 ROM（EPROM）、電可擦除且可程式化 ROM（EEPROM）、快閃記憶體、相變 RAM（PRAM）、磁性 RAM（MRAM）、電

阻式 RAM (RRAM) 和鐵電 RAM (FRAM) 被包括在非揮發性記憶體裝置中。快閃記憶體寬泛地分類為 NOR 類型和 NAND 類型。

【發明內容】

【0005】 本發明的實施方式提供了一種表現出改進的可靠性的半導體記憶體裝置及其操作方法。

【0006】 根據本公開的一方面，提供了一種半導體記憶體裝置的操作方法，該半導體記憶體裝置包括多個記憶體單元，所述多個記憶體單元各自具有 n 個程式狀態中的一個作為目的程式狀態，所述操作方法包括以下步驟：將第一組記憶體單元設置為程式允許模式，所述第一組記憶體單元具有作為所述目的程式狀態的第一組程式狀態；將第二組記憶體單元設置為程式禁止模式，所述第二組記憶體單元具有作為所述目的程式狀態的第二組程式狀態；按照所述程式狀態的級別的升序對 n 個程式狀態中的第 i 程式狀態執行程式操作和程式驗證操作；以及在對所述第 i 程式狀態執行的所述程式驗證操作成功後，將具有所述第 i 程式狀態的所述第一組記憶體單元中的一個或更多個記憶體單元從所述程式允許模式改變為所述程式禁止模式，並且將具有第 $(i+k)$ 程式狀態的所述第二組記憶體單元中的一個或更多個記憶體單元從所述程式禁止模式改變為所述程式允許模式。

【0007】 根據本公開的一方面，提供了一種半導體記憶體裝置的操作方法，該半導體記憶體裝置包括多個記憶體單元，所述多個記憶體單元各自具有 n 個程式狀態中的一個作為目的程式狀態，所述操作方法包括以下步驟：根據第一程式模式設置、第二程式模式設置以及第三程式模式設置中的一個來執行對所述記憶體單元的程式操作，直至滿足第一條件；根據

第一程式模式設置、第二程式模式設置以及第三程式模式設置中的另一個來執行對所述記憶體單元的程式操作，直至滿足第二條件；以及根據第一程式模式設置、第二程式模式設置以及第三程式模式設置中的剩餘一個來執行對所述記憶體單元的程式操作。

【0008】 根據本公開的一方面，提供了一種半導體記憶體裝置，該半導體記憶體裝置包括：多個記憶體單元，所述多個記憶體單元各自具有 n 個程式狀態中的一個作為目的程式狀態；以及週邊電路，所述週邊電路被配置為執行以下操作：將第一組記憶體單元設置為程式允許模式，所述第一組記憶體單元具有作為所述目的程式狀態的第一組程式狀態；將第二組記憶體單元設置為程式禁止模式，所述第二組記憶體單元具有作為所述目的程式狀態的第二組程式狀態；按照所述程式狀態的級別的升序對 n 個程式狀態中的第 i 執行程式操作和程式驗證操作；以及在對第 i 程式狀態的所述程式驗證操作成功後，將具有所述第 i 程式狀態的所述第一組記憶體單元中的一個或更多個記憶體單元從所述程式允許模式改變為所述程式禁止模式，並且將具有第 $(i+k)$ 程式狀態的所述第二組記憶體單元中的一個或更多個記憶體單元從所述程式禁止模式改變為所述程式允許模式。

【0009】 根據本公開的一方面，提供了一種半導體記憶體裝置，該半導體記憶體裝置包括：多個記憶體單元，所述多個記憶體單元各自具有 n 個程式狀態中的一個作為目的程式狀態；以及週邊電路，所述週邊電路被配置為執行以下操作：根據第一程式模式設置、第二程式模式設置以及第三程式模式設置中的一個對所述記憶體單元執行程式操作，直至滿足第一條件；根據第一程式模式設置、第二程式模式設置以及第三程式模式設置

中的另一個對所述記憶體單元執行所述程式操作，直至滿足第二條件；以及根據第一程式模式設置、第二程式模式設置以及第三程式模式設置中的剩餘一個對所述記憶體單元執行所述程式操作。

【圖式簡單說明】

【0010】 圖 1 是例示記憶體系統的配置的方塊圖。

【0011】 圖 2 是例示圖 1 的半導體記憶體裝置的結構的方塊圖。

【0012】 圖 3 是例示圖 2 的記憶體單元陣列的結構的示意圖。

【0013】 圖 4 是例示在程式操作期間施加至字線的電壓及其通過干擾的示意圖。

【0014】 圖 5 是例示在程式操作期間與選擇的字線相鄰並且具有擦除狀態的記憶體單元的閾值電壓的改變的曲線圖。

【0015】 圖 6 是例示在程式操作期間針對記憶體單元的目的程式狀態施加至位元線的電壓的示意圖。

【0016】 圖 7 是例示根據本公開的實施方式的半導體記憶體裝置的操作方法的流程圖。

【0017】 圖 8 是例示根據本公開的另一實施方式的半導體記憶體裝置的操作方法的流程圖。

【0018】 圖 9 是例示根據本公開的另一實施方式的半導體記憶體裝置的操作方法的流程圖。

【0019】 圖 10 是例示當半導體記憶體裝置根據圖 7 的實施方式來操作時施加至位元線的電壓的示意圖。

【0020】 圖 11 是例示當半導體記憶體裝置根據圖 8 的實施方式來操

作時施加至位元線的電壓的示意圖。

【0021】 圖 12 是例示當半導體記憶體裝置根據圖 9 的實施方式來操作時施加至位元線的電壓的示意圖。

【0022】 圖 13 是例示圖 1 的記憶體系統的應用示例的方塊圖。

【0023】 圖 14 是例示圖 12 的記憶體系統的應用示例的方塊圖。

【0024】 圖 15 是例示包括參照圖 13 描述的記憶體系統的計算系統的方塊圖。

【實施方式】

【0025】 在以下詳細描述中，針對結構和功能性描述僅示出了本發明的特定示例性實施方式。然而，本發明的範圍不限於本說明書的詳細描述，而是由所附申請專利範圍來限定，但是本領域技術人員將理解，在不脫離如申請專利範圍中所闡述的本發明的精神和範圍的情況下，可以進行形式和細節上的各種變更。

【0026】 提供實施方式以用於向本發明所屬的領域中的技術人士充分公開本發明。術語“第一”、“第二”等可以被用於將類似的元件彼此區分，然而，要注意的是，這些術語並不旨在以任何方式來限制這些元件。例如，第一元件可以等同地被稱為第二元件，並且第二元件可以被稱為第一元件。另外，單數術語也包括複數，除非另外明確聲明。

【0027】 在以下詳細描述中，通過例示的方式僅簡單地示出和描述了本發明的特定示例性實施方式。本領域技術人員會認識到，在不脫離本發明的精神和範圍的情況下，全部可以以各種不同的方式來修改所述實施方式。因此，附圖和描述將被認為本質上是例示性的而非限制性的。另外，

將理解的是，當元件或層被稱為“在”另一元件或層“上”、“耦接至”或“耦合至”另一元件或層時，它可以直接在另一元件或層上、直接耦接或耦合至另一元件或層，或者可以存在介於中間的元件或層。相比之下，當元件被稱為“直接在”另一元件或層“上”、“直接耦接至”或“直接耦合至”另一元件或層時，不存在介於中間的元件或層。遍及全文類似的編號指代類似的元件。如本文中所使用，術語“和/或”包括一個或更多個相關聯列出的項的任何和全部組合。

【0028】 本文中所使用的術語僅用於描述特定實施方式的目的，且並不旨在限制本公開。還將理解的是，術語“包括”、“包含”、“含有”和“具有”在本說明書中被使用時，指定存在所述特徵、整數、操作、元件和/或部件，但是並不排除存在或增加一個或更多個其他特徵、整數、操作、元件、部件和/或它們的群組。

【0029】 除非另外限定，否則本文中使用的所有術語（包括技術和科學術語）具有與本發明所屬的領域中的普通技術人士通常所理解的相同的含義。還將理解的是，諸如在通常使用的詞典中定義的那些的術語應被解釋為具有與它們在相關技術背景下的含義一致的含義，並且將不會在理想的或過於正式的意義下被解釋，除非本文中明確做如此限定。

【0030】 本文中已公開了示例性實施方式，並且儘管採用了特定的結構或功能性說明，但是它們僅在一般性和描述性意義下被使用和被解釋，且並不用於限制的目的。

【0031】 下文中，將參照附圖詳細描述本發明的實施方式。

【0032】 圖 1 是例示記憶體系統的配置的方塊圖。

【0033】 記憶體系統 50 包括半導體記憶體裝置 100 和控制器 200。

【0034】 半導體記憶體裝置 100 可以是或包括 NAND 快閃記憶體、垂直 NAND、NOR 快閃記憶體、電阻式隨機存取記憶體 (resistive random access memory, RRAM)、相變記憶體 (phase-change memory, PRAM)、磁阻式隨機存取記憶體 (magnetoresistive random access memory, MRAM)、鐵電式隨機存取記憶體 (ferroelectric random access memory, FRAM) 和旋轉轉矩隨機存取記憶體 (spin transfer torque random access memory, STT-RAM)，這些記憶體包括在半導體記憶體裝置 100 中。此外，本發明的半導體記憶體裝置 100 可以通過三維陣列結構來實現。除了電荷存儲層被配置為絕緣層的電荷捕獲快閃記憶體 (CTF) 之外，本發明可以被應用於電荷存儲層被配置為浮置閘極 (FG) 的快閃記憶體裝置。

【0035】 半導體記憶體裝置 100 可以包括記憶體單元陣列 110 和用於驅動該記憶體單元陣列 110 的週邊電路 120。記憶體單元陣列 110 可以包括多個非揮發性記憶體單元。這些記憶體單元可以根據它們的可存取性和/或它們的使用目的按單元被分組。例如，記憶體單元可以按照一次能夠存取以從其中讀取資料或向其中寫入資料的頁面來分組。這些頁面可以按照記憶體區塊來分組。

【0036】 記憶體單元陣列 100 可以包括多個記憶體區塊，並且多個記憶體區塊可以根據使用目的而被用作系統區塊和使用者區塊。

【0037】 週邊電路 120 可以響應於對控制器 200 的控制來操作。週邊電路 120 可以回應於對控制器 200 的控制並且將程式資料傳送至記憶體單元陣列 110。週邊電路 120 可以從記憶體單元陣列 110 讀取資料以及操作以刪

除記憶體單元陣列 110 的資料。

【0038】 在各種實施方式中，半導體記憶體裝置 100 的讀取操作和程式操作可以以每個頁面為基礎而被執行。這意味著資料可能不會單獨地從單個記憶體單元中讀取或寫入至單個記憶體單元，而是同時從形成單個頁面的記憶體單元的群組中讀取或寫入至該群組。半導體記憶體裝置 100 的刪除操作可以以每個記憶體區塊為基礎而被執行。這意味著存儲在記憶體單元中的資料不能單獨地一次從一個記憶體單元中或者按頁面來擦除，而是僅同時針對形成記憶體區塊的所有記憶體單元來擦除。

【0039】 在程式操作期間，週邊電路 120 可以從控制器 200 接收表示程式操作的命令、物理位址 PA 和寫入資料。在週邊電路 120 中，當由物理位址 PA 選擇一個記憶體區塊和包括在相應記憶體區塊中的一個頁面時，寫入資料可以被程式化至所選擇的頁面。

【0040】 在讀取操作期間，週邊電路 120 可以從控制器 200 接收表示讀取操作的命令（下文中為讀取命令）和物理區塊位址（PBA）。週邊電路 120 可以從由物理區塊位址（PBA）選擇的一個記憶體區塊和其中包括的一個頁面中讀取資料，並且向控制器 200 輸出讀取的資料（下文中為頁面資料）。

【0041】 在刪除操作期間，週邊電路 120 可以從控制器 200 接收表示刪除操作的命令和物理區塊位址（PBA）。物理區塊位址（PBA）可以指定一個記憶體區塊。週邊電路 120 可以刪除與該物理區塊位址（PBA）對應的記憶體區塊的資料。

【0042】 控制器 200 可以控制半導體記憶體裝置 100 的一般性操作。

控制器 200 可以回應於來自外部主機的請求而對半導體記憶體裝置 100 進行存取。控制器 200 可以經由半導體記憶體裝置 100 的週邊電路 120 來控制半導體裝置 100 的操作。

【0043】 控制器 200 可以是任何合適的控制器。例如，如圖 1 所示，控制器 200 可以包括 RAM 210、記憶體控制單元 220 和錯誤校正電路(error correcting circuit)230。

【0044】 隨機存取記憶體 (RAM) 210 可以根據記憶體控制單元 220 的控制來操作，並且被用作工作記憶體、緩衝記憶體和快取記憶體。當 RAM 210 被用作工作記憶體時，由記憶體控制單元 220 處理的資料可以被臨時存儲。當 RAM 210 被用作緩衝記憶體時，RAM 210 可以被用於緩衝從主機(未示出)向半導體記憶體裝置 100 或從半導體記憶體裝置 100 向主機(未示出)發送的資料。

【0045】 記憶體控制單元 220 可以將從主機接收的邏輯區塊位址 (LBA) 改變為物理區塊位址 (PBA)。例如，記憶體控制單元 220 可以被配置為控制半導體記憶體裝置 100 的讀取操作、程式操作、刪除操作或背景操作。記憶體控制單元 220 可以被配置為驅動韌體以控制半導體記憶體裝置 100。

【0046】 記憶體控制單元 220 可以將主機提供的邏輯區塊位址 (LBA) 通過快閃記憶體轉換層 (FTL) 改變為物理區塊位址 (PBA)。更詳細地，快閃記憶體轉換層 (FTL) 可以通過使用映射表來接收邏輯區塊位址 (LBA) 並且將該邏輯區塊位址 (LBA) 改變為物理區塊位址 (PBA)。物理區塊位址 (PBA) 可以是指示記憶體單元陣列 100 的特定字線的頁面編

號。可以使用任何合適的映射方法。例如，映射方法可以包括存儲在控制器中的可以將邏輯區塊位址與相應的物理區塊位址連結的映射表的使用。映射方法可以基於映射單元而改變。代表性的映射方法可以包括頁面映射方法、區塊映射方法和混合映射方法。

【0047】 錯誤校正碼（error correcting code，ECC）230 可以用於在從記憶體裝置 100 讀取或向記憶體裝置 100 寫入的資料中檢測和糾正錯誤的任何合適的電路。例如，ECC 230 可以生成與要被程式化的資料對應的錯誤校正碼（ECC）的奇偶性。另外，在讀取操作期間，錯誤校正碼電路 230 可以通過使用與讀取的頁面資料對應的奇偶性來糾正錯誤。該錯誤校正碼電路 230 可以通過使用編碼調製（例如，低密度同位（LDPC）碼；Bose、Chaudhri、Hocquenghem（BCH）碼；渦輪碼；裡德-索羅門（Reed-Solomon）碼；卷積碼；遞迴系統碼（RSC）；網路編碼調製（TCM）；區塊編碼調製（BCM）和漢明碼）來糾正錯誤。

【0048】 在讀取操作期間，錯誤校正碼電路 230 可以糾正所讀取的頁面資料的錯誤。當在所讀取的頁面資料中包括超過要被糾正的位元數的錯誤位元時，解碼可能會失敗。當在所讀取的頁面資料中包括等於或小於要被糾正的位元數的錯誤位元時，解碼可以成功。

【0049】 解碼成功可以表示相應的讀取命令被通過。解碼失敗可以表示相應的讀取命令失敗。當解碼成功時，控制器 200 可以向主機輸出錯誤被糾正的頁面資料。

【0050】 圖 2 是例示圖 1 的半導體記憶體裝置 100 的結構的方塊圖。

【0051】 圖 3 是例示圖 2 的記憶體單元陣列 110 的結構的示意圖。

【0052】 參照圖 2，半導體記憶體裝置 100 可以包括記憶體單元陣列 110 和週邊電路 120。

【0053】 參照圖 3，記憶體單元陣列 110 可以包括多個記憶體區塊 BLK1 至 BLKz。

【0054】 包括在記憶體單元陣列 110 中的多個記憶體單元可以根據使用的目的而被使用。多個區塊可以被分成主區塊和附加區塊，並且與記憶體單元的操作有關的各種設置資訊可以被存儲在附加區塊中。

【0055】 參照圖 3，第一記憶體區塊 BLK1 至第 z 記憶體區塊 BLKz 可以共同地被耦合到第一位元線 BL1 至第 m 位元線 BLm。在圖 3 中，為便於說明而例示了包括在多個記憶體區塊 BLK1 至 BLKz 當中的第一記憶體區塊 BLK1 中的元件，並且省略了包括在記憶體區塊 BLK2 至 BLKz 中的每一個中的元件。記憶體區塊 BLK2 至 BLKz 中的每一個可以被配置為與第一記憶體區塊 BLK1 相同。

【0056】 第一記憶體區塊 BLK1 可以包括多個單元串 CS1_1 至 CS1_m。第一單元串 CS1_1 至第 m 單元串 CS1_m 中的每一個可以分別被耦合至第一位元線 BL1 至第 m 位元線 BLm。

【0057】 第一單元串 CS1_1 至第 m 單元串 CS1_m 中的每一個可以包括汲極選擇電晶體 DST、串聯耦合的多個記憶體單元 MC1 至 MCn 和源極選擇電晶體 SST。汲極選擇電晶體 DST 可以被耦合至汲極選擇線 DSL1。第一記憶體單元 MC1 至第 n 記憶體單元 MCn 可以分別被耦合至第一字線 WL1 至第 n 字線 WLn。源極選擇電晶體 SST 可以被耦合至源極選擇線 SSL1。汲極選擇電晶體 DST 的汲極側可以被耦合至相應的位元線。第一單元串 CS1_1

至第 m 單元串 $CS1_m$ 的汲極選擇電晶體可以分別被耦合至第一位元線 $BL1$ 至第 m 位元線 BLm 。源極選擇電晶體 SST 的源極側可以被耦合至共用源極線 CSL 。作為一種實施方式，共用源極線 CSL 可以共同地被耦合至第一至第 z 記憶體區塊 $BLK1$ 至 $BLKz$ 。

【0058】 汲極選擇線 $DSL1$ 、第一字線 $WL1$ 至第 n WLn 以及源極選擇線 $SSL1$ 可以被包括在圖 2 的列線路 RL 中。汲極選擇線 $DSL1$ 、第一字線 $WL1$ 至第 n WLn 以及源極選擇線 $SSL1$ 可以通過位址解碼器 121 控制。共用源極線 CSL 可以通過控制邏輯 125 來控制。第一位元線 $BL1$ 至第 m 位元線 BLm 可以通過讀取和寫入電路 123 來控制。

【0059】 參照圖 2，週邊電路 120 可以包括位址解碼器 121、電壓產生器 122、讀取和寫入電路 123、輸入/輸出緩衝器 124、控制邏輯 125 和程式模式設置單元 126。

【0060】 位址解碼器 121 可以通過列線路 RL 被耦合至記憶體單元陣列。位址解碼器 121 可以被配置為回應於控制邏輯 125 的控制而操作。

【0061】 作為一種實施方式，位址解碼器 121 可以包括位址緩衝器、區塊解碼器和列解碼器。

【0062】 位址解碼器 121 可以通過控制邏輯 125 來接收位址 PA 。半導體記憶體裝置 100 的程式操作可以按照頁面為單位來執行。在程式操作期間接收的物理區塊位址 PA 可以包括區塊位址或列位址中的至少一個。在讀取程式操作期間接收的物理區塊位址 PA 可以包括區塊位址或列位址中的至少一個。

【0063】 位址解碼器 121 可以被配置為在所接收的位址 PA 當中執行

對區塊位址的解碼。位址解碼器 121 可以根據解碼的區塊位址在記憶體區塊 BLK1 至 BLKz 當中選擇一個記憶體區塊。

【0064】 位址解碼器 121 可以被配置為在所接收的物理區塊位址 PA 當中執行對列位址的解碼，並且在所選擇的記憶體區塊當中選擇一個字線。一個頁面可以被相應地選擇。

【0065】 位址解碼器 121 可以通過根據所解碼的列位址將從電壓產生器 122 提供的電壓施加至列線路 RL 來選擇所選擇的記憶體區塊的一個字線。在程式操作期間，位址解碼器 121 可以向所選擇的字線施加程式脈衝，以及向未選擇的字線施加低於程式脈衝的通過脈衝。在寫入操作期間，位址解碼器 121 可以向所選擇的字線施加讀取電壓，以及向與所選擇的字線相鄰的未選擇的字線施加第一通過電壓和第二通過電壓。

【0066】 電壓產生器 122 可以被配置為通過使用向半導體記憶體裝置 100 提供的外部電源電壓來生成多個電壓。電壓產生器 122 可以回應於控制邏輯 125 的控制來操作。例如，電壓產生器 122 可以通過調整外部電源電壓來生成內部電源電壓。在電壓產生器 122 中生成的內部電源電壓可以被提供至位址解碼器 121、讀取和寫入電路 123、輸入/輸出緩衝器 124、控制邏輯 125 和程式模式設置單元 126，並且被用作半導體記憶體裝置 100 的操作電壓。

【0067】 電壓產生器 122 可以通過使用外部電源電壓和內部電源電壓中的至少一個來生成多個電壓。作為一種實施方式，電壓產生器 122 可以包括接收內部電源電壓的多個泵電容器，並且通過回應於控制邏輯 125 的控制選擇性地啟動多個泵電容器來生成多個電壓。例如，電壓產生器 122

可以生成施加至在讀取操作期間選擇的字線的讀取電壓以及施加至未選擇的字線的通過電壓。

【0068】 讀取和寫入電路 123 可以通過位元線 BL 被耦合至記憶體單元陣列 110。讀取和寫入電路 123 可以響應於控制邏輯 125 的控制來操作。

【0069】 讀取和寫入電路 123 可以在程式驗證操作期間從記憶體單元陣列 100 的所選擇的頁面中讀取頁面資料 DATA，並且確定讀取資料的程式操作完成。

【0070】 讀取和寫入電路 123 可以響應於控制邏輯 125 的控制，並且控制施加至與記憶體單元陣列 110 耦合的位元線 BL 的偏壓。更詳細地，讀取和寫入電路 123 可以根據控制邏輯 125 的控制選擇性地向位元線 BL 施加程式允許電壓或程式阻止電壓。在各種實施方式中，讀取和寫入電路 123 可以向位元線 BL 施加程式控制電壓。

【0071】 輸入/輸出緩衝器 124 可以通過資料線 DL 被耦合至讀取和寫入電路 123。輸入/輸出緩衝器 124 可以回應於控制邏輯 125 的控制來操作。輸入/輸出緩衝器 124 可以在程式操作期間從控制器 200 接收存儲的資料 DATA。

【0072】 控制邏輯 125 可以被配置為控制半導體記憶體裝置 100 的操作。控制邏輯 125 可以接收命令 CMD 和物理區塊位址 PA。在讀取操作期間，命令 CMD 可以是讀取命令。在程式操作期間，命令 CMD 可以是表示程式操作的命令。在刪除操作期間，命令 CMD 可以是表示刪除操作的命令。控制邏輯 125 可以被配置為回應於所接收的命令 CMD 來控制位址解碼器 121、電壓產生器 122、讀取和寫入電路 123 和輸入/輸出緩衝器 124 以及程

式模式設置單元 126。

【0073】 程式操作可以通過多個程式迴圈來執行。程式迴圈可以向所選擇的字線施加程式電壓，並且包括驗證記憶體單元的程式狀態的操作。驗證程式狀態的操作可以向所選擇的字線施加程式驗證電壓、從所選擇的頁面讀取頁面資料 DATA 並且確定讀取資料的程式是否被完成。

【0074】 控制邏輯 125 可以根據程式驗證操作的結果通過控制讀取和寫入電路 123 來確定施加至與記憶體單元陣列 110 耦合的位元線 BL 的電壓。控制邏輯 125 可以控制讀取和寫入電路 123 以根據記憶體單元的程式狀態選擇性地向每個位元線 BL 施加程式允許電壓或程式阻止電壓。

【0075】 程式模式設置單元 126 可以根據與記憶體單元陣列 110 的字線 WL 耦合的記憶體單元的目的程式狀態來設置程式模式。控制邏輯 125 可以控制讀取和寫入電路 123 以根據程式模式設置單元 126 的程式狀態來選擇性地向每個位元線 BL 施加程式允許電壓或程式阻止電壓(program prevent voltage)。

【0076】 與所選擇的字線耦合的多個記憶體單元可以具有它們自身的目的程式狀態。在各種實施方式中，該目的程式狀態可以具有第一程式狀態 PV1 至第 n 程式狀態 PVN。每個程式狀態可以以記憶體單元的閾值電壓為基礎而被分類。具有作為目的程式狀態的較低程式狀態的記憶體單元可以被程式化為具有相比具有作為目的程式狀態的高記憶體程式狀態的記憶體單元更低的閾值電壓。在本說明書中，將在一個記憶體單元中存儲三位元的 TLC 方法（即，N 為 7）的程式描述為示例，但這是為了便於說明，且並不限於通過 TLC 方法程式化的記憶體單元。

【0077】 控制邏輯 125 在程式操作期間可以向所選擇的字線 WL 施加程式電壓，以及向未選擇的字線 WL 施加通過電壓。在控制邏輯 125 在程式操作期間向字線 WL 施加程式電壓或通過電壓的同時，控制邏輯 125 可以控制讀取和寫入電路 123 以根據程式模式設置單元 126 的設置狀態向位元線 BL 施加程式允許電壓或程式阻止電壓。

【0078】 程式允許模式的記憶體單元可以通過將程式允許模式的記憶體單元耦合至的位元線 BL 而提供有程式允許電壓。程式允許電壓的位準可以是接地電壓位準 0 V。

【0079】 程式禁止模式的記憶體單元可以通過將程式禁止模式的記憶體單元耦合至的位元線 BL 而提供有程式禁止電壓（program inhibit voltage）。程式阻止電壓的位準可以是電源電壓位準 Vcc。

【0080】 根據本發明的實施方式，程式模式設置單元 126 可以將在包括在記憶體單元陣列 110 中的多個記憶體單元當中的包括在第一記憶體單元組中的記憶體單元設置為程式允許模式。程式模式設置單元 126 可以將在包括在記憶體單元陣列 110 中的多個記憶體單元當中的包括在第二記憶體單元組中的記憶體單元設置為程式禁止模式。

【0081】 在各種實施方式中，第一記憶體單元組可以包括各自具有在“n”個程式狀態 PV1 至 PVn（即，7 個程式狀態 PV1 至 PV7）的第一至第 m 程式狀態 PV1 至 PVm 當中的目的程式狀態的記憶體單元。第二記憶體單元組可以包括各自具有在“n”個程式狀態 PV1 至 PVn 的第 (m+1) 至第 n 程式狀態 PV (m+1) 至 PVn 當中的目的程式狀態的記憶體單元。m 值可以根據實施方式而被不同地設置。

【0082】 程式模式設置單元 126 可以根據程式驗證結果來將記憶體單元的程式允許模式改變為程式禁止模式。程式驗證的成功可以表示記憶體單元的閾值電壓達到它的目的程式狀態。程式驗證的失敗可以表示記憶體單元的閾值電壓並未達到它的目的程式狀態。

【0083】 在程式操作期間，當程式模式設置單元 126 在程式驗證操作期間對作為目的程式狀態的第 i 程式狀態 ($1 \leq i \leq 7$) 的程式驗證成功時，該程式模式設置單元 126 可以將具有第 $(i+k)$ 程式狀態 (即， $k = 3$) 作為它的目的程式狀態的記憶體單元設置為程式允許模式，同時將具有作為目的程式狀態的第 i 程式狀態的記憶體單元或驗證成功的記憶體單元設置為程式禁止模式。

【0084】 根據另一實施方式，程式模式設置單元 126 可以具有多個程式模式設置 (即，第一程式模式設置至第三程式模式設置)。施加至位元線的電壓可以取決於多個程式模式設置。

【0085】 第一程式模式設置至第三程式模式設置中的每一個可以針對經過程式操作的每個記憶體單元來限定程式允許模式和程式禁止模式，使得一個或更多個預定目的程式狀態的記憶體單元被設置為程式允許模式，同時其它記憶體單元被設置為程式禁止模式。每個記憶體單元可以具有在“ n ”個程式狀態 $PV1$ 至 PVn 當中的它自身的目的程式狀態。程式操作可以被執行為使得每個記憶體單元的閾值電壓達到相應的目的程式狀態。

【0086】 在程式操作期間，根據第一程式模式設置至第三程式模式設置中的每一個，程式允許模式的記憶體單元可以通過程式允許模式的記憶體單元被耦合至的位元線 BL 而被提供有程式允許電壓，同時程式禁止模式

的記憶體單元可以通過程式禁止模式的記憶體單元被耦合至的位元線 BL 而被提供有程式禁止電壓。

【0087】 根據本發明的實施方式，程式模式設置單元 126 可以根據對預定目的程式狀態的程式驗證的結果而將程式操作的第一程式模式設置至第三程式模式設置從一個改變為另一個。例如，在對作為目的程式狀態的第二程式狀態 PV2 的程式驗證成功後，程式模式設置單元 126 可以將程式操作的程式模式設置從第一程式模式改變為第二程式模式。例如，程式模式設置單元 126 可以在對作為目的程式狀態的第四程式狀態 PV4 的程式驗證成功後，將程式操作的程式模式設置從第二程式模式改變為第三程式模式。

【0088】 根據本發明的另一實施方式，程式模式設置單元 126 可以根據預定數量的施加的程式脈衝來將程式操作的第一程式模式設置至第三程式模式設置從一個改變為另一個。例如，當施加的程式脈衝的數量達到可施加的程式脈衝的總數量的三分之一時，程式模式設置單元 126 可以將程式操作的程式模式設置從第一程式模式改變為第二程式模式。例如，當施加的程式脈衝的數量達到可施加的程式脈衝的總數量的三分之二時，程式模式設置單元 126 可以將程式操作的程式模式設置從第二程式模式改變為第三程式模式。

【0089】 下文中，將通過圖 4 和圖 5 來描述通過干擾。

【0090】 圖 4 是例示在程式操作期間施加至字線的電壓及其通過干擾的示意圖。

【0091】 圖 4 可以表示包括在一個記憶體區塊中的多個記憶體單元

串 CS1 至 CS_m。“m”個單元串 CS1 至 CS_m 可以被耦合至“m”個位元線 BL1 至 BL_m。

【0092】 第一單元串 CS1 至第 m 單元串 CS_m 中的每一個可以包括汲極選擇電晶體 DST、串聯耦合的多個記憶體單元 M1 至 M_n 和源極選擇電晶體 SST。汲極選擇電晶體 DST 可以被耦合至汲極選擇線 DSL。第一記憶體單元 M1 至第 n 記憶體單元 M_n 中的每一個可以被耦合至第一字線 WL1 至第 n 字線 WL_n。源極選擇電晶體 SST 可以被耦合至源極選擇線 SSL。汲極選擇電晶體 DST 的汲極側可以被耦合至相應位元線。第一單元串 CS1 至第 m 單元串 CS_m 的汲極電晶體可以分別被耦合至第一位元線 BL1 至第 m 位元線 BL_m。源極選擇電晶體的源極側可以被耦合至共用源極線 CSL。

【0093】 參照圖 4，為執行程式而選擇的字線 WL 是第二字線 WL2。耦合至第二字線 WL2 的多個記憶體單元可以構成一個頁面。耦合至第二字線 WL 的每個記憶體單元可以具有作為目的程式狀態的第一程式狀態 PV1、第二程式狀態 PV2 和第七程式狀態 PV7。

【0094】 程式電壓 V_{pgm} 可以被施加至在程式操作期間選擇的第二字線 WL2。另外，程式驗證電壓 V_{vrfy} 可以被施加至根據程式操作選擇的字線 WL2。當程式電壓 V_{pgm} 和程式驗證電壓 V_{vrfy} 被施加至所選擇的字線 WL2 時，通過電壓 V_{pass} 可以被施加至未選擇的字線。可以通過向與所選擇的字線 WL2 相鄰的字線 WL1 和 WL3 施加每個通過電壓 V_{pass} 來防止耦合至未選擇的字線的記憶體單元的閾值電壓的改變。程式允許電壓（例如：0V）可以被施加，使得耦合至所選擇的字線的記憶體單元可以在每個位元線中被程式化。換言之，由於位元線共同地被耦合至第一單元串 CS1 至第

m 單元串 CSm，所以在程式操作期間可以施加程式允許電壓。另外，程式阻止電壓可以順序地被施加至位元線，在所述位元線中隨著程式操作進行而完成程式化的單元被耦合。在執行程式操作的同時，通過電壓 Vpass 可以相繼地被施加至與和所選擇的字線 WL2 相鄰的未選擇的字線 WL3 和 WL1 耦合的記憶體單元 403。因此，通過電壓 Vpass 可以重複地被施加至閘極電極，並且程式允許電壓可以重複地被施加至位元線，與未選擇的字線 WL1 和 WL3 耦合的記憶體單元 403 的閾值電壓可能會增加。該現象被稱為通過干擾。具體地，在與耦合至位元線 BLm-1 的所選擇的字線 W2 相鄰的記憶體單元 404 和 405 中（在該位元線 BLm-1 中具有高目的程式狀態的記憶體單元被耦合），在相對長的時間內可能會發生通過干擾，直至程式禁止電壓被施加至位元線。因此，與所選擇的字線相鄰的記憶體單元 404 和 405 的閾值電壓可能被改變，且半導體記憶體裝置的可靠性可能會降低。

【0095】 圖 5 是例示在程式操作期間與所選擇的字線相鄰並且具有擦除狀態的記憶體單元的閾值電壓的改變的曲線圖。

【0096】 圖 5 例示了圖 4 中描述的與所選擇的字線相鄰的記憶體單元 404 和 405 的通過干擾的影響。詳細地，圖 5 例示了具有與所選擇的字線相鄰的記憶體單元具有擦除狀態 ERS 的低閾值電壓的閾值電壓變化。

【0097】 根據圖 5，在早期的程式階段，當執行將所選擇的字線的記憶體單元程式化為第一程式狀態的第一程式操作（第一 PGM）和將所選擇的字線的記憶體單元程式化為第二程式狀態的第二程式操作（第二 PGM）時，與所選擇的字線相鄰並且處於擦除狀態（ERS）的記憶體單元的閾值電壓可能會增加。

【0098】 圖 6 是例示在程式操作期間針對記憶體單元的目的程式狀態施加至位元線的電壓的示意圖。

【0099】 參照圖 6，程式操作可以包括程式早期階段 610、程式中期階段 620 和程式後期階段 630。位元線可以被耦合至記憶體單元，這些記憶體單元各自具有在第一至第七程式狀態 PV1 至 PV7 當中的目的程式狀態。

【0100】 在程式早期階段 610 開始時，記憶體單元尚未被程式化，且因此被設置為程式允許模式 PGM MODE 並被提供有程式允許電壓。因此，程式允許電壓可以被施加至位元線，具有作為目的程式狀態的第三程式狀態 PV3 和第四程式狀態 PV4 的記憶體單元 601 和具有第五程式狀態 PV5 至第七程式狀態 PV7 的記憶體單元 603 被耦合至這些位元線。因此，在與具有作為目的程式狀態的第三至第七程式狀態 PV3 至 PV7 的記憶體單元 601 和 603 相鄰的記憶體單元中可能會出現電壓位準為高的通過干擾現象。

【0101】 作為程式早期階段 610 的結果，在對作為目的程式狀態的第一和第二程式狀態 PV1 和 PV2 的驗證成功後，可以完成具有作為目的程式狀態的第一和第二程式狀態 PV1 和 PV2 的記憶體單元的程式。因此，具有作為目的程式狀態的第一和第二程式狀態 PV1 和 PV2 的記憶體單元被設置為程式禁止模式 INHIBIT MODE。程式禁止電壓被提供至具有作為目的程式狀態的第一和第二程式狀態 PV1 和 PV2 的記憶體單元所耦合至的位元線。

【0102】 在程式中期階段 620 期間，具有第三至第七程式狀態 PV3 至 PV7 的記憶體單元 601 和 603 保持設置為程式允許模式 PGM MODE，並且再次被提供有程式允許電壓。因此，在與具有作為目的程式狀態的第三至第七程式狀態 PV3 至 PV7 的記憶體單元 601 和 603 相鄰的記憶體單元中

仍可能出現通過干擾現象。

【0103】 作為程式中期階段 620 的結果，在對作為目的程式狀態的第三程式狀態 PV3 和第四程式狀態 PV4 的驗證成功後，可以完成具有作為目的程式狀態的第三程式狀態 PV3 和第四程式狀態 PV4 的記憶體單元的程式。因此，具有作為目的程式狀態的第三程式狀態 PV3 和第四程式狀態 PV4 的記憶體單元被設置為程式禁止模式 INHIBIT MODE。程式禁止電壓被提供至具有作為目的程式狀態的第一程式狀態 PV1 至第四程式狀態 PV4 的記憶體單元所耦合至的位元線。

【0104】 在程式後期階段 630 期間，具有第五程式狀態 PV5 至第七程式狀態 PV7 的記憶體單元 603 保持設置為程式允許模式 PGM MODE，並且仍然被提供有程式允許電壓。因此，在與具有作為目的程式狀態的第五程式狀態 PV5 至第七程式狀態 PV7 的記憶體單元 603 相鄰的記憶體單元中仍可能出現通過干擾現象。

【0105】 圖 7 是例示根據本公開的實施方式的半導體記憶體裝置的操作方法的流程圖。

【0106】 參照圖 7，在步驟 701 處，半導體記憶體裝置 100 可以將記憶體單元陣列 110 中的耦合至所選擇的字線的多個記憶體單元當中的第一記憶體單元組的記憶體單元設置為程式允許模式。另外，半導體記憶體裝置 100 可以將記憶體單元陣列 110 中的耦合至所選擇的字線的多個記憶體單元當中的第二記憶體單元組的記憶體單元設置為程式禁止模式。如上所示例，第一記憶體單元組可以包括各自具有在“n”個程式狀態 PV1 至 PVn 的第一至第 m 程式狀態 PV1 至 PVm 當中的目的程式狀態的記憶體單元。第

二記憶體單元組可以包括各自具有在“n”個程式狀態 PV1 至 PVn 的第 (m+1) 至第 n 程式狀態 PV (m+1) 至 PVn 當中的目的程式狀態的記憶體單元。作為一種實施方式，m 可以為 3 (三)。m 的值可以根據實施方式來不同地選擇。

【0107】 在步驟 703 處，半導體記憶體裝置 100 可以對耦合至所選擇的字線的多個記憶體單元執行在“n”個程式狀態 PV1 至 PVn 當中的程式操作。當程式脈衝被施加至在程式操作期間選擇的字線時，根據程式模式設置，每個不同的電壓可以被施加至與所選擇的字線耦合的記憶體單元的位元線。

【0108】 更詳細地，程式允許電壓可以被施加至程式允許模式的記憶體單元的位元線，而程式禁止電壓被施加至程式禁止模式的記憶體單元的位元線。程式允許電壓的位準可以是接地電壓位準 (0V)。程式阻止電壓的位準可以是電源電壓位準 (Vcc)。

【0109】 在步驟 705 處，半導體記憶體裝置 100 可以對具有作為目的程式狀態的第 i 程式狀態的記憶體單元執行驗證操作。如上所示，程式驗證的成功可以表示記憶體單元的閾值電壓達到它的目的程式狀態。程式驗證的失敗可以表示記憶體單元的閾值電壓並未達到它的目的程式狀態。

【0110】 作為步驟 705 的驗證操作的結果，當對具有作為目的程式狀態的第 i 程式狀態的記憶體單元的程式驗證失敗時，半導體記憶體裝置可以返回至步驟 703 並且將程式脈衝施加至所選擇的字線。使用增加步進脈衝程式 ISPP 方法。

【0111】 作為步驟 705 的驗證操作的結果，當對具有作為目的程式狀

態的第 i 程式狀態的記憶體單元的程式驗證成功時，半導體記憶體裝置可以進行至步驟 706。

【0112】 在步驟 706 處，半導體記憶體裝置 100 可以將具有作為目的程式狀態的第 i 程式狀態的記憶體單元或驗證成功的記憶體單元設置為程式禁止模式。

【0113】 在 707 階段處，半導體記憶體裝置 100 可以確定對與所選擇的字線耦合的記憶體單元的程式操作是否完成。作為確定的結果，當對與所選擇的字線耦合的所有記憶體單元的程式操作被完成時，該處理可以結束。當尚未完成對所有記憶體單元的程式操作時，半導體記憶體裝置可以進行至步驟 709。

【0114】 在步驟 709 處，半導體記憶體裝置 100 可以將具有作為目的程式狀態的第 $(i+k)$ 程式狀態的記憶體單元設置為程式允許模式。在一種實施方式中， i 和 k 的值可以是自然數或整數。在一種實施方式中， k 可以是三 (3)。

【0115】 步驟 709 可以是可選的。當不存在具有作為目的程式狀態的第 $(i+k)$ 程式狀態的記憶體單元時，步驟 709 可以被跳過。

【0116】 對於具有下一程式狀態的記憶體單元或具有作為目的程式狀態的第 $(i+1)$ 程式狀態 (步驟 S711) 的記憶體單元，半導體記憶體裝置 100 可以重複步驟 703 至 711。

【0117】 圖 10 是例示當半導體記憶體裝置根據圖 7 的實施方式操作時施加至位元線的電壓的示意圖。

【0118】 在圖 10 中作為示例描述了在一個記憶體單元中存儲三個資

料位元的 TLC 方法。然而，本公開的實施方式可以被應用於如上所述在一個記憶體單元中存儲任意數量的位元的方法（MLC 或 QLC），並且明確指出本公開的實施方式可以不限於以 TLC 方法程式化的記憶體單元。

【0119】 參照圖 10，半導體記憶體裝置 100 可以按照升序對“n”個程式狀態 PV1 至 PVn 的目的程式狀態執行程式操作。

【0120】 根據實施方式，當半導體記憶體裝置 100 在程式驗證操作期間對作為目的程式狀態的第 i 程式狀態的程式驗證成功時，半導體記憶體裝置 100 可以將具有作為它的目的程式狀態的第 (i+k) 程式狀態的記憶體單元設置為程式允許模式 PGM MODE，同時將具有作為目的程式狀態的第 i 程式狀態的記憶體單元或驗證成功的記憶體單元設置為程式禁止模式 INHIBIT MODE。

【0121】 初始地，半導體記憶體裝置 100 可以在記憶體單元陣列 110 中的與所選擇的字線耦合的多個記憶體單元當中將第一記憶體單元組的記憶體單元設置為程式允許模式 PGM MODE。另外，半導體記憶體裝置 100 可以在記憶體單元陣列 110 中的與所選擇的字線耦合的多個記憶體單元當中將第二記憶體單元組的記憶體單元設置為程式禁止模式 INHIBIT MODE。第一記憶體單元組的記憶體單元可以具有作為目的程式狀態的第一程式狀態 PV1 至第三程式狀態 PV3，並且第二記憶體單元組的記憶體單元可以具有作為目的程式狀態的第四程式狀態 PV4 至第七程式狀態 PV7。

【0122】 隨著程式操作繼續，程式允許電壓可以被施加至程式允許模式的記憶體單元的位元線，而程式禁止電壓被施加至程式禁止模式的記憶體單元的位元線。

【0123】 當對具有作為目的程式狀態的第 i 程式狀態（即，第一程式狀態 PV1）的記憶體單元的程式驗證成功時，半導體記憶體裝置 100 可以將具有作為目的程式狀態的第 i 程式狀態（即，第一程式狀態 PV1）的記憶體單元或驗證成功的記憶體單元設置為程式禁止模式 INHIBIT MODE，而半導體記憶體裝置 100 可以將具有作為目的程式狀態的第 $(i+k)$ 程式狀態（第四程式狀態 PV4： $k=3$ ）的記憶體單元設置為程式允許模式 PGM MODE。

【0124】 如此，隨著半導體記憶體裝置 100 在程式驗證操作期間對作為目的程式狀態的第 i 程式狀態（即，依次為第一程式狀態 PV1 至第三程式狀態 PV3）的程式驗證成功，半導體記憶體裝置 100 可以將具有作為它的目的程式狀態的第 $(i+k)$ 程式狀態（即，依次為第四至第六程式狀態 PV4 至 PV6）的記憶體單元設置為程式允許模式 PGM MODE，同時將具有作為目的程式狀態的第 i 程式狀態（即，依次為第一程式狀態 PV1 至第三程式狀態 PV3）的記憶體單元或驗證成功的記憶體單元設置為程式禁止模式 INHIBIT MODE。

【0125】 例如，當半導體記憶體裝置 100 在程式驗證操作期間對作為目的程式狀態的第四程式狀態 PV4 的程式驗證成功時，半導體記憶體裝置 100 可以將具有作為它的目的程式狀態的第七程式狀態 PV7 的記憶體單元設置為程式允許模式 PGM MODE，同時將具有作為目的程式狀態的第四程式狀態 PV4 的記憶體單元或驗證成功的記憶體單元設置為程式禁止模式 INHIBIT MODE。

【0126】 隨著半導體記憶體裝置 100 在程式驗證操作期間對作為目的程式狀態的第五程式狀態 PV5 至第七程式狀態 PV7 的程式驗證成功，半

導體記憶體裝置 100 可以將具有作為目的程式狀態的第五程式狀態 PV5 至第七程式狀態 PV7 的記憶體單元或驗證成功的記憶體單元設置為程式禁止模式 INHIBIT MODE。如上所述，當不存在具有作為目的程式狀態的第(i+k)程式狀態的記憶體單元時，可以跳過步驟 709。

【0127】 如此，在對具有低位準的程式狀態（即，第 i 程式狀態）的記憶體單元的程式操作期間，具有作為目的程式狀態的較高位準的程式狀態（即，第 (n+k) 程式狀態）的記憶體單元可以設置為程式禁止模式 INHIBIT MODE。因此，可以降低具有作為目的程式狀態的較高位準的程式狀態（即，第 (n+k) 程式狀態）的記憶體單元的通過干擾。

【0128】 圖 8 和圖 9 是例示根據本公開的實施方式的半導體記憶體裝置的操作方法的流程圖。

【0129】 根據參照圖 8 和圖 9 描述的實施方式，半導體記憶體裝置 100 可以具有各自限定要被施加至與所選擇的字線耦合的記憶體單元的位元線的電壓的多個程式模式設置（即，第一程式模式設置至第三程式模式設置）。

【0130】 第一程式模式設置至第三程式模式設置中的每一個可以限定針對記憶體單元的目的程式狀態 PV1 至 PVn 的程式模式。詳細地，第一程式模式設置至第三程式模式設置中的每一個可以針對與所選擇的字線耦合的具有特定程式狀態的記憶體單元的一部分來限定程式允許模式，並且針對與所選擇的字線耦合的具有在“n”個程式狀態 PV1 至 PVn 當中的其餘程式狀態的記憶體單元的另一部分來限定程式禁止程式狀態。

【0131】 例如，第一程式模式設置可以將具有第一程式狀態 PV1 至

第三程式狀態 PV3 的目的程式狀態的記憶體單元限定為程式允許模式；並且可以將具有第四程式狀態 PV4 至第七程式狀態 PV7 的目的程式狀態的記憶體單元限定為程式禁止模式。

【0132】 例如，第二程式模式設置可以將具有第一程式狀態 PV1、第二程式狀態 PV2、第六程式狀態 PV6 和第七程式狀態 PV7 的目的程式狀態的記憶體單元限定為程式禁止模式；並且可以將具有第三程式狀態 PV3 至第五程式狀態 PV5 的目的程式狀態的記憶體單元限定為程式允許模式。

【0133】 例如，第三程式模式設置可以將具有第一程式狀態 PV1 至第四程式狀態 PV4 的目的程式狀態的記憶體單元限定為程式禁止模式；並且可以將具有第五程式狀態 PV5 至第七程式狀態 PV7 的目的程式狀態的記憶體單元限定為程式允許模式。

【0134】 程式操作可以包括分別與第一程式模式設置至第三程式模式設置對應的早期、中期和後期程式階段。

【0135】 然而，本發明的實施方式不限於以上所示例的程式模式設置。

【0136】 在程式操作期間根據第一程式模式設置至第三程式模式設置中的每一個，程式允許模式的記憶體單元可以通過程式允許模式的記憶體單元所耦合至的位元線 BL 而被提供有程式允許電壓，而程式禁止模式的記憶體單元可以通過程式禁止模式的記憶體單元所耦合至的位元線 BL 而被提供有程式禁止電壓。

【0137】 根據本發明的實施方式，程式模式設置單元 126 可以根據對預定目的程式狀態的程式驗證的結果來將程式操作的第一程式模式設置至

第三程式模式設置從一個改變為另一個，如參照圖 8 和圖 11 所述。例如，程式模式設置單元 126 可以在對作為目的程式狀態的第二程式狀態 PV2 的程式驗證成功後，將程式操作的程式模式設置從第一程式模式改變為第二程式模式。例如，程式模式設置單元 126 可以在對作為目的程式狀態的第四程式狀態 PV4 的程式驗證成功後，將程式操作的程式模式設置從第二程式模式改變為第三程式模式。

【0138】 參照圖 8，在步驟 801 處，半導體記憶體裝置 100 可以將與所選擇的字線耦合的記憶體單元的位元線的電壓設置為第一程式模式設置。

【0139】 在步驟 803 處，半導體記憶體裝置 100 可以向所選擇的字線施加程式脈衝並且向未選擇的字線施加通過電壓。半導體記憶體裝置 100 可以根據第一程式模式設置向位元線施加程式禁止電壓和程式允許電壓。根據第一程式模式設置，程式允許電壓可以被施加至具有第一程式狀態 PV1 至第三程式狀態 PV3 的目的程式狀態的記憶體單元的位元線，並且程式禁止電壓可以被施加至具有第四程式狀態 PV4 至第七程式狀態 PV7 的目的程式狀態的記憶體單元的位元線。

【0140】 在步驟 805 處，半導體記憶體裝置 100 可以對具有作為目的程式狀態的第 p 程式狀態 PV_p 的記憶體單元執行驗證操作。如上所述，程式驗證的成功可以表示記憶體單元的閾值電壓達到它的目的程式狀態。程式驗證的失敗可以表示記憶體單元的閾值電壓並未達到它的目的程式狀態。在一種實施方式中，第 p 程式狀態 PV_p 可以是第二程式狀態 PV2。

【0141】 作為步驟 805 的驗證操作的結果，當對第 p 程式狀態 PV_p

(例如，第二程式狀態 PV2) 的程式驗證失敗時，半導體記憶體裝置 100 可以利用另一程式脈衝來重複步驟 803。可以使用增加步進脈衝程式 ISPP 方法。作為步驟 805 的驗證操作的結果，當對第 p 程式狀態 PV_p (例如，第二程式狀態 PV2) 的程式驗證成功時，半導體記憶體裝置可以進行至步驟 807。

【0142】 在步驟 807 至 811 處，半導體記憶體裝置 100 利用第二程式模式設置來重複參照步驟 801 至 805 描述的程式操作。

【0143】 根據第二程式模式設置，程式禁止電壓可以被施加至具有第一程式狀態 PV1、第二程式狀態 PV2、第六程式狀態 PV6 和第七程式狀態 PV7 的目的程式狀態的記憶體單元的位元線，並且程式允許電壓可以被施加至具有第三程式狀態 PV3 至第五程式狀態 PV5 的目的程式狀態的記憶體單元的位元線。

【0144】 在步驟 811 處，半導體記憶體裝置 100 可以對具有作為目的程式狀態的第 q 程式狀態 PV_q 的記憶體單元執行驗證操作。在一種實施方式中，第 q 程式狀態 PV_q 可以是第二程式狀態 PV4。

【0145】 在步驟 813 至 817 處，半導體記憶體裝置 100 利用第三程式模式設置來重複參照步驟 801 至 805 或步驟 807 至 811 描述的程式操作。

【0146】 根據第三程式模式設置，程式禁止電壓可以被施加至具有第一程式狀態 PV1 至第四程式狀態 PV4 的目的程式狀態的記憶體單元的位元線，並且程式允許電壓可以被施加至具有第五程式狀態 PV5 至第七程式狀態 PV7 的目的程式狀態的記憶體單元的位元線。

【0147】 在步驟 817 處，半導體記憶體裝置 100 可以確定對與所選擇

的字線耦合的記憶體單元的程式操作是否被完成。通過對具有作為目的程式狀態的最高程式狀態的記憶體單元的程式驗證來確定記憶體單元的程式是否被完成。當作為確定的結果程式驗證失敗時，半導體記憶體裝置可以返回至步驟 815，並且將程式脈衝施加至所選擇的字線。可以使用增加步進脈衝程式 ISPP 方法。當在步驟 817 中作為確定的結果程式驗證成功時，該程式可以完成。

【0148】 圖 11 是例示當半導體記憶體裝置根據圖 8 的實施方式來操作時施加至位元線的電壓的示意圖。

【0149】 在圖 11 中作為示例描述了在一個記憶體單元中存儲三個資料位元的 TLC 方法。然而，本公開的實施方式可以被應用於如上所述在一個記憶體單元中存儲任意數量的位元的方法（MLC 或 QLC），並且明確指出本公開的實施方式可以不限於以 TLC 方法程式化的記憶體單元。

【0150】 參照圖 11，半導體記憶體裝置 100 可以根據分別與早期、中期和後期程式階段 1001 至 1005 對應的第一程式模式設置至第三程式模式設置來執行程式操作。

【0151】 在與第一程式模式設置對應的早期程式階段 1001 處，程式允許電壓可以被施加至具有作為目的程式狀態的第一程式狀態 PV1 至第三程式狀態 PV3 的記憶體單元的位元線，並且程式禁止電壓可以被施加至具有作為目的程式狀態的第四程式狀態 PV4 至第七程式狀態 PV7 的記憶體單元的位元線。因此，由於程式禁止電壓被施加至由具有作為目的程式狀態的第四程式狀態 PV4 至第七程式狀態 PV7 的記憶體單元所耦合的位元線，所以可以阻止彼此相鄰的記憶體單元的通過干擾現象。

【0152】 作為程式早期階段 1001 的結果，在對作為目的程式狀態的第一和第二程式狀態 PV1 和 PV2 的驗證成功後，具有作為目的程式狀態的第一和第二程式狀態 PV1 和 PV2 的記憶體單元的程式可以被完成。

【0153】 在與第二程式模式設置對應的中期程式階段 1003 處，程式禁止電壓可以被施加至具有作為目的程式狀態的第一程式狀態 PV1、第二程式狀態 PV2、第六程式狀態 PV6 和第七程式狀態 PV7 的記憶體單元的位元線，並且程式允許電壓可以被施加至具有作為目的程式狀態的第三程式狀態 PV3 至第五程式狀態 PV5 的記憶體單元的位元線。因此，由於程式禁止電壓被施加至由具有作為目的程式狀態的第四程式狀態 PV4 至第七程式狀態 PV7 的記憶體單元所耦合的位元線，所以可以阻止彼此相鄰的記憶體單元的通過干擾現象。

【0154】 作為程式中期階段 1003 的結果，在對作為目的程式狀態的第三程式狀態 PV3 和第四程式狀態 PV4 的驗證成功後，可以完成具有作為目的程式狀態的第三程式狀態 PV3 和第四程式狀態 PV4 的記憶體單元的程式。

【0155】 在與第三程式模式設置對應的後期程式階段 1005 處，程式禁止電壓可以被施加至具有作為目的程式狀態的第一程式狀態 PV1 至第四程式狀態 PV4 的記憶體單元的位元線，並且程式允許電壓可以被施加至具有作為目的程式狀態的第五程式狀態 PV5 至第七程式狀態 PV7 的記憶體單元的位元線。

【0156】 在圖 8 和圖 11 的實施方式中，當第二程式狀態 PV2 的程式操作被完成時，半導體記憶體裝置 100 可以將程式操作的程式模式設置從

第一程式模式設置改變為第二程式模式設置。另外，當第四程式狀態 PV4 的程式操作被完成時，半導體記憶體裝置 100 可以將程式操作的程式模式設置從第二程式模式設置改變為第三程式模式設置。

【0157】 根據本發明的另一實施方式，如參照圖 9 和圖 11 所述，程式模式設置單元 126 可以根據預定數量的施加的程式脈衝將程式操作的第一程式模式設置至第三程式模式設置從一個改變為另一個。例如，當施加的程式脈衝的數量達到第一基準數量（即，可施加的程式脈衝的總數量的三分之一）時，程式模式設置單元 126 可以將程式操作的程式模式設置從第一程式模式改變為第二程式模式。例如，當施加的程式脈衝的數量達到第二基準數量（即，可施加的程式脈衝的總數量的三分之二）時，程式模式設置單元 126 可以將程式操作的程式模式設置從第二程式模式改變為第三程式模式。

【0158】 參照圖 9，在步驟 901 處，半導體記憶體裝置 100 可以將與所選擇的字線耦合的記憶體單元的位元線的電壓設置為第一程式模式設置。

【0159】 在步驟 903 處，半導體記憶體裝置 100 可以向所選擇的字線施加程式脈衝並且向未選擇的字線施加通過電壓。半導體記憶體裝置 100 可以根據第一程式模式設置向位元線施加程式禁止電壓和程式允許電壓。根據第一程式模式設置，程式允許電壓可以被施加至具有第一程式狀態 PV1 至第三程式狀態 PV3 的目的程式狀態的記憶體單元的位元線，並且程式禁止電壓可以被施加至具有第四程式狀態 PV4 至第七程式狀態 PV7 的目的程式狀態的記憶體單元的位元線。

【0160】 在步驟 905 處，半導體記憶體裝置 100 可以確定施加的程式脈衝的數量是否達到第一基準數量（即，可施加的程式脈衝的總數量的三分之一）。

【0161】 作為步驟 905 的確定操作的結果，當施加的程式脈衝的數量並未達到第一基準數量（即，可施加的程式脈衝的總數量的三分之一）時，半導體記憶體裝置 100 可以利用另一程式脈衝來重複步驟 903。可以使用增加步進脈衝程式 ISPP 方法。作為步驟 905 的確定操作的結果，當施加的程式脈衝的數量達到第一基準數量（即，可施加的程式脈衝的總數量的三分之一）時，半導體記憶體裝置可以進行至步驟 907。

【0162】 在步驟 907 至 911 處，半導體記憶體裝置 100 利用第二程式模式設置來重複參照步驟 901 至 905 描述的程式操作。

【0163】 根據第二程式模式設置，程式禁止電壓可以被施加至具有第一程式狀態 PV1、第二程式狀態 PV2、第六程式狀態 PV6 和第七程式狀態 PV7 的目的程式狀態的記憶體單元的位元線，並且程式允許電壓可以被施加至具有第三程式狀態 PV3 至第五程式狀態 PV5 的目的程式狀態的記憶體單元的位元線。

【0164】 在步驟 911 處，半導體記憶體裝置 100 可以確定施加的程式脈衝的數量是否達到第二基準數量（即，可施加的程式脈衝的總數量的三分之二）。

【0165】 在步驟 913 至 917 處，半導體記憶體裝置 100 利用第三程式模式設置來重複參照步驟 901 至 905 或步驟 907 至 911 描述的程式操作。

【0166】 根據第三程式模式設置，程式禁止電壓可以被施加至具有第

一程式狀態 PV1 至第四程式狀態 PV4 的目的程式狀態的記憶體單元的位元線，並且程式允許電壓可以被施加至具有第五程式狀態 PV5 至第七程式狀態 PV7 的目的程式狀態的記憶體單元的位元線。

【0167】 在步驟 917 處，半導體記憶體裝置 100 可以確定對與所選擇的字線耦合的記憶體單元的程式操作是否被完成。確定施加的程式脈衝的數量是否達到第三基準數量（即，可施加的程式脈衝的總數量）。當施加的程式脈衝的數量並未達到第三基準數量（即，可施加的程式脈衝的總數量）時，半導體記憶體裝置可以返回至步驟 815，並且向所選擇的字線施加程式脈衝。可以使用增加步進脈衝程式 ISPP 方法。當施加的程式脈衝的數量達到第三基準數量（即，可施加的程式脈衝的總數量）時，該程式可以完成。

【0168】 圖 12 是例示當半導體記憶體裝置根據圖 9 的實施方式來操作時施加至位元線的電壓的示意圖。

【0169】 在圖 12 中作為示例描述了在一個記憶體單元中存儲三個資料位元的 TLC 方法。然而，本公開的實施方式可以被應用於如上所述在一個記憶體單元中存儲任意數量的位元的方法（MLC 或 QLC），並且明確指出本公開的實施方式可以不限於以 TLC 方法程式化的記憶體單元。

【0170】 參照圖 12，半導體記憶體裝置 100 可以根據第一程式模式設置至第三程式模式設置來執行程式操作。

【0171】 在與第一程式模式設置對應的早期程式階段 1101 處，程式允許電壓可以被施加至具有作為目的程式狀態的第一程式狀態 PV1 至第三程式狀態 PV3 的記憶體單元的位元線，並且程式禁止電壓可以被施加至具有作為目的程式狀態的第四程式狀態 PV4 至第七程式狀態 PV7 的記憶體單

元的位元線。因此，由於程式禁止電壓被施加至由具有作為目的程式狀態的第四程式狀態 PV4 至第七程式狀態 PV7 的記憶體單元所耦合的位元線，所以可以阻止彼此相鄰的記憶體單元的通過干擾現象。

【0172】 作為程式早期階段 1101 的結果，在對作為目的程式狀態的第一和第二程式狀態 PV1 和 PV2 的驗證成功後，可以完成具有作為目的程式狀態的第一和第二程式狀態 PV1 和 PV2 的記憶體單元的程式。

【0173】 在與第二程式模式設置對應的中期程式階段 1103 處，程式禁止電壓可以被施加至具有作為目的程式狀態的第一程式狀態 PV1、第二程式狀態 PV2、第六程式狀態 PV6 和第七程式狀態 PV7 的記憶體單元的位元線，並且程式允許電壓可以被施加至具有作為目的程式狀態的第三程式狀態 PV3 至第五程式狀態 PV5 的記憶體單元的位元線。因此，由於程式禁止電壓被施加至由具有作為目的程式狀態的第四程式狀態 PV4 至第七程式狀態 PV7 的記憶體單元耦合的位元線，所以可以阻止彼此相鄰的記憶體單元的通過干擾現象。

【0174】 作為程式中期階段 1103 的結果，在對作為目的程式狀態的第三程式狀態 PV3 和第四程式狀態 PV4 的驗證成功後，可以完成具有作為目的程式狀態的第三程式狀態 PV3 和第四程式狀態 PV4 的記憶體單元的程式。

【0175】 在與第三程式模式設置對應的後期程式階段 1105 處，程式禁止電壓可以被施加至具有作為目的程式狀態的第一程式狀態 PV1 至第四程式狀態 PV4 的記憶體單元的位元線，並且程式允許電壓可以被施加至具有作為目的程式狀態的第五程式狀態 PV5 至第七程式狀態 PV7 的記憶體單

元的位元線。因此，由於程式禁止電壓被施加至由具有作為目的程式狀態的第七程式狀態 PV7 的記憶體單元耦合的位元線，所以可以阻止彼此相鄰的記憶體單元的通過干擾現象。

【0176】 在圖 9 和圖 12 的實施方式中，當施加的程式脈衝的數量達到第一基準數量（即，可施加的程式脈衝的總數量的三分之一）時，半導體記憶體裝置 100 可以將程式操作的程式模式設置從第一程式模式設置改變為第二程式模式設置。此外，當施加的程式脈衝的數量達到第二基準數量（即，可施加的程式脈衝的總數量的三分之二）時，半導體記憶體裝置 100 可以將程式操作的程式模式從第二程式模式設置改變為第三程式模式設置。

【0177】 根據圖 9 和圖 12 的實施方式，由於半導體記憶體裝置 100 根據預定的第一和第二基準值來改變程式模式設置，所以位元線電壓可以與程式驗證操作獨立地被設置。

【0178】 圖 13 是例示圖 1 的記憶體系統的示例的方塊圖。

【0179】 參照圖 13，記憶體系統 1000 可以包括半導體記憶體裝置 1300 和控制器 1200。

【0180】 半導體記憶體裝置 1300 可以如參照圖 1 和操作所說明地被配置，因此這裡將不會重複半導體記憶體裝置 1300 的描述和操作。

【0181】 控制器 1200 可以被耦合至主機和半導體記憶體裝置 1300。控制器 1200 可以被配置為回應於來自主機 HOST 的請求而對半導體記憶體裝置 1200 進行存取。例如，控制器 1200 可以被配置為控制半導體記憶體裝置 1300 的讀取操作、程式操作、刪除操作和背景操作。控制器 1200 可以被

配置為在半導體記憶體裝置 1300 與主機 HOST 之間提供介面。該控制器可以被配置為驅動韌體以控制半導體記憶體裝置 1300。

【0182】 控制器 1200 可以包括隨機存取記憶體 (RAM) 1210、處理單元 1220、主機介面 1230、記憶體介面 1240 和錯誤校正區塊 1250。

【0183】 RAM 1210 可以被用作處理單元 1220 的驅動記憶體、半導體記憶體裝置 1300、主機 HOST 之間的快取記憶體和半導體記憶體裝置 1300 與主機 HOST 之間的緩衝記憶體中的一個。

【0184】 處理單元 1220 可以控制控制器 1200 的操作。

【0185】 處理單元 1220 可以被配置為使從主機 HOST 接收的資料隨機化。例如，處理單元 1220 可以通過使用隨機化種子來使從主機 HOST 接收的資料隨機化。所隨機化的資料可以被提供至半導體記憶體裝置 1100 以作為要被存儲 (資料，請參照圖 1) 和程式化至記憶體單元陣列 (110，請參照圖 1) 的資料。

【0186】 處理單元 1220 可以被配置為在讀取操作期間使從半導體裝置 1300 接收的資料去隨機化。例如，處理單元 1220 可以通過使用去隨機化種子來使從半導體記憶體裝置 1300 接收的資料去隨機化。去隨機化的資料可以被輸出至主機 HOST。

【0187】 作為一種實施方式，處理單元 1220 可以通過驅動韌體的軟體來執行隨機化和去隨機化。

【0188】 主機介面 1230 可以包括用於在主機 HOST 與控制器 1200 之間執行資料交換的協定。作為示例性實施方式，控制器 1200 可以被配置為通過例如，通用序列匯流排 (USB) 協定、多媒體卡 (MMC) 協定、週邊

部件互連 (PCI) 協定、PCI 快速 (PCI-E) 協定、先進附加技術 (ATA) 協定、序列 ATA 協定、並列 ATA 協定、小型電腦小型介面 (SCSI) 協定、增強型小型磁碟介面 (ESDI) 協定和整合驅動電子裝置 (IDE) 協定以及私有協定的協定中的一種與主機 HOST 通信。

【0189】 記憶體介面 1240 可以與半導體記憶體裝置 50 介面連接。例如，記憶體介面 1240 可以包括 NAND 介面或 NOR 介面。

【0190】 錯誤校正區塊 1250 可以通過使用錯誤校正碼 (ECC) 來檢測和糾正從半導體記憶體裝置 50 接收的資料的錯誤。

【0191】 控制器與半導體記憶體裝置 1300 可以被整合成為一個半導體記憶體裝置。作為示例性實施方式，控制器 1200 與半導體記憶體裝置 1300 可以被整合成為一個半導體記憶體裝置並且構成存儲卡。例如，控制器 1200 與半導體記憶體裝置 1300 可以被整合成為一個半導體記憶體裝置並且構成記憶卡，例如，個人電腦記憶卡國際協會 (PCMCIA)、緊湊型快閃 (CF) 卡、智慧媒體卡 (SM、SMC)、記憶棒、多媒體卡 (MMC、RS-MMC、MMC 微型)、SD 卡 (SD、迷你 SD、微型 SD、SDHC) 和通用快閃儲存裝置 (UFS)。

【0192】 控制器 1200 和半導體記憶體裝置 1300 可以被整合成為一個半導體記憶體裝置並且包括固態驅動器 (SSD)。SSD 可以包括被配置為在半導體記憶體裝置中存儲資料的記憶體裝置。當記憶體系統 1000 被用作半導體驅動 SSD 時，與記憶體系統 1000 耦合的主機 HOST 的驅動速度可以被顯著提高。

【0193】 作為另一示例，記憶體系統 100 可以設置為多個部件中的一個，例如，電腦、超級移動 PC (UMPC)、工作站、小筆電、個人數位助理

(PDA)、可攜式電腦、網路平板電腦、無線電話、行動電話、智慧型電話、電子書、可攜式多媒體播放機 (PMP)、可攜式遊戲機、導航裝置、黑盒子、數位相機、三 D 電視、數位音訊記錄器、數位音訊播放機、數位圖形記錄器、數位圖形播放機、數位視訊記錄器、數位視訊播放機、在無線環境中發送/接收資訊的裝置以及構成家用網路的各種電子設備中的一個。

【0194】 作為一種示例，半導體記憶體裝置 1300 或記憶體系統 100 可以被安裝在各種形狀的封裝中。例如，半導體記憶體裝置 1300 和記憶體系統 100 可以按照以下方法被封裝和安裝，例如堆疊式封裝 (PoP)、球陣陣列 (BGA)、晶片級封裝 (CSP)、塑膠晶粒承載封裝 (PLCC)、塑膠雙列式封裝 (PDIP)、疊片包裝晶粒、晶圓形式晶粒、晶片直接封裝 (COB)、陶瓷雙列式封裝 (CERDIP)、塑膠四面扁平封裝 (MQFP)、薄式四面扁平封裝 (TQFP)、小型 IC 包裝 (SOIC)、緊縮小型封裝 (SSOP)、薄式小型封裝 (TSOP)、薄式四面扁平封裝 (TQFP)、系統封裝 (SIP)、多晶片封裝 (MCP)、晶圓級製程封裝 (WFP)、晶圓級處理堆疊封裝 (WSP))。

【0195】 圖 14 是例示圖 13 中的記憶體系統 1000 的示例 2000 的方塊圖。

【0196】 參照圖 14，記憶體系統 2000 可以包括半導體記憶體裝置 2100 和控制器 2200。半導體記憶體裝置 2100 可以包括多個半導體存儲晶片。多個存儲晶片可以被分為多個群組。

【0197】 在圖 14 中，多個組中的每一個被例示為通過第一通道 CH1 至第 k 通道 CHk 與控制器 2200 通信。每個半導體存儲晶片可以被配置為與參照圖 1 描述的半導體記憶體裝置 50 中的一個相同並且操作。

【0198】 每個組可以被配置為通過公共通道與控制器 2200 通信。控制器 2200 可以被配置為與參照圖 13 描述的控制器 1200 相同並且通過多個通道 CH1 至 CHk 來控制半導體記憶體裝置 2100 的多個存儲晶片。

【0199】 在圖 14 中，描述了多個半導體存儲晶片被耦合至一個通道。然而，要理解的是，記憶體系統 2000 可以被改變為使得一個半導體記憶體裝置被耦合至一個通道。

【0200】 圖 15 是例示包括參照圖 14 描述的記憶體系統 2000 的計算系統 3000 的方塊圖。

【0201】 參照圖 15，計算系統 3000 可以包括：中央處理單元 3100、隨機存取記憶體（RAM）3200、使用者介面 3300、電源 3400、系統匯流排 3500 和記憶體系統 2000。

【0202】 記憶體系統 2000 可以通過系統匯流排 3500 被電耦合至中央處理單元 3100、RAM 3200 和使用使用者介面 3300 以及電源 3400。通過使用者介面 3300 提供並且被中央處理單元 3100 處理的資料可以存儲在記憶體系統 2000 中。

【0203】 在圖 15 中，半導體記憶體裝置 2100 被例示為通過控制器 2200 與系統匯流排 3500 耦合。然而，半導體記憶體裝置 2100 可以被配置為與系統匯流排 3500 直接耦合。控制器 2200 的功能可以通過中央處理單元 3100 和 RAM 3200 來執行。

【0204】 在圖 15 中，例示了參照圖 14 描述的記憶體系統 2000 被提供。然而，記憶體系統 2000 可以用參照圖 7 描述的記憶體系統 1000 來替換。作為一種實施方式，計算系統 3000 可以被配置為包括參照圖 13 和圖 14 描

述的記憶體系統 1000 和 2000。

【0205】 根據本公開的實施方式，提供了一種具有可靠性的半導體記憶體裝置及其操作方法。

【0206】 參照附圖詳細描述了本公開的示例性實施方式。然而，本公開不限於這些實施方式，而是可以被實現為不同的形式。

【0207】 在所描述的實施方式中，所有階段可以被選擇性地執行或省略。另外，在一種實施方式中的階段可以不必按循序執行，而是以其它方式被執行。而且，針對一種實施方式描述的特徵或元件可以被另一實施方式採用，正如可以被相關領域的技術人員容易理解的那樣。本領域技術人員將理解，在不脫離如所附申請專利範圍中所闡述的本發明的精神和範圍的情況下，可以進行形式和細節上的各種變更。

【符號說明】

【0208】

50：記憶體系統

100：半導體記憶體裝置

110：記憶體單元陣列

120：週邊電路

121：位址解碼器

122：電壓產生器

123：讀取和寫入電路

124：輸入/輸出緩衝器

125：控制邏輯

- 126：程式模式設置單元
- 200：控制器
- 210：RAM
- 220：記憶體控制單元
- 230：錯誤校正電路
- 601：記憶體單元
- 603：記憶體單元
- 610：程式早期階段
- 620：程式中期階段
- 630：程式後期階段
- 1000：記憶體系統
- 1001：早期程式階段
- 1003：中期程式階段
- 1005：後期程式階段
- 1101：早期程式階段
- 1103：中期程式階段
- 1105：後期程式階段
- 1200：控制器
- 1210：隨機存取記憶體（RAM）
- 1220：處理單元
- 1230：主機介面
- 1240：記憶體介面

- 1250：錯誤校正區塊
- 1300：半導體記憶體裝置
- 2000：記憶體系統
- 2100：半導體記憶體裝置
- 2200：控制器
- 3000：計算系統
- 3100：中央處理單元
- 3200：隨機存取記憶體（RAM）
- 3300：使用者介面
- 3400：電源
- 3500：系統匯流排

申請專利範圍

1. 一種半導體記憶體裝置的操作方法，該半導體記憶體裝置包括多個記憶體單元，所述多個記憶體單元各自具有 n 個程式狀態中的一個作為目的程式狀態，所述操作方法包括以下步驟：

將第一組記憶體單元設置為程式允許模式，所述第一組記憶體單元具有作為所述目的程式狀態的第一組程式狀態；

將第二組記憶體單元設置為程式禁止模式，所述第二組記憶體單元具有作為所述目的程式狀態的第二組程式狀態；

按照所述程式狀態的級別的升序對 n 個程式狀態中的第 i 程式狀態執行程式操作和程式驗證操作；以及

在對所述第 i 程式狀態執行的所述程式驗證操作成功後，將具有所述第 i 程式狀態的所述第一組記憶體單元中的一個或更多個記憶體單元從所述程式允許模式改變為所述程式禁止模式，並且將具有第 $(i+k)$ 程式狀態的所述第二組記憶體單元中的一個或更多個記憶體單元從所述程式禁止模式改變為所述程式允許模式。

2. 根據申請專利範圍第 1 項所述的操作方法，其中，執行所述程式操作的步驟包括：

向所述第一組記憶體單元提供程式允許電壓；以及

向所述第二組記憶體單元提供程式禁止電壓。

3. 根據申請專利範圍第 1 項所述的操作方法，其中，所述改變的步驟包括：

當具有所述第 i 程式狀態的所述記憶體單元的閾值電壓達到所述第 i 程

式狀態時，確定對所述第 i 程式狀態的所述程式驗證操作成功。

4. 一種半導體記憶體裝置的操作方法，該半導體記憶體裝置包括多個記憶體單元，所述多個記憶體單元各自具有 n 個程式狀態中的一個作為目的程式狀態，所述操作方法包括以下步驟：

根據第一程式模式設置、第二程式模式設置以及第三程式模式設置中的一個來執行對所述記憶體單元的程式操作，直至滿足第一條件；

根據第一程式模式設置、第二程式模式設置以及第三程式模式設置中的另一個來執行對所述記憶體單元的程式操作，直至滿足第二條件；以及

根據第一程式模式設置、第二程式模式設置以及第三程式模式設置中的剩餘一個來執行對所述記憶體單元的程式操作。

5. 根據申請專利範圍第 4 項所述的操作方法，其中，執行所述程式操作的步驟包括：

向程式允許模式的所述記憶體單元提供程式允許電壓；以及

向程式禁止模式的所述記憶體單元提供程式禁止電壓。

6. 根據申請專利範圍第 4 項所述的操作方法，

其中，所述第一條件是對第 p 程式狀態的程式驗證操作成功，並且

其中，所述第二條件是對第 q 程式狀態的程式驗證操作成功。

7. 根據申請專利範圍第 4 項所述的操作方法，

其中，所述第一條件是施加的程式脈衝的數量達到第一基準數量，並且

其中，所述第二條件是施加的程式脈衝的數量達到第二基準數量。

8. 根據申請專利範圍第 4 項所述的操作方法，其中，所述第一程式模

式設置將具有第一程式狀態至第三程式狀態的目的程式狀態的所述記憶體單元限定為程式允許模式，並且將具有第四程式狀態至第七程式狀態的目的程式狀態的所述記憶體單元限定為程式禁止模式。

9. 根據申請專利範圍第 4 項所述的操作方法，其中，所述第二程式模式設置將具有第一程式狀態、第二程式狀態、第六程式狀態和第七程式狀態的目的程式狀態的所述記憶體單元限定為程式禁止模式，並且將具有第三程式狀態至第五程式狀態的目的程式狀態的所述記憶體單元限定為程式允許模式。

10. 根據申請專利範圍第 4 項所述的操作方法，其中，所述第三程式模式設置將具有第一程式狀態至第四程式狀態的目的程式狀態的所述記憶體單元限定為程式禁止模式，並且將具有第五程式狀態至第七程式狀態的目的程式狀態的所述記憶體單元限定為程式允許模式。

11. 一種半導體記憶體裝置，該半導體記憶體裝置包括：

多個記憶體單元，所述多個記憶體單元各自將 n 個程式狀態中的一個作為目的程式狀態；以及

週邊電路，所述週邊電路用於執行以下操作：

將第一組記憶體單元設置為程式允許模式，所述第一組記憶體單元具有作為所述目的程式狀態的第一組程式狀態；

將第二組記憶體單元設置為程式禁止模式，所述第二組記憶體單元具有作為所述目的程式狀態的第二組程式狀態；

按照所述程式狀態的級別的升序對 n 個程式狀態中的第 i 執行程式操作和程式驗證操作；以及

在對第 i 程式狀態的所述程式驗證操作成功後，將具有所述第 i 程式狀態的所述第一組記憶體單元中的一個或更多個記憶體單元從所述程式允許模式改變為所述程式禁止模式，並且將具有第 $(i+k)$ 程式狀態的所述第二組記憶體單元中的一個或更多個記憶體單元從所述程式禁止模式改變為所述程式允許模式。

12. 根據申請專利範圍第 11 項所述的半導體記憶體裝置，其中，在所述程式操作期間，所述週邊電路向所述第一組記憶體單元提供程式允許電壓，並且向所述第二組記憶體單元提供程式禁止電壓。

13. 根據申請專利範圍第 11 項所述的半導體記憶體裝置，其中，在所述改變期間，當具有所述第 i 程式狀態的所述記憶體單元的閾值電壓達到所述第 i 程式狀態時，所述週邊電路確定對所述第 i 程式狀態的所述程式驗證操作成功。

14. 一種半導體記憶體裝置，該半導體記憶體裝置包括：

多個記憶體單元，所述多個記憶體單元各自將 n 個程式狀態中的一個作為目的程式狀態；以及

週邊電路，所述週邊電路用於執行以下操作：

根據第一程式模式設置、第二程式模式設置以及第三程式模式設置中的一個對所述記憶體單元執行程式操作，直至滿足第一條件；

根據第一程式模式設置、第二程式模式設置以及第三程式模式設置中的另一個對所述記憶體單元執行所述程式操作，直至滿足第二條件；以及

根據第一程式模式設置、第二程式模式設置以及第三程式模式設置中的剩餘一個對所述記憶體單元執行所述程式操作。

15. 根據申請專利範圍第 14 項所述的半導體記憶體裝置，其中，所述週邊電路向程式允許模式的所述記憶體單元提供程式允許電壓，以及向程式禁止模式的所述記憶體單元提供程式禁止電壓。

16. 根據申請專利範圍第 14 項所述的半導體記憶體裝置，
其中，所述第一條件是對第 p 程式狀態的程式驗證操作成功，並且
其中，所述第二條件是對第 q 程式狀態的程式驗證操作成功。

17. 根據申請專利範圍第 14 項所述的半導體記憶體裝置，
其中，所述第一條件是施加的程式脈衝的數量達到第一基準數量，並且
且
其中，所述第二條件是施加的程式脈衝的數量達到第二基準數量。

18. 根據申請專利範圍第 14 項所述的半導體記憶體裝置，其中，所述第一程式模式設置將具有第一程式狀態至第三程式狀態的目的程式狀態的所述記憶體單元限定為程式允許模式，並且將具有第四程式狀態至第七程式狀態的目的程式狀態的所述記憶體單元限定為程式禁止模式。

19. 根據申請專利範圍第 14 項所述的半導體記憶體裝置，其中，所述第二程式模式設置將具有第一程式狀態、第二程式狀態、第六程式狀態和第七程式狀態的目的程式狀態的所述記憶體單元限定為程式禁止模式，並且將具有第三程式狀態至第五程式狀態的目的程式狀態的所述記憶體單元限定為程式允許模式。

20. 根據申請專利範圍第 14 項所述的半導體記憶體裝置，其中，所述第三程式模式設置將具有第一程式狀態至第四程式狀態的目的程式狀態的所述記憶體單元限定為程式禁止模式，並且將具有第五程式狀態至第七程

式狀態的目的程式狀態的所述記憶體單元限定為程式允許模式。

圖式

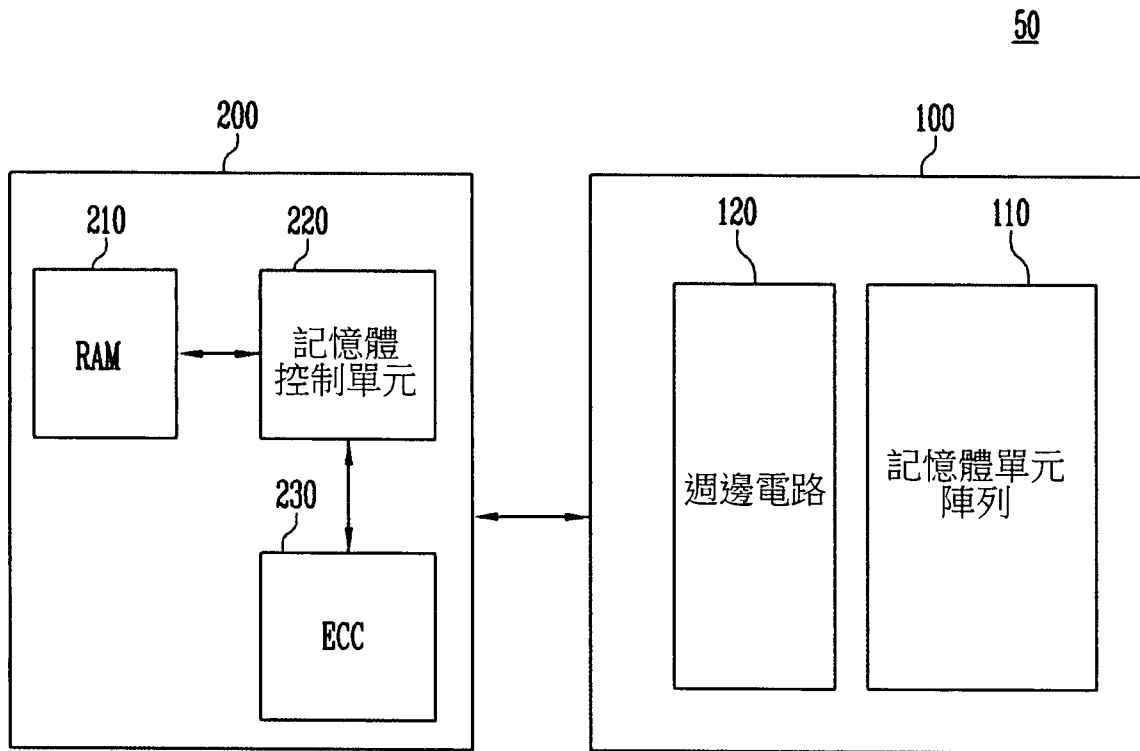


圖1

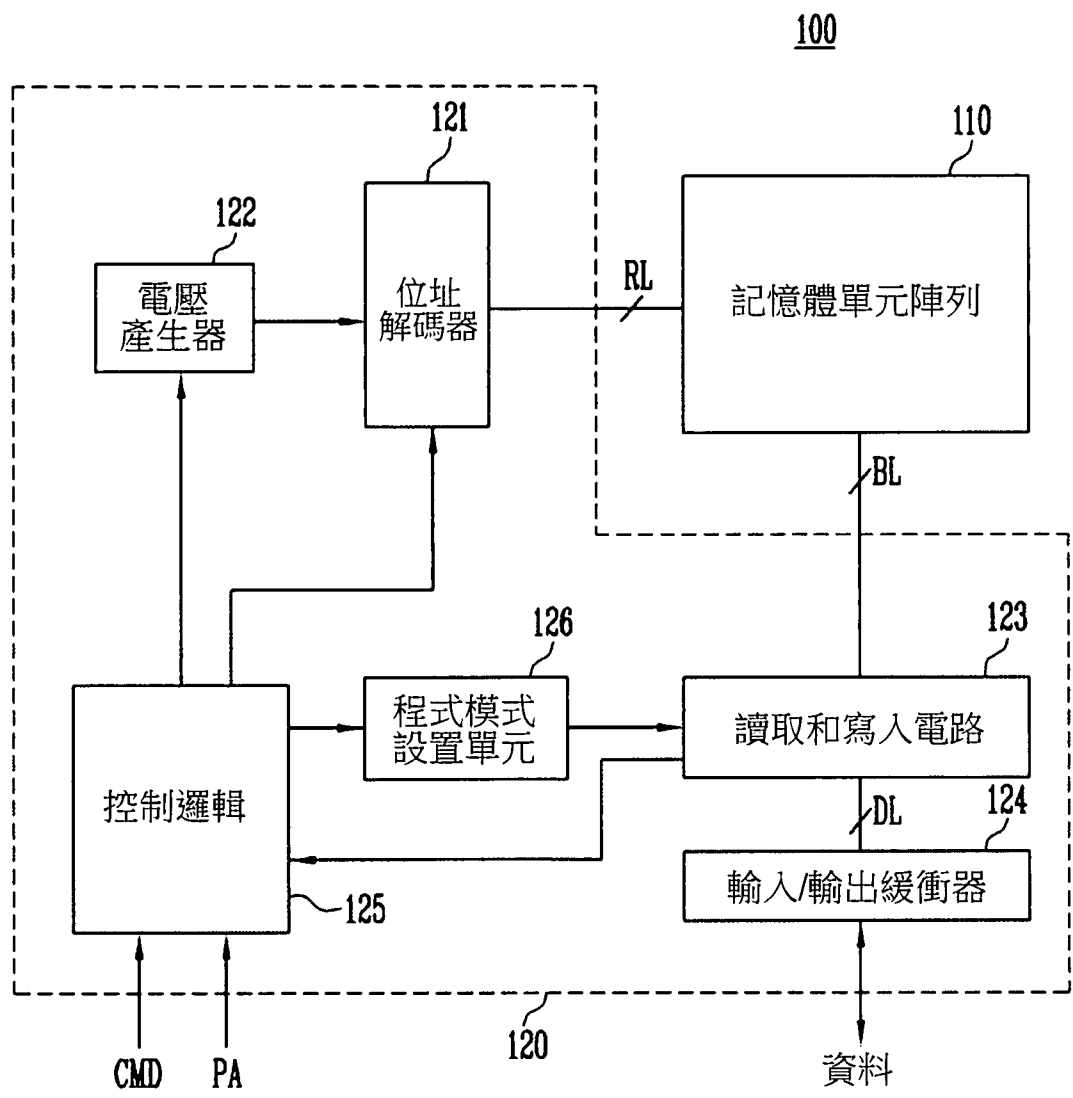


圖2

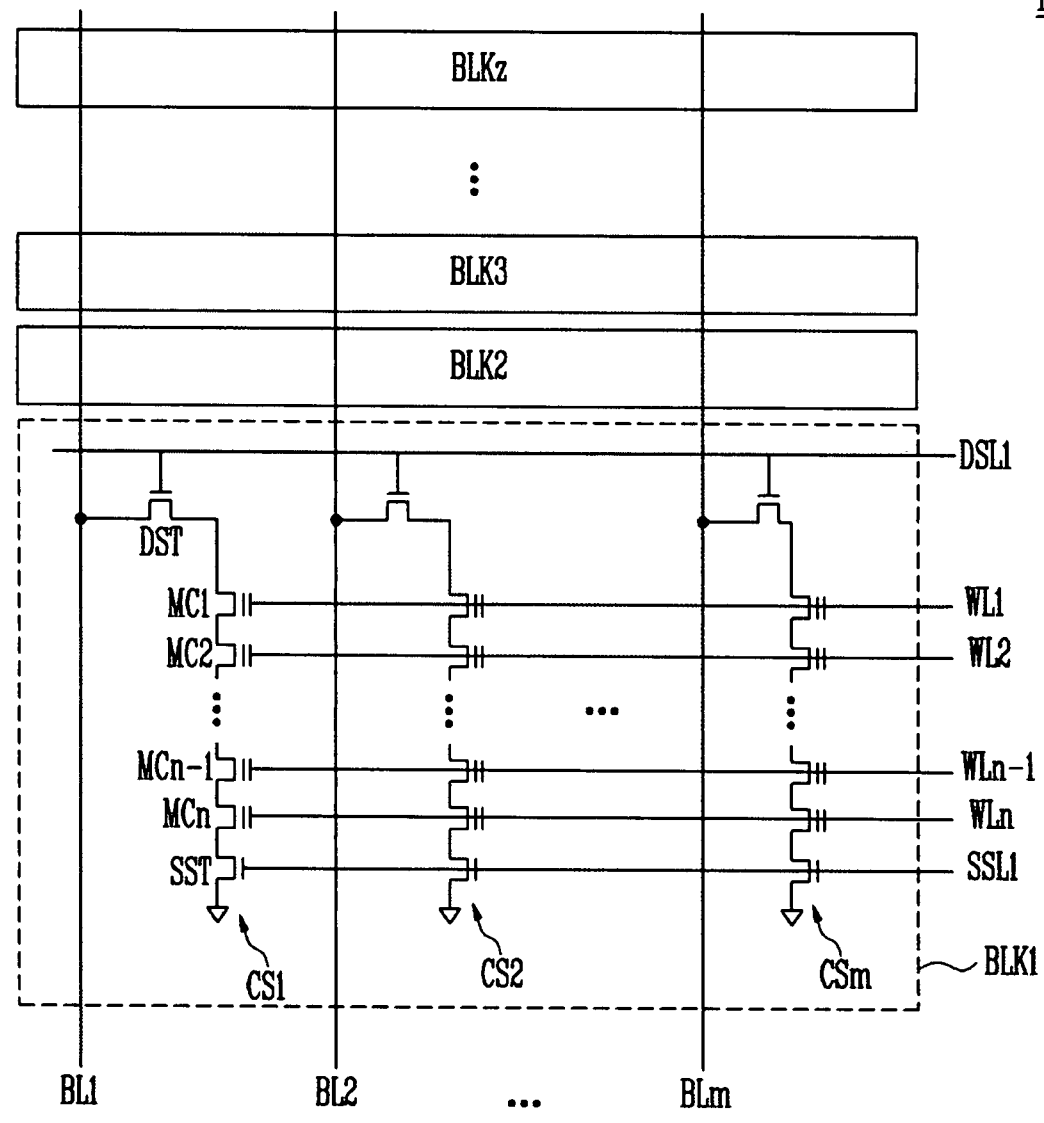


圖3

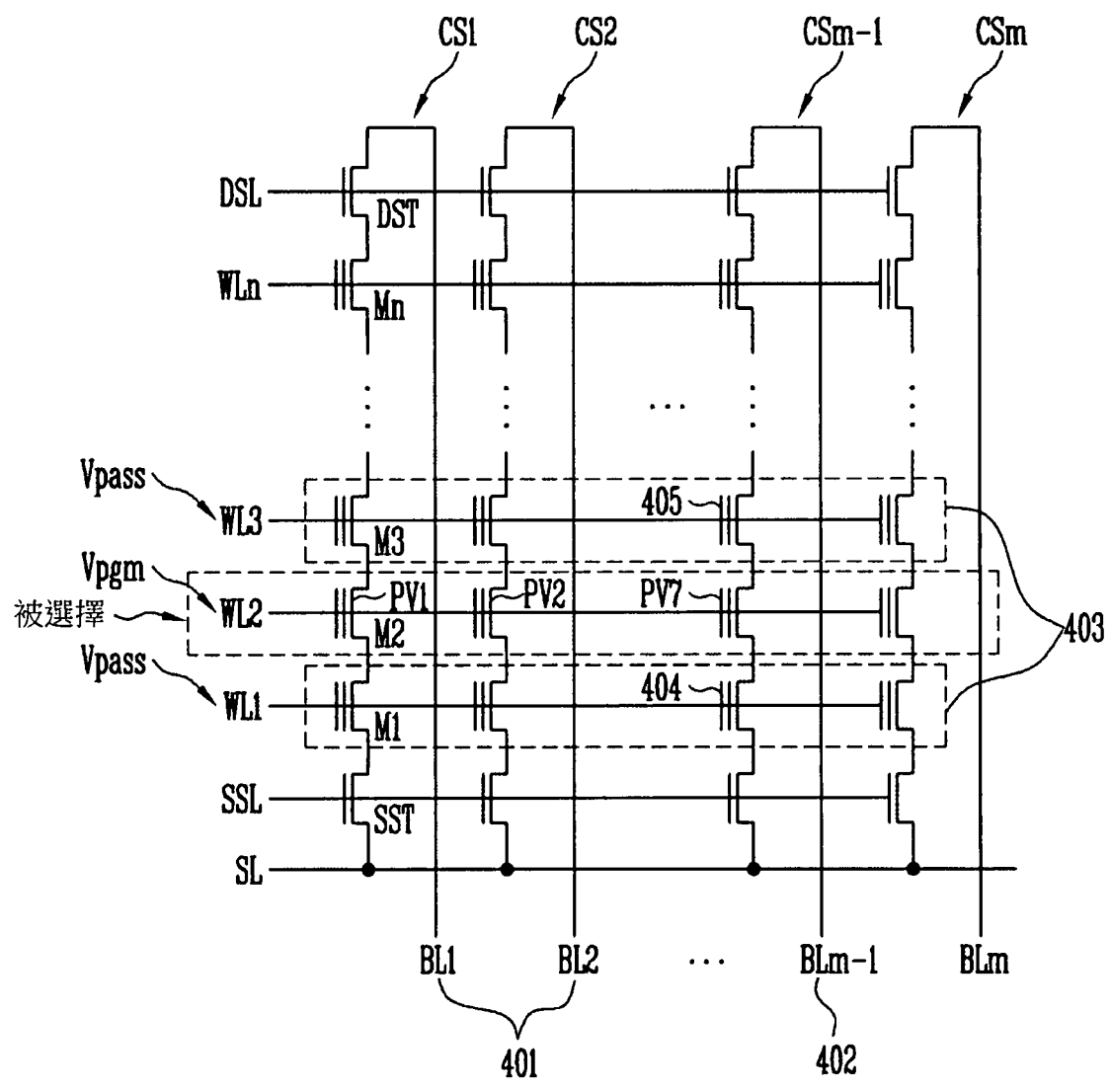


圖4

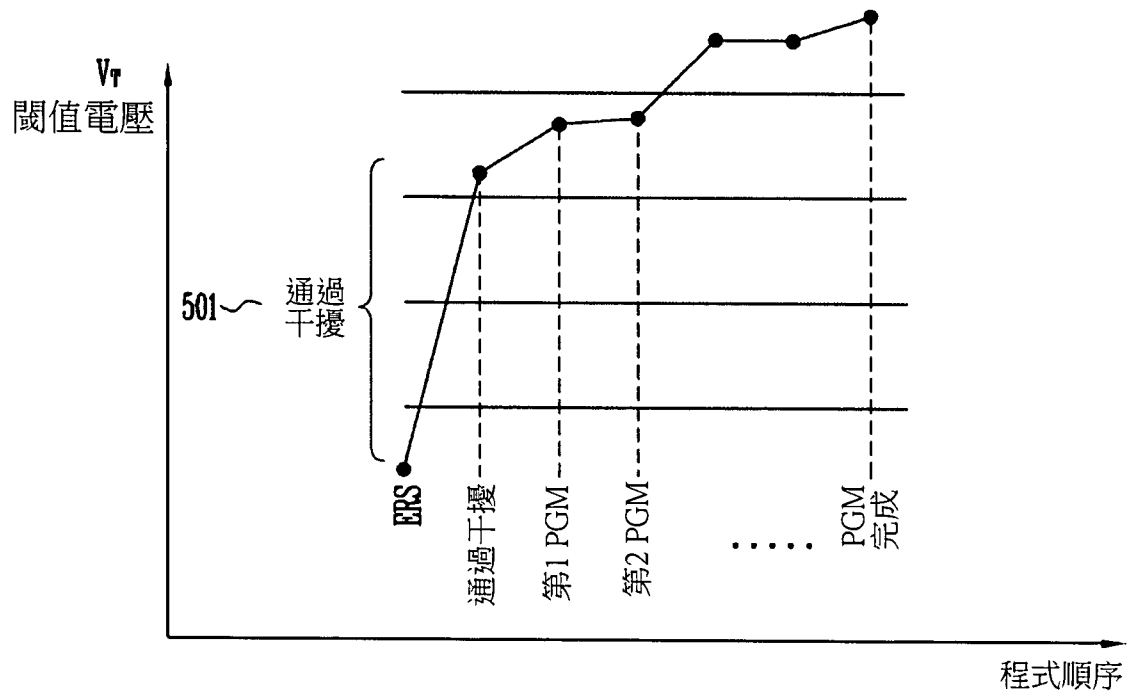


圖5

	601			603			
	PV1	PV2	PV3	PV4	PV5	PV6	PV7
PGM 早期階段 (610)	PGM 模式	PGM 模式	PGM 模式	PGM 模式	PGM 模式	PGM 模式	PGM 模式
PGM 中期階段 (620)	禁止模式 PGM 完成	禁止模式 PGM 完成	PGM 模式	PGM 模式	PGM 模式	PGM 模式	PGM 模式
PGM 後期階段 (630)	禁止模式 PGM 完成	禁止模式 PGM 完成	禁止模式 PGM 完成	禁止模式 PGM 完成	PGM 模式	PGM 模式	PGM 模式

圖6

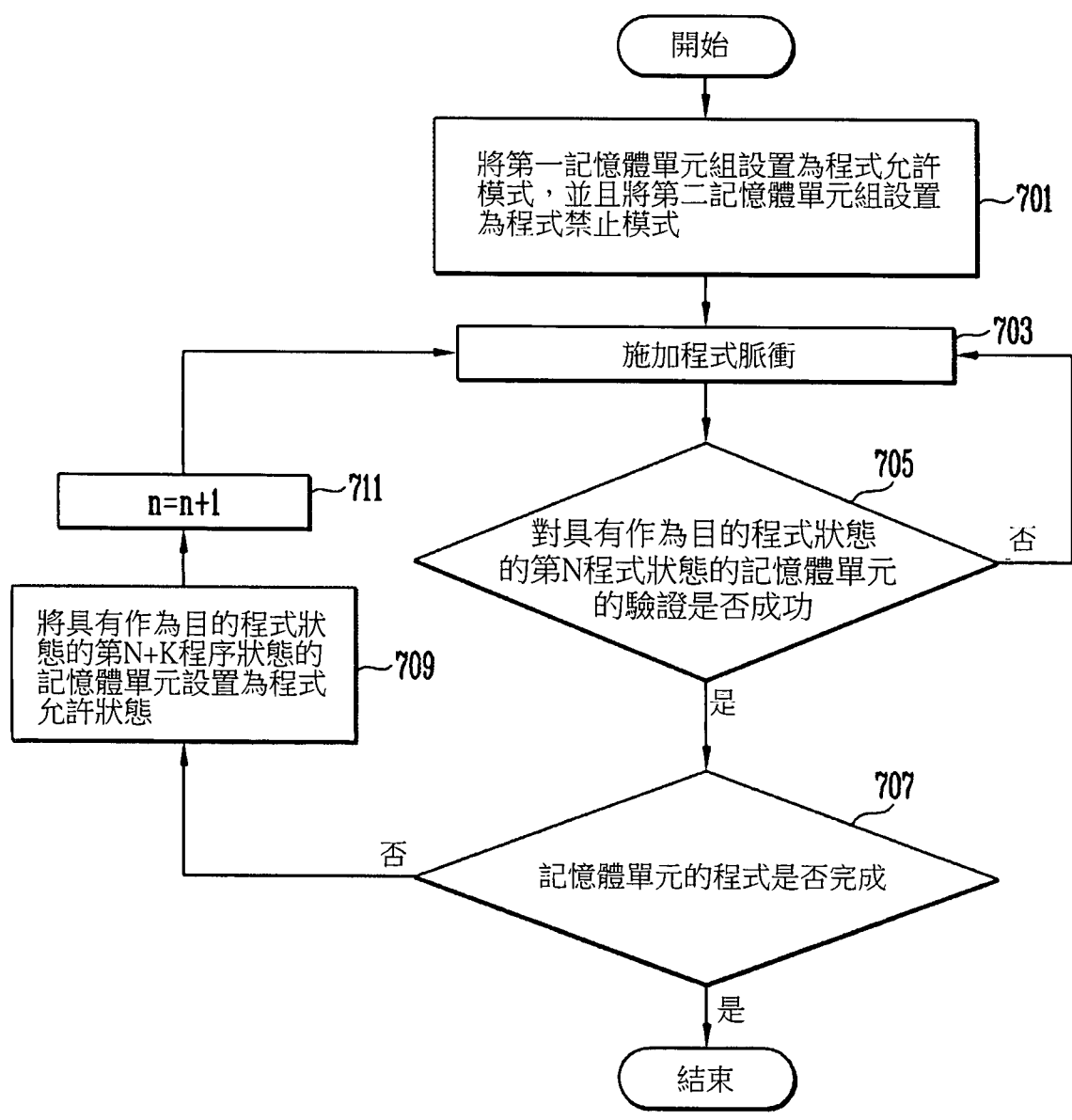


圖7

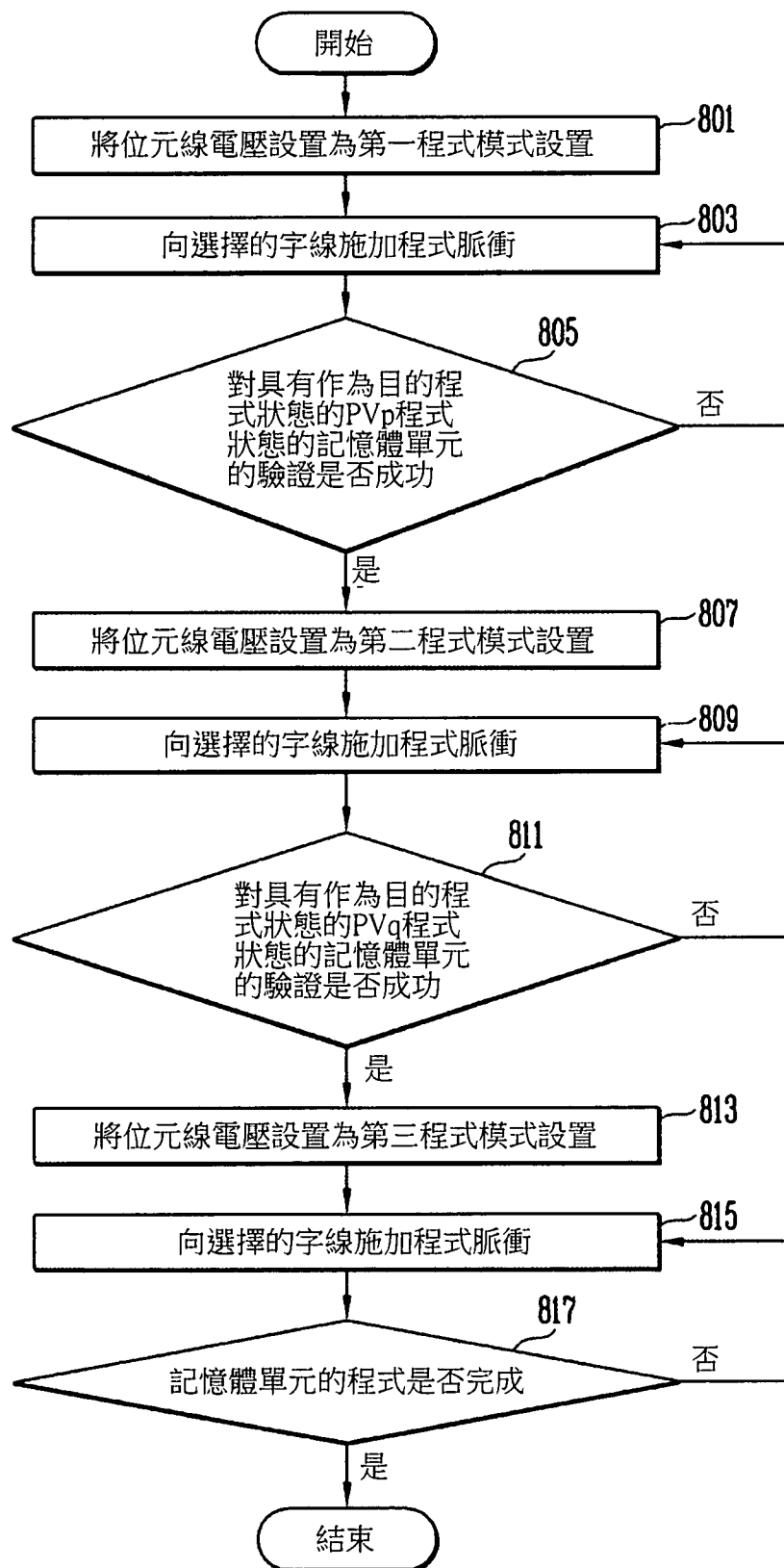


圖8

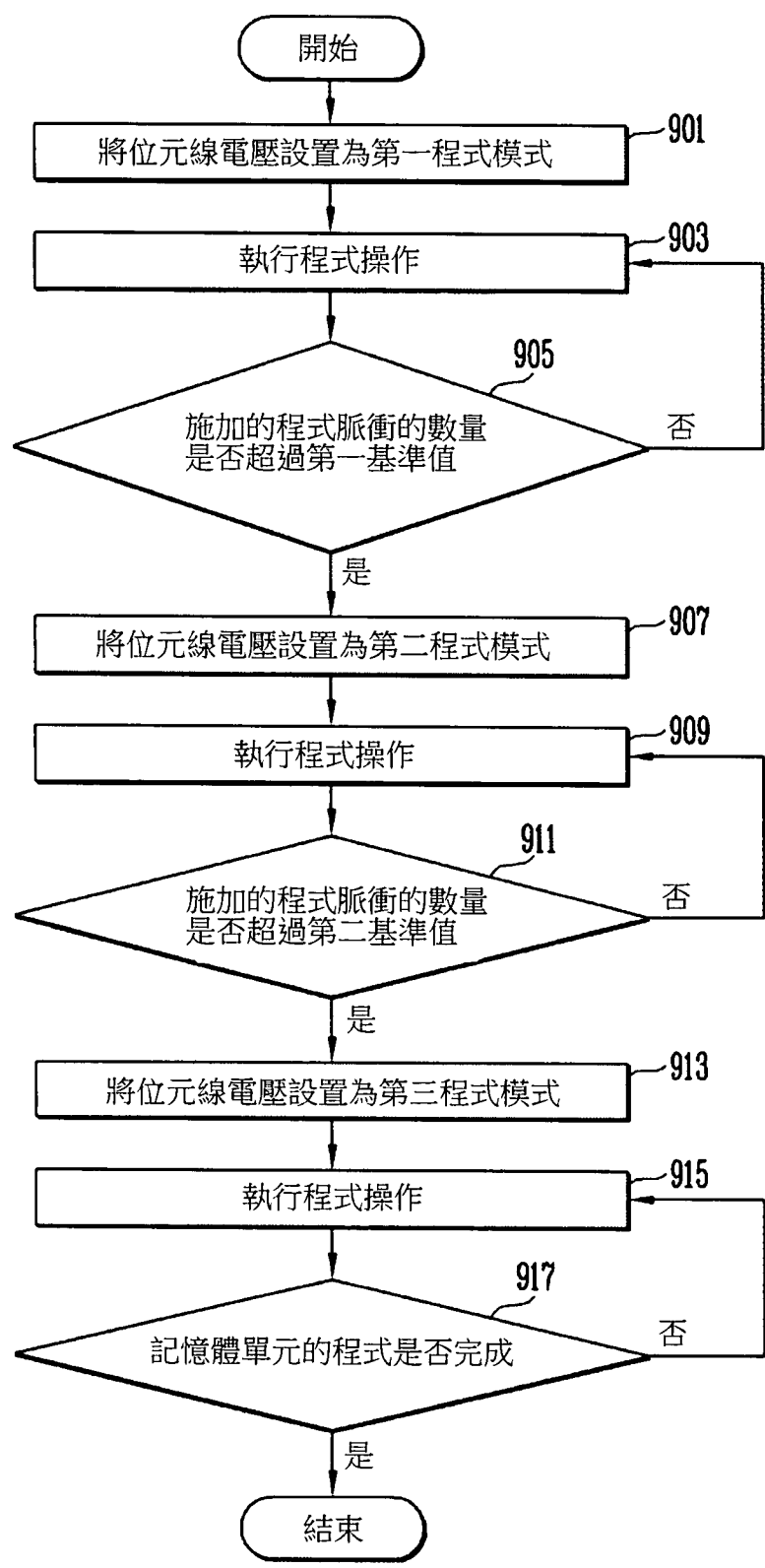


圖9

	PV1	PV2	PV3	PV4	PV5	PV6	PV7
PV1 處理中	PGM 模式	PGM 模式	PGM 模式	禁止模式 (PGM 未完成)	禁止模式 (PGM 未完成)	禁止模式 (PGM 未完成)	禁止模式 (PGM 未完成)
PV2 處理中 (PV1 完成)	禁止模式 (PGM 完成)	PGM 模式	PGM 模式	PGM 模式	禁止模式 (PGM 未完成)	禁止模式 (PGM 未完成)	禁止模式 (PGM 未完成)
PV3 處理中 (PV1,2 完成)	禁止模式 (PGM 完成)	禁止模式 (PGM 完成)	PGM 模式	PGM 模式	PGM 模式	禁止模式 (PGM 未完成)	禁止模式 (PGM 未完成)
PV4 處理中 (PV1,2,3 完成)	禁止模式 (PGM 完成)	禁止模式 (PGM 完成)	禁止模式 (PGM 完成)	PGM 模式	PGM 模式	PGM 模式	禁止模式 (PGM 未完成)
PV5 處理中 (PV1,2,3,4 完成)	禁止模式 (PGM 完成)	禁止模式 (PGM 完成)	禁止模式 (PGM 完成)	禁止模式 (PGM 完成)	PGM 模式	PGM 模式	PGM 模式
PV6 處理中 (PV1,2,3,4,5 完成)	禁止模式 (PGM 完成)	禁止模式 (PGM 完成)	禁止模式 (PGM 完成)	禁止模式 (PGM 完成)	禁止模式 (PGM 完成)	PGM 模式	PGM 模式
PV7 處理中 (PV1,2,3,4,5,6 完成)	禁止模式 (PGM 完成)	禁止模式 (PGM 完成)	禁止模式 (PGM 完成)	禁止模式 (PGM 完成)	禁止模式 (PGM 完成)	禁止模式 (PGM 完成)	PGM 模式

圖10

	PV1	PV2	PV3	PV4	PV5	PV6	PV7
PGM 早期階段 (1001) 第一程序模式	PGM 模式	PGM 模式	PGM 模式	禁止模式 (PGM 未完成)	禁止模式 (PGM 未完成)	禁止模式 (PGM 未完成)	禁止模式 (PGM 未完成)
PGM 中期階段 (1003) 第二程序模式	禁止模式 (PGM 完成)	禁止模式 (PGM 完成)	PGM 模式	PGM 模式	PGM 模式	禁止模式 (PGM 未完成)	禁止模式 (PGM 未完成)
PGM 後期階段 (1005) 第三程序模式	禁止模式 (PGM 完成)	禁止模式 (PGM 完成)	禁止模式 (PGM 完成)	禁止模式 (PGM 完成)	PGM 模式	PGM 模式	PGM 模式

當PGM
狀態(PV2)
完成時

當PGM
狀態(PV4)
完成時

圖11

	PV1	PV2	PV3	PV4	PV5	PV6	PV7
PGM 早期階段 (1101) 第一程序模式	PGM 模式	PGM 模式	PGM 模式	禁止模式 (PGM 未完成)	禁止模式 (PGM 未完成)	禁止模式 (PGM 未完成)	禁止模式 (PGM 未完成)
PGM 中期階段 (1103) 第二程序模式	禁止模式 (PGM 完成)	禁止模式 (PGM 完成)	PGM 模式	PGM 模式	PGM 模式	禁止模式 (PGM 未完成)	禁止模式 (PGM 未完成)
PGM 後期階段 (1105) 第三程序模式	禁止模式 (PGM 完成)	禁止模式 (PGM 完成)	禁止模式 (PGM 完成)	禁止模式 (PGM 完成)	PGM 模式	PGM 模式	PGM 模式

施加的脈衝
的數量超過
第一基準值

施加的脈衝
的數量超過
第二基準值

圖12

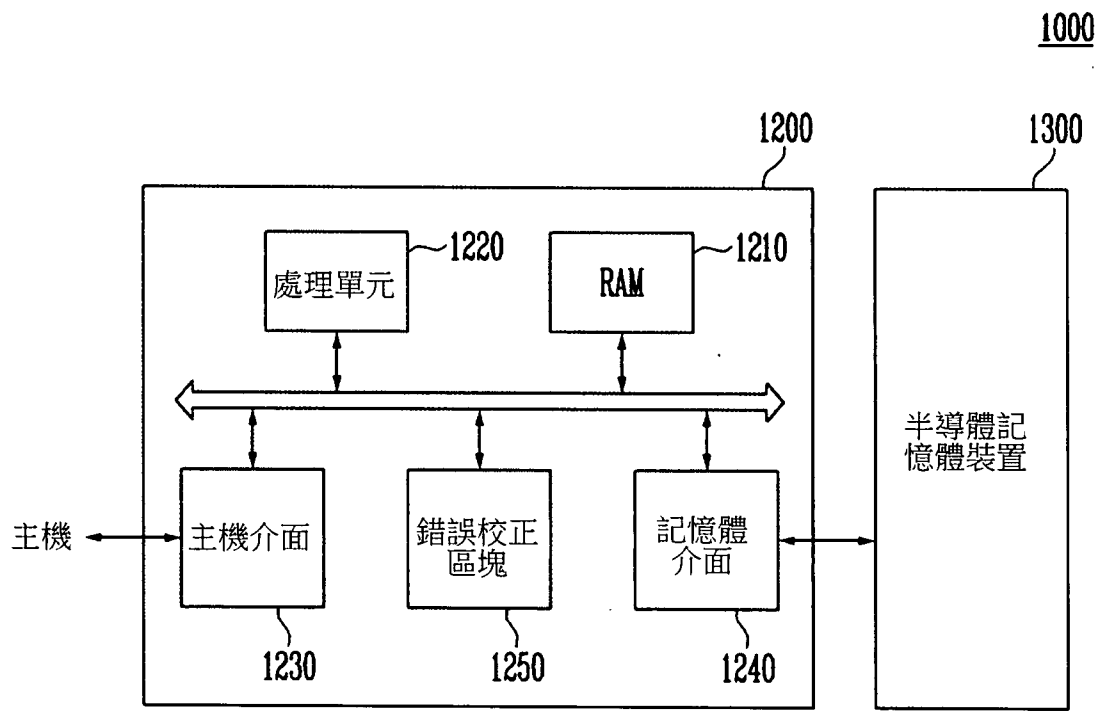


圖13

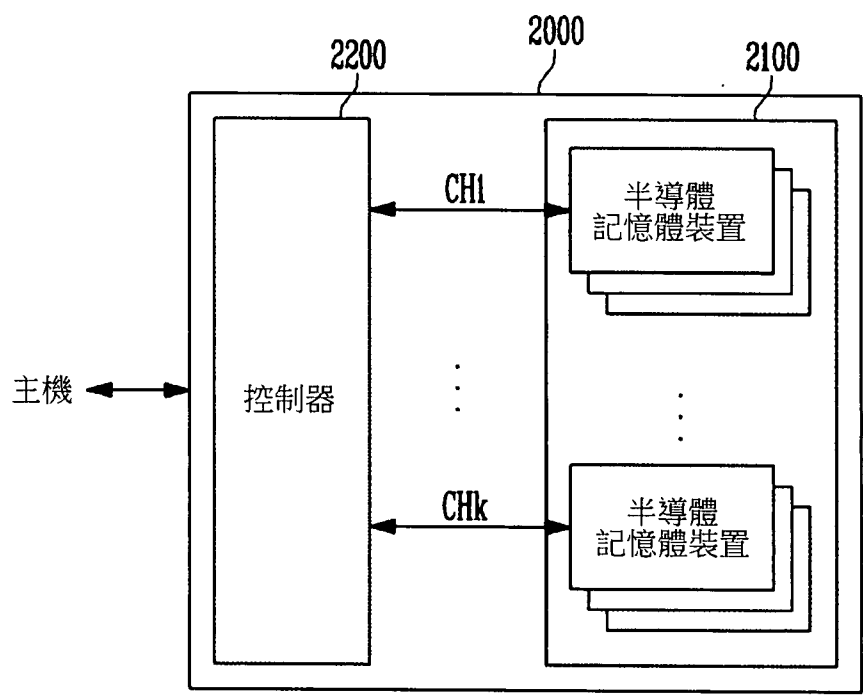


圖14

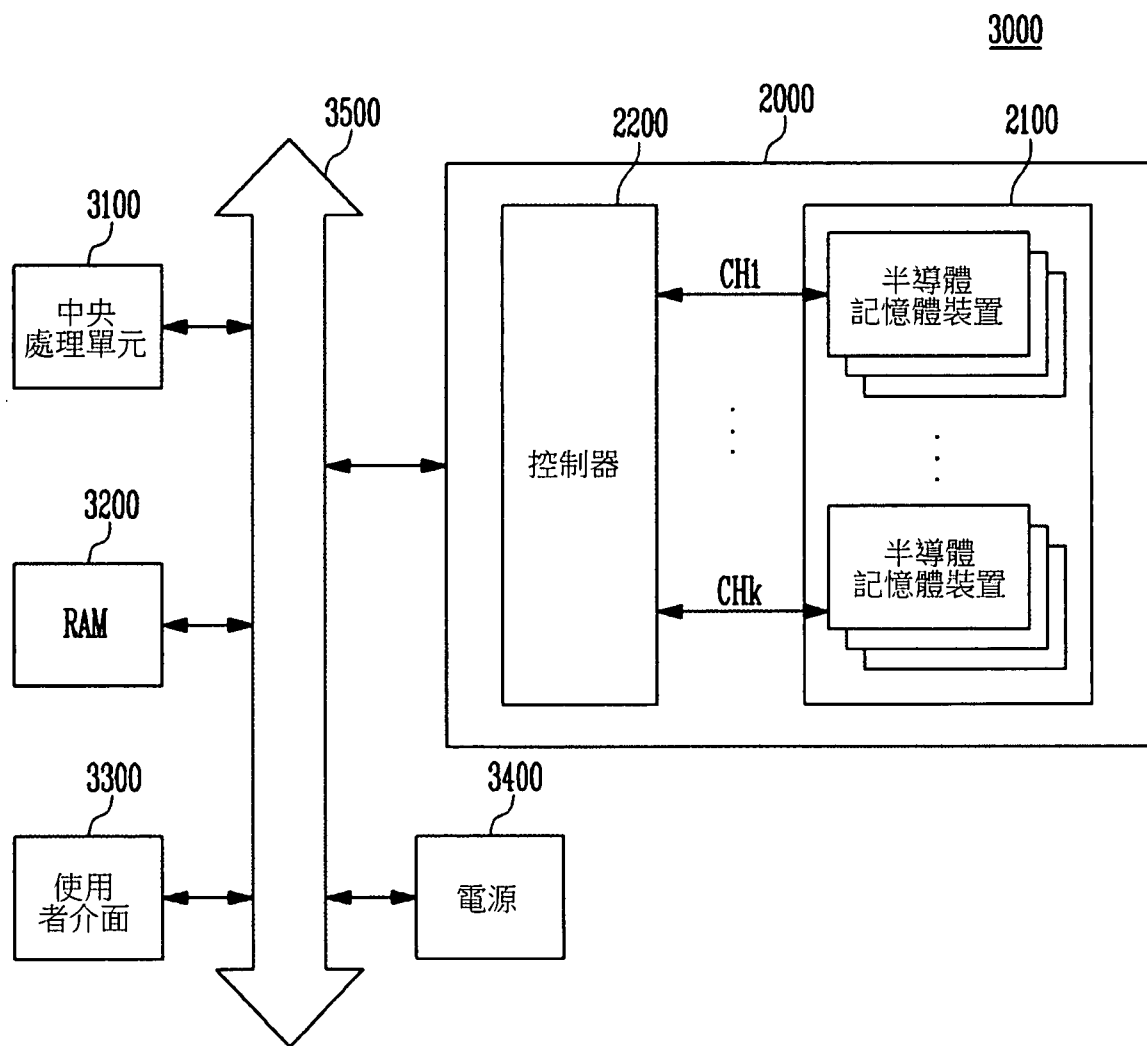


圖15

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】(中文/英文)

半導體記憶體裝置及其操作方法

SEMICONDUCTOR MEMORY DEVICE AND OPERATING METHOD
THEREOF

相關申請案之交互參考

【0001】 本申請要求於 2015 年 11 月 23 日在韓國智慧財產權局提交的韓國專利申請第 10-2015-0163835 號的優先權，通過引用將其整個公開內容整體結合於此。

【技術領域】

【0002】 本公開的一方面涉及一種電子設備，且更具體地，涉及一種半導體記憶體裝置及其操作方法。

【先前技術】

【0003】 半導體記憶體裝置是通過使用半導體（例如，矽（Si）、鍺（Ge）、砷化鎵（GaAs）、磷化銦（InP）等）來實現的記憶體裝置。在半導體記憶體裝置中包括揮發性記憶體裝置和非揮發性記憶體裝置。

【0004】 揮發性記憶體裝置是一種當供電受阻時消除存儲的資料的記憶體裝置。靜態 RAM(SRAM)、動態 RAM(DRAM)和同步 DRAM(SDRAM) 被包括在揮發性記憶體裝置中。非揮發性記憶體裝置是一種當供電受阻時保持所存儲的資料的記憶體裝置。唯讀記憶體（ROM）、可程式化 ROM（PROM）、電可程式化 ROM（EPROM）、電可擦除且可程式化 ROM（EEPROM）、快閃記憶體、相變 RAM（PRAM）、磁性 RAM（MRAM）、電

阻式 RAM (RRAM) 和鐵電 RAM (FRAM) 被包括在非揮發性記憶體裝置中。快閃記憶體寬泛地分類為 NOR 類型和 NAND 類型。

【發明內容】

【0005】 本發明的實施方式提供了一種表現出改進的可靠性的半導體記憶體裝置及其操作方法。

【0006】 根據本公開的一方面，提供了一種半導體記憶體裝置的操作方法，該半導體記憶體裝置包括多個記憶體單元，所述多個記憶體單元各自具有 n 個程式狀態中的一個作為目的程式狀態，所述操作方法包括以下步驟：將第一組記憶體單元設置為程式允許模式，所述第一組記憶體單元具有作為所述目的程式狀態的第一組程式狀態；將第二組記憶體單元設置為程式禁止模式，所述第二組記憶體單元具有作為所述目的程式狀態的第二組程式狀態；按照所述程式狀態的級別的升序對 n 個程式狀態中的第 i 程式狀態執行程式操作和程式驗證操作；以及在對所述第 i 程式狀態執行的所述程式驗證操作成功後，將具有所述第 i 程式狀態的所述第一組記憶體單元中的一個或更多個記憶體單元從所述程式允許模式改變為所述程式禁止模式，並且將具有第 $(i+k)$ 程式狀態的所述第二組記憶體單元中的一個或更多個記憶體單元從所述程式禁止模式改變為所述程式允許模式。

【0007】 根據本公開的一方面，提供了一種半導體記憶體裝置的操作方法，該半導體記憶體裝置包括多個記憶體單元，所述多個記憶體單元各自具有 n 個程式狀態中的一個作為目的程式狀態，所述操作方法包括以下步驟：根據第一程式模式設置、第二程式模式設置以及第三程式模式設置中的一個來執行對所述記憶體單元的程式操作，直至滿足第一條件；根據