

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第6980006号
(P6980006)

(45) 発行日 令和3年12月15日(2021.12.15)

(24) 登録日 令和3年11月18日(2021.11.18)

(51) Int.Cl. F I
 HO 1 L 27/11507 (2017.01) HO 1 L 27/11507
 HO 1 L 27/11509 (2017.01) HO 1 L 27/11509

請求項の数 29 (全 48 頁)

(21) 出願番号	特願2019-511388 (P2019-511388)	(73) 特許権者	595168543 マイクロン テクノロジー, インク. アメリカ合衆国, アイダホ州 83716 -9632, ボイズ, サウス フェデラル ウェイ 8000
(86) (22) 出願日	平成29年8月2日(2017.8.2)	(74) 代理人	100121083 弁理士 青木 宏義
(65) 公表番号	特表2019-530974 (P2019-530974A)	(74) 代理人	100138391 弁理士 天田 昌行
(43) 公表日	令和1年10月24日(2019.10.24)	(74) 代理人	100074099 弁理士 大菅 義之
(86) 国際出願番号	PCT/US2017/045167	(74) 代理人	100106851 弁理士 野村 泰久
(87) 国際公開番号	W02018/044485		
(87) 国際公開日	平成30年3月8日(2018.3.8)		
審査請求日	令和1年6月3日(2019.6.3)		
(31) 優先権主張番号	62/381, 942		
(32) 優先日	平成28年8月31日(2016.8.31)		
(33) 優先権主張国・地域又は機関	米国 (US)		

最終頁に続く

(54) 【発明の名称】 強誘電体メモリセル

(57) 【特許請求の範囲】

【請求項1】

第一のプレート、第二のプレートならびに前記第一および第二のプレートの間に配置された強誘電体材料を含む第一のキャパシタであって、前記第一のプレートはプレート線構造に結合される、第一のキャパシタと、

第一のプレート、第二のプレートならびに前記第一および第二のプレートの間に配置された強誘電体材料を含む第二のキャパシタであって、前記第一のプレートは前記プレート線構造に結合される、第二のキャパシタと、

前記第一のキャパシタについて垂直方向にずらされ、前記第一のキャパシタの前記第二のプレートに結合された第一のトランジスタと、

前記第二のキャパシタについて垂直方向にずらされ、前記第二のキャパシタの前記第二のプレートに結合された第二のトランジスタと、

を含み、

前記第一のトランジスタおよび前記第一のキャパシタは第一のメモリセル内に含まれ、前記第二のトランジスタおよび前記第二のキャパシタは第二のメモリセル内に含まれ、前記第一および第二のキャパシタは、相互について垂直方向にずらされ、前記プレート線構造は、前記第一および第二のメモリセルによって共有される、装置。

【請求項2】

前記第一のトランジスタは、前記第一のキャパシタの前記第二のプレートから伸びる第

一の半導体ピラーを含み、前記第二のトランジスタは、前記第二のキャパシタの前記第二のプレートから伸びる第二の半導体ピラーを含む、請求項 1 に記載の装置。

【請求項 3】

前記第一のトランジスタは、前記第一の半導体ピラー内のチャンネル領域と、前記第一の半導体ピラーに含まれるソース/ドレイン領域とを含む、請求項 2 に記載の装置。

【請求項 4】

前記第一のトランジスタは、前記第一のキャパシタの前記第二のプレートとデジット線との間に配置された第一の半導体ピラーを含む、請求項 1 に記載の装置。

【請求項 5】

前記第一のトランジスタおよび前記第二のトランジスタは相互について垂直方向にずらされる、請求項 1 に記載の装置。

10

【請求項 6】

前記第一および第二のキャパシタの前記第一のプレートは、前記プレート線構造と共通の組成を共有する、請求項 1 に記載の装置。

【請求項 7】

前記第一のトランジスタおよび前記第二のトランジスタは、相互について横方向にずらされる、請求項 1 に記載の装置。

【請求項 8】

前記第一のトランジスタは、第一の水平平面に沿って伸びるワード線に沿ったゲートを含み、前記第二のトランジスタは、前記第一の水平平面から垂直方向にずらされた第二の水平平面に沿って伸びるワード線に沿ったゲートを含む、請求項 1 に記載の装置。

20

【請求項 9】

第一のメモリセルおよび第二のメモリセルであって、各メモリセルは、
 第一のトランジスタと、
 強誘電体材料を含み、前記第一のトランジスタに結合され、前記第一のトランジスタについて垂直方向にずらされる第一の強誘電体キャパシタと、
 第二のトランジスタと、
 前記第二のトランジスタに結合され、前記第二のトランジスタについて垂直方向にずらされる第二の強誘電体キャパシタと、
 を含む、第一のメモリセルおよび第二のメモリセルと、
 前記第一および第二のメモリセルによって共有される第一のデジット線と、
 前記第一のメモリセルに結合された第二のデジット線と、
 前記第二のメモリセルに結合された第三のデジット線と、
 前記第一および第二のメモリセルによって共有されるプレート線構造と、
 を含む装置。

30

【請求項 10】

前記第一および第二のメモリセルは、相互について横方向にずらされる、請求項 9 に記載の装置。

【請求項 11】

前記第一および第二のメモリセルは、前記第一および第二のメモリセルによって共有された前記プレート線構造、ならびに前記第一および第二のメモリセルによって共有されたデジット線のうち的一方における反対の側で垂直方向にずらされる、請求項 9 に記載の装置。

40

【請求項 12】

前記第二のデジット線と前記第三のデジット線とは、結合され、前記第一および第二のメモリセルによって共有される、請求項 9 に記載の装置。

【請求項 13】

第一および第二のプレートを含む第一の強誘電体キャパシタと、
 第一および第二のプレートを含む第二の強誘電体キャパシタであって、前記第一および第二の強誘電体キャパシタは、相互について横方向にずらされる、第二の強誘電体キャパ

50

シタと、

前記第一の強誘電体キャパシタの前記第二のプレートに結合され、前記第一の強誘電体キャパシタおよび第一のデジット線の間配置された第一の半導体ピラーを含む第一のトランジスタと、

前記第二の強誘電体キャパシタの前記第二のプレートに結合され、前記第二の強誘電体キャパシタおよび第二のデジット線の間配置された第二の半導体ピラーを含む第二のトランジスタと、

前記第一および第二の強誘電体キャパシタの前記第一のプレートに結合され、前記第一および第二の強誘電体キャパシタとプレート線構造の間に配置された第三の半導体ピラーを含む第三のトランジスタであって、前記第一および第二のトランジスタから垂直方向にずらされる、第三のトランジスタと、

10

を含み、

前記第一および第二の強誘電体キャパシタと、前記第一、第二、および第三のトランジスタは、第一のメモリセル内に含まれ、前記第一および第二のデジット線は、前記第一のメモリセルが積み重ねられる第二のメモリセルと共有される、装置。

【請求項 14】

前記第一および第二のデジット線は共通の水平平面内にある、請求項 13 に記載の装置。

【請求項 15】

20

前記第三の半導体ピラーは、チャンネル長またはチャンネル幅のうちの少なくとも一つが前記第一および第二の半導体ピラーと異なる寸法を有する、請求項 13 に記載の装置。

【請求項 16】

前記第三のトランジスタは、前記第一および第二のトランジスタについて垂直方向にずらされる、請求項 13 に記載の装置。

【請求項 17】

前記第三のトランジスタは前記第一および第二のトランジスタの上にある、請求項 16 に記載の装置。

【請求項 18】

前記第三のトランジスタは、前記第一および第二のトランジスタの下にある、請求項 16 に記載の装置。

30

【請求項 19】

第一および第二のプレートを含み、前記第一および第二のプレートの間に配置された強誘電体材料をさらに含む第一のキャパシタと、

第一および第二のプレートを含み、前記第一および第二のプレートの間に配置された強誘電体材料をさらに含む第二のキャパシタと、

前記第一のキャパシタの前記第二のプレートと第一のデジット線との間に配置された第一の垂直トランジスタと、

前記第二のキャパシタの前記第二のプレートと第二のデジット線との間に配置された第二の垂直トランジスタと、

40

前記第一および第二のキャパシタの前記第一のプレートと、プレート線構造との間に配置され、前記第一および第二の垂直トランジスタから垂直方向にずらされる、第三の垂直トランジスタと、

を含み、

前記第一および第二のキャパシタと、前記第一、第二、および第三の垂直トランジスタは、第一のメモリセル内に含まれ、前記プレート線構造は、前記第一のメモリセルが積み重ねられる第二のメモリセルと共有される、

装置。

【請求項 20】

前記第一および第二の垂直トランジスタは、共通の水平平面内にある、請求項 19 に記

50

載の装置。

【請求項 2 1】

前記第一および第二の垂直トランジスタのゲートを含む第一のワード線と、
前記第三の垂直トランジスタのゲートを含む第二のワード線と、
をさらに含む、請求項 1 9 に記載の装置。

【請求項 2 2】

前記第一のワード線は、第一の水平平面に沿って伸び、前記第二のワード線は、前記第一のワード線の前記水平平面から垂直方向にずらされた第二の水平平面に沿って伸びる、請求項 2 1 に記載の装置。

【請求項 2 3】

第一および第二のプレートを含む第一の強誘電体キャパシタと、
第一および第二のプレートを含む第二の強誘電体キャパシタと、
前記第一の強誘電体キャパシタの前記第二のプレートと第一のデジット線との間に配置された第一の垂直トランジスタと、

前記第一の強誘電体キャパシタの前記第一のプレートとプレート線構造との間に配置された第二の垂直トランジスタであって、前記第一の垂直トランジスタは、前記第二の垂直トランジスタから垂直方向にずらされる、第二の垂直トランジスタと、

前記第二の強誘電体キャパシタの前記第二のプレートと第二のデジット線との間に配置された第三の垂直トランジスタと、

前記第二の強誘電体キャパシタの前記第一のプレートと前記プレート線構造との間に配置された第四の垂直トランジスタであって、前記第三の垂直トランジスタは、前記第四の垂直トランジスタから垂直方向にずらされる、第四の垂直トランジスタと、
を含み、

前記第一および第二の強誘電体キャパシタと、前記第一、第二、第三および第四の垂直トランジスタは、第一のメモリセル内に含まれ、前記第一および第二のデジット線は、前記第一のメモリセルの上に積み重ねられる第二のメモリセルと共有される、
装置。

【請求項 2 4】

前記第一および第三の垂直トランジスタは、相互に第一の共通の水平平面内にあり、前記第二および第四の垂直トランジスタは、相互に第二の共通の水平平面内にある、請求項 2 3 に記載の装置。

【請求項 2 5】

前記第一の共通の水平平面は、前記第二の共通の水平平面から垂直方向にずらされる、請求項 2 4 に記載の装置。

【請求項 2 6】

前記第一および第三の垂直トランジスタのゲートを含むワード線をさらに含み、前記ワード線は、前記第一の共通の水平平面に沿って伸びる、請求項 2 4 に記載の装置。

【請求項 2 7】

前記第一および第二の強誘電体キャパシタと、前記第一、第二、第三および第四の垂直トランジスタは、第一のメモリセル内に含まれ、前記プレート線構造は、前記第一のメモリセルの下に積み重ねられる第三のメモリセルと共有される、請求項 2 3 に記載の装置。

【請求項 2 8】

前記第一、第二、第三および第四の垂直トランジスタの各々は、
半導体ピラーと、
ゲート誘電体材料と、
前記半導体ピラー内のチャネル領域と、
前記半導体ピラー内のソース/ドレイン領域と、
を含む、請求項 2 3 に記載の装置。

【請求項 2 9】

メモリセルの第一および第二のトランジスタをアクティブ化することと、

10

20

30

40

50

第一および第二の強誘電体キャパシタに結合されたプレート線に電圧を印加することであって、前記第一の強誘電体キャパシタは、前記第一のトランジスタに結合され、前記第一のトランジスタについて垂直方向にずらされ、前記第二の強誘電体キャパシタは、前記第二のトランジスタに結合され、前記第二のトランジスタについて垂直方向にずらされており、前記メモリセルの前記第二のトランジスタと、前記メモリセルと前記プレート線を共有する他のメモリセルの第二のトランジスタとが、第二のデジタル線に結合される、ことと、

前記第一のトランジスタを介して前記第一の強誘電体キャパシタに結合された第一のデジタル線で発達した第一の電圧を、前記第二のトランジスタを介して前記第二の強誘電体キャパシタに結合された前記第二のデジタル線で発達した第二の電圧と比較することと、

前記第一および第二の強誘電体キャパシタに結合され、前記第一および第二の強誘電体キャパシタによって共有される前記プレート線に前記電圧を印加することに基づいて、前記第一のデジタル線と前記第二のデジタル線の電圧を変化させることと、を含む、メモリセルにアクセスする方法。

【発明の詳細な説明】

【技術分野】

【0001】

[関連出願に対するクロスリファレンス]

本出願は、2016年8月31日に提出された米国特許仮出願番号62/381,942の出願日の利益を主張する。この出願は、その全体において、全ての目的のために本明細書に参照によって組み入れられる。

【背景技術】

【0002】

メモリデバイスは、コンピュータ、無線通信デバイス、カメラ、デジタルディスプレイなどの様々な電子デバイスに情報を格納するために広く用いられている。メモリデバイスの様々な状態をプログラムすることによって情報が格納される。例えば、バイナリデバイスは、論理“1”または論理“0”によってしばしば示される二つの状態を有する。他のシステムにおいては、三以上の状態が格納されてもよい。格納された情報にアクセスするために、電子デバイスは、メモリデバイスに格納された状態を読み出すか、または検知してもよい。情報を格納するために、電子デバイスは、メモリデバイスに状態を書き込むか、またはプログラムしてもよい。

【0003】

メモリデバイスの様々なタイプが存在し、ランダムアクセスメモリ(RAM)、リードオンリーメモリ(ROM)、ダイナミックRAM(DRAM)、同期式ダイナミックRAM(SDRAM)、強誘電体RAM(FeRAM)、磁気RAM(MRAM)、抵抗変化RAM(RRAM)、フラッシュメモリ他を含む。メモリデバイスは、揮発性または不揮発性であってもよい。不揮発性メモリ、例えば、フラッシュメモリは、外部電源がなくても長期間、データを格納することができる。揮発性メモリデバイス、例えば、DRAMは、外部電源によって周期的にリフレッシュされないと、時間の経過とともに、格納された状態を失うことがある。バイナリメモリデバイスは、例えば、充電または放電されたキャパシタを含み得る。充電されたキャパシタは、しかしながら、リーク電流を通じて時間と共に放電され得、その結果、格納された情報の喪失をもたらす。周期的なリフレッシュなしにデータを格納する性能などの不揮発性メモリの特徴が有利であり得る一方で、揮発性メモリの幾つの特徴が、より高速な読み出しまたは書き込み速度などの性能の利点を提供し得る。

【0004】

FeRAMは、揮発性メモリと類似したデバイスアーキテクチャを使用し得るが、記憶デバイスとして強誘電体キャパシタを使用することによって、不揮発性特性を有することがある。FeRAMデバイスは、それゆえ、他の不揮発性および揮発性メモリデバイスと比較して、改善された性能を有し得る。しかしながら、FeRAMデバイスの動作を改良

10

20

30

40

50

することが望まれている。例えば、F e R A Mデバイスの動作のために、メモリセル検知中のノイズ抵抗性の改良、より小型の回路およびレイアウトサイズの縮小ならびにタイミングの向上を有することが望ましいことがある。

【発明の概要】

【0005】

強誘電体メモリセルを含む装置、およびメモリセルにアクセスするための方法が記述される。例示的一装置は、第一および第二のキャパシタと、第一および第二のトランジスタを含む。第一のキャパシタは第一のプレート、第二のプレート、ならびに、第一および第二のプレートの間に配置された強誘電体材料を含み、第一のプレートはプレート線構造に結合される。第二のキャパシタは、第一のプレート、第二のプレートならびに第一および第二のプレートの間に配置された強誘電体材料を含み、第一のプレートはプレート線構造に結合される。第一のトランジスタは、第一のキャパシタについて、垂直方向にずらされ、第一のキャパシタの第二のプレートに結合される。第二のトランジスタは、第二のキャパシタについて垂直方向にずらされ、第二のキャパシタの第二のプレートに結合される。

10

【0006】

例示的一方法は、メモリセルの第一および第二のトランジスタをアクティブ化することと、第一および第二の強誘電体キャパシタに結合されたプレート線に電圧を印加することを含む。第一の強誘電体キャパシタは、第一のトランジスタに結合され、第一のトランジスタについて、垂直方向にずらされる。第二の強誘電体キャパシタは、第二のトランジスタに結合され、第二のトランジスタについて、垂直方向にずらされる。第一の強誘電体キャパシタに結合された第一のデジット線で発達した第一の電圧は、第二の強誘電体キャパシタに結合された第二のデジット線で発達した第二の電圧と比較される。

20

【図面の簡単な説明】

【0007】

【図1】本開示の様々な実施形態による、強誘電体メモリをサポートする例示的メモリアレイのブロック図である。

【図2A】本開示の一実施形態による、メモリセルの列を含む例示的回路の模式図である。

【図2B】本開示の一実施形態による、センスコンポーネントの模式図である。

30

【図3A】本開示の様々な実施形態による、強誘電体メモリセルに対する非線形電気特性の例の図である。

【図3B】本開示の様々な実施形態による、強誘電体メモリセルに対する非線形電気特性の例の図である。

【図4A】本開示の一実施形態による、2トランジスタおよび2キャパシタを含む例示的メモリセルの模式図である。

【図4B】本開示の一実施形態による、2トランジスタおよび2キャパシタを含む例示的メモリセルを図示する例示的メモリアレイの領域の断面側面図である。

【図5A】本開示の一実施形態による、2トランジスタおよび2キャパシタを含む例示的メモリセルの模式図である。

40

【図5B】本開示の一実施形態による、2トランジスタおよび2キャパシタを含む例示的メモリセルを図示する例示的メモリアレイの領域の断面側面図である。

【図6A】本開示の一実施形態による、2トランジスタおよび2キャパシタを含む例示的メモリセルの模式図である。

【図6B】本開示の一実施形態による、2トランジスタおよび2キャパシタを含む例示的メモリセルを図示する例示的メモリアレイの領域の断面側面図である。

【図7A】本開示の一実施形態による、2トランジスタおよび2キャパシタを含む例示的メモリセルの模式図である。

【図7B】本開示の一実施形態による、2トランジスタおよび2キャパシタを含む例示的メモリセルを図示する例示的メモリアレイの領域の断面側面図である。

50

【図 8 A】本開示の一実施形態による、2 トランジスタおよび 2 キャパシタを含む例示的メモリセルの模式図である。

【図 8 B】本開示の一実施形態による、2 トランジスタおよび 2 キャパシタを含む例示的メモリセルを図示する例示的メモリアレイの領域の断面側面図である。

【図 9 A】本開示の一実施形態による、3 トランジスタおよび 2 キャパシタを含む例示的メモリセルの模式図である。

【図 9 B】本開示の一実施形態による、3 トランジスタおよび 2 キャパシタを含む例示的メモリセルを図示する例示的メモリアレイの領域の断面側面図である。

【図 10 A】本開示の一実施形態による、3 トランジスタおよび 2 キャパシタを含む例示的メモリセルの模式図である。

10

【図 10 B】本開示の一実施形態による、3 トランジスタおよび 2 キャパシタを含む例示的メモリセルを図示する例示的メモリアレイの領域の断面側面図である。

【図 11 A】本開示の一実施形態による、4 トランジスタおよび 2 キャパシタを含む例示的メモリセルの模式図である。

【図 11 B】本開示の一実施形態による、4 トランジスタおよび 2 キャパシタを含む例示的メモリセルを図示する例示的メモリアレイの領域の断面側面図である。

【図 12 A】本開示の一実施形態による、4 トランジスタおよび 2 キャパシタを含む例示的メモリセルの模式図である。

【図 12 B】本開示の一実施形態による、4 トランジスタおよび 2 キャパシタを含む例示的メモリセルを図示する例示的メモリアレイの領域の断面側面図である。

20

【図 13 A】本開示の一実施形態による、4 トランジスタおよび 2 キャパシタを含む例示的メモリセルの模式図である。

【図 13 B】本開示の一実施形態による、4 トランジスタおよび 2 キャパシタを含む例示的メモリセルを図示する例示的メモリアレイの領域の断面側面図である。

【図 14】本開示の様々な実施形態による、強誘電体メモリをサポートするメモリアレイのブロック図である。

【図 15】本開示の様々な実施形態による、強誘電体メモリをサポートするシステムのブロック図である。

【発明を実施するための形態】

【0008】

30

本開示の実施形態の十分な理解を提供するために、ある詳細事項が以下に説明される。しかしながら、本開示の実施形態は、これらの具体的な詳細事項なしでも実施され得ることは当業者に明らかであろう。さらに、本明細書に記述された本開示の具体的実施形態は、例示として提供されるものであって、本開示の範囲をこれらの具体的実施形態に限定するために用いられるべきではない。他の例においては、既知の回路、制御信号、タイミングプロトコルおよびソフトウェア動作は、本開示を不必要に不明瞭にすることを防ぐために、詳細には図示されていない。

【0009】

図 1 は、本開示の様々な実施形態による強誘電体メモリをサポートする例示的メモリアレイ 10 を図示する。メモリアレイ 10 は、また、電子メモリ装置とも称され得る。メモリアレイ 10 は、異なる状態を格納するようにプログラム可能なメモリセル 105 を含む。各状態は、異なる論理値を表し得る。例えば、二つの状態を格納するメモリに対して、論理値は、論理 0 および論理 1 として示され得る。幾つの場合、メモリセル 105 は、3 つ以上の論理値を格納するように構成される。メモリセル 105 は、プログラム可能な状態を表す電荷を格納するために複数のキャパシタを含み得る。例えば、充電されたキャパシタおよび充電されていないキャパシタは、其々、二つの論理値を表し得る。

40

【0010】

強誘電体メモリセルは、誘電体材料として強誘電体を有するキャパシタを含み得る。強誘電体キャパシタの異なる電荷のレベルは、異なる論理値を表し得る。強誘電体メモリセル 105 は、例えば、周期的なりフレッシュ動作の必要のない論理値の持続的なストレ

50

ジといった、他のメモリアーキテクチャに対して改善された性能をもたらし得る有利な特性を有し得る。

【0011】

読み出しおよび書き込みなどの動作は、適切なアクセス線12およびデジット線15をアクティブ化または選択することによって、メモリセル105で実施され得る。アクセス線12は、ワード線12とも称され得る。ワード線12またはデジット線15をアクティブ化または選択することは、其々の線に電圧を印加することを含み得る。ワード線12およびデジット線15は導電性材料で製造される。例えば、ワード線12およびデジット線15は、金属（銅、アルミニウム、金、タングステンなど）、金属合金、ドーパされた半導体、またはその他の導電性材料などで製造されてもよい。図1の実施例によると、メモリセル105の各行は、ワード線12 WLに結合され、メモリセル105の各列は、デジット線15 BL-TおよびBL-Cに結合される。其々のワード線12およびデジット線15をアクティブ化する（例えば、ワード線12またはデジット線15に電圧を印加することによって、それらの交点でメモリセル105がアクセスされ得る。メモリセル105にアクセスすることは、メモリセル105を読み出すこと、または書き込むことを含み得る。ワード線12およびデジット線15の交点は、メモリセルのアドレスと称され得る。

10

【0012】

幾つかのアーキテクチャにおいては、セルの論理格納デバイス、例えば、キャパシタは、選択コンポーネントによってデジット線から電氣的に絶縁され得る。ワード線12は、選択コンポーネントに結合され得、選択コンポーネントを制御し得る。例えば、選択コンポーネントはトランジスタであってもよく、ワード線12は、トランジスタのゲートに結合されてもよい。ワード線12をアクティブ化することは、結果として、メモリセル105のキャパシタと、対応するデジット線15との間の電氣的結合または閉回路をもたらす。デジット線は、その後、メモリセル105の読み出し、または書き込みの何れかのためにアクセスされ得る。

20

【0013】

メモリセル105にアクセスすることは、行デコーダ20および列デコーダ30を通じて制御され得る。幾つかの実施例では、行デコーダ20は、行アドレスをメモリコントローラ40から受信し、受信された行アドレスに基づいて適切なワード線12をアクティブ化する。同様に、列デコーダ30は、メモリコントローラ40から列アドレスを受信し、適切なデジット線15をアクティブ化する。例えば、メモリアレイ10は、複数のワード線12および複数のデジット線15を含み得る。したがって、ワード線12 WLと、デジット線15 BL-TおよびBL-Cとをアクティブ化することによって、それらの交点におけるメモリセル105がアクセスされ得る。

30

【0014】

アクセスすると、メモリセル105の格納された状態を判定するために、メモリセル105はセンスコンポーネント25によって読み出され得、または検知され得る。例えば、メモリセル105にアクセスした後、メモリセル105の強誘電体キャパシタは、対応するデジット線15上へ放電し得る。強誘電体キャパシタを放電することは、強誘電体キャパシタにバイアスをかけること、または電圧を印加することに基づき得る。放電することは、デジット線15の電圧に変化を生じさせ得、センスコンポーネント25は、メモリセル105の格納された状態を判定するために、それを基準電圧（図示せず）と比較し得る。例えば、デジット線15が基準電圧よりも高い電圧を有する場合、センスコンポーネント25は、メモリセル105中に格納された状態が論理1であると判定し得、逆もまた同様である。センスコンポーネント25は、信号における差を検出（例えば、比較）および増幅するための様々なトランジスタまたは増幅器を含み得、増幅された差をラッチすることを含み得る。個別のセンスコンポーネント25は、デジット線BL-TおよびBL-Cの各対に対して提供されてもよい。メモリセル105の検出された論理状態は、その後、列デコーダ30を通じて出力35として出力され得る。

40

50

【 0 0 1 5 】

メモリセル 1 0 5 は、関連するワード線 1 2 およびデジタル線 1 5 をアクティブ化することによってプログラムされ得、または書き込まれ得る。上で論じられたように、ワード線 1 2 をアクティブ化することは、メモリセル 1 0 5 の対応する行をそれらの其々のデジタル線 1 5 に結合する。ワード線 1 2 がアクティブ化される間に、関連するデジタル線 1 5 を制御することによって、メモリセル 1 0 5 は書き込まれ得る。例えば、メモリセル 1 0 5 中に論理値が格納され得る。列デコーダ 3 0 は、メモリセル 1 0 5 に書き込まれるデータ、例えば入力 3 5 を受け入れ得る。強誘電体メモリセル 1 0 5 は、強誘電体キャパシタにわたって電圧を印加することによって書き込まれ得る。このプロセスは、以下により詳細に論じられる。

10

【 0 0 1 6 】

幾つかのメモリアーキテクチャにおいては、メモリセル 1 0 5 にアクセスすることは、格納された論理状態を劣化または破壊することがあり、書き換え（例えば、修復）動作が、メモリセル 1 0 5 に元の論理状態を戻すために実施され得る。例えば、キャパシタは、センス動作中に部分的または完全に放電され得、格納された論理状態を破壊する。ゆえに、論理状態は、センス動作後に書き換えられることがある。さらに、ワード線 1 2 をアクティブ化することは、結果として、その行における全てのメモリセルの放電をもたらし得る。したがって、その行における幾つかまたは全てのメモリセル 1 0 5 が書き換えられる必要があり得る。

【 0 0 1 7 】

メモリコントローラ 4 0 は、行デコーダ 2 0、列デコーダ 3 0、およびセンスコンポーネント 2 5 などの様々なコンポーネントを通じて、メモリセル 1 0 5 の動作（例えば、読み出し、書き込み、修復など）を制御し得る。メモリコントローラ 4 0 は、所望のワード線 1 2 およびデジタル線 1 5 をアクティブ化するために、行および列のアドレス信号を生成し得る。メモリコントローラ 4 0 は、また、メモリアレイ 1 0 の動作中に使用される様々な電位を生成および制御し得る。一般的に、本明細書で論じられる印加電圧の振幅、形状、または存続期間は、調整または変更され得、メモリアレイ 1 0 を動作させるための様々な動作に対して異なり得る。さらに、メモリアレイ 1 0 内の 1 つの、複数の、または全てのメモリセル 1 0 5 は同時にアクセスされ得る。例えば、メモリアレイ 1 0 の複数のまたは全てのセルは、全てのメモリセル 1 0 5 またはメモリセル 1 0 5 のグループが単一の論理状態に設定されるリセット動作中に同時にアクセスされ得る。

20

30

【 0 0 1 8 】

図 2 A は、本開示の一実施形態による、メモリセルの列を含む例示的回路 2 0 を図示する。図 2 A は、本開示の様々な実施形態による、メモリセル 1 0 5 を含む例示的回路 2 0 を図示する。回路 2 0 は、メモリセル 1 0 5 $MC(0) \sim MC(n)$ を含み、ここで、“n” はアレイサイズに依存する。回路 2 0 は、ワード線 $WL(0) \sim WL(n)$ と、デジタル線 $BL-T$ および $BL-C$ ならびにセンスコンポーネント 2 5 をさらに含む。デジタル線 $BL-T$ は、センスコンポーネント 2 5 のセンスノード A に結合され、デジタル線 $BL-C$ は、センスコンポーネント 2 5 のセンスノード B に結合される。メモリセル、ワード線、デジタル線およびセンスコンポーネントは、其々、図 1 を参照して記述されたメモリセル 1 0 5、ワード線 1 2、デジタル線 1 5 およびセンスコンポーネント 2 5 の実施例であり得る。メモリセル 1 0 5 の一つの列および n 個の行が図 2 A には図示されているが、メモリアレイは、図示されたようなメモリセルの多くの列および行を含み得る。

40

【 0 0 1 9 】

メモリセル 1 0 5 は、キャパシタおよび選択コンポーネント（図 2 A には図示せず）などの論理格納コンポーネントを含み得る。メモリセル 1 0 5 のキャパシタは、強誘電体キャパシタであり得る。強誘電体キャパシタは、デジタル線 $BL-T$ および $BL-C$ に結合すると放電しないことがある。前述されたように、メモリセル 1 0 5 のキャパシタを充電または放電することによって様々な状態が格納され得る。メモリセル 1 0 5 の選択コンポーネントは、其々のワード線 WL によってアクティブ化され得る。メモリセル 1 0 5 の各

50

々は、メモリセル105のアクセス中に使用され得るプレート線CPに結合される。

【0020】

メモリセル105の格納された状態は、回路20に表された様々な素子を動作させることによって読み出され得るか、または検知され得る。メモリセル105は、デジタル線BL-TおよびBL-Cと電子通信し得る。例えば、以下により詳細に記述されるように、メモリセル105のキャパシタは、メモリセル105の選択コンポーネントが非アクティブ化されたときにはデジタル線BL-TおよびBL-Cから絶縁されることができ、選択コンポーネントがアクティブ化されたときには、キャパシタは、デジタル線BL-TおよびBL-Cに結合されることができる。メモリセル105の選択コンポーネントをアクティブ化することは、メモリセル105を選択することと称され得る。幾つかの場合には、選択コンポーネントはトランジスタであり、その動作は、トランジスタゲートに電圧を印加することによって制御され、その電圧の大きさは、トランジスタの閾値電圧よりも大きい。ワード線WLは、選択コンポーネントをアクティブ化し得る。例えば、ワード線WLに印加される電圧は、メモリセル105の選択コンポーネントのトランジスタゲートに印加される。結果として、選択されたメモリセル105のキャパシタがデジタル線BL-TおよびBL-Cに其々結合される。ワード線WL(0)-WL(n)は、其々メモリセル105 MC(0)-MC(n)の選択コンポーネントと電子通信する。それゆえ、其々のメモリセル105のワード線WLをアクティブ化することは、メモリセル105をアクティブ化し得る。例えば、WL(0)をアクティブ化することは、メモリセルMC(0)をアクティブ化し、WL(1)をアクティブ化することは、メモリセルMC(1)をアクティブ化する、などである。

10

20

【0021】

メモリセル105によって格納された論理値を検知するために、ワード線WLは、其々のメモリセル105を選択するためにバイアスされ得、電圧は、プレート線CPに印加され得る。プレート線CPをバイアスすることは、結果として、メモリセル105のキャパシタにわたる電圧差を生じさせ得、これは、キャパシタに格納された電荷における変化を引き起こし得る。格納された電荷における変化の大きさは、各キャパシタの最初の状態、例えば、最初の状態が論理1を格納していたか、論理0を格納していたか、に依存し得る。メモリセル105の選択コンポーネントがワード線WLによってアクティブ化されたとき、プレート線CPをバイアスすることによる格納された電荷における変化は、メモリセル105のキャパシタに格納された電荷に基づいて、デジタル線BL-TおよびBL-Cの電圧の変化を引き起こし得る。デジタル線BL-TおよびBL-Cの電圧の変化は、其々、センスコンポーネント25のセンスノードAおよびBに変化を生じさせ得る。各メモリセル105の格納された状態によって表される論理値を判定するために、デジタル線BL-TおよびBL-Cに結果として生じる電圧は、センスコンポーネント25によって相互に比較され得る。

30

【0022】

センスコンポーネント25は、信号の差を検出し、増幅するために、様々なトランジスタまたは増幅器を含み得、これらは、増幅された差をラッチすることを含み得る。センスコンポーネント25は、そのセンスノード(例えば、センスノードAおよびB)の電圧を受信して比較するセンス増幅器を含み得る。センスノードAおよびBの電圧は、其々、デジタル線BL-TおよびBL-Cの電圧によって影響され得る。センス増幅器出力(例えば、センスノードA)は、比較に基づいて、より高い(例えば、正の)またはより低い(例えば、負もしくはグラウンドの)供給電圧に駆動され得る。他方のセンスノード(例えば、センスノードB)は、相補的電圧に駆動され得る(例えば、正の供給電圧は、負またはグラウンド電圧に対して相補的であり、負またはグラウンド電圧は、正の供給電圧に対して相補的である)。例えば、センスノードAがセンスノードBよりも高い電圧を有する場合、センス増幅器は、正の供給電圧にセンスノードAを駆動し得、センスノードBを負またはグラウンド電圧に駆動し得る。センスコンポーネント25は、センス増幅器の状態(例えば、センスノードAおよび/またはセンスノードBの電圧ならびに/あるいはデジタル線B

40

50

L - TおよびBL - Cの電圧)をラッチし得、これは、メモリセル105の格納された状態および論理値、例えば、論理1を判定するために用いられ得る。あるいは、センスノードAがセンスノードBよりも低い電圧を有する場合、センス増幅器は、センスノードAを負またはグランド電圧に駆動し得、センスノードBを正の供給電圧に駆動し得る。センス増幅器25は、また、メモリセル105の格納された状態および論理値、例えば論理0を判定するために、センス増幅器の状態をラッチし得る。

【0023】

格納された状態は、メモリセル105の論理値を表し得、これは、例えば、図1についての出力35として列デコーダ30を通じて、その後出力され得る。センスコンポーネント25がまた、デジタル線BL - TおよびBL - Cを相補的電圧に駆動する実施形態において、相補的電圧は、読み出された元のデータ状態を修復するために、メモリセル105に印加され得る。データを修復することによって、個別の修復動作は不必要になる。

10

【0024】

図2Bは、本開示の一実施形態による、センスコンポーネント25を図示する。センスコンポーネント25は、p型電界効果トランジスタ52および56と、n型電界効果トランジスタ62および66とを含む。トランジスタ52およびトランジスタ62のゲートは、センスノードAに結合される。トランジスタ56およびトランジスタ66のゲートは、センスノードBに結合される。トランジスタ52および56と、トランジスタ62および66はセンス増幅器を表す。p型電界効果トランジスタ58は、電源(例えば、VREAD電圧電源)に結合されるように構成され、トランジスタ52および56の共通のノードに結合される。トランジスタ58は、アクティブPSA信号(例えば、負論理ロジック)によってアクティブ化される。n型電界効果トランジスタ68は、センス増幅器基準電圧(例えば、グランド)に結合されるように構成され、トランジスタ62および66の共通のノードに結合される。トランジスタ68は、アクティブNSA信号(例えば、正論理ロジック)によってアクティブ化される。

20

【0025】

動作においては、センス増幅器は、電源の電圧およびセンス増幅器基準電圧にセンス増幅器を結合するために、PSAおよびNSA信号をアクティブ化することによってアクティブ化される。アクティブ化されたとき、センス増幅器は、センスノードAおよびBの電圧を比較して、センスノードAおよびBを相補的電圧レベルに駆動する(例えば、センスノードAをVREADに駆動し、センスノードBをグランドに駆動する、またはセンスノードAをグランドに駆動し、センスノードBをVREADに駆動する)ことによって、電圧差を増幅する。センスノードAおよびBが相補的電圧レベルに駆動されたとき、センスノードAおよびBの電圧は、センス増幅器によってラッチされ、センス増幅器が非アクティブ化されるまでラッチされたままである。

30

【0026】

図2Aを参照すると、メモリセル105に書き込むために、電圧がメモリセル105のキャパシタにわたって印加され得る。様々な方法が使用され得る。幾つかの実施例においては、選択コンポーネントは、デジタル線BL - TおよびBL - Cにキャパシタを結合するために、ワード線WLを通じて、其々アクティブ化され得る。強誘電体キャパシタに対して、キャパシタにわたって正または負の電圧を印加するために、デジタル線BL - TおよびBL - Cの電圧を制御することによって、メモリセル105のキャパシタにわたって電圧が印加され得る。幾つかの実施形態においては、相補的電圧は、例えば、デジタル線BL - TおよびBL - Cならびにプレート線CPを用いて、メモリセル105に書き込むために、メモリセル105のキャパシタに印加される。限定しない実施例として、幾つかの実施形態においては、メモリセル105に第一の論理値を書き込むために、第一の電圧が、キャパシタの一方のプレートに印加され、第一の電圧に相補的な第二の電圧がキャパシタの他方のプレートに印加され、メモリセル105に第二の論理値を書き込むために、第二の電圧がキャパシタの前記一方のプレートに印加され、第一の電圧がキャパシタの前記他方のプレートに印加される。

40

50

【0027】

幾つかの実施例においては、検知の後、修復動作が実施され得る。前に論じられたように、検知動作は、メモリセル105の元の格納された状態を劣化または破壊し得る。検知後、状態は、メモリセル105にライトバックされ得る。例えば、センスコンポーネント25は、メモリセル105の格納された状態を判定し得、その後、例えば、デジタル線BL-TおよびBL-Cを通じて同一の状態をライトバックし得る。

【0028】

強誘電体材料は非線形に分極特性を有する。図3Aおよび図3Bは、本開示の様々な実施形態による、強誘電体メモリのためのメモリセルに対するヒステリシス曲線300-a(図3A)および300-b(図3B)で、非線形電気特性の例を図示する。ヒステリシス曲線300-aおよび300-bは、其々強誘電体メモリセルの書き込みおよび読み出しプロセスの一例を図示する。ヒステリシス曲線300は、強誘電体キャパシタ(例えば、図2Aのメモリセル105のキャパシタ)上に格納された電荷Qを電圧差Vの関数として図示する。

【0029】

強誘電体材料は、自発電気分極によって特徴づけられ、例えば、電界がなくても非ゼロ電気分極を維持する。例示的な強誘電体材料は、チタン酸バリウム($BaTiO_3$)、チタン酸鉛($PbTiO_3$)、チタン酸ジルコン酸鉛(PZT)およびタンタル酸ストロンチウムビスマス(SBT)を含む。本明細書に記述された強誘電体キャパシタは、これらの、または他の強誘電体材料を含んでもよい。強誘電体キャパシタ内の電気分極は、強誘電体材料表面に正味の電荷を生じさせ、キャパシタ端子を通じて逆の電荷を引き付ける。したがって、電荷は、強誘電体材料とキャパシタ端子との界面に格納される。電気分極は、比較的長時間、無期限にさえ、外部から印加される電界がなくても維持されることができ、電荷の漏れは、例えば、揮発性メモリアレイで使用されるキャパシタと比較すると、顕著に減少し得る。これは、上述されたように、幾つかの揮発性メモリアーキテクチャについて、リフレッシュ動作を実施する必要性を減少させることがある。

【0030】

ヒステリシス曲線300は、キャパシタの単一の端子の観点から理解され得る。例示として、強誘電体材料が負の分極を有する場合には、正の電荷がその端子に集まる。同様に、強誘電体材料が正の分極を有する場合には、負の電荷がその端子に集まる。さらに、ヒステリシス曲線300における電圧は、キャパシタにおける電圧差を表し、方向性を有することを理解されたい。例えば、問題の端子に正の電圧を印加し、第二の端子をグランド(または、ほぼゼロボルト(0V))に維持することによって、正の電圧が実現されてもよい。問題の端子をグランドに維持して、第二の端子に正の電圧を印加することによって、負の電圧が印加されてもよく、例えば、正の電圧が問題の端子を負に分極させるために印加され得る。同様に、二つの正の電圧、二つの負の電圧、または正の電圧と負の電圧との任意の組み合わせが、ヒステリシス曲線300に図示された電圧差を生成するために、適切なキャパシタ端子に印加されてもよい。

【0031】

ヒステリシス曲線300-aに図示されるように、強誘電体材料は、ゼロの電圧差で正または負の分極を維持することがあり、その結果、二つの可能な充電された状態を生じる。それは、電荷状態305と電荷状態310である。図3の実施例によれば、電荷状態305は論理0を表し、電荷状態310は論理1を表す。幾つかの実施例においては、其々の電荷状態の論理値は、理解を損なわずに逆にされ得る。

【0032】

電圧を印加することにより強誘電体材料の電気分極を制御し、それによって、キャパシタ端子における電荷を制御することによって、メモリセルに論理0または1が書き込まれ得る。例えば、キャパシタに正味の正の電圧315を印加することは、結果として、電荷状態305-aに到達するまでの電荷の蓄積を生じる。電圧315を除去すると、電荷状態305-aは、ゼロ電位において電荷状態305に到達するまで、経路320に従う。

同様に、電荷状態 3 1 0 は、正味の負の電圧 3 2 5 を印加することによって書き込まれ、結果として電荷状態 3 1 0 - a を生じる。負の電圧 3 2 5 を除去した後、電荷状態 3 1 0 - a は、ゼロ電圧において電荷状態 3 1 0 に到達するまで、経路 3 3 0 に従う。電荷状態 3 0 5 および 3 1 0 は、また、残留分極 (P r) 値とも呼ばれることがあり、これは、外部バイアス (例えば、電圧) を除去しても保持する分極 (または、電荷) である。

【 0 0 3 3 】

強誘電体キャパシタの格納された状態を読み出すか、または検知するために、電圧がキャパシタにわたって印加され得る。それに応じて、格納された電荷 Q は変化し、その変化の程度は、最初の電荷状態に依存し、結果として、最終的に格納された電荷 (Q) は、電荷状態 3 0 5 - b または 3 1 0 - b のいずれが最初に格納されていたかに依存する。例えば、ヒステリシス曲線 3 0 0 - b は、二つの可能な格納された電荷状態 3 0 5 - b および 3 1 0 - b を図示する。電圧 3 3 5 が、前に論じられたようにキャパシタにわたって印加され得る。正の電圧として図示されているが、電圧 3 3 5 は負であってもよい。電圧 3 3 5 に応じて、電荷状態 3 0 5 - b は、経路 3 4 0 に従い得る。同様に、電荷状態 3 1 0 - b が最初に格納されていた場合には、それは経路 3 4 5 に従う。電荷状態 3 0 5 - c および電荷状態 3 1 0 - c の最終的な位置は、特定のセンシングスキームおよび回路を含む多数の要因に依存する。

【 0 0 3 4 】

幾つかの場合には、最終的な電荷は、メモリセルに結合されたデジタル線の固有の静電容量に依存し得る。例えば、キャパシタが、デジタル線に結合され、電圧 3 3 5 が印加される場合、デジタル線の電圧は、その固有の静電容量によって上昇し得る。ゆえに、センスコンポーネントで測定される電圧は、電圧 3 3 5 と等しくなり得ず、その代わりにデジタル線の電圧に依存し得る。ヒステリシス曲線 3 0 0 - b における最終的な電荷状態 3 0 5 - c および 3 1 0 - c の位置は、それゆえ、デジタル線の静電容量に依存し得、load-line 分析を通じて判定され得る。電荷状態 3 0 5 - c および 3 1 0 - c は、デジタル線の静電容量について定義されてもよい。結果として、キャパシタの電圧、電圧 3 5 0 または電圧 3 5 5 は、異なってもよく、キャパシタの最初の状態に依存し得る。

【 0 0 3 5 】

デジタル線電圧を基準電圧と比較することによって、キャパシタの最初の状態が判定され得る。デジタル線電圧は、電圧 3 3 5 とキャパシタにおける最終的な電圧である電圧 3 5 0 または電圧 3 5 5 との間の差であり得、これは、例えば、(電圧 3 3 5 - 電圧 3 5 0) または例えば、(電圧 3 3 5 - 電圧 3 5 5) である。例えば、デジタル線電圧が基準電圧よりも高いか、または基準電圧よりも低いかにように、その大きさが、格納された論理状態を判定するための二つの可能なデジタル線電圧の間であるように、基準電圧が生成され得る。例えば、基準電圧は、二つの量 (電圧 3 3 5 - 電圧 3 5 0) および (電圧 3 3 5 - 電圧 3 5 5) の平均であってもよい。別の実施例においては、基準電圧は、センスコンポーネントの第一のセンスノードにおける電圧を絶縁し、その後、デジタル線を通じてセンスコンポーネントの第二のセンスノードにおける電圧の変化を引き起こし、第一のセンスノードの絶縁された電圧と第二のセンスノードの結果として生じる電圧とを比較することによって提供され得る。センスコンポーネントによる比較によって、検知されたデジタル線電圧は、基準電圧よりも高いか、または低いかが判定され得、強誘電体メモリセルの格納された論理値 (例えば、論理 0 または 1) が判定され得る。

【 0 0 3 6 】

図 4 A は、本開示の一実施形態による、二つのメモリセル 1 0 5 (0) および 1 0 5 (1) の概略図である。破線は、メモリセル 1 0 5 の大体の境界を画定する。メモリセル 1 0 5 の各々は、二つの選択コンポーネント T 1 および T 2 と、二つのキャパシタ C 1 および C 2 とを含む。キャパシタ C 1 および C 2 は、強誘電体キャパシタであり得る。選択コンポーネント T 1 および T 2 は、トランジスタ、例えば、n 型電界効果トランジスタであってもよい。このような一実施例においては、メモリセル 1 0 5 の各々は、二つのトランジスタと二つのキャパシタ (例えば、2 T 2 C) を含む。

10

20

30

40

50

【 0 0 3 7 】

選択コンポーネント T 1 および T 2 の動作は、トランジスタゲートに電圧を印加することによって制御される。其々のワード線 W L は、選択コンポーネントをアクティブ化し得る（例えば、W L 0 は、メモリセル 1 0 5 (0) の選択コンポーネント T 1 および T 2 をアクティブ化し得、W L 1 は、メモリセル 1 0 5 (1) の選択コンポーネント T 1 および T 2 をアクティブ化し得る）。

【 0 0 3 8 】

キャパシタ C 1 は、プレート線 C P に結合された第一のプレートを有し、第二のプレートを有する。キャパシタ C 2 は、プレート線 C P に結合された第一のプレートを有し、第二のプレートを有する。キャパシタ C 1 の第二のプレートは、選択コンポーネント T 1 に結合され、キャパシタ C 2 の第二のプレートは、選択コンポーネント T 2 に結合される。選択コンポーネント T 1 は、デジット線 B L - T にさらに結合され、選択コンポーネント T 2 は、デジット線 B L - C にさらに結合される。其々のワード線 W L などによってアクティブ化されると、キャパシタ C 1 の第二のプレートとキャパシタ C 2 の第二のプレートは、其々、デジット線 B L - T および B L - C と結合される。前に論じられたように、デジット線 B L - T および B L - C に結合されると、メモリセル 1 0 5 がアクセスされ得る。例えば、メモリセル 1 0 5 の格納された状態は、読み出され得、および/または、メモリセル 1 0 5 は、新しい状態もしくは同一の状態を格納するために書き込まれ得る。幾つかの実施形態においては、メモリセル 1 0 5 にアクセスする（例えば、読み出すおよび/または書き込む）ために、様々な電圧、例えば、相補的電圧が、デジット線 B L - T および B L - C ならびにプレート線 C P を経由して、キャパシタ C 1 および C 2 のプレートに印加され得る。

【 0 0 3 9 】

図 4 B は、本開示の一実施形態による、図 4 A の例示的メモリセル 1 0 5 (0) および 1 0 5 (1) を含むメモリアレイ 1 0 の領域を図示する。図 4 B の実施形態においては、メモリセル 1 0 5 (0) および 1 0 5 (1) は、相互について横方向にずらされる。破線は、メモリセル 1 0 5 の大体の境界を画定する。幾つかの実施形態においては、メモリセル 1 0 5 の構造は、4 F 2 アーキテクチャ内のメモリセルを含むと考えられ得、ここで、F は、与えられた技術の最小のフィーチャ寸法を示す。

【 0 0 4 0 】

メモリアレイ 1 0 の図示された部分は、ベース（図示せず）によって支持される。ベースは、半導体材料を含み得、例えば、単結晶シリコンを含み得るか、単結晶シリコンで実質的に構成され得るか、または単結晶シリコンで構成され得る。ベースは半導体基板と称され得る。用語“半導体基板（semiconductor substrate）”は、半導電性ウェーハ（単独もしくは他の材料を含むアセンブリのいずれか）および半導電性材料層（単独もしくは他の材料を含むアセンブリのいずれか）などのバルク半導電性材料を含むがそれに限定はされない半導電性材料を含む任意の構造を意味する。用語“基板（substrate）”は、上述された半導体基板を含むがそれには限定されない任意の支持構造を指す。幾つかの用途においては、ベースは、一体化された回路作製に関連付けられた一つ以上の材料を含む半導体基板に対応し得る。このような材料は、例えば、耐火金属材料、バリア材料、拡散材料、絶縁体材料などのうちの一つ以上を含み得る。

【 0 0 4 1 】

隣接するメモリセル 1 0 5 (0) および 1 0 5 (1) は、メモリアレイ内で相互に共通の列にある。メモリセル 1 0 5 (0) および 1 0 5 (1) は、デジット線 B L - T および B L - C に沿って図示される。デジット線 B L - T および B L - C は、図 1 および図 2 を参照して上述されたタイプのセンスコンポーネント 2 5 に結合され得る。

【 0 0 4 2 】

メモリセル 1 0 5 (0) は、第一および第二のトランジスタ T 1 および T 2 を含み、第一および第二のトランジスタの間に第一および第二のキャパシタ C 1 および C 2 を含む。第一のキャパシタ C 1 は、第一のプレート 1 1 4、第二のプレート 1 1 6、ならびに第一

10

20

30

40

50

および第二のプレート114および116の間の強誘電体材料118を含む。同様に、第二のキャパシタC2は、第一のプレート120、第二のプレート122、ならびに第一および第二のプレート120および122の間の強誘電体材料124を含む。

【0043】

図示された実施形態においては、第二のプレート116および122が容器形状の外部プレートであり、第一のプレート114および120は、容器形状の外部プレートに伸びる内部プレートである。他の実施形態においては、第二のプレート116および122は、他の構造を有してもよく、第一のプレート114および120は、また他の構造を有してもよい。

【0044】

第一のプレート114および120は、プレート線構造CPと結合される。図示された実施形態においては、第一のプレート114および120は、プレート線構造CPと共通の組成を共有する。他の実施形態においては、プレート線構造CPは、第一のプレート114および120と比較すると異なる組成を含み得る。

【0045】

第一および第二のキャパシタC1およびC2は、相互について垂直方向にずらされ、第二のキャパシタC2は、第一のキャパシタC1の上にある。第一のトランジスタT1は、第一のキャパシタC1とデジタル線BL-Tとの間にあり、第一のキャパシタC1について垂直方向にずらされ、第二のトランジスタT2は、第二のキャパシタC2とデジタル線BL-Cとの間にあり、第二のキャパシタC2について垂直方向にずらされる。

【0046】

図示された実施形態においては、第一の半導体ピラー128は、デジタル線BL-Tから第一のキャパシタC1の第二のプレート116へと上方に伸び、第一のトランジスタT1は、その第一の半導体ピラーに沿っている。第一のトランジスタT1は、導電性トランジスタゲート130を有し、これは、ゲート誘電体材料132によって半導体ピラー128から離隔される。第一のトランジスタT1は、半導体ピラー128内で、ゲート誘電体材料132に沿ってチャネル領域を有し、半導体ピラー内で、チャネル領域の反対側にソース/ドレイン領域136および138を有する。ソース/ドレイン領域136は、第一のキャパシタC1の第二のプレート116と結合され、ソース/ドレイン領域138は、デジタル線BL-Tと結合される。図示された実施形態においては、ソース/ドレイン領域136は、第一のキャパシタC1の第二のプレート116に伸びる。他の実施形態においては、ソース/ドレイン領域136は、第一のキャパシタC1の第二のプレート116に同様に伸びる、電氣的相互接続に伸び得る。また、図示された実施形態においては、ソース/ドレイン領域138は、デジタル線BL-Tに伸びる。他の実施形態においては、ソース/ドレイン領域138は、デジタル線BL-Tに同様に伸びる電氣的相互接続に伸び得る。

【0047】

第二の半導体ピラー140は、デジタル線BL-Cから、第二のキャパシタC2の第二のプレート122に向かって下方に伸び、第二のトランジスタT2は、その第二の半導体ピラーに沿っている。第二のトランジスタT2は、第二の導電性トランジスタゲート142を有し、これは、ゲート誘電体材料144によって半導体ピラー140から離隔される。第二のトランジスタT2は、半導体ピラー140内で、ゲート誘電体材料144に沿って第二のチャネル領域を有し、半導体ピラー内で、チャネル領域の反対側にソース/ドレイン領域148および150を有する。ソース/ドレイン領域148は、第二のキャパシタC2の第二のプレート122と結合され、ソース/ドレイン領域150は、デジタル線BL-Cと結合される。図示された実施形態においては、ソース/ドレイン領域148は、第二のキャパシタC2の第二のプレート122に伸びる。他の実施形態においては、ソース/ドレイン領域148は、第二のキャパシタC2の第二のプレート122に同様に伸びる、電氣的相互接続に伸び得る。また、図示された実施形態においては、ソース/ドレイン領域150は、デジタル線BL-Cに伸びる。他の実施形態においては、ソース/ド

10

20

30

40

50

ライン領域 150 は、デジタル線 BL - C に同様に伸びる電氣的相互接続に伸び得る。

【0048】

第一および第二のトランジスタ T1 および T2 の導電性ゲート 130 および 142 は、第一のワード線 WL0 と結合される。このような第一のワード線は、図 4B の断面についてページの内外に伸び得る。

【0049】

メモリセル 105 (0) および 105 (1) は、相互に実質的に同一であり、用語 “実質的に同一 (substantially identical)” は、製造および測定 of 合理的な許容誤差内でメモリセルが同一であることを意味する。メモリセル 105 (1) は、第一および第二のトランジスタ T1 および T2 とともに、第一および第二のキャパシタ C1 および C2 を含む。第一および第二のトランジスタ T1 および T2 は、導電性ゲート 130 および 142 を含み、これらは、第二のワード線 WL1 と結合される。したがって、第二のメモリセル 105 (1) は、メモリアレイ 10 内でメモリセル 105 (0) とは異なる行 (すなわち、ワード線) に沿っている。

10

【0050】

図 4B の図示された実施形態においては、プレート線構造 CP は、デジタル線 BL - T および BL - C によって画定される列に沿って水平方向に伸びるルールである。このルールは、この列に沿った全ての他のメモリセルと同様に、メモリセル 105 (0) および 105 (1) によって共有される。他の実施形態においては、プレート線構造 CP は、複数の個別の構造に細分化され得る。

20

【0051】

図 4B の図示された実施形態においては、メモリセル 105 (0) の第一および第二のトランジスタ T1 および T2 は、第一および第二のキャパシタ C1 および C2 と同様に、相互について垂直方向にずらされる。さらに、第一および第二のキャパシタ C1 および C2 ならびに第一および第二のトランジスタ T1 および T2 は、相互に共通の垂直平面内にある (すなわち、垂直方向に積み重ねられている)。他の実施形態においては、第一および第二のキャパシタ C1 および C2 ならびに / または第一および第二のトランジスタ T1 および T2 は、異なる構成で提供され得る。

【0052】

図 5A は、本開示の一実施形態による、二つのメモリセル 105 (0) および 105 (1) の概略図である。破線は、メモリセル 105 の大体の境界を画定する。メモリセル 105 の各々は、二つの選択コンポーネント T1 および T2 と、二つのキャパシタ C1 および C2 とを含む。キャパシタ C1 および C2 は強誘電体キャパシタであり得る。選択コンポーネント T1 および T2 は、トランジスタ、例えば、n 型電界効果トランジスタであり得る。このような一実施例においては、メモリセル 105 の各々は、二つのトランジスタと二つのキャパシタ (例えば、2T2C) を含む。

30

【0053】

選択コンポーネント T1 および T2 の動作は、トランジスタゲートに電圧を印加することによって制御される。其々のワード線 WL は、選択コンポーネントをアクティブ化し得る (例えば、WL0 は、メモリセル 105 (0) の選択コンポーネント T1 および T2 をアクティブ化し得、WL1 は、メモリセル 105 (1) の選択コンポーネント T1 および T2 をアクティブ化し得る)。

40

【0054】

キャパシタ C1 は、プレート線 CP に結合された第一のプレートを有し、第二のプレートを有する。キャパシタ C2 は、プレート線 CP に結合された第一のプレート 120 を有し、第二のプレートを有する。キャパシタ C1 の第二のプレートは、選択コンポーネント T1 に結合され、キャパシタ C2 の第二のプレートは、選択コンポーネント T2 に結合される。選択コンポーネント T1 は、デジタル線 BL - T にさらに結合され、選択コンポーネント T2 は、デジタル線 BL - C にさらに結合される。其々のワード線 WL などによってアクティブ化されると、キャパシタ C1 の第二のプレートとキャパシタ C2 の第二のプ

50

レートは、其々、デジタル線 B L - T および B L - C と結合される。前に論じられたように、デジタル線 B L - T および B L - C に結合されると、メモリセル 1 0 5 がアクセスされ得る。例えば、メモリセル 1 0 5 の格納された状態は、読み出され得、および/または、メモリセル 1 0 5 は、新しい状態もしくは同一の状態を格納するために書き込まれ得る。幾つかの実施形態においては、メモリセル 1 0 5 にアクセスする（例えば、読み出すおよび/または書き込む）ために、様々な電圧、例えば、相補的電圧がデジタル線 B L - T および B L - C ならびにプレート線 C P を経由して、キャパシタ C 1 および C 2 のプレートに印加され得る。

【 0 0 5 5 】

図 5 B は、本開示の一実施形態による、図 5 A の例示的メモリセル 1 0 5 (0) および 1 0 5 (1) を含むメモリアレイ 1 0 の一部を図示する。図 5 B の実施形態においては、メモリセル 1 0 5 (0) は、メモリセル 1 0 5 (1) の上に垂直方向に積み重ねられる。破線は、メモリセル 1 0 5 (0) および 1 0 5 (1) の大体の境界を画定する。いくつかの実施形態において 4 F 2 アーキテクチャ内のメモリセルを含む図 4 A のメモリセル 1 0 5 (0) および 1 0 5 (1) と対照的に、幾つかの実施形態においては、図 5 A のメモリセル 1 0 5 は、8 F 2 アーキテクチャ内のメモリセルを含むと考えられ得、ここで、F は、与えられた技術の最小のフィーチャ寸法を示す。

【 0 0 5 6 】

メモリアレイ 1 0 の図示された部分は、図 4 B のベースと類似のベース（図示せず）によって支持され得る。メモリセル 1 0 5 (0) および 1 0 5 (1) は、メモリアレイ内で相互に共通の列にある。デジタル線 B L - T および B L - C は、メモリセル 1 0 5 (0) および 1 0 5 (1) の間にあり、図 5 B の断面について、ページの内外に伸びる。デジタル線 B L - T および B L - C は、図 1 および図 2 を参照して上述されたタイプのセンスコンポーネント 2 5 に結合され得る。デジタル線 B L - T および B L - C は、メモリセル 1 0 5 (0) および 1 0 5 (1) によって共有される。

【 0 0 5 7 】

メモリセル 1 0 5 (0) は、第一および第二のトランジスタ T 1 および T 2 を含み、これらは相互について横方向にずらされる。メモリセル 1 0 5 (0) は、第一のトランジスタ T 1 の上に第一のキャパシタ C 1 を含み、第二のトランジスタ T 2 の上に第二のキャパシタ C 2 を含む。第一のトランジスタ T 1 は、第一のキャパシタ C 1 について垂直方向にずらされ、第二のトランジスタ T 2 は、第二のキャパシタ C 2 について、垂直方向にずらされる。第一のキャパシタ C 1 は、第一のプレート 1 1 4、第二のプレート 1 1 6、ならびに第一および第二のプレート 1 1 4 および 1 1 6 の間の強誘電体材料 1 1 8 を含む。第二のキャパシタ C 2 は、第一のプレート 1 2 0、第二のプレート 1 2 2、ならびに第一および第二のプレート 1 2 0 および 1 2 2 の間の強誘電体材料 1 2 4 を含む。

【 0 0 5 8 】

図示された実施形態においては、第二のプレート 1 1 6 および 1 2 2 が容器形状の外部プレートであり、第一のプレート 1 1 4 および 1 2 0 は、容器形状の外部プレートに伸びる内部プレートである。他の実施形態においては、第二のプレート 1 1 6 および 1 2 2 は、他の構造を有してもよく、第一のプレート 1 1 4 および 1 2 0 は、また他の構造を有してもよい。

【 0 0 5 9 】

第一のプレート 1 1 4 および 1 2 0 は、メモリセル 1 0 5 (0) の第一および第二のキャパシタ C 1 および C 2 の上に提供されたプレート線構造 C P と結合される。図示された実施形態においては、第一のプレート 1 1 4 および 1 2 0 は、プレート線構造 C P と共通の組成を共有する。他の実施形態においては、プレート線構造 C P は、第一のプレート 1 1 4 および 1 2 0 と比較すると異なる組成を含み得る。

【 0 0 6 0 】

第一および第二のキャパシタ C 1 および C 2 は、相互について横方向にずらされ、図示された実施形態においては、相互に同一の水平平面内にある（すなわち、相互に水平方向

10

20

30

40

50

に整列する)。第一のトランジスタT1は、第一のキャパシタC1とデジット線BL-Tとの間にあり、第二のトランジスタT2は、第二のキャパシタC2とデジット線BL-Cとの間にある。図示された実施形態においては、第一および第二のトランジスタT1およびT2は、相互に共通の水平平面内にあり、ワード線WL0は、この水平平面に沿って伸び、第一および第二のトランジスタT1およびT2のゲート130および142を含む。

【0061】

第一の半導体ピラー128は、デジット線BL-Tから第一のキャパシタC1の第二のプレート116へと上方に伸び、第一のトランジスタT1は、その第一の半導体ピラーに沿っている。第二の半導体ピラー140は、デジット線BL-Cから第二のキャパシタC2の第二のプレート122へと上方に伸び、第二のトランジスタT2は、第二の半導体ピラー140に沿っている。

10

【0062】

第一のトランジスタT1は、ゲート誘電体材料132を含み、半導体ピラー128内で、ゲート誘電体材料132に沿って第一のチャンネル領域をさらに含み、半導体ピラー内で、チャンネル領域の反対側にソース/ドレイン領域136および138をさらに含む。ソース/ドレイン領域136は、第一のキャパシタC1の第二のプレート116と結合され、ソース/ドレイン領域138は、デジット線BL-Tと結合される。第二のトランジスタT2は、ゲート誘電体材料144を含み、半導体ピラー140内で、ゲート誘電体材料144に沿って第二のチャンネル領域をさらに含み、半導体ピラー内で、チャンネル領域の反対側にソース/ドレイン領域148および150をさらに含む。ソース/ドレイン領域148は、第二のキャパシタC2の第二のプレート122と結合され、ソース/ドレイン領域150は、デジット線BL-Cと結合される。

20

【0063】

メモリセル105(1)は、メモリセル105(0)と類似し、第一および第二のトランジスタT1およびT2とともに第一および第二のキャパシタC1およびC2を含む。第一および第二のトランジスタT1およびT2は、導電性ゲート130および142を含み、これらは、第二のワード線WL1と結合される。第一および第二のキャパシタC1およびC2の第一のプレート114および120は、キャパシタC1およびC2の下に提供されるプレート線構造CPと結合される。

【0064】

メモリセル105(1)は、第一および第二のトランジスタT1およびT2を含み、これらは相互について横方向にずらされる。メモリセル105(1)は、第一のトランジスタT1の下に第一のキャパシタC1を含み、第二のトランジスタT2の下に第二のキャパシタC2を含む。第一のキャパシタC1は、第一のプレート114、第二のプレート116、ならびに第一および第二のプレート114および116の間の強誘電体材料118を含む。第二のキャパシタC2は、第一のプレート120、第二のプレート122、ならびに第一および第二のプレート120および122の間の強誘電体材料124を含む。

30

【0065】

図示された実施形態においては、デジット線BL-TおよびBL-Cは、相互に共通の水平平面内にある。デジット線BL-TおよびBL-Cを通して伸びる軸159は、鏡面を画定すると考えられてもよい。メモリセル105(1)は、鏡面にわたって、メモリセル105(0)の実質的に鏡像であると考えられてもよい。用語“実質的に鏡像(substantially mirror image)”は、メモリセル105(1)が作製および測定の合理的な許容誤差内でメモリセル105(0)の鏡像であり得ることを示すために用いられる。

40

【0066】

図5Bの図示された実施形態においては、デジット線BL-TおよびBL-Cは、メモリセル105(0)および105(1)によって共有される。他の実施形態においては、プレート線構造CPは、メモリセル105(0)および105(1)によって共有され得、これらは、相互にプレート線構造CPの反対側で垂直方向にずらされる。図6Aおよび

50

図 6 B は、このような他の実施形態の一実施例を図示する。

【 0 0 6 7 】

図 6 A は、本開示の一実施形態による、二つのメモリセル 1 0 5 (0) および 1 0 5 (1) の概略図である。破線は、メモリセル 1 0 5 の大体の境界を画定する。メモリセル 1 0 5 の各々は、二つの選択コンポーネント T 1 および T 2 と、二つのキャパシタ C 1 および C 2 とを含む。キャパシタ C 1 および C 2 は強誘電体キャパシタであり得る。選択コンポーネント T 1 および T 2 は、トランジスタ、例えば、n 型電界効果トランジスタであり得る。このような一実施例においては、メモリセル 1 0 5 の各々は、二つのトランジスタと二つのキャパシタ（例えば、2 T 2 C）を含む。図 6 A のメモリセル 1 0 5 (0) および 1 0 5 (1) は、プレート線構造 C P を共有し、異なるデジット線 B L - T および異なるデジット線 B L - C に結合される。対照的に、図 5 A のメモリセル 1 0 5 (0) および 1 0 5 (1) は、デジット線 B L - T を共有し、デジット線 B L - C を共有し、異なるプレート線 C P に結合される。

10

【 0 0 6 8 】

図 6 A のメモリセル 1 0 5 (0) および 1 0 5 (1) の動作は、前述の図 5 A のメモリセル 1 0 5 (0) および 1 0 5 (1) の動作と類似しており、簡潔性のために繰り返されない。

【 0 0 6 9 】

図 6 B は、本開示の一実施形態による、図 6 A のメモリセル 1 0 5 (0) および 1 0 5 (1) の対を含むメモリアレイ 1 0 の一部を図示する。図 6 B の実施形態においては、メモリセル 1 0 5 (0) は、メモリセル 1 0 5 (1) の上に垂直方向に積み重ねられる。破線は、メモリセル 1 0 5 (0) および 1 0 5 (1) の大体の境界を画定する。幾つかの実施形態においては、図 6 B のメモリセル 1 0 5 は、8 F 2 アーキテクチャ内のメモリセルを含むと考えられ得、ここで、F は、与えられた技術の最小のフィーチャ寸法を示す。図 5 B のメモリセルとは対照的に、図 6 B のメモリセル 1 0 5 (0) および 1 0 5 (1) は、プレート線構造 C P を共有し、異なるデジット線 B L - T および異なるデジット線 B L - C に結合される。

20

【 0 0 7 0 】

メモリアレイ 1 0 の図示された部分は、図 4 B のベースと類似のベース（図示せず）によって支持され得る。メモリセル 1 0 5 (0) および 1 0 5 (1) は、メモリアレイ内で相互に共通の列にある。水平方向に伸びるルールは、メモリセル 1 0 5 (0) および 1 0 5 (1) の間にあり、図 6 B の断面に沿って伸びる。ルールは、メモリセル 1 0 5 (0) および 1 0 5 (1) によって共有されるプレート線構造 C P である。デジット線 B L - T および B L - C は、メモリセル 1 0 5 (0) および 1 0 5 (1) の間にあり、図 5 B の断面についてページの内外に伸びる。デジット線 B L - T および B L - C は、図 1 および図 2 を参照して前述されたタイプのセンスコンポーネント 2 5 と結合され得る。

30

【 0 0 7 1 】

メモリセル 1 0 5 (0) は、第一および第二のトランジスタ T 1 および T 2 を含み、これらは相互について横方向にずらされる。メモリセル 1 0 5 (0) は、第一のトランジスタ T 1 の下に第一のキャパシタ C 1 を含み、第二のトランジスタ T 2 の下に第二のキャパシタ C 2 を含む。第一のキャパシタ C 1 は、第一のプレート 1 1 4、第二のプレート 1 1 6、ならびに第一および第二のプレート 1 1 4 および 1 1 6 の間の強誘電体材料 1 1 8 を含む。第二のキャパシタ C 2 は、第一のプレート 1 2 0、第二のプレート 1 2 2、ならびに第一および第二のプレート 1 2 0 および 1 2 2 の間の強誘電体材料 1 2 4 を含む。

40

【 0 0 7 2 】

第一のプレート 1 1 4 および 1 2 0 は、プレート線構造 C P と結合される。図示された実施形態においては、第一のプレート 1 1 4 および 1 2 0 は、プレート線構造 C P と共通の組成を共有する。他の実施形態においては、プレート線構造 C P は、第一のプレート 1 1 4 および 1 2 0 と比較すると異なる組成を含み得る。

【 0 0 7 3 】

50

第一および第二のキャパシタC 1およびC 2は、相互について横方向にずらされ、第二のキャパシタC 2は、第一のキャパシタC 1と同一の水平平面内にある。第一のトランジスタT 1は、第一のキャパシタC 1とデジタル線BL - Tとの間にあり、第二のトランジスタT 2は、第二のキャパシタC 2とデジタル線BL - Cとの間にあり。デジタル線BL - TおよびBL - Cは、図6 Bの断面についてページの内外に伸びる。図示された実施形態においては、第一および第二のトランジスタT 1およびT 2は、相互に共通の水平平面内にあり、ワード線WL 0は、この水平平面に沿って伸び、第一および第二のトランジスタT 1およびT 2のゲート130および142を含む。

【0074】

第一の半導体ピラー128は、デジタル線BL - Tから第一のキャパシタC 1の第二のプレート116へと下方に伸び、第一のトランジスタT 1は、その第一の半導体ピラーに沿っている。第二の半導体ピラー140は、デジタル線BL - Cから第二のキャパシタC 2の第二のプレート122へと下方に伸び、第二のトランジスタT 2は、その第二の半導体ピラーに沿っている。

【0075】

第一のトランジスタT 1は、ゲート誘電体材料132を含み、半導体ピラー128内で、ゲート誘電体材料132に沿って第一のチャンネル領域をさらに含み、半導体ピラー内で、チャンネル領域の反対側にソース/ドレイン領域136および138をさらに含む。ソース/ドレイン領域136は、第一のキャパシタC 1の第二のプレート116と結合され、ソース/ドレイン領域138は、デジタル線BL - Tと結合される。第二のトランジスタT 2は、ゲート誘電体材料144、第二のチャンネル領域、ならびにソース/ドレイン領域148および150を含む。ソース/ドレイン領域148は、第二のキャパシタC 2の第二のプレート122と結合され、ソース/ドレイン領域150は、デジタル線BL - Cと結合される。

【0076】

メモリセル105(1)は、メモリセル105(0)と類似し、第一および第二のトランジスタT 1およびT 2とともに第一および第二のキャパシタC 1およびC 2を含む。第一および第二のトランジスタT 1およびT 2は、導電性ゲート130および142を含み、これらは、第二のワード線WL 1と結合される。第一および第二のキャパシタC 1およびC 2の第一のプレート114および120は、キャパシタC 1およびC 2の下に提供されるプレート線構造CPと結合される。

【0077】

プレート線構造CPに沿って伸びる軸161は、鏡面を画定すると考えられてもよい。メモリセル105(1)は、鏡面にわたって、メモリセル105(0)の実質的に鏡像であると考えられてもよい。用語“実質的に鏡像”は、メモリセル105(1)が、作製および測定の合理的な許容誤差内でメモリセル105(0)の鏡像であり得ることを示すために用いられる。図5 Bを参照して前に論じられたメモリセル105(0)および105(1)と比較すると、図6 Bの図示された実施形態のメモリセル105(0)および105(1)は、プレート線構造CPについての鏡像とされるが、図5 Bのメモリセル105(0)および105(1)は、デジタル線BL - TおよびBL - Cについての鏡像とされる。

【0078】

図6 Bの図示された実施形態においては、メモリセル105(0)のデジタル線BL - T(すなわち、ワード線WL 0の上のデジタル線BL - T)と、メモリセル105(1)のデジタル線BL - T(すなわち、ワード線WL 1の下でのデジタル線BL - T)とが相互に結合される。メモリセル105(0)のデジタル線BL - C(すなわち、ワード線WL 0の上のデジタル線BL - C)と、メモリセル105(1)のデジタル線BL - C(すなわち、ワード線WL 1の下でのデジタル線BL - C)とが相互に結合される。結合されたデジタル線BL - Tの電気的特性は、図1および図2を参照して上述されたタイプのセンスコンポーネント25で、結合されたデジタル線BL - Cの電気的特性と比較される。

10

20

30

40

50

【 0 0 7 9 】

図 7 A は、本開示の一実施形態による、二つのメモリセル 1 0 5 (0) および 1 0 5 (1) の概略図である。破線は、メモリセル 1 0 5 の大体の境界を画定する。メモリセル 1 0 5 の各々は、二つの選択コンポーネント T 1 および T 2 と、二つのキャパシタ C 1 および C 2 とを含む。キャパシタ C 1 および C 2 は、強誘電体キャパシタであり得る。選択コンポーネント T 1 および T 2 は、トランジスタ、例えば、n 型電界効果トランジスタであってもよい。このような一実施例においては、メモリセル 1 0 5 の各々は、二つのトランジスタと二つのキャパシタ (例えば、2 T 2 C) を含む。

【 0 0 8 0 】

其々のワード線 W L は、選択コンポーネントをアクティブ化し得る (例えば、W L 0 は、メモリセル 1 0 5 (0) の選択コンポーネント T 1 および T 2 をアクティブ化し得、W L 1 はメモリセル 1 0 5 (1) の選択コンポーネント T 1 および T 2 をアクティブ化し得る) 。キャパシタ C 1 は、プレート線 C P に結合された第一のプレートを有し、第二のプレートを有する。キャパシタ C 2 は、プレート線 C P に結合された第一のプレートを有し、第二のプレートを有する。キャパシタ C 1 の第二のプレートは、選択コンポーネント T 1 に結合され、キャパシタ C 2 の第二のプレートは、選択コンポーネント T 2 に結合される。選択コンポーネント T 1 は、デジット線 B L - T にさらに結合され、選択コンポーネント T 2 は、デジット線 B L - C にさらに結合される。メモリセル 1 0 5 (0) および 1 0 5 (1) は、共有されたデジット線 B L - T に結合され、異なるデジット線 B L - C に結合される。其々のワード線 W L などによってアクティブ化されると、キャパシタ C 1 の第二のプレートとキャパシタ C 2 の第二のプレートは、其々、デジット線 B L - T および B L - C と結合される。前に論じられたように、デジット線 B L - T および B L - C に結合されると、メモリセル 1 0 5 がアクセスされ得る。例えば、メモリセル 1 0 5 の格納された状態は、読み出され得、および / または、メモリセル 1 0 5 は、新しい状態もしくは同一の状態を格納するために書き込まれ得る。幾つかの実施形態においては、メモリセル 1 0 5 にアクセスする (例えば、読み出すおよび / または書き込む) ために、様々な電圧、例えば、相補的電圧が、デジット線 B L - T および B L - C ならびにプレート線 C P を経由して、キャパシタ C 1 および C 2 のプレートに印加され得る。

【 0 0 8 1 】

図 7 B は、本開示の一実施形態による、図 7 A の例示的メモリセル 1 0 5 (0) および 1 0 5 (1) を含むメモリアレイ 1 0 の領域を図示する。図 7 B の実施形態においては、メモリセル 1 0 5 (0) は、メモリセル 1 0 5 (1) の上に垂直方向に積み重ねられる。破線は、メモリセル 1 0 5 (0) および 1 0 5 (1) の大体の境界を画定する。幾つかの実施形態においては、メモリセル 1 0 5 の構造は、4 F 2 アーキテクチャ内のメモリセルを含むと考えられ得、ここで、F は、与えられた技術の最小のフィーチャ寸法を示す。

【 0 0 8 2 】

メモリセル 1 0 5 (0) および 1 0 5 (1) は、図 4 B の実施形態のメモリセル 1 0 5 (0) および 1 0 5 (1) に類似しているが、メモリセル 1 0 5 (0) および 1 0 5 (1) は、図 4 B の実施形態におけるように横方向にずらされるのではなく、図 7 B の実施形態では垂直方向に積み重ねられる。図 7 B の実施形態のメモリセル 1 0 5 (0) および 1 0 5 (1) は、図 4 B の実施形態のメモリセル 1 0 5 (0) および 1 0 5 (1) と同一素子を含む。適用可能な場合、図 4 B の実施形態のメモリセル 1 0 5 (0) および 1 0 5 (1) の参照番号は、図 7 B の実施形態のメモリセル 1 0 5 (0) および 1 0 5 (1) に対して用いられる。メモリセル 1 0 5 (0) および 1 0 5 (1) はデジット線 B L - T を共有する。

【 0 0 8 3 】

メモリセル 1 0 5 (0) は、第一および第二のキャパシタ C 1 および C 2 を含み、これらは、相互について垂直方向にずらされ、第二のキャパシタ C 2 は、第一のキャパシタ C 1 の上にある。第一のトランジスタ T 1 は、第一のキャパシタ C 1 とデジット線 B L - T との間にあり、第二のトランジスタ T 2 は、第二のキャパシタ C 2 とデジット線 B L - C

10

20

30

40

50

との間にある。図7Bの図示された実施形態においては、メモリセル105(0)の第一および第二のトランジスタT1およびT2は、相互について垂直方向にずらされ、第一および第二のキャパシタC1およびC2も同様である。さらに、第一および第二のキャパシタC1およびC2と、第一および第二のトランジスタT1およびT2は、相互に共通の垂直平面内にある(すなわち、相互に垂直方向に積み重ねられる)。他の実施形態においては、第一および第二のキャパシタC1およびC2ならびに/または第一および第二のトランジスタT1およびT2は、異なる構造で提供され得る。

【0084】

メモリセル105(0)および105(1)は、相互に実質的に同一であり、用語“実質的に同一”は、メモリセルが作製および測定の合理的な許容誤差内で同一であることを意味する。メモリセル105(1)は、第一および第二のトランジスタT1およびT2とともに、第一および第二のキャパシタC1およびC2を含む。デジタル線BL-Tを通過して伸びる軸163は、鏡面を画定すると考えられてもよい。メモリセル105(1)は、鏡面にわたって、メモリセル105(0)の実質的に鏡像であると考えられてもよい。用語“実質的に鏡像”は、メモリセル105(1)が作製および測定の合理的な許容誤差内でメモリセル105(0)の鏡像であり得ることを示すために用いられる。図4Bを参照して前に論じられたメモリセル105(0)および105(1)と比較すると、図7Bの図示された実施形態のメモリセル105(0)および105(1)は、図4Bのメモリセルに構造が類似しているが、垂直方向に積み重ねられ、デジタル線BL-Tについての鏡像とされる一方、図4Bのメモリセル105(0)および105(1)は、横方向にずら

【0085】

図8Aは、本開示の一実施形態による、四つのメモリセル105(0)~105(3)の概略図である。破線は、メモリセル105の大体の境界を画定する。メモリセル105の各々は、二つの選択コンポーネントT1およびT2と、二つのキャパシタC1およびC2とを含む。キャパシタC1およびC2は強誘電体キャパシタであり得る。選択コンポーネントT1およびT2は、トランジスタ、例えば、n型電界効果トランジスタであり得る。このような一実施例においては、メモリセル105の各々は、二つのトランジスタと二つのキャパシタ(例えば、2T2C)を含む。メモリセル105(0)および105(1)は、図6Aのセルに類似しているが、プレート線構造CPを共有し、異なるデジタル線BL-Tおよび異なるデジタル線BL-Cに結合される。メモリセル105(2)および105(3)は、また、プレート線構造CPを共有し、異なるデジタル線BL-Tおよび異なるデジタル線BL-Cに結合される。メモリセル105(1)および105(2)は、図5Aにおけるセル105(0)および105(1)に類似し、デジタル線BL-Tを共有し、デジタル線BL-Cを共有する。前に論じられたように、デジタル線BL-TおよびBL-Cに結合されると、メモリセル105がアクセスされ得る。例えば、メモリセル105の格納された状態は、読み出され得、および/または、メモリセル105は、新しい状態もしくは同一の状態を格納するために書き込まれ得る。幾つかの実施形態においては、メモリセル105にアクセスする(例えば、読み出すおよび/または書き込む)ために、様々な電圧、例えば、相補的電圧が、デジタル線BL-TおよびBL-Cならびにプレート線CPを経由して、キャパシタC1およびC2のプレートに印加され得る。

【0086】

図8Bは、本開示の一実施形態による、図8Aの例示的メモリセル105(0)~105(3)を含むメモリアレイ10の一部を図示する。図8Bの実施形態においては、メモリセル105(0)~105(3)は、垂直方向に積み重ねられる。破線は、メモリセル105(0)および105(1)の大体の境界を画定する。幾つかの実施形態においては、図8Bのメモリセル105(0)~105(3)は、8F2アーキテクチャ内のメモリセルを含むと考えられ得、ここで、Fは、与えられた技術の最小のフィーチャ寸法を示す。

【0087】

10

20

30

40

50

メモリセル105(0)および105(1)は、図6Bの実施形態のメモリセル105(0)および105(1)と類似の構造を有する。メモリセル105(2)および105(3)は、また、図6Bの実施形態のメモリセル105(0)および105(1)と類似の構造を有する。しかしながら、図6Bのメモリセル105(0)および105(1)と比較すると、二つの垂直方向に積み重ねられたメモリセル105(例えば、図8Bのメモリセル105(0)および105(1))は、他の二つの垂直方向に積み重ねられたメモリセル105(例えば、図8Bのメモリセル105(2)および105(3))の上に積み重ねられる。図8Bの実施形態のメモリセル105(0)および105(1)ならびにメモリセル105(2)および105(3)は、図4Bの実施形態のメモリセル105(0)および105(1)と同一の素子を含む。適用可能な場合、図4Bの実施形態のメモリセル105(0)および105(1)の参照番号が、図8Bの実施形態のメモリセル105(0)および105(1)ならびにメモリセル105(2)および105(3)のために用いられる。メモリセル105(1)および105(2)は、デジタル線BL-Tを共有し、デジタル線BL-Cを共有する。

10

【0088】

メモリセル105(0)は、第一および第二のトランジスタT1およびT2を含み、これらは相互について横方向にずらされる。メモリセル105(0)は、第一のトランジスタT1の下に第一のキャパシタC1を含み、第二のトランジスタT2の下に第二のキャパシタC2を含む。第一および第二のキャパシタC1およびC2は、相互について横方向にずらされ、第二のキャパシタC2は、第一のキャパシタC1と同一の水平平面内にある。第一のトランジスタT1は、第一のキャパシタC1とデジタル線BL-Tとの間にあり、第二のトランジスタT2は、第二のキャパシタC2とデジタル線BL-Cとの間にあり、デジタル線BL-TおよびBL-Cは、図6Bの断面について、ページの内外に伸びる。図示された実施形態においては、第一および第二のトランジスタT1およびT2は、相互に共通の水平平面内にあり、ワード線WL0は、その水平平面に沿って伸び、第一および第二のトランジスタT1およびT2のゲート130および142を含む。

20

【0089】

メモリセル105(1)は、メモリセル105(0)に類似し、第一および第二のトランジスタT1およびT2とともに、第一および第二のキャパシタC1およびC2を含む。第一および第二のトランジスタT1およびT2は、導電性ゲート130および142を含み、これらは、第二のワード線WL1に結合される。第一および第二のキャパシタC1およびC2の第一のプレート114および120は、プレート線構造CPと結合される。メモリセル105(2)および105(3)は、また、メモリセル105(0)に類似し、第一および第二のトランジスタT1およびT2とともに、第一および第二のキャパシタC1およびC2を各々含む。メモリセル105(2)の第一および第二のトランジスタT1およびT2は、第三のワード線WL2に結合され、メモリセル105(3)の第一および第二のトランジスタT1およびT2は、第四のワード線WL3に結合される。

30

【0090】

図示された実施形態においては、デジタル線BL-TおよびBL-Cは、相互に共通の水平平面内にある。メモリセル105(1)および105(2)によって共有されるデジタル線BL-TおよびBL-Cを通して伸びる軸165は、鏡面を画定すると考えられてもよい。メモリセル105(3)および105(2)は、鏡面にわたって、メモリセル105(0)および105(1)の実質的に鏡像であると考えられてもよい。用語“実質的に鏡像”は、メモリセル105(3)および105(2)が作製および測定の合理的な許容誤差内でメモリセル105(0)および105(1)の鏡像であり得ることを示すために用いられる。

40

【0091】

図9Aは、本開示の一実施形態による、二つのメモリセル105(0)および105(1)の概略図である。破線は、メモリセル105の大体の境界を画定する。メモリセル105の各々は、三つの選択コンポーネントT1、T2およびT3と、二つのキャパシタC

50

1 および C 2 とを含む。キャパシタ C 1 および C 2 は強誘電体キャパシタであり得る。選択コンポーネント T 1、T 2 および T 3 は、トランジスタ、例えば、n 型電界効果トランジスタであり得る。このような一実施例においては、メモリセル 1 0 5 の各々は、三つのトランジスタと二つのキャパシタ（例えば、3 T 2 C）を含む。

【 0 0 9 2 】

選択コンポーネント T 1、T 2 および T 3 の動作は、トランジスタゲートに電圧を印加することによって制御される。其々のワード線 W L は、選択コンポーネントをアクティブ化し得る（例えば、W L 0 は、メモリセル 1 0 5 (0) の選択コンポーネント T 1、T 2 および T 3 をアクティブ化し得、W L 1 は、メモリセル 1 0 5 (1) の選択コンポーネント T 1、T 2 および T 3 をアクティブ化し得る）。キャパシタ C 1 は、選択コンポーネント T 3 に結合された第一のプレートと、第二のプレートを有する。キャパシタ C 2 は、選択コンポーネント T 3 に結合された第一のプレートと、第二のプレートを有する。選択コンポーネント T 3 は、プレート線 C P とさらに結合される。キャパシタ C 1 の第二のプレートは、選択コンポーネント T 1 に結合され、キャパシタ C 2 の第二のプレートは、選択コンポーネント T 2 に結合される。選択コンポーネント T 1 は、デジット線 B L - T にさらに結合され、選択コンポーネント T 2 は、デジット線 B L - C にさらに結合される。其々のワード線 W L などによって選択コンポーネント T 1、T 2 および T 3 がアクティブ化されると、キャパシタ C 1 の第二のプレートとキャパシタ C 2 の第二のプレートは、其々、デジット線 B L - T および B L - C と結合され、キャパシタ C 1 の第一のプレートとキャパシタ C 2 の第一のプレートは、プレート線 C P に結合される。前に論じられたように、デジット線 B L - T および B L - C に結合されると、メモリセル 1 0 5 がアクセスされ得る。例えば、メモリセル 1 0 5 の格納された状態は、読み出され得、および / または、メモリセル 1 0 5 は、新しい状態もしくは同一の状態を格納するために書き込まれ得る。幾つかの実施形態においては、メモリセル 1 0 5 にアクセスする（例えば、読み出すおよび / または書き込む）ために、様々な電圧、例えば、相補的電圧が、デジット線 B L - T および B L - C ならびにプレート線 C P を経由して、キャパシタ C 1 および C 2 のプレートに印加され得る。

【 0 0 9 3 】

図 9 B は、本開示の一実施形態による、図 9 A の例示的メモリセル 1 0 5 (0) および 1 0 5 (1) を含むメモリアレイ 1 0 の一部を図示する。図 9 B の実施形態においては、メモリセル 1 0 5 (0) は、メモリセル 1 0 5 (1) の上に垂直方向に積み重ねられる。破線は、メモリセル 1 0 5 (0) および 1 0 5 (1) の大体の境界を画定する。幾つかの実施形態においては、図 9 B のメモリセル 1 0 5 は、8 F 2 アーキテクチャ内のメモリセルを含むと考えられ得、ここで、F は、与えられた技術の最小のフィーチャ寸法を示す。

【 0 0 9 4 】

メモリアレイ 1 0 の図示された部分は、図 4 B のベースと類似のベース（図示せず）によって支持され得る。メモリセル 1 0 5 (0) および 1 0 5 (1) は、メモリアレイ内で相互に共通の列にある。デジット線 B L - T および B L - C は、メモリセル 1 0 5 (0) および 1 0 5 (1) の間にあり、図 9 B の断面について、ページの内外に伸びる。デジット線 B L - T および B L - C は、図 1 および図 2 を参照して前述されたタイプのセンスコンポーネント 2 5 と結合され得る。デジット線 B L - T および B L - C は、メモリセル 1 0 5 (0) および 1 0 5 (1) によって共有される。

【 0 0 9 5 】

メモリセル 1 0 5 (0) は、第一および第二のトランジスタ T 1 および T 2 を含み、これらは相互について横方向にずらされる。メモリセル 1 0 5 (0) は、第一のトランジスタ T 1 の上に第一のキャパシタ C 1 を含み、第二のトランジスタ T 2 の上に第二のキャパシタ C 2 を含む。第一のキャパシタ C 1 は、第一のプレート 1 1 4、第二のプレート 1 1 6、ならびに第一および第二のプレート 1 1 4 および 1 1 6 の間の強誘電体材料 1 1 8 を含む。第二のキャパシタ C 2 は、第一のプレート 1 2 0、第二のプレート 1 2 2、ならびに第一および第二のプレート 1 2 0 および 1 2 2 の間の強誘電体材料 1 2 4 を含む。

【 0 0 9 6 】

図示された実施形態においては、第二のプレート 1 1 6 および 1 2 2 は、容器形状の外部プレートであり、第一のプレート 1 1 4 および 1 2 0 は、容器形状の外部プレートに伸びる内部プレートである。他の実施形態においては、第二のプレート 1 1 6 および 1 2 2 は、他の構造を有してもよく、第一のプレート 1 1 4 および 1 2 0 も、他の構造を有してもよい。

【 0 0 9 7 】

第一のプレート 1 1 4 および 1 2 0 は、トランジスタ T 1 および T 2 について垂直方向にずらされた第三のトランジスタ T 3 と結合される。第三のトランジスタ T 3 は、キャパシタ C 1 および C 2 について垂直方向にずらされ得る。トランジスタ T 3 は、トランジスタ T 3 の上で、かつ、第一および第二のキャパシタ C 1 および C 2 の上に提供されたプレート線構造 C P と結合される。図示された実施形態においては、第一のプレート 1 1 4 および 1 2 0 は、共通の組成を共有する。

【 0 0 9 8 】

第一および第二のキャパシタ C 1 および C 2 は、相互に対して横方向にずらされ、図示された実施形態においては、相互に同一の水平平面内にある（すなわち、相互に水平方向に整列する）。第一のトランジスタ T 1 は、第一のキャパシタ C 1 とデジット線 B L - T との間にあり、第二のトランジスタ T 2 は、第二のキャパシタ C 2 とデジット線 B L - C との間にある。図示された実施形態においては、第一および第二のトランジスタ T 1 および T 2 は、相互に共通の水平平面内にあり、ワード線 W L 0 は、この水平平面に沿って伸び、第一および第二のトランジスタ T 1 および T 2 のゲート 1 3 0 および 1 4 2 を含む。第三のトランジスタ T 3 は、第一および第二のキャパシタ C 1 および C 2 と、プレート線構造 C P との間にある。ワード線 W L 0 は、水平平面に沿って伸び、第三のトランジスタ T 3 のゲート 1 6 0 を含む。第三のトランジスタ T 3 の W L 0 は、第一および第二のトランジスタ T 1 および T 2 ならびに第一および第二のトランジスタ T 1 および T 2 のワード線 W L 0 の共通の水平平面から垂直方向にずらされた水平平面に沿って伸びる。

【 0 0 9 9 】

第一の半導体ピラー 1 2 8 は、デジット線 B L - T から第一のキャパシタ C 1 の第二のプレート 1 1 6 へ上方に伸び、第一のトランジスタ T 1 は、その第一の半導体ピラーに沿っている。第二の半導体ピラー 1 4 0 は、デジット線 B L - C から第二のキャパシタ C 2 の第二のプレート 1 2 2 へ上方に伸び、第二のトランジスタ T 2 は、第二の半導体ピラー 1 4 0 に沿っている。

【 0 1 0 0 】

第一のトランジスタ T 1 は、ゲート誘電体材料 1 3 2 を含み、半導体ピラー 1 2 8 内で、ゲート誘電体材料 1 3 2 に沿って第一のチャネル領域をさらに含み、半導体ピラー内で、チャネル領域の反対側にソース/ドレイン領域 1 3 6 および 1 3 8 をさらに含む。ソース/ドレイン領域 1 3 6 は、第一のキャパシタ C 1 の第二のプレート 1 1 6 と結合され、ソース/ドレイン領域 1 3 8 は、デジット線 B L - T と結合される。第二のトランジスタ T 2 は、ゲート誘電体材料 1 4 4 を含み、第二のチャネル領域をさらに含み、半導体ピラー内で、チャネル領域の反対側にソース/ドレイン領域 1 4 8 および 1 5 0 をさらに含む。ソース/ドレイン領域 1 4 8 は、第二のキャパシタ C 2 の第二のプレート 1 2 2 と結合され、ソース/ドレイン領域 1 5 0 は、デジット線 B L - C と結合される。

【 0 1 0 1 】

第三の半導体ピラー 1 7 0 は、第一のプレート 1 1 4 および 1 2 0 からプレート線構造 C P へと上方に伸びる。第三のトランジスタ T 3 は、第三の半導体ピラー 1 7 0 に沿っている。第三のトランジスタ T 3 は、ゲート誘電体材料 1 7 2、第三のチャネル領域ならびにソース/ドレイン領域 1 7 4 および 1 7 6 を含む。ソース/ドレイン領域 1 7 4 は、第一および第二のキャパシタ C 1 および C 2 の第一のプレート 1 1 4 および 1 2 0 と結合され、ソース/ドレイン領域 1 7 6 は、プレート線構造 C P と結合される。幾つかの実施形態においては、第三の半導体ピラー 1 7 0 は、図 9 B に図示されるように、第一および第

10

20

30

40

50

二の半導体ピラー 128 および 140 とは異なる寸法（例えば、チャンネル長および/または幅）を有し得る。他の実施形態においては、第三の半導体ピラー 170 は、第一および第二の半導体ピラー 128 および 140 と類似の寸法（例えば、チャンネル長および/または幅）を有し得る。

【0102】

メモリセル 105 (1) は、メモリセル 105 (0) と類似し、トランジスタ T1、T2 および T3 とともに第一および第二のキャパシタ C1 および C2 を含む。トランジスタ T1 および T2 は、導電性ゲート 130 および 142 を含み、これらは、第二のワード線 WL1 と結合され、トランジスタ T3 は、導電性ゲート 160 を含み、これは第一および第二のトランジスタ T1 および T2 の共通の水平平面から垂直方向にずらされた水平平面に沿って伸びる第二のワード線 WL1 と結合される。

10

【0103】

メモリセル 105 (1) は、第一および第二のトランジスタ T1 および T2 を含み、これらは相互について横方向にずらされる。メモリセル 105 (1) は、第一のトランジスタ T1 の下に第一のキャパシタ C1 を含み、第二のトランジスタ T2 の下に第二のキャパシタ C2 を含む。第一のキャパシタ C1 は、第一のプレート 114、第二のプレート 116、ならびに第一および第二のプレート 114 および 116 の間の強誘電体材料 118 を含む。第二のキャパシタ C2 は、第一のプレート 120、第二のプレート 122、ならびに第一および第二のプレート 120 および 122 の間の強誘電体材料 124 を含む。第三のトランジスタ T3 は、第一および第二のトランジスタ T1 および T2 から垂直方向にずらされ、キャパシタ C1 および C2 とプレート線構造 CP との間にある。

20

【0104】

図示された実施形態においては、デジタル線 BL-T および BL-C は、相互に共通の水平平面内にある。デジタル線 BL-T および BL-C を通って伸びる軸 167 は、鏡面を画定すると考えられてもよい。メモリセル 105 (1) は、鏡面にわたって、メモリセル 105 (0) の実質的に鏡像であると考えられてもよい。用語“実質的に鏡像”は、メモリセル 105 (1) が作製および測定 of 合理的な許容誤差内でメモリセル 105 (0) の鏡像であり得ることを示すために用いられる。

【0105】

図 9 B の図示された実施形態においては、デジタル線 BL-T および BL-C は、メモリセル 105 (0) および 105 (1) によって共有される。他の実施形態においては、プレート線構造 CP は、メモリセル 105 (0) および 105 (1) によって共有され得、これらは、相互にプレート線構造 CP の反対側で垂直方向にずらされる。図 10 A および図 10 B は、このような他の実施形態の一実施例を図示する。

30

【0106】

図 10 A は、本開示の一実施形態による、二つのメモリセル 105 (0) および 105 (1) の概略図である。破線は、メモリセル 105 の大体の境界を画定する。メモリセル 105 の各々は、三つの選択コンポーネント T1、T2 および T3 と、二つのキャパシタ C1 および C2 とを含む。キャパシタ C1 および C2 は強誘電体キャパシタであり得る。選択コンポーネント T1、T2 および T3 は、トランジスタ、例えば、n 型電界効果トランジスタであり得る。このような一実施例においては、メモリセル 105 の各々は、三つのトランジスタと二つのキャパシタ（例えば、3T2C）を含む。

40

【0107】

図 10 A のメモリセル 105 (0) および 105 (1) は、プレート線構造 CP を共有し、異なるデジタル線 BL-T および異なるデジタル線 BL-C に結合される。対照的に、図 9 A のメモリセル 105 (0) および 105 (1) は、デジタル線 BL-T を共有し、デジタル線 BL-T を共有し、異なるプレート線 CP に結合される。

【0108】

図 10 A のメモリセル 105 (0) および 105 (1) の動作は、図 9 A のメモリセル 105 (0) および 105 (1) の動作と類似しており、簡潔性のために繰り返されない

50

【0109】

キャパシタC1は、選択コンポーネントT3に結合された第一のプレートを有し、第二のプレートを有する。キャパシタC2は、選択コンポーネントT3に結合された第一のプレートおよび第二のプレートを有する。選択コンポーネントT3は、プレート線CPにさらに結合される。キャパシタC1の第二のプレートは、選択コンポーネントT1に結合され、キャパシタC2の第二のプレートは、選択コンポーネントT2に結合される。選択コンポーネントT1は、デジット線BL-Tにさらに結合され、選択コンポーネントT2は、デジット線BL-Cにさらに結合される。其々のワード線WLなどによって、選択コンポーネントT1、T2およびT3がアクティブ化されると、キャパシタC1の第二のプレートおよびキャパシタC2の第二のプレートは、デジット線BL-TおよびBL-Cに其々結合され、キャパシタC1の第一のプレートおよびキャパシタC2の第一のプレートは、プレート線CPに結合される。

10

【0110】

図10Bは、本開示の一実施形態による、図10Aのメモリセル105(0)および105(1)の対を含むメモリアレイ10の一部を図示する。図10Bの実施形態においては、メモリセル105(0)は、メモリセル105(1)の上に垂直方向に積み重ねられる。破線は、メモリセル105(0)および105(1)の大体の境界を画定する。幾つかの実施形態においては、図10Bのメモリセル105は、8F2アーキテクチャ内のメモリセルを含むと考えられ得、ここで、Fは、与えられた技術の最小のフィーチャ寸法を示す。

20

【0111】

メモリアレイ10の図示された部分は、図4Bのベースと類似のベース(図示せず)によって支持され得る。メモリセル105(0)および105(1)は、メモリアレイ内で相互に共通の列にある。水平方向に伸びるレールは、メモリセル105(0)および105(1)の間にあり、図10Bの断面に沿って伸びる。レールは、メモリセル105(0)および105(1)によって共有されるプレート線構造CPである。メモリセル105(0)は、第一および第二のトランジスタT1およびT2を含み、これらは相互について横方向にずらされる。メモリセル105(0)は、第一のトランジスタT1の下に第一のキャパシタC1を含み、第二のトランジスタT2の下に第二のキャパシタC2を含む。図9Bのメモリセルとは対照的に、図10Bのメモリセル105(0)および105(1)は、プレート線構造CPを共有し、異なるデジット線BL-Tおよび異なるデジット線BL-Cに結合される。

30

【0112】

第一のキャパシタC1は、第一のプレート114、第二のプレート116、ならびに第一および第二のプレート114および116の間の強誘電体材料118を含む。第二のキャパシタC2は、第一のプレート120、第二のプレート122、ならびに第一および第二のプレート120および122の間の強誘電体材料124を含む。

【0113】

図示された実施形態においては、第二のプレート116および122は、容器形状の外部プレートであり、第一のプレート114および120は、容器形状の外部プレートに伸びる内部プレートである。他の実施形態においては、第二のプレート116および122は、他の構造を有してもよく、第一のプレート114および120は、また他の構造を有してもよい。

40

【0114】

第一のプレート114および120は、第三のトランジスタT3と結合され、これは、トランジスタT1およびT2とキャパシタC1およびC2について垂直方向にずらされる。第三のトランジスタT3は、プレート線構造CPに結合される。図示された実施形態においては、第一のプレート114および120は、共通の組成を共有する。

【0115】

50

第一および第二のキャパシタC1およびC2は、相互に対して横方向にずらされ、第二のキャパシタC2は、第一のキャパシタC1と同一の水平平面内にある。第一のトランジスタT1は、第一のキャパシタC1とデジット線BL-Tとの間にあり、第二のトランジスタT2は、第二のキャパシタC2とデジット線BL-Cとの間にあり、デジット線BL-TおよびBL-Cは、図10Bの断面についてページの内外に伸びる。図示された実施形態においては、第一および第二のトランジスタT1およびT2は、相互に共通の水平平面内にあり、ワード線WL0は、この水平平面に沿って伸び、第一および第二のトランジスタT1およびT2のゲート130および142を含む。第三のトランジスタT3は、第一および第二のキャパシタC1およびC2とプレート線構造CPとの間にあり、ワード線WL0は、水平平面に沿って伸び、第三のトランジスタT3のゲート160を含む。第三のトランジスタT3のWL0は、第一および第二のトランジスタT1およびT2ならびに第一および第二のトランジスタT1およびT2のワード線WL0の共通の水平平面から垂直方向にずらされた水平平面に沿って伸びる。

10

【0116】

第一の半導体ピラー128は、デジット線BL-Tから第一のキャパシタC1の第二のプレート116へ下方に伸び、第一のトランジスタT1は、その第一の半導体ピラーに沿っている。第二の半導体ピラー140は、デジット線BL-Cから第二のキャパシタC2の第二のプレート122へ下方に伸び、第二のトランジスタT2は、この第二の半導体ピラー140に沿っている。

【0117】

20

第一のトランジスタT1は、ゲート誘電体材料132を含み、半導体ピラー128内で、ゲート誘電体材料132に沿って第一のチャネル領域と、ソース/ドレイン領域136および138とをさらに含む。ソース/ドレイン領域136は、第一のキャパシタC1の第二のプレート116と結合され、ソース/ドレイン領域138は、デジット線BL-Tと結合される。第二のトランジスタT2は、ゲート誘電体材料144を含み、第二のチャネル領域と、半導体ピラー内でチャネル領域の反対側にあるソース/ドレイン領域148および150とをさらに含む。ソース/ドレイン領域148は、第二のキャパシタC2の第二のプレート122と結合され、ソース/ドレイン領域150は、デジット線BL-Cと結合される。

【0118】

30

第三の半導体ピラー170は、第一および第二のキャパシタC1およびC2の第一のプレート114および120から、プレート線構造CPへと下方に伸びる。第三のトランジスタT3は、第三の半導体ピラー170に沿っている。第三のトランジスタT3は、ゲート誘電体材料172、第三のチャネル領域ならびにソース/ドレイン領域174および176を含む。ソース/ドレイン領域174は、第一および第二のキャパシタC1およびC2の第一のプレート114および120と結合され、ソース/ドレイン領域176は、プレート線構造CPと結合される。幾つかの実施形態においては、第三の半導体ピラー170は、図10Bに図示されたような、第一および第二の半導体ピラー128および140とは異なる寸法（例えば、チャネル長および/または幅）を有し得る。他の実施形態においては、第三の半導体ピラー170は、第一および第二の半導体ピラー128および140と類似または同一の寸法（例えば、チャネル長および/または幅）を有し得る。

40

【0119】

メモリセル105(1)は、メモリセル105(0)と類似し、トランジスタT1、T2およびT3とともに第一および第二のキャパシタC1およびC2を含む。第一および第二のトランジスタT1およびT2は、導電性ゲート130および142を含み、これらは、第二のワード線WL1と結合され、トランジスタT3は、導電性ゲート160を含み、これは、第一および第二のトランジスタT1およびT2の共通の水平平面から垂直方向にずらされた水平平面に沿って伸びる第二のワード線WL1と結合される。

【0120】

メモリセル105(1)は、第一および第二のトランジスタT1およびT2を含み、こ

50

れらは相互について横方向にずらされる。メモリセル105(1)は、第一のトランジスタT1の上に第一のキャパシタC1を含み、第二のトランジスタT2の上に第二のキャパシタC2を含む。第一のキャパシタC1は、第一のプレート114、第二のプレート116、ならびに第一および第二のプレート114および116の間の強誘電体材料118を含む。第二のキャパシタC2は、第一のプレート120、第二のプレート122、ならびに第一および第二のプレート120および122の間の強誘電体材料124を含む。第三のトランジスタT3は、キャパシタC1およびC2とプレート線構造CPとの間で、第一および第二のトランジスタT1およびT2から垂直方向にずらされる。

【0121】

プレート線構造CPに沿って伸びる軸169は、鏡面を画定すると考えられてもよい。メモリセル105(1)は、鏡面にわたって、メモリセル105(0)の実質的に鏡像であると考慮されてもよい。用語“実質的に鏡像”は、メモリセル105(1)が作製および測定の合理的な許容誤差内でメモリセル105(0)の鏡像であり得ることを示すために用いられる。図9Bを参照して前に論じられたメモリセル105(0)および105(1)と比較すると、図10Bの図示された実施形態のメモリセル105(0)および105(1)は、プレート線構造CPについて鏡像とされるが、図9Bのメモリセル105(0)および105(1)は、デジット線BL-TおよびBL-Cについて鏡像とされる。

【0122】

図示された実施形態においては、メモリセル105(0)のデジット線BL-T(すなわち、ワード線WL0の上のデジット線BL-T)と、メモリセル105(1)のデジット線BL-T(すなわち、ワード線WL1の下のデジット線BL-T)とが相互に結合される。メモリセル105(0)のデジット線BL-C(すなわち、ワード線WL0の上のデジット線BL-C)と、メモリセル105(1)のデジット線BL-C(すなわち、ワード線WL1の下のデジット線BL-C)とが相互に結合される。結合されたデジット線BL-Tの電気的特性は、図1および図2を参照して上述されたタイプのセンスコンポーネント25で、結合されたデジット線BL-Cの電気的特性と比較される。

【0123】

図11Aは、本開示の一実施形態による、二つのメモリセル105(0)および105(1)の概略図である。破線は、メモリセル105の大体の境界を画定する。メモリセル105の各々は、四つの選択コンポーネントT1~T4と、二つのキャパシタC1およびC2とを含む。キャパシタC1およびC2は強誘電体キャパシタであり得る。選択コンポーネントT1~T4は、トランジスタ、例えば、n型電界効果トランジスタであり得る。このような一実施例においては、メモリセル105の各々は、四つのトランジスタと二つのキャパシタ(例えば、4T2C)を含む。

【0124】

選択コンポーネントT1~T4の動作は、トランジスタゲートに電圧を印加することによって制御される。其々のワード線WLは、選択コンポーネントをアクティブ化し得る(例えば、WL0は、メモリセル105(0)の選択コンポーネントT1~T4をアクティブ化し得、WL1は、メモリセル105(1)の選択コンポーネントT1~T4をアクティブ化し得る)。

【0125】

キャパシタC1およびC2は、其々の選択コンポーネントT2およびT3に結合された第一のプレートを各々有し、其々の選択コンポーネントT1およびT4に結合された第二のプレートを有する。キャパシタC1の第二のプレートは、選択コンポーネントT1に結合され、キャパシタC2の第二のプレートは、選択コンポーネントT4に結合される。選択コンポーネントT1は、デジット線BL-Tにさらに結合され、選択コンポーネントT4は、デジット線BL-Cにさらに結合される。其々のワード線WLなどによってアクティブ化されると、キャパシタC1およびC2の第二のプレートは、其々、デジット線BL-TおよびBL-Cと結合される。選択コンポーネントT2およびT3は、プレート線CPにさらに結合される。其々のワード線WLなどによってアクティブ化されると、キャパ

10

20

30

40

50

シタC1およびC2の第一のプレートは、プレート線CPに結合される。前に論じられたように、デジット線BL-TおよびBL-Cに結合されると、メモリセル105がアクセスされ得る。例えば、メモリセル105の格納された状態は、読み出され得、および/または、メモリセル105は、新しい状態もしくは同一の状態を格納するために書き込まれ得る。幾つかの実施形態においては、メモリセル105にアクセスする(例えば、読み出すおよび/または書き込む)ために、様々な電圧、例えば、相補的電圧が、デジット線BL-TおよびBL-Cならびにプレート線CPを經由して、キャパシタC1およびC2のプレートに印加され得る。

【0126】

図11Bは、本開示の一実施形態による、図11Aの例示的メモリセル105(0)および105(1)を含むメモリアレイ10の領域を図示する。図11Bの実施形態においては、メモリセル105(0)および105(1)は、相互について横方向にずらされる。破線は、メモリセル105の大体の境界を画定する。メモリセル105(0)および105(1)は、相互に実質的に同一であり、用語“実質的に同一”は、製造および測定の合理的な許容誤差内でメモリセルが同一であることを意味する。幾つかの実施形態においては、メモリセル105は、4F2アーキテクチャ内のメモリセルを含むと考えられ得、ここで、Fは、与えられた技術の最小のフィーチャ寸法を示す。

【0127】

メモリアレイ10の図示された部分は、図4Bのベースと類似のベース(図示せず)によって支持され得る。隣接するメモリセル105(0)および105(1)は、メモリアレイ内で相互に共通の列にある。メモリセル105(0)および105(1)は、デジット線BL-TおよびBL-Cに沿って図示される。デジット線BL-TおよびBL-Cは、図1および図2を参照して上述されたタイプのセンスコンポーネント25と結合される。

【0128】

メモリセル105は、第一、第二、第三および第四のトランジスタT1~T4と、第一および第二のキャパシタC1およびC2とを含む。図11Bの図示された実施形態においては、メモリセル105(0)の第一、第二、第三および第四のトランジスタT1~T4は、相互について垂直方向にずらされ、第一および第二のキャパシタC1およびC2も同様である。さらに、第一および第二のキャパシタC1およびC2ならびに第一、第二、第三および第四のトランジスタT1~T4は、相互に共通の垂直平面内にある(すなわち、相互に垂直に積み重ねられる)。第一のキャパシタC1は、第一のプレート114、第二のプレート116、ならびに第一および第二のプレート114および116の間の強誘電体材料118を含む。同様に、第二のキャパシタC2は、第一のプレート120、第二のプレート122、ならびに第一および第二のプレート120および122の間の強誘電体材料124を含む。

【0129】

第一のトランジスタT1は、第一のキャパシタC1とデジット線BL-Tとの間にあり、第四のトランジスタT4は、第二のキャパシタC2とデジット線BL-Cとの間にあり、第二のトランジスタT2は、第一のキャパシタC1とプレート線構造CPとの間にあり、第三のトランジスタT3は、第二のキャパシタC2とプレート線構造CPとの間にあり。

【0130】

図示された実施形態においては、第一の半導体ピラー128は、デジット線BL-Tから第一のキャパシタC1の第二のプレート116へと上方に伸び、第一のトランジスタT1は、その第一の半導体ピラーに沿っている。第一のトランジスタT1は、ゲート誘電体材料132によって半導体ピラー128から離隔された導電性トランジスタゲート130を有する。第一のトランジスタT1は、半導体ピラー128内で、ゲート誘電体材料132に沿ってチャンネル領域を有し、半導体ピラー内で、チャンネル領域の反対側にソース/ドレイン領域136および138を有する。ソース/ドレイン領域136は、第一のキャパ

10

20

30

40

50

シタC1の第二のプレート116と結合され、ソース/ドレイン領域138は、デジット線BL-Tと結合される。図示された実施形態においては、ソース/ドレイン領域136は、第一のキャパシタC1の第二のプレート116に伸びる。第二の半導体ピラー140は、プレート線構造CPから第一のキャパシタC1の第一のプレート114へと下方に伸び、第二のトランジスタT2は、この第二のピラーに沿っている。第三の半導体ピラー170は、プレート線構造CPから第二のキャパシタC2の第一のプレート120へと上方へ伸び、第三のトランジスタT3は、第三の半導体ピラー170に沿っている。第四の半導体ピラー190は、デジット線BL-Cから第二のキャパシタC2の第二のプレート122へと下方に伸び、第四のトランジスタT4は、第四の半導体ピラー190に沿っている。

10

【0131】

第一のトランジスタT1は、ゲート誘電体材料132、チャンネル領域ならびにソース/ドレイン領域136および138を含む。ソース/ドレイン領域136は、第一のキャパシタC1の第二のプレート116と結合され、ソース/ドレイン領域138は、デジット線BL-Tと結合される。第四のトランジスタT4は、ゲート誘電体材料182、チャンネル領域ならびにソース/ドレイン領域194および196を含む。ソース/ドレイン領域194は、第二のキャパシタC2の第二のプレート122と結合され、ソース/ドレイン領域196は、デジット線BL-Cと結合される。

【0132】

第二のトランジスタT2は、ゲート誘電体材料144、チャンネル領域、ならびにソース/ドレイン領域148および150を含む。ソース/ドレイン領域148は、第一のキャパシタC1の第一のプレート114と結合され、ソース/ドレイン領域150は、プレート線構造CPと結合される。第三のトランジスタT3は、ゲート誘電体材料172、チャンネル領域、ならびにソース/ドレイン領域174および176を含む。ソース/ドレイン領域174は、第二のキャパシタC2の第一のプレート120と結合され、ソース/ドレイン領域176は、プレート線構造CPと結合される。第一、第二、第三および第四のトランジスタT1~T4の導電性ゲートは、第一のワード線WL0と結合される。このような第一のワード線は、図11Bの断面について、ページの内外に伸び得る。

20

【0133】

メモリセル105(1)は、メモリセル105(0)と類似し、第一、第二、第三および第四のトランジスタT1、T2、T3およびT4とともに、第一および第二のキャパシタC1およびC2を含む。第一、第二、第三および第四のトランジスタT1~T4は、第二のワード線WL1と結合された導電性ゲートを含む。第一および第二のキャパシタC1およびC2の第一のプレート114および120は、第二および第三のトランジスタT2およびT3と結合され、第一および第二のキャパシタC1およびC2の第二のプレート116および122は、第一および第四のトランジスタT1およびT4と結合される。

30

【0134】

図11Bに図示される実施形態においては、プレート線構造CPは、デジット線BL-TおよびBL-Cによって画定される列に沿って水平方向に伸びるルールである。このようなプレート線構造CPは、この列に沿った他の全ての他のメモリセルと同様、メモリセル105(0)および105(1)によって共有される。

40

【0135】

図12Aは、本開示の一実施形態による、二つのメモリセル105(0)および105(1)の概略図である。破線は、メモリセル105の大体の境界を画定する。メモリセル105の各々は、四つの選択コンポーネントT1~T4と、二つのキャパシタC1およびC2とを含む。キャパシタC1およびC2は強誘電体キャパシタであり得る。選択コンポーネントT1~T4は、トランジスタ、例えば、n型電界効果トランジスタであり得る。このような一実施例においては、メモリセル105の各々は、四つのトランジスタと二つのキャパシタ(例えば、4T2C)を含む。

【0136】

50

選択コンポーネントT1～T4の動作は、トランジスタゲートに電圧を印加することによって制御される。其々のワード線WLは、選択コンポーネントをアクティブ化し得る（例えば、WL0は、メモリセル105(0)の選択コンポーネントT1～T4をアクティブ化し得、WL1は、メモリセル105(1)の選択コンポーネントT1～T4をアクティブ化し得る）。キャパシタC1およびC2は、トランジスタT2およびT4を通じてプレート線CPに結合された第一のプレートを各々有する。第一のキャパシタC1は、トランジスタT1を通じてデジット線BL-Tに結合された第二のプレートを有し、キャパシタC2は、トランジスタT3を通じてデジット線BL-Cに結合された第二のプレートを有する。其々のワード線WLなどによってトランジスタT1およびT3がアクティブ化されると、キャパシタC1およびC2の第二のプレートは、其々、デジット線BL-TおよびBL-Cと結合される。前に論じられたように、デジット線BL-TおよびBL-Cに結合されると、メモリセル105がアクセスされ得る。例えば、メモリセル105の格納された状態は、読み出され得、および/または、メモリセル105は、新しい状態もしくは同一の状態を格納するために書き込まれ得る。幾つかの実施形態においては、メモリセル105にアクセスする（例えば、読み出すおよび/または書き込む）ために、様々な電圧、例えば、相補的電圧が、デジット線BL-TおよびBL-Cならびにプレート線CPを経由して、キャパシタC1およびC2のプレートに印加され得る。

10

【0137】

図12Bは、本開示の一実施形態による、図12Aの例示的メモリセル105(0)および105(1)を含むメモリアレイ10の一部を図示する。図12Bの実施形態においては、メモリセル105(0)は、メモリセル105(1)の上に垂直方向に積み重ねられる。破線は、メモリセル105(0)および105(1)の大体の境界を画定する。幾つかの実施形態においては、図12Bのメモリセル105は、8F2アーキテクチャ内のメモリセルを含むと考えられ得、ここで、Fは、与えられた技術の最小のフィーチャ寸法を示す。

20

【0138】

メモリアレイ10の図示された部分は、図4Bのベースと類似のベース（図示せず）によって支持され得る。メモリセル105(0)および105(1)は、メモリアレイ内で相互に共通の列にある。デジット線BL-TおよびBL-Cは、メモリセル105(0)および105(1)の間にあり、図12Bの断面について、ページの内外に伸びる。デジット線BL-TおよびBL-Cは、図1および図2を参照して前述されたタイプのセンスコンポーネント25と結合され得る。デジット線BL-TおよびBL-Cは、メモリセル105(0)および105(1)によって共有される。

30

【0139】

メモリセル105(0)は、第一、第二、第三および第四のトランジスタT1～T4を含む。第一および第三のトランジスタT1およびT3は、相互について横方向にずらされ、第二および第四のトランジスタT2およびT4は、相互について横方向にずらされる。メモリセル105(0)は、第一および第二のトランジスタT1およびT2の間に第一のキャパシタC1を含み、第三および第四のトランジスタT3およびT4の間に第二のキャパシタC2を含む。第一のキャパシタC1は、第一のプレート114、第二のプレート116、ならびに第一および第二のプレート114および116の間の強誘電体材料118を含む。第二のキャパシタC2は、第一のプレート120、第二のプレート122、ならびに第一および第二のプレート120および122の間の強誘電体材料124を含む。第二のトランジスタT2は、第一のキャパシタC1の上であり、第四のトランジスタT4は、第二のキャパシタC2の上にある。

40

【0140】

図示された実施形態においては、第二のプレート116および122は、容器形状の外部プレートであり、第一のプレート114および120は、容器形状の外部プレートに伸びる内部プレートである。他の実施形態においては、第二のプレート116および122は、他の構造を有してもよく、第一のプレート114および120も、他の構造を有して

50

もよい。

【0141】

第一のプレート114および120は、第二のトランジスタT2および第四のトランジスタT4に其々結合される。第二および第四のトランジスタT2およびT4は、第二および第四のトランジスタT2およびT4の上に提供されたプレート線構造CPと結合される。

【0142】

第一および第二のキャパシタC1およびC2は、相互について横方向にずらされ、図示された実施形態においては、相互に同一の水平平面内にある（すなわち、相互に水平方向に整列する）。

10

【0143】

第一のトランジスタT1は、第一のキャパシタC1とデジット線BL-Tとの間にあり、第三のトランジスタT3は、第二のキャパシタC2とデジット線BL-Cとの間にあり。図示された実施形態においては、第一および第三のトランジスタT1およびT3は、相互に共通の水平平面内にあり、ワード線WL0は、この水平平面に沿って伸び、第一および第三のトランジスタT1およびT3のゲート130および160を含む。第二のトランジスタT2は、第一のキャパシタC1と、プレート線構造CPとの間にあり、第四のトランジスタT4は、第二のキャパシタC2とプレート線構造CPとの間にあり。図示された実施形態においては、第二および第四のトランジスタT2およびT4は、相互に共通の水平平面内にあり、ワード線WL0は、その水平平面に沿って伸び、第二および第四のトランジスタT2およびT4のゲート142および180を含む。第一および第三のトランジスタT1およびT3は、第二および第四のトランジスタT2およびT4の共通の水平平面から垂直方向にずらされた共通の水平平面内にある。

20

【0144】

第一の半導体ピラー128は、デジット線BL-Tから第一のキャパシタC1の第二のプレート116へと上方に伸び、第一のトランジスタT1は、その第一の半導体ピラー128に沿っている。第二の半導体ピラー140は、プレート線構造CPから第一のキャパシタC1の第一のプレート114へと下方に伸び、第二のトランジスタT2は、この第二のピラーに沿っている。第三の半導体ピラー170は、デジット線BL-Cから第二のキャパシタC2の第二のプレート122へと上方に伸び、第三のトランジスタT3は、第三の半導体ピラー170に沿っている。第四の半導体ピラー190は、プレート線構造CPから第二のキャパシタC2の第一のプレート120へと下方に伸び、第四のトランジスタT4は、第四の半導体ピラー190に沿っている。

30

【0145】

第一のトランジスタT1は、ゲート誘電体材料132、第一のチャネル領域、ならびにソース/ドレイン領域136および138を含む。ソース/ドレイン領域136は、第一のキャパシタC1の第二のプレート116と結合され、ソース/ドレイン領域138は、デジット線BL-Tと結合される。第三のトランジスタT3は、ゲート誘電体材料172、第三のチャネル領域ならびにソース/ドレイン領域174および176を含む。ソース/ドレイン領域174は、第二のキャパシタC2の第二のプレート122と結合され、ソース/ドレイン領域176は、デジット線BL-Cと結合される。第二のトランジスタT2は、ゲート誘電体材料144、第二のチャネル領域、ならびにソース/ドレイン領域148および150を含む。ソース/ドレイン領域148は、第一のキャパシタC1の第一のプレート114と結合され、ソース/ドレイン領域150は、プレート線構造CPと結合される。第四のトランジスタT4は、ゲート誘電体材料182、第四のチャネル領域ならびにソース/ドレイン領域194および196を含む。ソース/ドレイン領域194は、第二のキャパシタC2の第一のプレート120と結合され、ソース/ドレイン領域196は、プレート線構造CPと結合される。

40

【0146】

メモリセル105(1)は、メモリセル105(0)と類似し、第一、第二、第三およ

50

び第四のトランジスタT 1、T 2、T 3およびT 4とともに、第一および第二のキャパシタC 1およびC 2を含む。第一および第三のトランジスタT 1およびT 3は、導電性ゲート1 3 0および1 6 0を含み、これらは、第二のワード線W L 1と結合される。第二および第四のトランジスタT 2およびT 4は、導電性ゲート1 4 2および1 8 0を含み、これらは第二のワード線W L 1と結合される。第一および第二のキャパシタC 1およびC 2の第一のプレート1 1 4および1 2 0は、第二および第四のトランジスタT 2およびT 4と結合され、第一および第二のキャパシタC 1およびC 2の第二のプレート1 1 6および1 2 2は、第一および第三のトランジスタT 1およびT 3と結合される。

【0 1 4 7】

メモリセル1 0 5 (1) は、第一および第二のトランジスタT 1およびT 2を含み、これらは相互について横方向にずらされる。メモリセル1 0 5 (1) は、第一のトランジスタT 1の下に第一のキャパシタC 1を含み、第三のトランジスタT 3の下に第二のキャパシタC 2を含む。第一のキャパシタC 1は、第一のプレート1 1 4、第二のプレート1 1 6、ならびに第一および第二のプレート1 1 4および1 1 6の間の強誘電体材料1 1 8を含む。第二のキャパシタC 2は、第一のプレート1 2 0、第二のプレート1 2 2、ならびに第一および第二のプレート1 2 0および1 2 2の間の強誘電体材料1 2 4を含む。第二および第四のトランジスタT 2およびT 4は、第一および第三のトランジスタT 1およびT 3から垂直方向に其々ずらされ、第二および第四のトランジスタT 2およびT 4は、キャパシタC 1およびC 2とプレート線構造C Pとの間にある。

【0 1 4 8】

図示された実施形態においては、デジット線B L - TおよびB L - Cは、相互に共通の水平平面内にある。デジット線B L - TおよびB L - Cを通して伸びる軸1 7 1は、鏡面を画定すると考えられてもよい。メモリセル1 0 5 (1) は、鏡面にわたって、メモリセル1 0 5 (0) の実質的に鏡像であると考えられてもよい。用語“実質的に鏡像”は、メモリセル1 0 5 (1) が作製および測定の合理的な許容誤差内でメモリセル1 0 5 (0) の鏡像であり得ることを示すために用いられる。

【0 1 4 9】

図1 2 Bの図示された実施形態においては、デジット線B L - TおよびB L - Cは、メモリセル1 0 5 (0) および1 0 5 (1) によって共有される。他の実施形態においては、プレート線構造C Pは、メモリセル1 0 5 (0) および1 0 5 (1) によって共有され得、これらは、相互にプレート線構造C Pの反対側で垂直方向にずらされる。図1 3 Aおよび図1 3 Bは、このような他の実施形態の一実施例を図示する。

【0 1 5 0】

図1 3 Aは、本開示の一実施形態による、二つのメモリセル1 0 5 (0) および1 0 5 (1) の概略図である。破線は、メモリセル1 0 5 の大体の境界を画定する。メモリセル1 0 5 の各々は、四つの選択コンポーネントT 1 ~ T 4と、二つのキャパシタC 1およびC 2とを含む。キャパシタC 1およびC 2は強誘電体キャパシタであり得る。選択コンポーネントT 1 ~ T 4は、トランジスタ、例えば、n型電界効果トランジスタであり得る。このような一実施例においては、メモリセル1 0 5 の各々は、四つのトランジスタと二つのキャパシタ(例えば、4 T 2 C)を含む。

【0 1 5 1】

図1 3 Aのメモリセル1 0 5 (0) および1 0 5 (1) は、プレート線構造C Pを共有し、異なるデジット線B L - Tおよび異なるデジット線B L - Cに結合される。対照的に、図1 2 Aのメモリセル1 0 5 (0) および1 0 5 (1) は、デジット線B L - Tを共有し、デジット線B L - Cを共有し、異なるプレート線C Pに結合される。

【0 1 5 2】

図1 3 Aのメモリセル1 0 5 (0) および1 0 5 (1) の動作は、図1 2 Aのメモリセル1 0 5 (0) および1 0 5 (1) の動作と類似しており、簡潔性のために繰り返されない。

【0 1 5 3】

10

20

30

40

50

図13Bは、本開示の一実施形態による、図13Aのメモリセル105(0)および105(1)の対を含むメモリアレイ10の一部を図示する。図13Bの実施形態においては、メモリセル105(0)は、メモリセル105(1)の上に、垂直方向に積み重ねられる。破線は、メモリセル105(0)および105(1)の大体の境界を画定する。幾つかの実施形態においては、図13Bのメモリセル105は、8F2アーキテクチャ内のメモリセルを含むと考えられ得、ここで、Fは、与えられた技術の最小のフィーチャ寸法を示す。

【0154】

メモリアレイ10の図示された部分は、図4Bのベースと類似のベース(図示せず)によって支持され得る。水平方向に伸びるプレート線構造CPは、メモリセル105(0)および105(1)の間にあり、図13Bの断面に沿って伸びる。60は、メモリセル105(0)および105(1)によって共有されるプレート線構造CPである。メモリセル105(0)は、第一、第二、第三および第四のトランジスタT1~T4を含む。第一および第三のトランジスタT1およびT3は、相互について横方向にずらされ、第二および第四のトランジスタT2およびT4は、相互について横方向にずらされる。メモリセル105(0)は、第一および第二のトランジスタT1およびT2の間に第一のキャパシタC1を含み、第三および第四のトランジスタT3およびT4の間に第二のキャパシタC2を含む。図12Bのメモリセルとは対照的に、図13Bのメモリセル105(0)および105(1)は、プレート線構造CPを共有し、異なるデジット線BL-Tおよび異なるデジット線BL-Cに結合される。

【0155】

第一のキャパシタC1は、第一のプレート114、第二のプレート116、および第一の強誘電体材料118を含む。第二のキャパシタC2は、第一のプレート120、第二のプレート122、ならびに第一および第二のプレート120および122の間の強誘電体材料124を含む。第二のトランジスタT2は、第一のキャパシタC1の上であり、第四のトランジスタT4は、第二のキャパシタC2の上にある。

【0156】

図示された実施形態においては、第二のプレート116および122は、容器形状の外部プレートであり、第一のプレート114および120は、容器形状の外部プレートに伸びる内部プレートである。他の実施形態においては、第二のプレート116および122は、他の構造を有してもよく、第一のプレート114および120は、また他の構造を有してもよい。

【0157】

第一のプレート114および120は、第二のトランジスタT2および第四のトランジスタT4と其々結合される。第二および第四のトランジスタT2およびT4は、第二および第四のトランジスタT2およびT4の下に提供されるプレート線構造CPに結合される。

【0158】

第一および第二のキャパシタC1およびC2は、相互について横方向にずらされ、第二のキャパシタC2は、第一のキャパシタC1と同一の水平平面内にある。

【0159】

第一のトランジスタT1は、第一のキャパシタC1とデジット線BL-Tとの間にあり、第三のトランジスタT3は、第二のキャパシタC2とデジット線BL-Cとの間にあり。図示された実施形態においては、第一および第三のトランジスタT1およびT3は、相互に共通の水平平面内にあり、ワード線WL0は、この水平平面に沿って伸び、第一および第三のトランジスタT1およびT3のゲート130および160を含む。第二のトランジスタT2は、第一のキャパシタC1とプレート線構造CPとの間にあり、第四のトランジスタT4は、第二のキャパシタC2とプレート線構造CPとの間にあり。図示された実施形態においては、第二および第四のトランジスタT2およびT4は、相互に共通の水平平面内にあり、ワード線WL0は、この水平平面に沿って伸び、第二および第四のトラン

10

20

30

40

50

ジスタT2およびT4のゲート142および180を含む。第一および第三のトランジスタT1およびT3は、第二および第四のトランジスタT2およびT4の共通の水平平面から垂直方向にずらされた共通の水平平面内にある。

【0160】

第一の半導体ピラー128は、デジット線BL-Tから第一のキャパシタC1の第二のプレート116へと下方に伸び、第一のトランジスタT1は、その第一の半導体ピラー128に沿っている。第二の半導体ピラー140は、プレート線構造CPから第一のキャパシタC1の第一のプレート114へと上方に伸び、第二のトランジスタT2は、この第二のピラーに沿っている。第三の半導体ピラー170は、デジット線BL-Cから第二のキャパシタC2の第二のプレート122へと下方に伸び、第三のトランジスタT3は、第三の半導体ピラー170に沿っている。第四の半導体ピラー190は、プレート線構造CPから第二のキャパシタC2の第一のプレート120へと上方に伸び、第四のトランジスタT4は、第四の半導体ピラー190に沿っている。

10

【0161】

第一のトランジスタT1は、ゲート誘電体材料132、第一のチャンネル領域、ならびにソース/ドレイン領域136および138を含む。ソース/ドレイン領域136は、第一のキャパシタC1の第二のプレート116と結合され、ソース/ドレイン領域138は、デジット線BL-Tと結合される。第三のトランジスタT3は、ゲート誘電体材料172、第三のチャンネル領域、ならびにソース/ドレイン領域174および176を含む。ソース/ドレイン領域174は、第二のキャパシタC2の第二のプレート122と結合され、ソース/ドレイン領域176は、デジット線BL-Cと結合される。

20

【0162】

第二のトランジスタT2は、ゲート誘電体材料144、第二のチャンネル領域、ならびにソース/ドレイン領域148および150を含む。ソース/ドレイン領域148は、第一のキャパシタC1の第一のプレート114と結合され、ソース/ドレイン領域150は、プレート線構造CPと結合される。第四のトランジスタT4は、ゲート誘電体材料182、第四のチャンネル領域、ならびにソース/ドレイン領域194および196を含む。ソース/ドレイン領域194は、第二のキャパシタC2の第一のプレート120に結合され、ソース/ドレイン領域196は、デジット線BL-Cと結合される。

30

【0163】

メモリセル105(1)は、メモリセル105(0)と類似し、第一、第二、第三および第四のトランジスタT1、T2、T3およびT4とともに、第一および第二のキャパシタC1およびC2を含む。第一および第三のトランジスタT1およびT3は、導電性ゲート130および160を含み、これらは、第二のワード線WL1と結合される。第二および第四のトランジスタT2およびT4は、導電性ゲート142および180を含み、これらは、第二のワード線WL1と結合される。第一および第二のキャパシタC1およびC2の第一のプレート114および120は、第二および第四のトランジスタT2およびT4と結合され、第一および第二のキャパシタC1およびC2の第二のプレート116および122は、第一および第三のトランジスタT1およびT3と結合される。

40

【0164】

メモリセル105(1)は、第一および第二のトランジスタT1およびT2を含み、これらは相互について横方向にずらされる。メモリセル105(1)は、第一のトランジスタT1の上に第一のキャパシタC1を含み、第三のトランジスタT3の上に第二のキャパシタC2を含む。第一のキャパシタC1は、第一のプレート114、第二のプレート116、ならびに第一および第二のプレート114および116の間の強誘電体材料118を含む。第二のキャパシタC2は、第一のプレート120、第二のプレート122、ならびに第一および第二のプレート120および122の間の強誘電体材料124を含む。第二および第四のトランジスタT2およびT4は、第一および第三のトランジスタT1およびT3から垂直方向にずらされ、第二および第四のトランジスタT2およびT4は、キャパシタC1およびC2とプレート線構造CPとの間にある。図示された実施形態においては

50

、デジタル線 B L - T および B L - C は、相互に共通の水平平面内にある。プレート線構造 C P に沿って伸びる軸 1 7 3 は、鏡面を画定すると考えられてもよい。メモリセル 1 0 5 (1) は、鏡面にわたって、メモリセル 1 0 5 (0) の実質的に鏡像であると考えられてもよい。用語 “実質的に鏡像” は、メモリセル 1 0 5 (1) が作製および測定の合理的な許容誤差内でメモリセル 1 0 5 (0) の鏡像であり得ることを示すために用いられる。

【 0 1 6 5 】

図 1 3 B の図示された実施形態においては、メモリセル 1 0 5 (0) のデジタル線 B L - T (すなわち、ワード線 W L 0 の上のデジタル線 B L - T) と、メモリセル 1 0 5 (1) のデジタル線 B L - T (すなわち、ワード線 W L 1 の下のデジタル線 B L - T) とが相互に結合される。メモリセル 1 0 5 (0) のデジタル線 B L - C (すなわち、ワード線 W L 0 の上のデジタル線 B L - C) と、メモリセル 1 0 5 (1) のデジタル線 B L - C (すなわち、ワード線 W L 1 の下のデジタル線 B L - C) とが相互に結合される。結合されたデジタル線 B L - T の電気的特性は、図 1 および図 2 を参照して上述されたタイプのセン

10

スコンポーネント 2 5 で、結合されたデジタル線 B L - C の電気的特性と比較される。

【 0 1 6 6 】

二つ、三つ、または四つのトランジスタと、二つのキャパシタとを有するメモリセルの様々な実施形態が図 1 ~ 図 1 3 を参照して開示されてきた。メモリセルの幾つかの実施形態におけるトランジスタは、其々の半導体ピラーから各々形成された垂直トランジスタであってもよい。キャパシタ C 1 および C 2 の第一および第二のプレートの導電性材料は、例えば、様々な金属 (例えば、タングステン、チタンなど)、金属含有化合物 (例えば、金属窒化物、金属炭化物、金属ケイ化物など)、導電性を有するようにドーブされた半導体材料 (例えば、導電性を有するようにドーブされたシリコン、導電性を有するようにドーブされたゲルマニウムなど) 等のうちの一つ以上を含む、任意の適切な導電性材料であってもよい。キャパシタ C 1 および C 2 の幾つかまたは全てのプレートは、相互に同一の組成を含んでもよく、または、相互に異なる組成を含んでもよい。

20

【 0 1 6 7 】

キャパシタ C 1 および C 2 は、強誘電体キャパシタである。キャパシタ C 1 および C 2 の強誘電体材料は、任意の適切な組成、または (複数の) 組成の組み合わせを含んでもよい。幾つかの実施形態においては、キャパシタの誘電体材料は、強誘電体材料を含んでもよい。例えば、キャパシタの誘電体材料は、遷移金属酸化物、ジルコニウム、酸化ジルコニウム、ハフニウム、酸化ハフニウム、チタン酸ジルコニウム鉛、酸化タンタル、およびチタン酸バリウムストロンチウムで構成される群から選択された一つ以上の材料、シリコン、アルミニウム、ランタン、イットリウム、エルビウム、カルシウム、マグネシウム、ニオブウム、ストロンチウムおよび希土類元素のうちの一つ以上を含むドーパントをその中に有する材料を含むか、それらで実質的に構成されるか、それらで構成されてもよい。幾つかの実施形態においては、強誘電体材料は、相互に同一の組成を含んでもよく、他の実施形態においては、相互に異なる組成を含んでもよい。

30

【 0 1 6 8 】

プレート線構造 C P は、例えば、様々な金属 (例えば、タングステン、チタンなど)、金属含有化合物 (例えば、金属窒化物、金属炭化物、金属ケイ化物など)、導電性を有するようにドーブされた半導体材料 (例えば、導電性を有するようにドーブされたシリコン、導電性を有するようにドーブされたゲルマニウムなど) 等のうちの一つ以上を含む、任意の適切な導電性材料を含んでもよい。

40

【 0 1 6 9 】

半導体ピラーは、例えば、シリコンおよびゲルマニウムのうちの一方またはその双方を含む任意の適切な半導体材料を含んでもよい。ソース/ドレイン領域およびチャネル領域は、任意の適切なドーパントでドーブされてもよい。幾つかの実施形態においては、ソース/ドレイン領域は、n型で高濃度にドーブされてもよく、他の実施形態においては、p型で高濃度にドーブされてもよい。

【 0 1 7 0 】

50

ワード線（WL0およびWL1）とデジット線（BL-TおよびBL-C）は、例えば、様々な金属（例えば、タンゲステン、チタンなど）、金属含有化合物（例えば、金属窒化物、金属炭化物、金属ケイ化物など）、導電性を有するようにドーピングされた半導体材料（例えば、導電性を有するようにドーピングされたシリコン、導電性を有するようにドーピングされたゲルマニウムなど）等のうちの一つ以上を含む、任意の適切な導電性材料を含んでもよい。ワード線およびデジット線は、相互に同一の組成を含んでもよく、または、相互に異なる組成を含んでもよい。

【0171】

絶縁体材料は、本明細書に開示されたメモリセルの様々なコンポーネントを包囲し得る。このような絶縁体材料は、任意の適切な組成または（複数の）組成の組み合わせを含んでもよく、例えば、二酸化シリコン、窒化シリコン、ホウリンケイ酸ガラス、スピノン誘電体などのうちの一つ以上を含む。絶縁体材料は幾つかの実施形態においては、単一の均質な材料であってもよいが、他の実施形態においては、絶縁体材料は、二つ以上の個別の絶縁性組成を含んでもよい。

10

【0172】

メモリセル105（0）および105（1）は、図5B、図6B、図9B、図10B、図12Bおよび図13Bにおいては、垂直方向に積み重ねられて図示されているが、本発明の幾つかの実施形態においては、メモリセルの単一の層がメモリアレイ内に含まれる。例えば、幾つかの実施形態においては、メモリアレイは、その上に積み重ねられたメモリセル105（0）なしで、メモリセル105（1）の単一の層を含む。

20

【0173】

図14は、本開示の様々な実施形態による、強誘電体メモリをサポートするメモリアレイ10を含むメモリ1400の一部のブロック図を図示する。メモリアレイ10は、電子メモリ装置と呼ばれてもよく、メモリコントローラ40およびメモリセル105を含み、これらは、図1、図2または図4～図13を参照して記述されたメモリコントローラ40およびメモリセル105の実施例であってもよい。

【0174】

メモリコントローラ40は、バイアシングコンポーネント1405およびタイミングコンポーネント1410を含み得、図1に記述されるようにメモリアレイ10を動作させ得る。メモリコントローラ40は、ワード線12、デジット線15およびセンスコンポーネント25と電子通信し得、これらは、図1、図2または図4～図13を参照して記述されたワード線12、デジット線15およびセンスコンポーネント25の実施例であってもよい。メモリアレイ10のコンポーネントは、相互に電子通信し得、図1～図13を参照して記述された機能を実施し得る。

30

【0175】

メモリコントローラ40は、ワード線およびデジット線に電圧を印加することによって、ワード線12またはデジット線15をアクティブ化するように構成され得る。例えば、バイアシングコンポーネント1405は、上述されたように、メモリセル105を読み出すか、または書き込むために、メモリセル105を動作させるための電圧を印加するように構成され得る。幾つかの場合には、メモリコントローラ40は、図1を参照して記述されたように、行デコーダ、列デコーダまたはその双方を含み得る。これは、メモリコントローラ40が一つ以上のメモリセル105にアクセスすることを可能にし得る。バイアシングコンポーネント1405は、また、センスコンポーネント25の動作のために電位を提供し得る。

40

【0176】

メモリコントローラ40は、センスコンポーネント25をアクティブ化するのに基づいて、強誘電体メモリセル105の論理状態をさらに判定し得、強誘電体メモリセル105に強誘電体メモリセル105の論理状態をライトバックし得る。

【0177】

幾つかの場合には、メモリコントローラ40は、タイミングコンポーネント1410を

50

用いて、その動作を実施し得る。例えば、タイミングコンポーネント1410は、本明細書に論じられるように、読み出しおよび書き込みなどのメモリ機能を実施するためのスイッチングおよび電圧印加のためのタイミングを含む、様々なワード線選択またはプレート線バイアスのタイミングを制御し得る。幾つかの場合には、タイミングコンポーネント1410は、バイアシングコンポーネント1405の動作を制御し得る。例えば、メモリコントローラ40は、メモリセル、デジタル線BL-TおよびBL-C、ならびにセンスコンポーネント25のセンスノードAおよびセンスノードBの電圧を変化させるために、プレート線CPに読み出し電圧VREADを提供するために、バイアシングコンポーネント1405を制御し得る。プレート線CPをバイアスするのに続いて、メモリコントローラ40は、センスノードAの電圧を、センスノードBの電圧と比較するために、センスコンポーネント25を制御し得る。

10

【0178】

電圧差を判定して増幅すると、センスコンポーネント25は、その状態をラッチし得、その状態は、メモリアレイ10が一部である電子デバイスの動作に従って用いられ得る。

【0179】

図15は、本開示の様々な実施形態による、強誘電体メモリをサポートするシステム1500を図示する。システム1500は、デバイス1505を含み、これは、様々なコンポーネントを接続、または物理的に支持するためのプリント回路基板であってもよいし、このプリント回路基板を含んでもよい。デバイス1505は、コンピュータ、ノートブックコンピュータ、ラップトップ、タブレットコンピュータ、携帯電話などであってもよい。デバイス1505は、メモリアレイ10を含み、これは、図1および図4~図13を参照して記述されたメモリアレイ10の一実施例であってもよい。メモリアレイ10は、メモリコントローラ40とメモリセル105を含み得、これらは、図1および図14を参照して記述されたメモリコントローラ40と、図1、図2および図4~図13を参照して記述されたメモリセル105の実施例であってもよい。デバイス1505は、また、プロセッサ1510、BIOSコンポーネント1515、周辺コンポーネント1520および入力/出力制御コンポーネント1525を含み得る。デバイス1505のコンポーネントは、バス1530を通じて相互に電子通信し得る。

20

【0180】

プロセッサ1510は、メモリコントローラ40を通じて、メモリアレイ10を動作させるように構成され得る。幾つかの場合には、プロセッサ1510は、図1および図14を参照して記述されたメモリコントローラ40の機能を実施し得る。他の場合には、メモリコントローラ40は、プロセッサ1510に一体化され得る。プロセッサ1510は、汎用プロセッサ、デジタル信号プロセッサ(DSP)、特定用途向け集積回路(ASIC)、フィールドプログラマブルゲートアレイ(FPGA)または他のプログラマブル論理デバイス、ディスクリートゲートもしくはトランジスタ論理回路、ディスクリートハードウェアコンポーネントであってもよく、これらの種類のコンポーネントの組み合わせであってもよい。プロセッサ1510は、本明細書に記述されたように、様々な機能を実施し、メモリアレイ10を動作させ得る。プロセッサ1510は、例えば、様々な機能またはタスクをデバイス1505に実施させるために、メモリアレイ10に格納されたコンピュータ可読命令を実行するように構成され得る。

30

40

【0181】

BIOSコンポーネント1515は、ファームウェアとして動作するベーシック入力/出力システム(BIOS)を含むソフトウェアコンポーネントであってもよく、これは、システム1500の様々なハードウェアコンポーネントを初期化し、実行し得る。BIOSコンポーネント1515は、また、プロセッサ1510と、様々なコンポーネント、例えば、周辺コンポーネント1520、入力/出力制御コンポーネント1525などとの間でのデータの流れを管理してもよい。BIOSコンポーネント1515は、リードオンリーメモリ(ROM)、フラッシュメモリ、または任意の他の不揮発性メモリに格納されたプログラムまたはソフトウェアを含み得る。

50

【 0 1 8 2 】

周辺コンポーネント 1 5 2 0 は、入力もしくは出力デバイス、または、このようなデバイスに対するインタフェースの如何なるものであってもよく、これはデバイス 1 5 0 5 に統合される。実施例は、ディスクコントローラ、サウンドコントローラ、グラフィクスコントローラ、イーサネットコントローラ、モデム、ユニバーサルシリアルバス (U S B) コントローラ、シリアルもしくはパラレルポート、または、周辺コンポーネント相互接続 (P C I) スロットやアクセラレーテッドグラフィクスポート (A G P) スロットなどの周辺カードスロットを含み得る。

【 0 1 8 3 】

入力/出力制御コンポーネント 1 5 2 5 は、プロセッサ 1 5 1 0 と、周辺コンポーネント 1 5 2 0、入力デバイス 1 5 3 5、または出力デバイス 1 5 4 0 との間のデータ通信を管理し得る。入力/出力制御コンポーネント 1 5 2 5 は、また、デバイス 1 5 0 5 に統合されていない周辺機器を管理し得る。幾つかの場合には、入力/出力制御コンポーネント 1 5 2 5 は、外部周辺機器に対する物理的接続またはポートを表し得る。

10

【 0 1 8 4 】

入力 1 5 3 5 は、デバイス 1 5 0 5 に対して外部のデバイスまたは信号であって、デバイス 1 5 0 5 またはそのコンポーネントに対する入力を提供するものを表し得る。これは、ユーザインタフェースまたは他のデバイスとのインタフェース、もしくは他のデバイス間のインタフェースを含み得る。幾つかの場合には、入力 1 5 3 5 は、周辺コンポーネント 1 5 2 0 を介してデバイス 1 5 0 5 とインタフェース接続する周辺機器であっててもよく、または入力/出力制御コンポーネント 1 5 2 5 によって管理されてもよい。

20

【 0 1 8 5 】

出力 1 5 4 0 は、デバイス 1 5 0 5 に対して外部のデバイスまたは信号であって、デバイス 1 5 0 5 またはそのコンポーネントのうちの任意のものから出力を受信するように構成されたものを表し得る。出力 1 5 4 0 の実施例は、ディスプレイ、オーディオスピーカー、プリンティングデバイス、別のプロセッサまたはプリント回路基板などを含み得る。幾つかの場合には、出力 1 5 4 0 は、周辺コンポーネント 1 5 2 0 を介してデバイス 1 5 0 5 とインタフェース接続する周辺機器であっててもよく、または入力/出力制御コンポーネント 1 5 2 5 によって管理されてもよい。

30

【 0 1 8 6 】

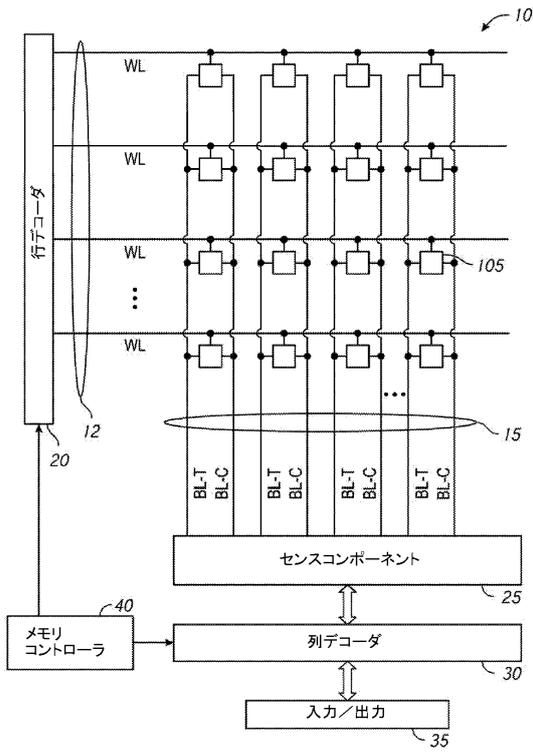
メモリコントローラ 4 0、デバイス 1 5 0 5 およびメモリアレイ 1 0 のコンポーネントは、その機能を実行するように設計された回路で構成され得る。これは、本明細書に記述された機能を実行するように構成された様々な回路素子、例えば、導線、トランジスタ、キャパシタ、インダクタ、抵抗器、増幅器、または他のアクティブもしくは非アクティブな素子、を含み得る。

【 0 1 8 7 】

本開示の具体的実施形態が例示の目的で本明細書に記述されてきたが、本開示の趣旨および範囲から逸脱することなく、様々な改変が行われてもよいことは、前述から理解されるであろう。したがって、本開示は、添付された特許請求の範囲によって以外には限定されることはない。

40

【図1】



【図2A】

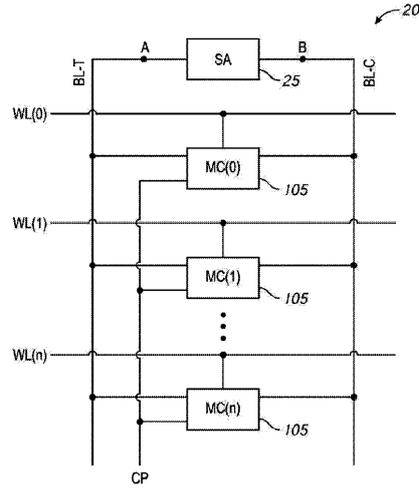


FIG. 2A

【図2B】

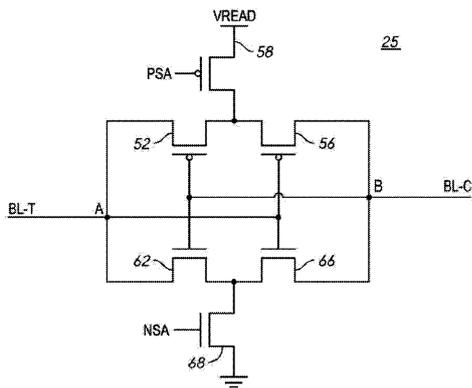
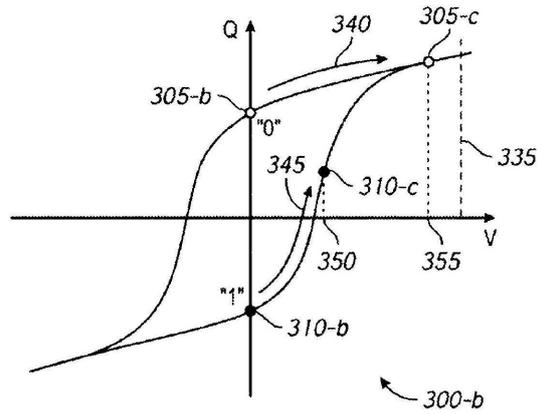


FIG. 2B

【図3B】



【図3A】

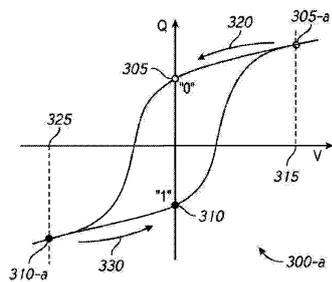


FIG. 3A

【図4A】

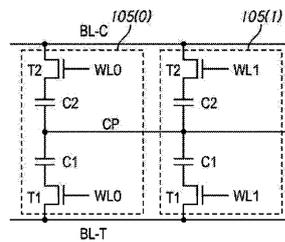


FIG. 4A

【 図 4 B 】

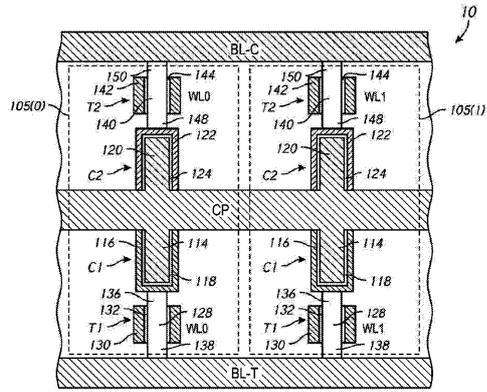


FIG. 4B

【 図 5 A 】

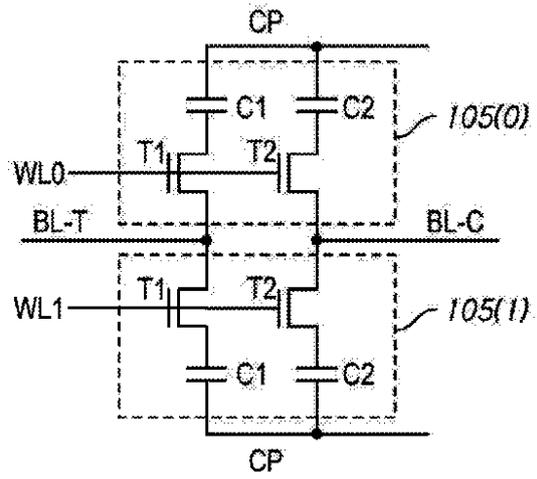


FIG. 5A

【 図 5 B 】

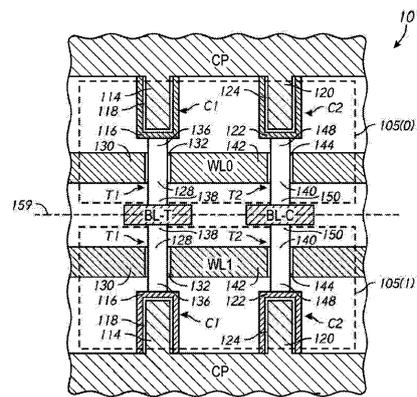


FIG. 5B

【 図 6 A 】

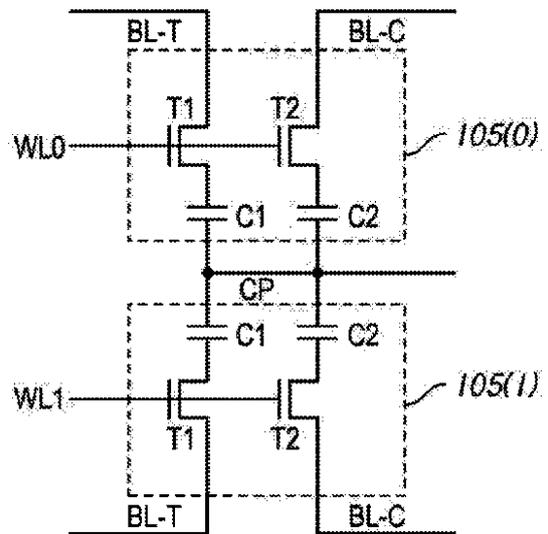


FIG. 6A

【 図 6 B 】

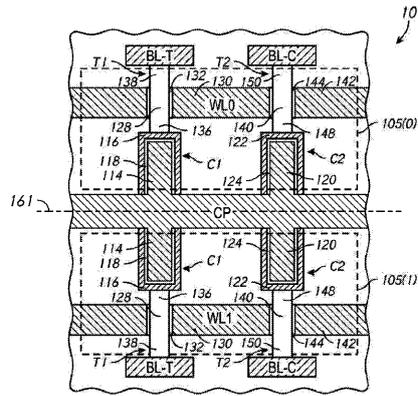


FIG. 6B

【 図 7 A 】

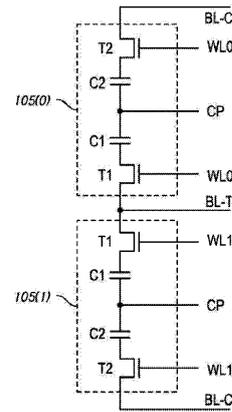
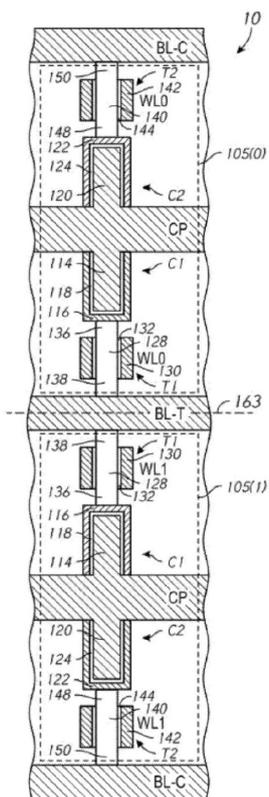


FIG. 7A

【 図 7 B 】



【 図 8 A 】

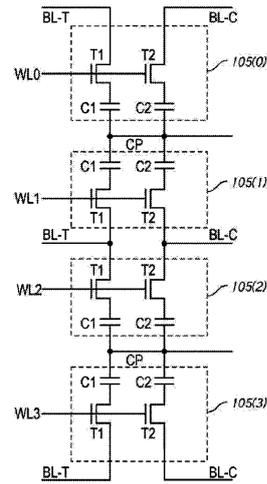
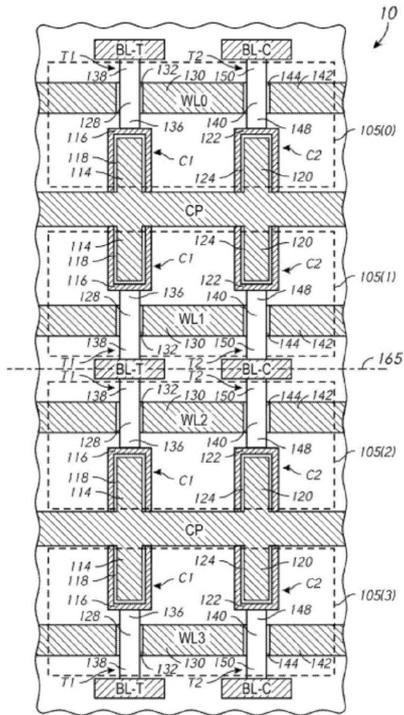


FIG. 8A

【 8 B 】



【 9 A 】

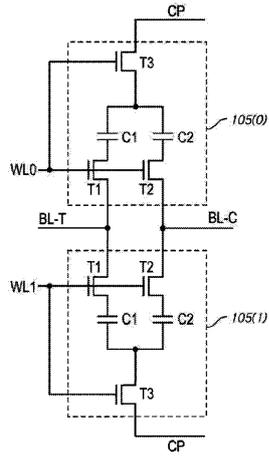
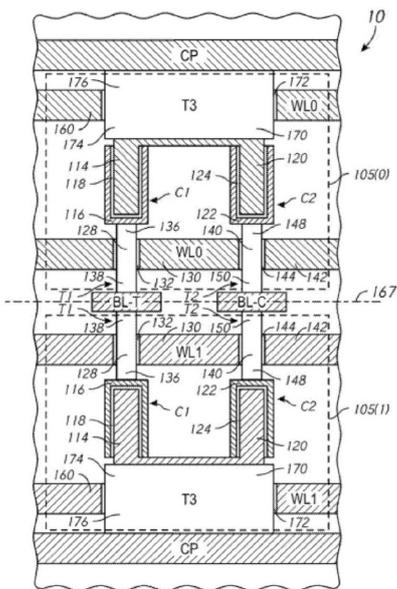


FIG. 9A

【 9 B 】



【 10 A 】

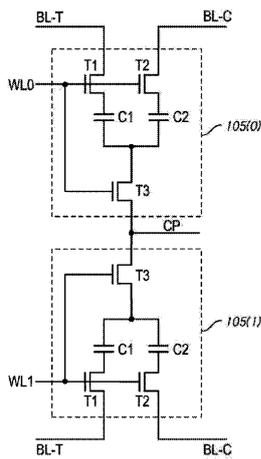
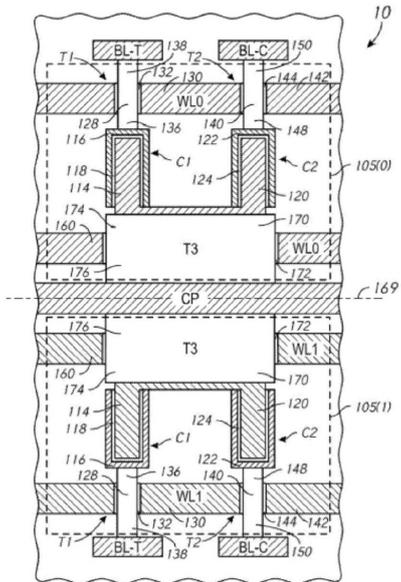


FIG. 10A

【図10B】



【図11A】

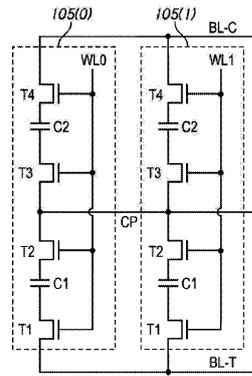
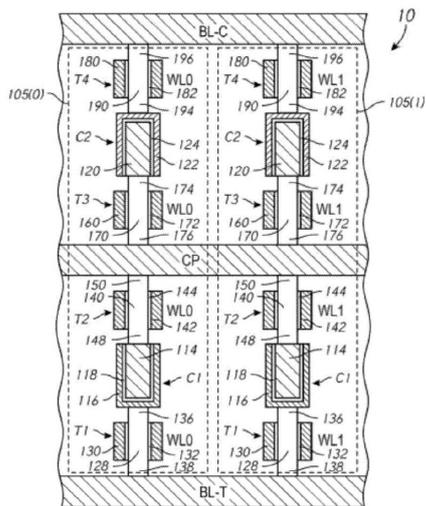


FIG. 11A

【図11B】



【図12A】

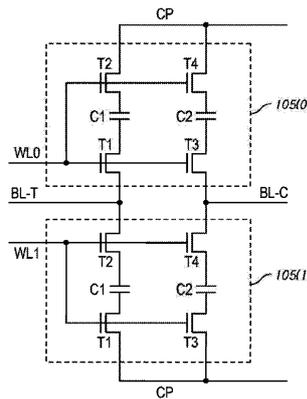
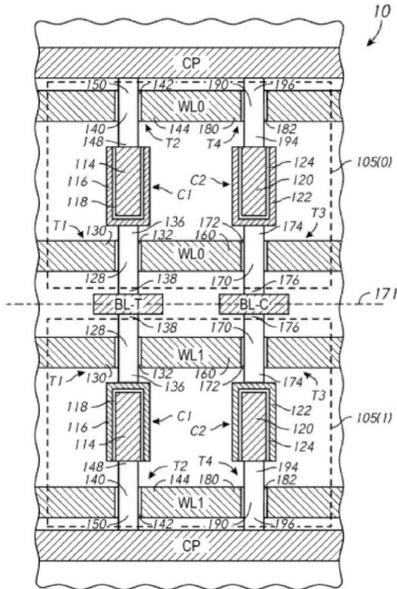


FIG. 12A

【図12B】



【図13A】

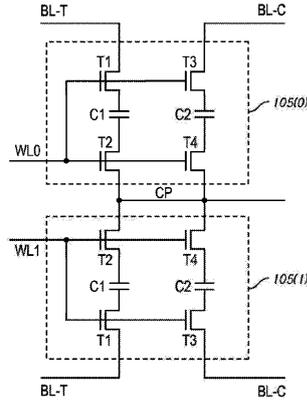
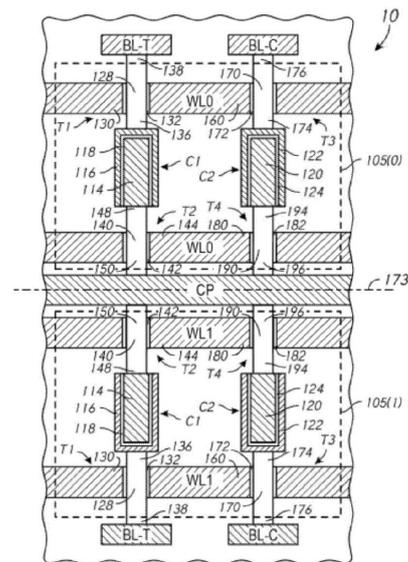
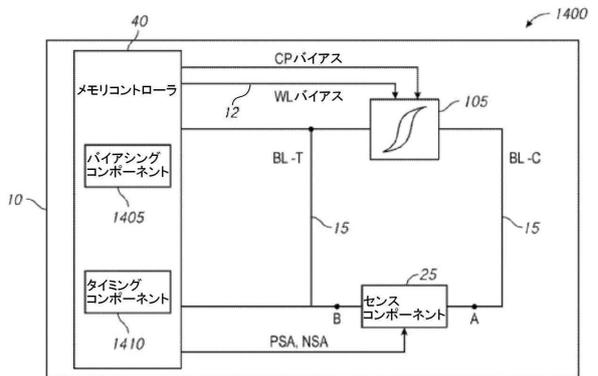


FIG. 13A

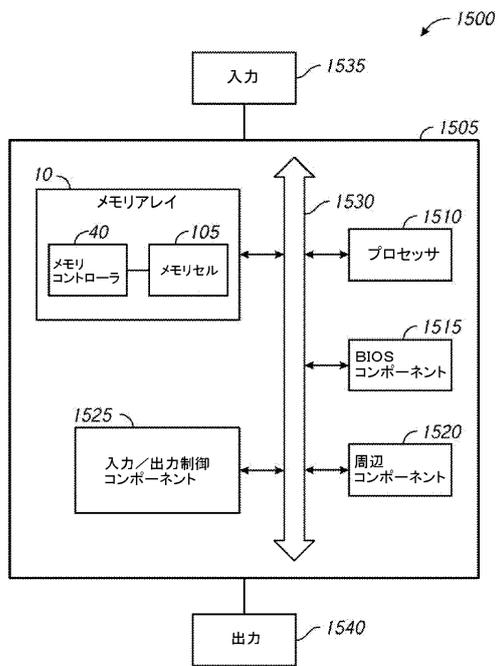
【図13B】



【図14】



【図15】



フロントページの続き

- (72)発明者 ダーナー, スコット ジェイ.
アメリカ合衆国, アイダホ州 83716, ボイズ, イースト セージウッド ドライブ 503
2
- (72)発明者 カワムラ, クリストファー ジェイ.
アメリカ合衆国, アイダホ州 83712, ボイズ, サウス トルカ ウェイ 1778

審査官 小山 満

- (56)参考文献 特開2007-266494(JP, A)
特開平07-321228(JP, A)
特開平08-124379(JP, A)
米国特許出願公開第2007/0228434(US, A1)
米国特許第05627390(US, A)
米国特許第05798964(US, A)
特開平10-320981(JP, A)
特開平11-238386(JP, A)

(58)調査した分野(Int.Cl., DB名)

H01L 27/11507
H01L 27/11509