



(19) 中華民國智慧財產局

(12) 發明說明書公告本

(11) 證書號數：TW I539565 B

(45) 公告日：中華民國 105 (2016) 年 06 月 21 日

(21) 申請案號：103103488

(22) 申請日：中華民國 103 (2014) 年 01 月 29 日

(51) Int. Cl. : H01L23/48 (2006.01)

H01L27/04 (2006.01)

(71) 申請人：森富科技股份有限公司 (中華民國) EOREX CORPORATION (TW)

新竹縣竹北市縣政二路 512 號 2 樓

(72) 發明人：林正隆 LIN, CHENG LUNG (TW)；梁萬棟 LIANG, WAN TUNG (TW)；徐政瑋 HSU, CHENG WEI (TW)

(74) 代理人：莊志強

(56) 參考文獻：

TW 501269

JP 2859429B2

US 6625050B2

審查人員：黃尹珊

申請專利範圍項數：10 項 圖式數：3 共 18 頁

(54) 名稱

記憶體與記憶體球位焊墊之佈局方法

MEMORY AND LAYOUT METHOD OF MEMORY BALL PADS

(57) 摘要

記憶體包括基板與複數個記憶體球位焊墊。複數個記憶體球位焊墊配置於基板之四周以形成回字型，並且多個記憶體球位焊墊以鏡射方式來形成左右對稱，其中回字型之左半部之複數個記憶體球位焊墊區分為第一主區域、第二主區域、第三主區域與第四主區域。第一主區域內之多個記憶體球位焊墊區分為第一子區域、第二子區域與第三子區域，並且第一子區域與第三子區域配置複數個輸入/輸出資料腳位與複數個電力腳位，其中多個輸入/輸出資料腳位彼此不相鄰，並且在每一個輸入/輸出資料腳位之旁邊配置著至少一電源電壓腳位與至少一接地電壓腳位。

A memory chip comprises a substrate and a plurality of memory ball pads. The plurality of memory ball pads is disposed surround the substrate so as to form a 「回」 pattern, wherein the plurality of memory ball pads of left-half part of the 「回」 pattern is divided into a first main area, a second main area, a third main area and a fourth main area. The plurality of memory ball pads in the first main area is divided into a first sub-region, a second sub-region and a third sub-region, and a plurality of input/output data pins and electricity power pins are disposed in the first sub-region and the third sub-region, wherein the plurality of input/output data pins are not adjacent to each other and at least one power voltage pin and at least one ground voltage pin are disposed next to each of the plurality of input/output data pins.

指定代表圖：

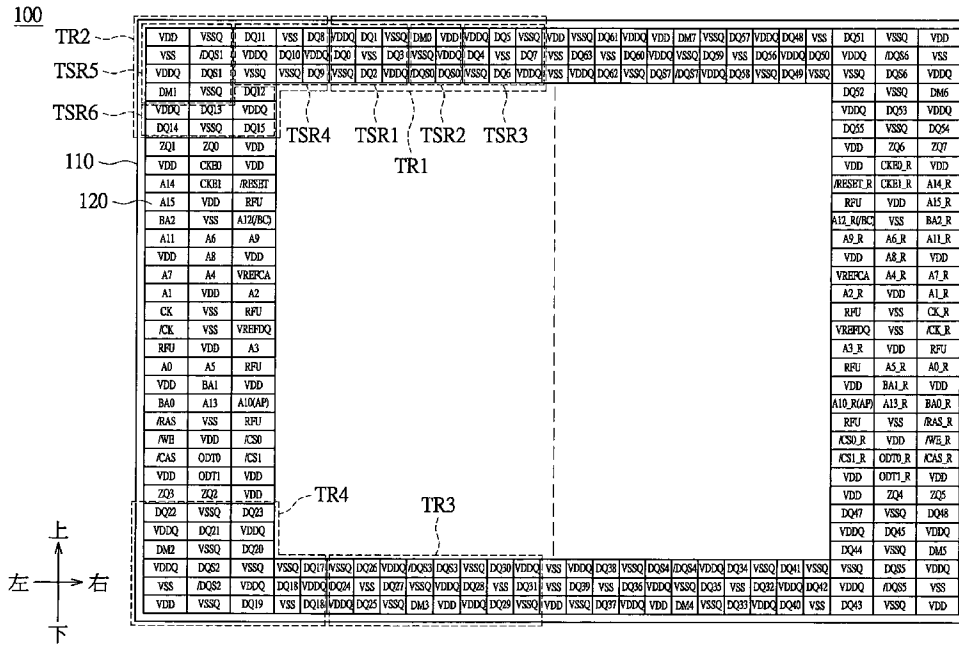


圖1

符號簡單說明：

100 . . . 記憶體

110 . . . 基板

120 . . . 記憶體球位
焊墊

TR1 . . . 第一主區
域

TR2 . . . 第二主區
域

TR3 . . . 第三主區
域

TR4 . . . 第四主區
域

TSR1 . . . 第一子區
域

TSR2 . . . 第二子區
域

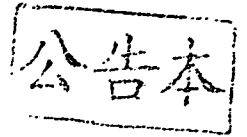
TSR3 . . . 第三子區
域

TSR4 . . . 第四子區
域

TSR5 . . . 第五子區
域

TSR6 . . . 第六子區
域

發明摘要



※ 申請案號：103103488

※ 申請日：103. 1. 29

※ IPC 分類：H01L 23/48 (2006.01)

H01L 23/10 (2006.01)

【發明名稱】

記憶體與記憶體球位焊墊之佈局方法 / MEMORY AND LAYOUT METHOD OF MEMORY BALL PADS

【中文】

記憶體包括基板與複數個記憶體球位焊墊。複數個記憶體球位焊墊配置於基板之四周以形成回字型，並且多個記憶體球位焊墊以鏡射方式來形成左右對稱，其中回字型之左半部之複數個記憶體球位焊墊區分為第一主區域、第二主區域、第三主區域與第四主區域。第一主區域內之多個記憶體球位焊墊區分為第一子區域、第二子區域與第三子區域，並且第一子區域與第三子區域配置複數個輸入/輸出資料腳位與複數個電力腳位，其中多個輸入/輸出資料腳位彼此不相鄰，並且在每一個輸入/輸出資料腳位之旁邊配置著至少一電源電壓腳位與至少一接地電壓腳位。

【英文】

A memory chip comprises a substrate and a plurality of memory ball pads. The plurality of memory ball pads is disposed surround the substrate so as to form a 「回」 pattern, wherein the plurality of memory ball pads of left-half part of the 「回」 pattern is divided into a first main area, a second main area, a third main area and a fourth main area. The plurality of memory ball pads in the first main area is divided into a first sub-region, a second sub-region and a third sub-region, and a plurality of input/output data pins and electricity

power pins are disposed in the first sub-region and the third sub-region, wherein the plurality of input/output data pins are not adjacent to each other and at least one power voltage pin and at least one ground voltage pin are disposed next to each of the plurality of input/output data pins.

【代表圖】

【本案指定代表圖】：第（ 1 ）圖。

【本代表圖之符號簡單說明】：

100：記憶體

110：基板

120：記憶體球位焊墊

TR1：第一主區域

TR2：第二主區域

TR3：第三主區域

TR4：第四主區域

TSR1：第一子區域

TSR2：第二子區域

TSR3：第三子區域

TSR4：第四子區域

TSR5：第五子區域

TSR6：第六子區域

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】(中文/英文)

記憶體與記憶體球位焊墊之佈局方法 / MEMORY AND LAYOUT METHOD OF MEMORY BALL PADS

【技術領域】

本發明乃是關於一種記憶體，特別是指一種在記憶體中的記憶體球位焊墊之佈局方法。

【先前技術】

隨著微電子技術的快速成長，各類電腦產品的週邊設備亦漸驅高級且多元化，如今，消費者使用電腦不僅是爲了處理一般的文書作業及瀏覽網路，更爲了能觀賞高畫質影音檔案、享受3D線上遊戲或處理複雜的應用程式，但無論是高畫質影音檔案或是各類電子資料文件，其檔案大小必然會隨著資料的複雜及精細度而提昇，因此，高容量的硬碟遂成爲所有電腦產品所不可或缺的必要配備。

在先前技藝下，通常將記憶體裝置提供爲電腦或其他電子裝置中之內部半導體積體電路。記憶體裝置存在包含揮發性及非揮發性記憶體之諸多不同類型記憶體。揮發性記憶體可需要電力來維持其資料且包含隨機存取記憶體(RAM)、動態隨機存取記憶體(DRAM)及同步動態隨機存取記憶體(SDRAM)以及其他記憶體。非揮發性記憶體可藉由在不被供電時仍保持所儲存之資訊而提供持久資料且可包含NAND快閃記憶體、NOR快閃記憶體、唯讀記憶體(ROM)、電可擦除可程式化ROM(EEPROM)、可擦除可程式化ROM(EPROM)及相變隨機存取記憶體(PCRAM)以及其他記憶體。

DRAM是半導體技術發展最成熟、應用範圍最廣泛、使用量

最大的記憶體；從伺服器工作站、桌上型電腦、筆記型電腦、平板電腦、電腦主機至遊戲機。一般DRAM的球位設計為依據聯合電子設備工程委員會（Joint Electron Device Engineering Council, JEDEC）所訂定之球位。然而，所有的DQ球位的擺放型態並沒有擺放至少一個電源球位與至少一個接地球位，因此IC在走線佈局時所產生的雜訊與訊號間的相互干擾會很大。

【發明內容】

本發明實施例提供一種記憶體，記憶體包括基板與複數個記憶體球位焊墊。複數個記憶體球位焊墊配置於基板之四周以形成回字型，並且多個記憶體球位焊墊以鏡射方式來形成左右對稱，其中回字型之左半部之複數個記憶體球位焊墊區分為第一主區域、第二主區域、第三主區域與第四主區域，並且第一主區域與第二主區域之球位佈局分別相同於第三主區域與第四主區域之球位佈局。第一主區域內之多個記憶體球位焊墊區分為第一子區域、第二子區域與第三子區域，並且第一子區域與第三子區域配置彼此交錯之複數個輸入/輸出資料腳位與複數個電力腳位，其中多個輸入/輸出資料腳位彼此不相鄰，並且在每一個輸入/輸出資料腳位之旁邊配置著至少一電源電壓腳位與至少一接地電壓腳位以優化鄰近訊號之阻抗且降低雜訊干擾。

在本發明其中一個實施例中，電源電壓腳位與接地電壓腳位分別界定為電力腳位，並且第一子區域與第三子區域內之電力腳位彼此不相鄰。

在本發明其中一個實施例中，第二子區域配置於第一子區域與第三子區域之間，並且第二子區域具有至少一組第一差動輸入/輸出訊號腳位與電力腳位，其中第一差動輸入/輸出訊號腳位之旁邊具有電源電壓腳位與接地電壓腳位。

在本發明其中一個實施例中，第二主區域內之多個記憶體球

位焊墊區分為第四子區域、第五子區域與第六子區域，並且第四子區域與第六子區域分別具有彼此交錯之多個輸入/輸出資料腳位與電力腳位，其中複數個輸入/輸出資料腳位彼此不相鄰，並且每一個輸入/輸出資料腳位之旁邊具有電源電壓腳位與接地電壓腳位以優化鄰近訊號之阻抗且降低雜訊干擾。

在本發明其中一個實施例中，第五子區域配置於第四子區域與第六子區域之間，並且第五子區域具有至少一組第二差動輸入/輸出訊號腳位與複數個電力腳位，其中第二差動輸入/輸出訊號腳位之旁邊具有電源電壓腳位與接地電壓腳位。

本發明實施例另提供一種記憶體球位焊墊之佈局方法，用於記憶體，記憶體包括基板與複數個記憶體球位焊墊，記憶體球位焊墊配置於基板之四周以形成回字型，並且記憶體球位焊墊以鏡射方式來形成左右對稱。記憶體球位焊墊之佈局方法包括以下步驟：將回字型之左半部之記憶體球位焊墊區分為第一主區域、第二主區域、第三主區域與第四主區域，其中第一主區域與第二主區域之球位佈局分別相同於第三主區域與第四主區域之球位佈局；將第一主區域內之記憶體球位焊墊區分為第一子區域、第二子區域與第三子區域；將第一子區域與第三子區域配置彼此交錯之複數個輸入/輸出資料腳位與複數個電力腳位；以及輸入/輸出資料腳位彼此不相鄰，並且在每一個輸入/輸出資料腳位之旁邊配置著至少一電源電壓腳位與至少一接地電壓腳位以優化鄰近訊號之阻抗且降低雜訊干擾。

綜上所述，本發明實施例所提出之記憶體與記憶體球位焊墊之佈局方法，透過將每一個輸入/輸出資料腳位之旁邊配置著至少一電源電壓腳位與至少一接地電壓腳位以優化鄰近訊號之阻抗且降低雜訊干擾。

為使能更進一步瞭解本發明之特徵及技術內容，請參閱以下有關本發明之詳細說明與附圖，但是此等說明與所附圖式僅係用

來說明本發明，而非對本發明的權利範圍作任何的限制。

【圖式簡單說明】

圖1為根據本發明例示性實施例所繪示之記憶體之示意圖。

圖2為根據本發明實施例之第一主區域之示意圖。

圖3為根據本發明例示性實施例所繪示之記憶體球位焊墊之佈局方法之流程圖。

【實施方式】

在下文將參看隨附圖式更充分地描述各種例示性實施例，在隨附圖式中展示一些例示性實施例。然而，本發明概念可能以許多不同形式來體現，且不應解釋為限於本文中所闡述之例示性實施例。確切而言，提供此等例示性實施例使得本發明將為詳盡且完整，且將向熟習此項技術者充分傳達本發明概念的範疇。在諸圖式中，可為了清楚而誇示層及區之大小及相對大小。類似數字始終指示類似元件。

應理解，雖然本文中可能使用術語第一、第二、第三等來描述各種元件，但此等元件不應受此等術語限制。此等術語乃用以區分一元件與另一元件。因此，下文論述之第一元件可稱為第二元件而不偏離本發明概念之教示。如本文中所使用，術語「及/或」包括相關聯之列出項目中之任一者及一或多者之所有組合。

〔記憶體的實施例〕

請參照圖1，圖1為根據本發明例示性實施例所繪示之記憶體之示意圖。一般動態隨機存取記憶體(Dynamic Random Access Memory, DRAM)的球位設計為依據聯合電子設備工程委員會(Joint Electron Device Engineering Council, JEDEC)所訂定之球位，該球位的布局型態並無法使得所有的輸入/輸出資料腳位(如DQ球位)之旁邊具有至少一個電源電壓腳位與至少一個接地電壓

腳位，因此無法達到良好的電容效應。因此，本揭露內容提出一種記憶體球位焊墊之佈局方法，以使得所有的輸入/輸出資料腳位(如DQ球位)之旁邊都能夠具有至少一個電源電壓腳位與至少一個接地電壓腳位以形成良好的電容效應，進而讓特性阻抗達到更好的水準，並且進一步使得電源電壓與接地電壓所產生的雜訊降到最小。在進行下述說明前，須先說明的是，本揭露內容之記憶體100之球位分佈可以應用於第三代雙倍資料率同步動態隨機存取記憶體 (Double-Data-Rate Three Synchronous Dynamic Random Access Memory, DDR3 SDRAM) 與在2012年9月26日負責制定記憶體技術的JEDEC所公布了最新一代的第四代雙倍資料率 (Double-Data-Rate Four, DDR4) 記憶體技術。值得一提的是，本揭露內容之記憶體100之球位分佈更可以應用於所有的記憶體儲存媒體。再者，為了清楚瞭解本揭露內容，本揭露內容之記憶體以64位元之儲存空間作為一範例說明。

請繼續參照圖1，在本實施例中，記憶體100包括基板110與複數個記憶體球位焊墊120，並且記憶體100可以是揮發性記憶體。多個記憶體球位焊墊120(如DQ1)配置於基板110之四周以形成回字型，並且多個記憶體球位焊墊120以鏡射方式來形成左右對稱之組態以簡化佈局線路之複雜度。回字型之左半部之複數個記憶體球位焊墊120區分為第一主區域TR1、第二主區域TR2、第三主區域TR3與第四主區域TR4。於本實施例中，第一主區域TR1內之複數個記憶體球位焊墊120區分為第一子區域TSR1、第二子區域TSR2與第三子區域TSR3，並且第一子區域TSR1與第三子區域TSR3配置著彼此交錯之複數個輸入/輸出資料腳位(如DQ0~DQ7)與複數個電力腳位(如VDDQ、VSS與VSSQ)，其中複數個輸入/輸出資料腳位彼此不相鄰，並且在每一個輸入/輸出資料腳位之旁邊配置著至少一電源電壓腳位與至少一接地電壓腳位以優化鄰近訊號之阻抗且降低雜訊干擾。值得一提的是，電源電壓腳位與接地

電壓腳位分別界定為電力腳位，並且第一子區域TSR1與第三子區域TSR3內之電力腳位彼此不相鄰。

請同時參照圖2，圖2為根據本發明實施例之第一主區域之示意圖。關於第一主區域TR1內的第二子區域TSR1與第三子區域TSR3，詳細來說，輸入/輸出資料腳位(如DQ0)之旁邊具有兩個電源電壓腳位(如VDDQ)與兩個接地電壓腳位(如VSS與VSSQ)。輸入/輸出資料腳位(如DQ1)之旁邊具有一個電源電壓腳位(如VDDQ)與兩個接地電壓腳位(如VSS與VSSQ)。輸入/輸出資料腳位(如DQ2)之旁邊具有一個電源電壓腳位(如VDDQ)與兩個接地電壓腳位(如VSS與VSSQ)。輸入/輸出資料腳位(如DQ3)之旁邊具有一個電源電壓腳位(如VDDQ)與三個接地電壓腳位(如VSS與VSSQ)。輸入/輸出資料腳位(如DQ4)之旁邊具有兩個電源電壓腳位(如VDDQ)與兩個接地電壓腳位(如VSS與VSSQ)。輸入/輸出資料腳位(如DQ5)之旁邊具有一個電源電壓腳位(如VDDQ)與兩個接地電壓腳位(如VSS與VSSQ)。輸入/輸出資料腳位(如DQ6)之旁邊具有一個電源電壓腳位(如VDDQ)與兩個接地電壓腳位(如VSS與VSSQ)。輸入/輸出資料腳位(如DQ7)之旁邊具有一個電源電壓腳位(如VDDQ)與兩個接地電壓腳位(如VSS與VSSQ)。

關於第一主區域TR1內的第二子區域TSR2，第二子區域TSR2配置於第一子區域TSR1與第三子區域TSR3之間，並且第二子區域TSR2具有至少一組第一差動輸入/輸出訊號腳位(如/DQS0與DQS0)、複數個電力腳位(如VDD、VDDQ與VSSQ)與一個輸入/輸出訊號腳位(如DM0)，其中第一差動輸入/輸出訊號腳位之旁邊具有電源電壓腳位與接地電壓腳位，並且第一差動輸入/輸出訊號腳位用以傳送或接收差動訊號。在本實施例中，輸入/輸出資料腳位(如DM0)之旁邊具有一個電源電壓腳位(如VDD)與兩個接地電壓腳位(如VSSQ)。須注意的是，在本揭露內容內，第三主區域TR3之球位布局相同於第一主區域TR1之球位布局，因此關於第三主區

域TR3之相關球位布局，請參考上述關於第一主區域TR1之說明，在此不再贅述。

請繼續參照圖1，關於第二主區域TR2，第二主區域TR2內之複數個記憶體球位焊墊120區分為第四子區域TSR4、第五子區域TSR5與第六子區域TSR6，並且第四子區域TSR4與第六子區域TSR6分別具有彼此交錯之複數個輸入/輸出資料腳位(如DQ8~DQ15)與複數個電力腳位(如VSS、VSSQ與VDDQ)，其中複數個輸入/輸出資料腳位彼此不相鄰，並且每一個輸入/輸出資料腳位之旁邊具有至少一個電源電壓腳位與至少一個接地電壓腳位以優化鄰近訊號之阻抗且降低雜訊干擾。詳細來說，輸入/輸出資料腳位(如DQ8)之旁邊具有兩個電源電壓腳位(如VDDQ)與一個接地電壓腳位(如VSS與VSSQ)。輸入/輸出資料腳位(如DQ9)之旁邊具有一個電源電壓腳位(如VDDQ)與兩個接地電壓腳位(如VSSQ)。輸入/輸出資料腳位(如DQ10)之旁邊具有兩個電源電壓腳位(如VDDQ)與兩個接地電壓腳位(如VSS與VSSQ)。輸入/輸出資料腳位(如DQ11)之旁邊具有一個電源電壓腳位(如VDDQ)與兩個接地電壓腳位(如VSS與VSSQ)。輸入/輸出資料腳位(如DQ12)之旁邊具有一個電源電壓腳位(如VDDQ)與兩個接地電壓腳位(如VSSQ)。輸入/輸出資料腳位(如DQ13)之旁邊具有兩個電源電壓腳位(如VDDQ)與兩個接地電壓腳位(如VSSQ)。輸入/輸出資料腳位(如DQ14)之旁邊具有一個電源電壓腳位(如VDDQ)與一個接地電壓腳位(如VSSQ)。輸入/輸出資料腳位(如DQ15)之旁邊具有兩個電源電壓腳位(如VDD與VDDQ)與一個接地電壓腳位(如VSSQ)。

關於第二主區域TR2內的第五子區域TSR5，第五子區域TSR5配置於第四子區域TSR4與第六子區域TSR6之間，第五子區域TSR5具有至少一組第二差動輸入/輸出訊號腳位(如/DQS1與DQS1)、複數個電力腳位(如VDD、VDDQ、VSS與VSSQ)與一個輸入/輸出訊號腳位(如DM1)，其中第二差動輸入/輸出訊號腳位之旁

邊具有電源電壓腳位與接地電壓腳位，並且第二差動輸入/輸出訊號腳位用以傳送或接收差動訊號。在本實施例中，輸入/輸出訊號腳位(如DM1)之旁邊具有兩個電源電壓腳位(如VDDQ)與一個接地電壓腳位(如VSSQ)。須注意的是，在本揭露內容內，第四主區域TR4之球位布局相同於第二主區域TR2之球位布局，因此關於第四主區域TR4之相關球位布局，請參考上述關於第二主區域TR2之說明，在此不再贅述。此外，由於本揭露內容之記憶體100之球位布局是採左右對稱鏡射之方式，所以關於回字型之右半部實質上相同於左半部，在此不再贅述。

在接下來的多個實施例中，將描述不同於上述圖1實施例之部分，且其餘省略部分與上述圖1實施例之部分相同。此外，為說明便利起見，相似之參考數字或標號指示相似之元件。

〔記憶體球位焊墊之佈局方法的另一實施例〕

請參照圖3，圖3為根據本發明例示性實施例所繪示之記憶體球位焊墊之佈局方法之流程圖。本實施例所述之例示步驟流程用於如圖1所示的記憶體100，故請一併參照圖1以利說明及理解。記憶體球位焊墊之佈局方法包括以下步驟：將回字型之左半部之記憶體焊墊區分為第一主區域、第二主區域、第三主區域與第四主區域，其中第一主區域與第二主區域之球位佈局分別相同於第三主區域與第四主區域之球位佈局(步驟S310)。將第一主區域內之記憶體球位焊墊區分為第一子區域、第二子區域與第三子區域(步驟S320)。將第一子區域與第三子區域配置彼此交錯之複數個輸入/輸出資料腳位與複數個電力腳位(步驟S330)。輸入/輸出資料腳位彼此不相鄰，並且在每一個輸入/輸出資料腳位之旁邊配置著至少一電源電壓腳位與至少一接地電壓腳位以優化鄰近訊號之阻抗且降低雜訊干擾(步驟S340)。

關於記憶體之記憶體球位焊墊之佈局方法之各步驟的相關細節在上述圖1實施例已詳細說明，在此恕不贅述。在此須說明的

是，圖3實施例之各步驟僅為方便說明之須要，本發明實施例並不以各步驟彼此間的順序作為實施本發明各個實施例的限制條件。

〔實施例的可能功效〕

綜上所述，本發明實施例所提出之記憶體與記憶體球位焊墊之佈局方法，透過將每一個輸入/輸出資料腳位之旁邊配置著至少一電源電壓腳位與至少一接地電壓腳位以優化鄰近訊號之阻抗且降低雜訊干擾。

以上所述僅為本發明之實施例，其並非用以侷限本發明之專利範圍。

【符號說明】

100：記憶體

110：基板

120：記憶體球位焊墊

TR1：第一主區域

TR2：第二主區域

TR3：第三主區域

TR4：第四主區域

TSR1：第一子區域

TSR2：第二子區域

TSR3：第三子區域

TSR4：第四子區域

TSR5：第五子區域

TSR6：第六子區域



申請專利範圍

1. 一種記憶體，包括：

一基板；

複數個記憶體球位焊墊，配置於該基板之四周以形成一回字型，並且該些記憶體球位焊墊以鏡射方式來形成左右對稱，其中該回字型之左半部之該些記憶體球位焊墊區分為一第一主區域、一第二主區域、一第三主區域與一第四主區域，並且該第一主區域與該第二主區域之球位佈局分別相同於該第三主區域與該第四主區域之球位佈局，

其中該第一主區域內之該些記憶體球位焊墊區分為一第一子區域、一第二子區域與一第三子區域，並且該第一子區域與該第三子區域配置彼此交錯之複數個輸入/輸出資料腳位與複數個電力腳位，其中該些輸入/輸出資料腳位彼此不相鄰，並且在每一該些輸入/輸出資料腳位之旁邊配置著至少一電源電壓腳位與至少一接地電壓腳位以優化鄰近訊號之阻抗且降低雜訊干擾。

2. 如請求項 1 所述之記憶體，其中該電源電壓腳位與該接地電壓腳位分別界定為該些電力腳位，並且該第一子區域與該第三子區域內之該些電力腳位彼此不相鄰。
3. 如請求項 1 所述之記憶體，其中該第二子區域配置於該第一子區域與該第三子區域之間，並且該第二子區域具有至少一組第一差動輸入/輸出訊號腳位與該些電力腳位，其中該第一差動輸入/輸出訊號腳位之旁邊具有該電源電壓腳位與該接地電壓腳位。
4. 如請求項 1 所述之記憶體，其中該第二主區域內之該些記憶體球位焊墊區分為一第四子區域、一第五子區域與一第六子區域，並且該第四子區域與該第六子區域分別具有彼此交錯之該些輸入/輸出資料腳位與該些電力腳位，其中該些輸入/輸出資

料腳位彼此不相鄰，並且每一該些輸入/輸出資料腳位之旁邊具有該電源電壓腳位與該接地電壓腳位以優化鄰近訊號之阻抗且降低雜訊干擾。

5. 如請求項4所述之記憶體，其中該第五子區域配置於該第四子區域與該第六子區域之間，並且該第五子區域具有至少一組第二差動輸入/輸出訊號腳位與該些電力腳位，其中該第二差動輸入/輸出訊號腳位之旁邊具有該電源電壓腳位與該接地電壓腳位。

6. 一種記憶體球位焊墊之佈局方法，用於一記憶體，該記憶體包括一基板與複數個記憶體球位焊墊，該些記憶體球位焊墊配置於該基板之四周以形成一回字型，並且該些記憶體球位焊墊以鏡射方式來形成左右對稱，該記憶體球位焊墊之佈局方法包括：

將該回字型之左半部之該些記憶體球位焊墊區分為一第一主區域、一第二主區域、一第三主區域與一第四主區域，其中該第一主區域與該第二主區域之球位佈局分別相同於該第三主區域與該第四主區域之球位佈局；

將該第一主區域內之該些記憶體球位焊墊區分為一第一子區域、一第二子區域與一第三子區域；

將該第一子區域與該第三子區域配置彼此交錯之複數個輸入/輸出資料腳位與複數個電力腳位；以及

該些輸入/輸出資料腳位彼此不相鄰，並且在每一該些輸入/輸出資料腳位之旁邊配置著至少一電源電壓腳位與至少一接地電壓腳位以優化鄰近訊號之阻抗且降低雜訊干擾。

7. 如請求項 6 所述之記憶體球位焊墊之佈局方法，其中該電源電壓腳位與該接地電壓腳位分別界定為該些電力腳位，並且該第一子區域與該第三子區域內之該些電力腳位彼此不相鄰。
8. 如請求項 6 所述之記憶體球位焊墊之佈局方法，其中該第二子

區域配置於該第一子區域與該第三子區域之間，並且該第二子區域具有至少一組第一差動輸入/輸出訊號腳位與該些電力腳位，其中該第一差動輸入/輸出訊號腳位之旁邊具有該電源電壓腳位與該接地電壓腳位。

9. 如請求項 6 所述之記憶體球位焊墊之佈局方法，其中該第二主區域內之該些記憶體球位焊墊區分為一第四子區域、一第五子區域與一第六子區域，並且該第四子區域與該第六子區域分別具有彼此交錯之該些輸入/輸出資料腳位與該些電力腳位，其中該些輸入/輸出資料腳位彼此不相鄰，並且每一該些輸入/輸出資料腳位之旁邊具有該電源電壓腳位與該接地電壓腳位以優化鄰近訊號之阻抗且降低雜訊干擾。
10. 如請求項 9 所述之記憶體球位焊墊之佈局方法，其中該第五子區域配置於該第四子區域與該第六子區域之間，並且該第五子區域具有至少一組第二差動輸入/輸出訊號腳位與該些電力腳位，其中該第二差動輸入/輸出訊號腳位之旁邊具有該電源電壓腳位與該接地電壓腳位。

圖式

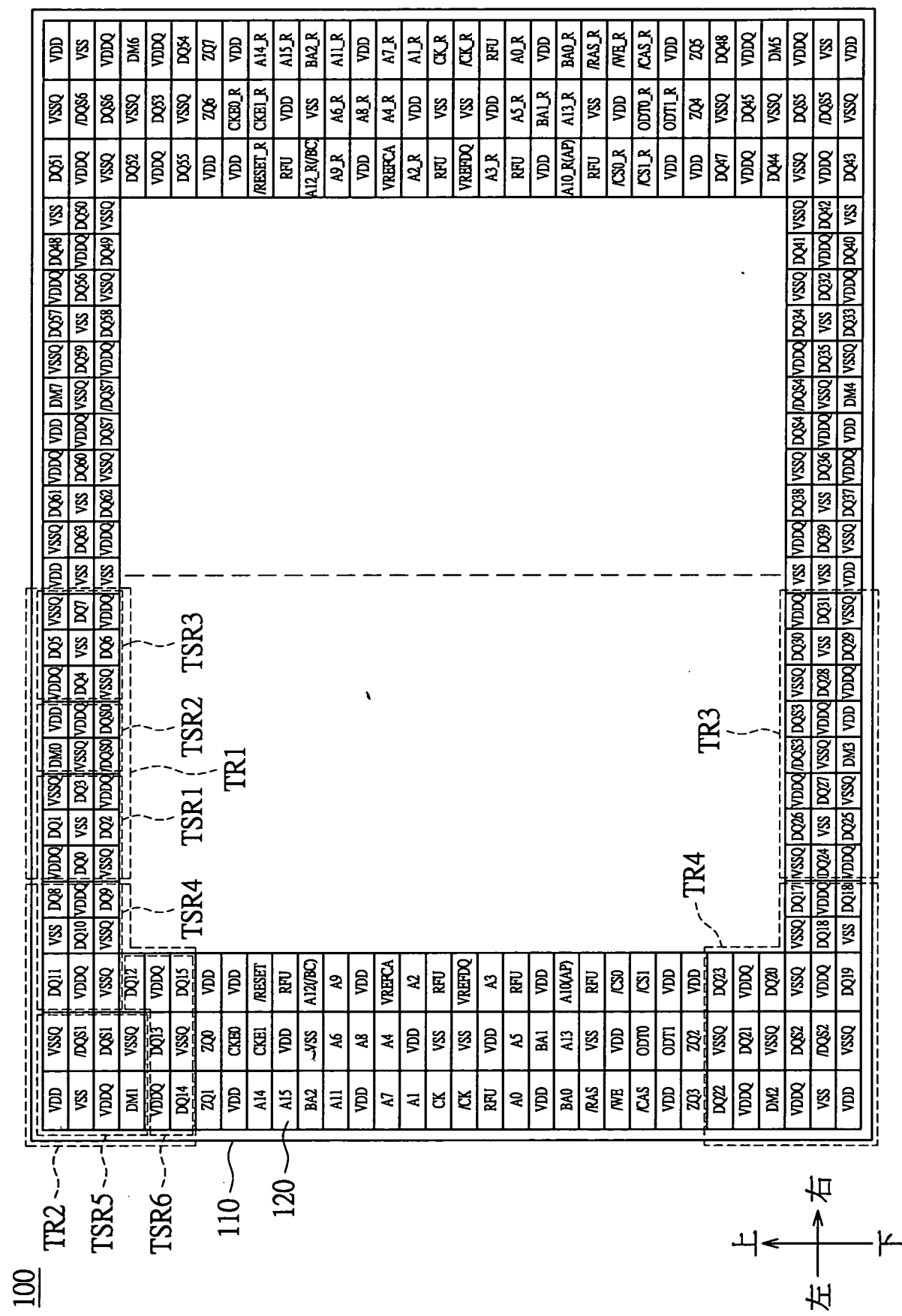


圖1

TR1

TSR1			TSR2		TSR3		
VDDQ	DQ1	VSSQ	DM0	VDD	VDDQ	DQ5	VSSQ
DQ0	VSS	DQ3	VSSQ	VDDQ	DQ4	VSS	DQ7
VSSQ	DQ2	VDDQ	/DQS0	DQS0	VSSQ	DQ6	VDDQ

圖2



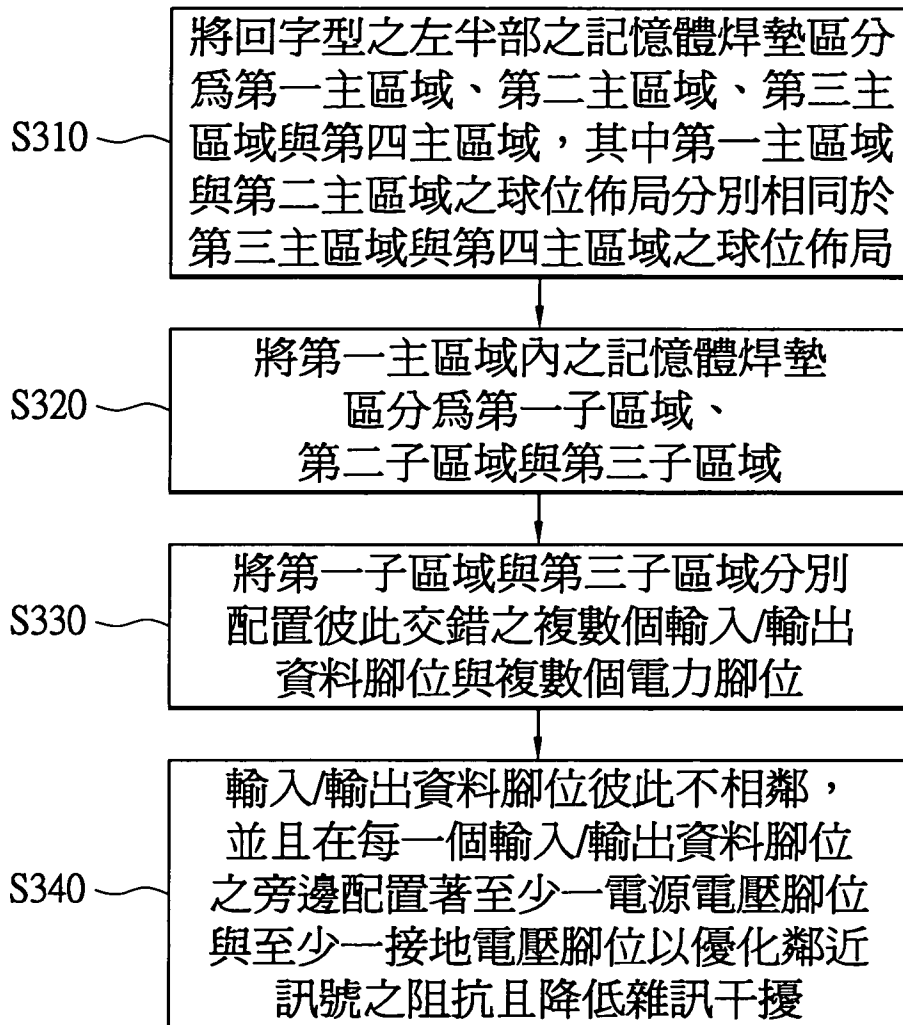


圖3