

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3733604号

(P3733604)

(45) 発行日 平成18年1月11日(2006.1.11)

(24) 登録日 平成17年10月28日(2005.10.28)

(51) Int. Cl.	F I
<b>G06F 12/08 (2006.01)</b>	G06F 12/08 515P
	G06F 12/08 501D
	G06F 12/08 517B
	G06F 12/08 519B
	G06F 12/08 519C
	請求項の数 2 (全 9 頁) 最終頁に続く

(21) 出願番号	特願平6-322844	(73) 特許権者	000005821
(22) 出願日	平成6年12月26日(1994.12.26)		松下電器産業株式会社
(65) 公開番号	特開平7-234819		大阪府門真市大字門真1006番地
(43) 公開日	平成7年9月5日(1995.9.5)	(74) 代理人	100097445
審査請求日	平成13年10月15日(2001.10.15)		弁理士 岩橋 文雄
(31) 優先権主張番号	特願平5-333864	(74) 代理人	100109667
(32) 優先日	平成5年12月27日(1993.12.27)		弁理士 内藤 浩樹
(33) 優先権主張国	日本国(JP)	(74) 代理人	100109151
			弁理士 永野 大介
前置審査		(72) 発明者	木村 浩三
			大阪府門真市大字門真1006番地 松下電器産業株式会社内
		(72) 発明者	清原 督三
			大阪府門真市大字門真1006番地 松下電器産業株式会社内
			最終頁に続く

(54) 【発明の名称】 キャッシュメモリ

(57) 【特許請求の範囲】

【請求項1】

キャッシュエントリ内にキャッシュデータを保持するデータ部と、前記キャッシュデータに対応した状態を管理するためのタグ情報を、1つの前記キャッシュエントリに格納されるデータのサイズよりも小さいキャッシュデータの管理単位毎に保持するタグ部とを備えるキャッシュメモリと、

前記キャッシュメモリに含まれるキャッシュデータにアクセスを行うプロセッサと、キャッシュミスヒットが発生した場合に主記憶にアクセスする主記憶アクセス部と、キャッシュミスヒットが発生した場合にミスヒットしたキャッシュデータを含む前記管理単位の状態をアクセス中とするように、対応する前記タグ情報を書き換える状態管理手段と、

を含む情報処理装置であって、

前記プロセッサが前記データ部へ書き込もうとするデータのサイズが、前記管理単位より小さく、かつ、書き込み先のキャッシュデータを含む管理単位の状態が前記アクセス中であることを判定する判定手段を有し、

前記状態管理手段は、前記判定が肯定である場合に、書き込もうとする前記データを書き込まずに、書き込み先のキャッシュデータを含む前記管理単位の状態を無効とするように、対応する前記タグ情報を書き換えることを特徴とする情報処理装置。

【請求項2】

キャッシュエントリ内にキャッシュデータを保持するデータ部と、前記キャッシュデー

10

20

タの状態を管理するためのタグ情報を、1つの前記キャッシュエントリに格納されるデータのサイズよりも小さいキャッシュデータの管理単位毎に保持するタグ部とを含むキャッシュメモリと、

前記キャッシュメモリに含まれるキャッシュデータにアクセスを行うプロセッサと、  
 キャッシュミスヒットが発生した場合に主記憶にアクセスする主記憶アクセス部と、  
 キャッシュミスヒットが発生した場合にミスヒットしたキャッシュデータを含む前記管理単位の状態をアクセス中とするように、対応する前記タグ情報を書き換える状態管理手段とを含む情報処理装置であって、

前記プロセッサが前記データ部へ書き込もうとするデータのサイズが、前記管理単位より小さく、かつ、書き込み先のキャッシュデータを含む管理単位の状態がアクセス中であることを判定する判定手段と、

前記判定が肯定である場合に、主記憶へのアクセスが完了するまで、書き込もうとするキャッシュデータの書き込みを遅延させる遅延手段とを有することを特徴とする情報処理装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】

キャッシュミスヒットに伴う外部アクセス中に、後続のキャッシュアクセスを受け付け、高性能化を図ったキャッシュメモリに関するものである。

【0002】

【従来の技術】

従来のキャッシュメモリの例としては、キャッシュ・バイパス・バッファがある。この方式については、富田眞治、村上和彰 共著、「計算機システム工学」、昭晃堂、97～98頁に詳細が述べられている。この従来のキャッシュの動作例を示すタイミングチャートを図3に示す。

【0003】

ミスヒット時（第1クロック（T1）で発生）には、データのリードのための最初の外部アクセスの完了（T5）まで、後続のキャッシュアクセス（next）は遅延されていた。

【0004】

【発明が解決しようとする課題】

しかしながら、より高い性能を目指すには、ミスヒットに伴う外部アクセス中に、後続のキャッシュアクセスを受け付ける必要がある。この場合、外部アクセス中のキャッシュエントリに対するアクセスの扱いが重要となる。後続のキャッシュアクセスがリード動作時は、必要なデータがアクセス中であり、遅延させる必要があるが、ライト動作時は、基本的に、キャッシュ内にデータを書き込むことによって、完了させることができる。

【0005】

しかし、時間的には、先行する命令によって起動された外部アクセスに伴って読み込まれたデータのキャッシュメモリへの書き込みより、後続の命令によるキャッシュメモリへのライト動作が先行して行なわれ、古いデータによる新しいデータの破壊が生じるという課題を有していた。

【0006】

本発明は上記課題に鑑み、データの破壊を伴うことなく、外部アクセス中のデータに対し、後続のライト動作を完了できる、高性能化を図ったキャッシュメモリの提供を目的とする。

【0008】

本発明は上記課題を解決するために、キャッシュエントリ内にキャッシュデータを保持するデータ部と、前記キャッシュデータに対応した状態を管理するためのタグ情報を、1つの前記キャッシュエントリに格納されるデータのサイズよりも小さいキャッシュデータの管理単位毎に保持するタグ部とを備えるキャッシュメモリと、キャッシュミスヒットが

10

20

30

40

50

発生した場合に主記憶にアクセスする主記憶アクセス部と、キャッシュミスヒットが発生した場合にミスヒットしたキャッシュデータを含む前記管理単位の状態をアクセス中とするように、対応する前記タグ情報を書き換える状態管理手段と、前記キャッシュメモリに含まれるキャッシュデータにアクセスを行うプロセッサとを含む情報処理装置であって、前記プロセッサが前記データ部へ書き込もうとするデータのサイズが、前記管理単位より小さく、かつ、書き込み先のキャッシュデータを含む管理単位の状態が前記アクセス中であることを判定する判定手段を有し、前記状態管理手段は、前記判定が肯定である場合に、書き込もうとする前記データを書き込まずに、書き込み先のキャッシュデータを含む前記管理単位の状態を無効とするように、対応する前記タグ情報を書き換えることを特徴とする情報処理装置に関する。

10

【0009】

【課題を解決するための手段】

さらに、キャッシュエントリ内にキャッシュデータを保持するデータ部と、前記キャッシュデータの状態を管理するためのタグ情報を、1つの前記キャッシュエントリに格納されるデータのサイズよりも小さいキャッシュデータの管理単位毎に保持するタグ部とを含むキャッシュメモリと、前記キャッシュメモリに含まれるキャッシュデータにアクセスを行うプロセッサと、キャッシュミスヒットが発生した場合に主記憶にアクセスする主記憶アクセス部と、キャッシュミスヒットが発生した場合にミスヒットしたキャッシュデータを含む前記管理単位の状態をアクセス中とするように、対応する前記タグ情報を書き換える状態管理手段とを含む情報処理装置であって、前記プロセッサが前記データ部へ書き込もうとするデータのサイズが、前記管理単位より小さく、かつ、書き込み先のキャッシュデータを含む管理単位の状態がアクセス中であることを判定する判定手段と、前記判定が肯定である場合に、主記憶へのアクセスが完了するまで、書き込もうとするキャッシュデータの書き込みを遅延させる遅延手段とを有することを特徴とする情報処理装置に関する。

20

【0012】

【作用】

本発明に係わるキャッシュメモリは、外部アクセス中のデータには、タグ部にエントリを確保すると共に、状態をアクセス中と設定し、ライト動作時に、対応するデータの状態がアクセス中の場合、データ部への書き込みを行なうと共に、対応するデータの状態を、アクセス中の状態から、有効状態に変更し、外部アクセス終了時には、更新されるべき部分の状態を検査し、アクセス中の状態の部分に対してだけ、データの書き込みを行なうと共に、状態を、アクセス中の状態から、有効状態に変更することによって、データの破壊を伴わず、外部アクセス中に、後続のライト動作を完了でき、さらに、外部アクセス中のアドレスに対する、データの管理単位より小さいデータサイズでのライト動作時に、キャッシュへの書き込みを行わず、同時に、対応する部分の状態を無効状態とすることにより、外部アクセス終了時に、対応した部分への古いデータの書き込みを抑制することによって、データの一貫性を維持できる。

30

【0013】

さらに、本発明に係わるキャッシュメモリにおいては、外部アクセス中のアドレスに対する、データの管理単位より小さいデータサイズでのライト動作時に、外部アクセス終了まで、データの書き込みを遅延させることにより、データの一貫性を維持できる。

40

【0015】

【実施例】

図1は本発明の第1の実施例におけるキャッシュの構成図を示すものである。図1において、1はデータ部、2はタグ部、3は入力アドレス、4はヒット判定装置、7はデータ読み出し装置、9は入力データ、10はデータ書き込み制御装置、13はタグ書き込み制御装置、14はアクセス中検出装置を示す。

【0016】

以上のように構成された本実施例のキャッシュメモリの請求項1～4の発明について、以

50

下その動作を説明する。

【0017】

リード動作時、入力されたアドレス3により検索されたタグ部1の出力は、ヒット判定装置4に入力され、対応したデータが保持されているか否か、判定される。

【0018】

有効なデータが保持されている場合（ヒット時）は、ヒット判定装置4は、第1の制御信号5を出力すると共に、制御線6を介して、データ読み出し装置7に、選択情報を送付し、データ読み出し装置7は、データ部2からの出力から目的としたデータを選択して、第1のデータ8として出力する。

【0019】

リード動作時、有効なデータが保持されていない場合（ミスヒット時）は、ヒット判定装置4は、外部アクセスを要求するため、第2の制御信号を出力すると共に、タグ書き込み装置13に通知し、タグ部1に、対応するエントリを確保する。この時、外部アクセスに伴って読み込まれるデータに対応した部分の状態は、アクセス中（01）に設定する。この後は、後続のキャッシュアクセスを受け付ける。

【0020】

以下に、タグ部1で用いられる状態の一覧表の一例を示す。

【0021】

【表1】

状態	内容
00	無効
01	アクセス中
11	有効

【0022】

ライト動作時、有効なデータが保持されている場合（ヒット時）は、ヒット判定装置4は、制御線6を介して、データ書き込み装置10に、選択情報を送付し、データ書き込み装置10は、データ部2の目的としたデータ部分を選択して、第3のデータ9を書き込む。

【0023】

ライト動作時、アクセス中検出装置14で、目的とするデータ部分が、アクセス中であることを検出した場合、タグ書き込み装置13は、目的としたデータ部分の状態を、アクセス中（01）から、有効（11）に変更すると共に、データ書き込み装置10は、データ部2の目的としたデータ部分を選択して、第3のデータ9を書き込む。

【0024】

ミスヒットに伴う外部アクセス終了後、読み込まれた第2のデータ12をデータ部2に書き込む時、アクセス中検出装置14は、対応したデータ部の状態を検査し、状態がアクセス中（01）の場合だけ、タグ書き込み制御装置13は、状態をアクセス中（01）から有効状態へ変更し、同時に、データ書き込み制御装置10は、データ部2の対応した部分に、第2のデータ12の対応した部分を書き込む。

【0025】

図2は、第1の実施例の動作例を示すタイミングチャートである。第1クロック（T1）での、リード動作（n）時、ミスヒットが発生し、第2の制御信号11が出力される。この時のリード動作を、128番地へのアクセスとする。第2クロック（T2）では、第2の制御信号によって外部アクセスが起動されると共に、タグ書き込み装置13に通知し、タグ部1に対応するエントリを確保する。この時、外部アクセスに伴って読み込まれるデ

10

20

30

40

50

ータに対応した部分の状態は、アクセス中に設定する。

【0026】

ミスヒットに伴う外部アクセスでは、4ワード分を一度に読み込むとすると、今回の外部アクセスでは、128番地から143番地までのデータを読み込む。この後は、後続のキャッシュアクセスを受け付ける。第3クロック(T3)では、後続のキャッシュアクセスであるリード動作(n+1)が実行される。この場合は、ヒット時を示している。

【0027】

第4クロック(T4)では、後続のキャッシュアクセスであるライト動作(n+2)が実行される。この場合は、第1クロックでのミスヒットに伴う外部アクセス中のアドレスに対するデータ書き込みを想定している。このため、アクセス中検出装置14から、一致信号15が送出されている。これによって、タグ書き込み装置13は、目的としたデータ部分の状態を、アクセス中から、有効に変更すると共に、データ書き込み装置10は、データ部2の目的としたデータ部分を選択して、データを書き込み、ライト動作を完了する。

10

【0028】

このため、後続のキャッシュアクセスを受け付けることができる。このライト動作は、132番地へのワードデータの書き込みとする。第5クロック(T5)では、後続のキャッシュアクセスであるリード動作(n+3)が実行される。この場合も、ヒット時を示している。以降、同様にキャッシュアクセスが継続される。

【0029】

第8クロック(T8)で外部アクセスが終了すると、読み出された4ワードのデータは、第9クロック(T9)で、データ部2に、書き込まれる。この時、132番地のワードデータは、既に、T4クロックで有効なデータが書き込まれていて、状態は有効状態に変更されているので、128番地、136番地、140番地にだけ、外部アクセスにより読み込まれたデータが書き込まれると共に、対応する部分の状態が、有効状態に変更される。

20

【0030】

第4クロック(T4)におけるライト動作が、132番地へのバイトデータの書き込みで、タグ部での状態の管理単位がワードの場合は、キャッシュへの書き込みを行わず、同時に、対応する部分の状態(132番地のワードデータ)を無効状態とする。この時、このライト動作は、外部(メモリ、買いレベルのキャッシュメモリなど)に対しては要求されることはいうまでもない。しかし、このライト動作は、実行中のリード動作によって読み込まれるデータには反映されていない。

30

【0031】

このため、第9クロック(T9)でのデータ書き込み時には、132番地の状態がアクセス中でなく、無効状態であり、対応した部分への古いデータの書き込みを抑制され、データの一貫性を維持できる。また、同様の場合に、外部アクセス終了まで、データの書き込みを遅延させることによっても、データの一貫性を維持できる。

【0032】

外部アクセスの終了時、アクセスしたデータの無効化要求が発生していた、または、した場合は、第9クロック(T9)でのデータの更新を行わず、対応するデータの状態を検査し、外部アクセス中を示す状態の部分のみを、無効状態とする。これによって、バスエラーなどの要因による、無効なデータのキャッシュへの格納、また、I/Oなどのキャッシュへ格納できないデータへの対応を実現でき、高性能化を実現できる。

40

【0033】

なお、目的のデータが、ライトスルー方式で制御されている場合は、対応する全てのデータの状態を、無効状態とすることができる。

【0034】

続いて、本実施例のキャッシュメモリの請求項5の発明について以下その動作を説明する。ライト動作に伴いミスヒットが発生し、このデータをキャッシュに新規に割り付ける時(ライトデータのエントリーをキャッシュ内に新たに設けること)、そのワードデータ以外のラインを埋める(フィル)方法とそうでない方法がある。

50

## 【 0 0 3 5 】

例えば、4ワードからなるラインにワード単位でライトする場合、ライトミスに伴い新たなラインに割り付けるが、書き込むワード以外にラインには3ワード分の領域が存在する。そこは有効なものを書き込んでいないので、無効状態のままである。その時に、ロード動作を起動し、それ以外の3ワード分を埋める方法と、ワード毎に有効無効を示す状態を持たせ、有効なワードだけ有効状態に変更し、無効のところはそのままにしておく方法がある。

## 【 0 0 3 6 】

本実施例ではラインを埋める方法を選択することにする。ストア動作時、入力されたアドレス3により検索されたタグ部1の出力は、ヒット判定装置4に入力され、対応したデータが保持されているか否か、判定される。ライト動作時、有効なデータが保持されている場合(ヒット時)は、ヒット判定装置4は、制御線6を介して、データ書き込み装置10に、選択情報を送付し、データ書き込み装置10は、データ部2の目的としたデータ部分を選択して、第3のデータ9を書き込む。

10

## 【 0 0 3 7 】

ライト動作時、有効なデータが保持されていない場合(ミスヒット時)は、ヒット判定装置4は、タグ書き込み装置13に通知し、タグ部1に、対応するエントリを確保する。その後、データ書き込み装置10は、データ部2の目的としたデータ部分を選択して、第3のデータ9を書き込む。

## 【 0 0 3 8 】

同時に、ライン内のその他のワード部分に書き込むデータを用意する必要があり、外部アクセスを要求するため、第2の制御信号を出力する。この時、外部アクセスに伴って読み込まれるデータに対応する部分の状態は、アクセス中(01)に設定する。この後は、後続のキャッシュアクセスを受け付ける。この後にライトが発生する場合の手続きは、上記請求項1~4に対する実施例と同じであるので、省略する。

20

## 【 0 0 3 9 】

これによって、ライトキャッシュミス時にそのワードデータ以外のラインを埋める(フィル)方法の場合でも、キャッシュアクセスのノンブロッキング化を実現でき、高性能化を図れる。

## 【 0 0 4 0 】

続いて、本実施例のキャッシュメモリの請求項6、7の発明について以下その動作を説明する。前提としては、バスモニタリング機構を備えており、アドレス3を介して外部バスのアドレスをモニタリングすることができる。モニタリング機構は、内部キャッシュに含まれているデータと同じアドレスが外部バスに存在するかどうかを監視する機構で、外部主記憶が本プロセッサ以外によって書き換えられる場合には、内部キャッシュの同じエントリを無効化することにより、外部メモリと内部キャッシュの整合性(コヒーレント)を保証することができる。

30

## 【 0 0 4 1 】

上記構成において、リード動作時にキャッシュミスが発生し、後続するライト動作時に、アクセス中検出装置14で、目的とするデータ部分が、アクセス中であることが検出され(ここまでは上記請求項1~4に対する実施例と同じ)、その後、そのアドレスに対し、スヌープ機構によって外部メモリで変更されたアドレスと同じであることが判明した場合には、状態を有効状態(11)からアクセス中状態(01)に変更する。

40

## 【 0 0 4 2 】

これ以降は、上記請求項1~4に対する実施例と同じように、リード結果の反映を行なう。また、上記構成において、リード動作時にキャッシュミスが発生し、その後、そのアドレスに対し、スヌープ機構によって外部メモリで変更されたアドレスと同じであることが判明した場合には、状態を変更せずに、アクセス中状態(01)のままにしておく。これ以降は、上記請求項1~4に対する実施例と同じである。

## 【 0 0 4 3 】

50

これによって、スヌープ機構を持つ場合にも、キャッシュのノンブロッキング化を実現でき高性能化を図れる。なお、タグ部とデータ部は、同一クロックで動作するとしているが、パイプライン化してもよい。また、タグ部やデータ部を、シングルポートとしているが、全体、もしくは、一部だけ（例えば、タグ部の状態を示す部分だけ）をマルチポート化することによって、性能向上を図ることができる。

#### 【0044】

#### 【発明の効果】

以上説明したように、本発明のキャッシュメモリは、

(1) 外部アクセス中のアドレスを検出するための比較装置の追加による回路規模の増大を招くことなく、データの破壊を伴わず、外部アクセス中に、後続のライト動作を完了でき、高性能化を実現できる。同時に、複数の外部アクセスが並行して処理されている場合や、それらのアクセスの終了の順序が要求された順序と違うような場合にも、回路規模の増大を伴わずに対応できる。

10

(2) 外部アクセス中のアドレスに対する、データの管理単位より小さいデータサイズでのライト動作時に、キャッシュへの書き込みを行わず、データの一貫性を維持できる。

(3) 外部アクセス中のアドレスに対する、データの管理単位より小さいデータサイズでのライト動作時に、データの書き込みを遅延させることにより、データの一貫性を維持できる。

(4) 外部アクセスの終了時、アクセスしたデータの無効化要求が発生していた、または、発生した場合は、データの更新を行わず、バスエラーなどの要因による、無効なデータのキャッシュへの格納、また、I/Oなどのキャッシュへ格納できないデータへの対応を実現できる。

20

(5) ライトキャッシュミス時にそのワードデータ以外のラインを埋める（フィル）方法を採用の場合でも、回路規模の増大を招くことなくかつデータの破壊を伴わずに、外部アクセス中に、後続のライト動作を完了でき、高性能化を実現できる。

(6) スヌープ機構を実現し外部メモリとの整合性を保つ場合にも、後続のライト動作を完了でき、高性能化を図れる。

などの多くのことが実現でき、その実用的効果は大きい。

#### 【図面の簡単な説明】

【図1】本発明の一実施例におけるキャッシュメモリの構成図

30

【図2】図1に示された一実施例の動作例を示すタイミングチャート

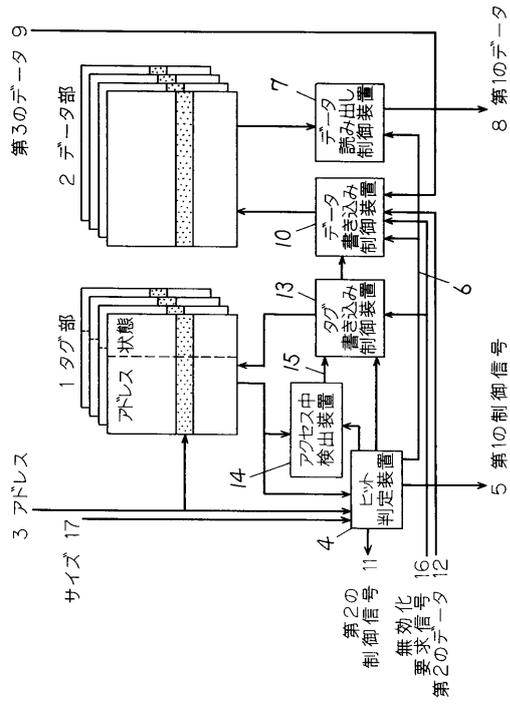
【図3】従来のキャッシュメモリの動作例を示すタイミングチャート

#### 【符号の説明】

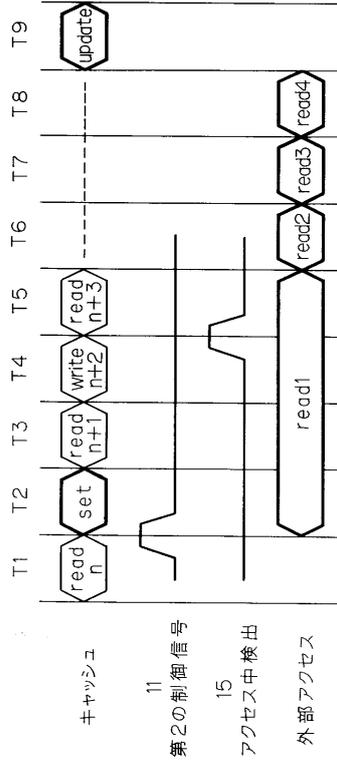
- 1 データ部
- 2 タグ部
- 4 ヒット判定装置
- 7 データ読み出し装置
- 10 データ書き込み制御装置
- 13 タグ書き込み制御装置
- 14 アクセス中検出装置

40

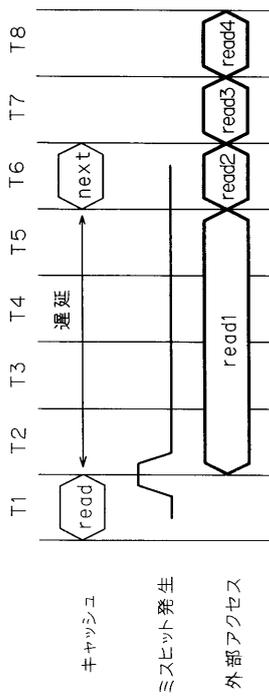
【 図 1 】



【 図 2 】



【 図 3 】



## フロントページの続き

(51) Int.Cl. F I  
G 0 6 F 12/08 5 3 1 Z  
G 0 6 F 12/08 5 4 1 Z  
G 0 6 F 12/08 5 7 1

審査官 清木 泰

(56) 参考文献 特開昭 5 4 - 7 5 2 3 1 ( J P , A )  
特開昭 6 1 - 1 1 8 6 5 ( J P , A )  
特開昭 5 3 - 1 4 8 3 4 4 ( J P , A )  
特開昭 5 5 - 1 4 6 6 8 2 ( J P , A )  
特開昭 5 6 - 1 1 7 3 8 4 ( J P , A )  
特開平 3 - 1 2 4 9 ( J P , A )  
特開昭 5 6 - 8 0 8 6 7 ( J P , A )  
特開平 3 - 2 6 0 8 5 0 ( J P , A )  
特開平 1 - 2 9 2 5 4 7 ( J P , A )  
特開平 4 - 3 2 9 4 3 ( J P , A )  
特開平 3 - 1 8 6 9 5 2 ( J P , A )  
特開平 3 - 5 8 2 5 1 ( J P , A )  
特開平 3 - 1 4 9 6 3 6 ( J P , A )  
特開平 3 - 4 6 0 4 1 ( J P , A )  
特開平 4 - 1 5 6 6 3 7 ( J P , A )  
特開平 3 - 1 7 1 3 4 0 ( J P , A )  
特開平 3 - 2 6 9 6 5 0 ( J P , A )  
特開平 4 - 1 5 3 8 5 0 ( J P , A )  
特開平 2 - 1 8 8 8 4 9 ( J P , A )  
特開平 7 - 4 4 4 5 8 ( J P , A )  
特開昭 6 0 - 1 1 8 9 5 1 ( J P , A )  
特開昭 5 0 - 5 4 2 4 9 ( J P , A )  
特開昭 6 3 - 2 2 6 7 5 1 ( J P , A )  
特開昭 6 3 - 2 2 8 2 4 7 ( J P , A )  
特開昭 5 7 - 1 8 9 3 8 5 ( J P , A )

(58) 調査した分野(Int.Cl. , DB名)

G06F12/08-12/12