



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2019-0069294
(43) 공개일자 2019년06월19일

- (51) 국제특허분류(Int. Cl.)
 H01L 27/092 (2006.01) H01L 21/8238 (2006.01)
 H01L 25/065 (2006.01) H01L 29/423 (2006.01)
 H01L 29/66 (2006.01) H01L 29/78 (2006.01)
- (52) CPC특허분류
 H01L 27/092 (2013.01)
 H01L 21/823864 (2013.01)
- (21) 출원번호 10-2018-0136361
- (22) 출원일자 2018년11월08일
 심사청구일자 없음
- (30) 우선권주장
 62/597,339 2017년12월11일 미국(US)
 15/977,949 2018년05월11일 미국(US)

- (71) 출원인
 삼성전자주식회사
 경기도 수원시 영통구 삼성로 129 (매탄동)
- (72) 발명자
 로더, 마크 에스.
 75205 미국 텍사스주, 달라스, 로스테일 아베뉴 3518
 올라도빅, 보르나 제이.
 78641 미국 텍사스주, 린더, 크리스탈 폴스 파크웨이 3207
 (뒷면에 계속)
- (74) 대리인
 하영욱

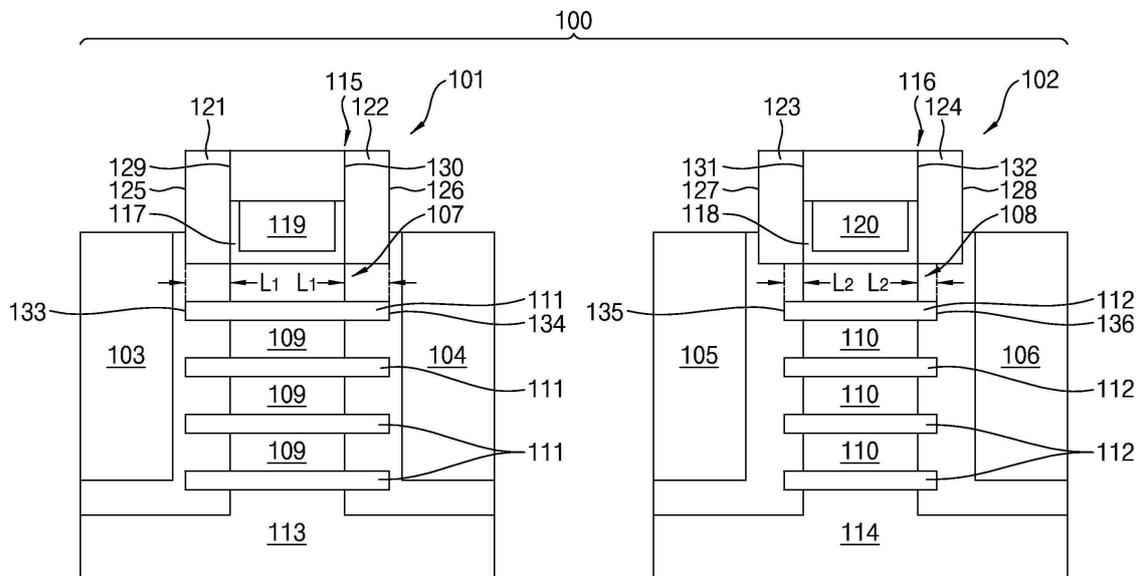
전체 청구항 수 : 총 20 항

(54) 발명의 명칭 전계효과 트랜지스터, CMOS 시스템온칩 및 이의 제조방법

(57) 요약

일련의 부분 게이트-올-어라운드 전계효과 트랜지스터들을 포함하는 CMOS 시스템온칩이 개시된다. 각각의 부분 GAA FET은 채널영역 스택을 포함하는 핀, 핀의 양측에 형성된 소스영역 및 드레인영역, 제1 채널영역 및 제2 채널영역 사이에 형성된 유전물질들을 포함하는 유전체 분리영역, 핀 상에 형성된 게이트스택, 및 게이트스택의 양측에 형성된 한 쌍의 측벽 스페이서를 포함한다. 유전체 분리영역의 일부는 유전체 분리영역의 외측 에지에서부터 각각의 측벽 스페이서의 내측 에지까지의 길이를 갖는다. 부분 GAA FET들 중 하나의 유전체 분리영역의 일부의 길이는 부분 GAA FET들 중 다른 하나의 유전체 분리영역의 일부의 길이와 상이하다.

대표도



(52) CPC특허분류

H01L 25/065 (2013.01)
H01L 29/42392 (2013.01)
H01L 29/6656 (2013.01)
H01L 29/7831 (2013.01)
H01L 29/7855 (2013.01)

푸어가데리, 모함마드 알리

대한민국 경기도 화성시 삼성로1

(72) 발명자

펠레, 달멘달 레디

98004 미국 워싱턴주, 벨레뷰, 메인 스트리트., 아파
트.611 10555

센굽타, 르워

78717 미국 텍사스주, 오스틴, 브로딕 드라이브
15425

명세서

청구범위

청구항 1

복수의 부분 게이트-올-어라운드 전계효과 트랜지스터(Gate-All-Around Field Effect Transistor: GAA FET)를 포함하는 CMOS 시스템온칩에 있어서,

상기 복수의 부분 GAA FET 중 각 부분 GAA FET은,

적어도 제1 채널영역 및 상기 제1 채널영역 상에 적층된 제2 채널영역을 포함하는 채널영역 스택을 포함하는 핀;

상기 핀의 양측에 형성된 소스영역 및 드레인영역;

상기 제1 채널영역 및 상기 제2 채널영역 사이에 형성된 유전물질을 포함하는 유전체 분리영역;

상기 핀 상에 형성된 게이트스택; 및

상기 게이트스택의 양측에 형성된 한 쌍의 측벽 스페이서를 포함하고,

상기 유전체 분리영역의 일부분은, 상기 유전체 분리영역의 외측 에지에서부터 상기 한 쌍의 측벽 스페이서 각각의 내측 에지까지의 길이를 가지며,

상기 복수의 부분 GAA FET 중 하나의 상기 유전체 분리영역의 상기 일부분의 상기 길이는, 상기 복수의 부분 GAA FET 중 다른 하나의 상기 유전체 분리영역의 상기 일부분의 상기 길이와 상이한, CMOS 시스템온칩.

청구항 2

제1항에 있어서,

상기 복수의 부분 GAA FET 중 상기 하나의 상기 유전체 분리영역의 상기 일부분의 상기 길이는, 상기 복수의 부분 GAA FET 중 상기 다른 하나의 상기 유전체 분리영역의 상기 일부분의 상기 길이보다 짧은, CMOS 시스템온칩.

청구항 3

제2항에 있어서,

상기 복수의 부분 GAA FET 중 상기 하나의 상기 유전체 분리영역의 상기 일부분의 상기 길이는, 대략 0 nm에서 대략 10 nm인, CMOS 시스템온칩.

청구항 4

제2항에 있어서,

상기 복수의 부분 GAA FET 중 상기 하나의 상기 유전체 분리영역의 상기 일부분의 상기 길이는, 대략 0 nm에서 대략 6 nm인, CMOS 시스템온칩.

청구항 5

제2항에 있어서,

상기 복수의 부분 GAA FET 중 상기 다른 하나는, 고 임계전압 또는 일반 임계전압을 가지고,

상기 복수의 부분 GAA FET 중 상기 다른 하나의 캐패시턴스는, 상기 복수의 부분 GAA FET 중 상기 하나의 캐패시턴스보다 작은, CMOS 시스템온칩.

청구항 6

제2항에 있어서,

상기 복수의 부분 GAA FET 중 상기 하나는, 저 임계전압 또는 초저 임계전압을 가지고,

상기 복수의 부분 GAA FET 중 상기 하나의 저항은 상기 복수의 부분 GAA FET의 상기 다른 하나의 저항보다 작은, CMOS 시스템온칩.

청구항 7

제1항에 있어서,

상기 복수의 부분 GAA FET 중 상기 하나의 상기 한 쌍의 측벽 스페이서는, 상기 복수의 부분 GAA FET 중 상기 다른 하나의 상기 한 쌍의 측벽 스페이서보다 얇은, CMOS 시스템온칩.

청구항 8

적어도 제1 채널영역 및 상기 제1 채널영역 상에 적층된 제2 채널영역을 포함하는 채널영역 스택을 포함하는 핀;

상기 핀의 양측에 형성된 소스영역 및 드레인영역;

상기 제1 채널영역 및 상기 제2 채널영역 사이에 형성된 유전물질층을 포함하는 유전체 분리영역;

상기 핀 상에 형성된 게이트스택; 및

상기 게이트스택의 양측에 형성된 한 쌍의 측벽 스페이서를 포함하고,

상기 유전체 분리영역의 외측 에지는, 상기 한 쌍의 측벽 스페이서 각각의 내면 및 외면 사이에 측방향으로 위치하는, 전계효과 트랜지스터.

청구항 9

제8항에 있어서,

상기 유전체 분리영역의 일부분은, 상기 유전체 분리영역의 외측 에지에서부터 상기 한 쌍의 측벽 스페이서 각각의 내측 에지까지의 길이를 갖는, 전계효과 트랜지스터.

청구항 10

제9항에 있어서,

상기 유전체 분리영역의 상기 일부분의 상기 길이는, 대략 0 nm에서 대략 10nm인, 전계효과 트랜지스터.

청구항 11

제9항에 있어서,

상기 유전체 분리영역의 상기 일부분의 상기 길이는, 대략 0 nm에서 대략 6 nm인, 전계효과 트랜지스터.

청구항 12

복수의 부분 게이트-올-어라운드 전계효과 트랜지스터(Gate-All-Around Field Effect Transistor: GAA FET)를 포함하는 CMOS 시스템온칩의 제조방법에 있어서,

상기 복수의 부분 GAA FET 중 제1 부분 GAA FET을 형성하는 단계; 및

상기 복수의 부분 GAA FET 중 제2 부분 GAA FET을 형성하는 단계를 포함하되,

상기 제1 및 제2 GAA FET 각각은,

적어도 제1 채널영역 및 상기 제1 채널영역 상에 적층된 제2 채널영역을 포함하는 채널영역 스택을 포함하는 핀;

상기 핀의 양측에 형성된 소스영역 및 드레인영역;

상기 제1 채널영역 및 상기 제2 채널영역 사이에 형성된 유전물질층을 포함하는 유전체 분리영역;

상기 핀 상에 형성된 게이트스택; 및

상기 게이트스택의 양측에 형성된 한 쌍의 측벽 스페이서를 포함하고,

상기 유전체 분리영역의 일부분은, 상기 유전체 분리영역의 외측 에지에서부터 상기 한 쌍의 측벽 스페이서 각각의 내측 에지까지의 길이를 가지며,

상기 제1 부분 GAA FET의 상기 유전체 분리영역의 상기 일부분의 상기 길이는, 상기 제2 부분 GAA FET의 상기 유전체 분리영역의 상기 일부분의 상기 길이와 상이한, CMOS 시스템온칩 제조방법.

청구항 13

제12항에 있어서,

상기 제2 부분 GAA FET의 상기 유전체 분리영역의 상기 일부분의 상기 길이는, 상기 제1 부분 GAA FET의 상기 유전체 분리영역의 상기 일부분의 상기 길이보다 짧은, CMOS 시스템온칩 제조방법.

청구항 14

제13항에 있어서,

상기 제1 부분 GAA FET은, 고 임계전압 또는 일반 임계전압을 가지고,

상기 제1 부분 GAA FET의 캐패시턴스는, 상기 제2 부분 GAA FET의 캐패시턴스보다 작은, CMOS 시스템온칩 제조방법.

청구항 15

제13항에 있어서,

상기 제2 부분 GAA FET은, 저 임계전압 또는 초저 임계전압을 가지고,

상기 제2 부분 GAA FET의 저항은, 상기 제1 부분 GAA FET의 저항보다 작은, CMOS 시스템온칩 제조방법.

청구항 16

제13항에 있어서,

상기 제2 부분 GAA FET의 상기 유전체 분리영역의 상기 일부분의 상기 길이는, 대략 0 nm에서 대략 10 nm인, CMOS 시스템온칩 제조방법.

청구항 17

제13항에 있어서,

상기 제2 부분 GAA FET의 상기 유전체 분리영역의 상기 일부분의 상기 길이는, 대략 0 nm에서 대략 6 nm인, CMOS 시스템온칩 제조방법.

청구항 18

제12항에 있어서,

상기 제1 부분 GAA FET의 도핑된 확장영역들의 길이는, 상기 제2 부분 GAA FET의 도핑된 확장영역들의 길이와 실질적으로 동일한, CMOS 시스템온칩 제조방법.

청구항 19

제12항에 있어서,

상기 제2 부분 GAA FET의 상기 한 쌍의 측벽 스페이서는, 상기 제1 부분 GAA FET의 상기 한 쌍의 측벽 스페이서보다 얇은, CMOS 시스템온칩 제조방법.

청구항 20

제12항에 있어서,
 상기 제2 부분 GAA FET을 형성하는 단계는,
 실리콘기판 상에 교대로 적층되는 희생층들 및 도전채널층들의 스택을 증착하는 단계;
 적어도 하나의 핀을 형성하도록 상기 스택을 패터닝 및 식각하는 단계;
 상기 적어도 하나의 핀 상에 더미 게이트스택을 형성하는 단계;
 상기 더미 게이트스택의 양측에 외부 측벽 스페이서들을 형성하는 단계;
 상기 희생층들 각각의 양단을 측방향 식각하는 단계; 및
 소스영역 및 드레인영역을 형성하는 단계를 포함하는, CMOS 시스템온칩 제조방법.

발명의 설명

기술 분야

[0001] 본 개시는 일반적으로 전계효과 트랜지스터 및 이의 제조방법에 관한 것이다.

배경 기술

[0002] 종래의 회로는 보통 비평면 "핀" 전계효과 트랜지스터(fin Field Effect Transistor: finFET)로 형성된다. 종래의 finFET들은 일반적으로 도전채널영역으로 작용하는 다수의 수직 핀들을 포함한다. 핀 채널영역의 폭을 줄이는 것은 핀 채널영역의 전위에 대한 게이트 제어를 향상시킨다. 따라서, 종래의 finFET은 좁은 핀 폭을 갖도록 제공되어 단채널 효과를 줄임으로써 게이트 길이를 더 짧게 스케일링할 수 있게 한다. 그러나 게이트 길이가 짧아짐에 따라, 종래의 finFET은 원하는 성능(예: $I_{eff}-I_{off}$)을 제공하지 못할 수 있다. 또한, 종래의 finFET은 게이트-올-어라운드(Gate-All-Around: GAA) 구조가 아니기 때문에, 게이트 제어는 핀의 측면에만 미치며, 이는 게이트 길이 스케일링을 더욱 제한한다.

[0003] 향후 기술들은 단채널 효과를 줄임으로써 게이트 길이를 더 짧게 스케일링할 수 있도록 GAA 나노와이어 FET 또는 GAA 나노시트 FET으로 회로를 형성하는 것을 고려하고 있다. 그러나 GAA 나노와이어 FET 및 GAA 나노시트 FET 모두 집적과 관련된 문제들이 존재한다. 예를 들어, GAA FET은 기생 캐패시턴스(parasitic capacitance)를 줄이기 위해 GAA 게이트 금속을 소스/드레인 영역들과 분리하는 내부 스페이서를 필요로 한다. 또한, GAA FET은 기생 캐패시턴스를 줄이기 위해 일반적으로 상부 채널영역의 바닥과 하부 채널영역의 상부 사이의 좁은 수직 영역에 GAA 게이트 금속이 형성될 것을 요구한다. 그러나 채널영역들 사이의 좁은 수직 영역에 GAA 게이트 금속을 형성하는 것은 원하는 임계전압(V_t)을 획득하기 어렵게 만든다.

[0004] 또한, 향후 기술들은 단채널 효과를 줄이기 위해 회로를 부분적인 GAA 나노와이어 FET(부분 게이트-올-어라운드 전계효과 트랜지스터 또는 부분 GAA FET으로도 지칭)으로 형성하는 것을 고려하고 있다. 일련의 부분 GAA 나노와이어 FET들을 포함하는 종래의 CMOS 시스템온칩(System on Chip: SoC)에서, 동일 유형의 부분 GAA 나노와이어 FET들은 모두 동일한 길이의 유전체 분리영역을 갖는다. 즉, 종래의 CMOS 시스템온칩에서 다른 임계전압값을 갖는 부분 GAA 나노와이어 FET들(예: 고 임계전압(High Voltage Threshold: HVT), 일반 임계전압(Regular Voltage Threshold: RVT), 저 임계전압(Low Voltage Threshold: LVT), 및 초저 임계전압(Super Low Voltage Threshold: SLVT) FET들)은 모두 동일한 길이의 유전체 분리영역을 갖는다. 따라서, 이와 같은 일련의 부분 GAA 나노와이어 FET들을 포함하는 종래의 CMOS 시스템온칩은 비용측면에서도 적합하게 최저 동적전력에서 최고의 성능을 나타낼 수 있도록 최적화되지 않는다.

발명의 내용

해결하려는 과제

[0005] 본 개시의 실시예들에 따른 과제는 최저 동적전력에서 최고의 성능을 나타내도록 최적화된 CMOS 시스템온칩, 전계효과 트랜지스터 및 CMOS 시스템온칩의 제조방법을 제공하는데 있다.

과제의 해결 수단

- [0006] 본 개시의 양상들은 CMOS 시스템온칩(SoC)의 다양한 실시예들에 관한 것이다. 본 개시의 일 실시예에 따르면, CMOS 시스템온칩은 일련의 부분 게이트-올-어라운드 전계효과 트랜지스터(GAA FET)들을 포함한다. 각 부분 GAA FET은, 적어도 제1 채널영역 및 제1 채널영역 상에 적층된 제2 채널영역을 포함하는 채널영역 스택을 포함하는 핀; 핀의 양측에 형성된 소스영역 및 드레인영역; 제1 채널영역 및 제2 채널영역 사이에 형성된 유전물질을 포함하는 유전체 분리영역; 핀 상에 형성된 게이트스택; 및 게이트스택의 양측에 형성된 한 쌍의 측벽 스페이서를 포함한다. 유전체 분리영역의 일부분은 유전체 분리영역의 외측 에지에서부터 한 쌍의 측벽 스페이서 각각의 내측 에지까지의 길이를 갖는다. 부분 GAA FET들 중 하나의 유전체 분리영역의 일부분의 길이는 부분 GAA FET들 중 다른 하나의 유전체 분리영역의 일부분의 길이와 상이하다.
- [0007] 부분 GAA FET들 중 하나의 유전체 분리영역의 일부분의 길이는 대략 0 nm에서 대략 10 nm, 또는 대략 0 nm에서 대략 6 nm에서 달라질 수 있다.
- [0008] 부분 GAA FET들 중 하나는 고 임계전압 또는 일반 임계전압을 가질 수 있고, 이 부분 GAA FET의 캐패시턴스는 다른 부분 GAA FET의 캐패시턴스보다 작을 수 있다.
- [0009] 부분 GAA FET들 중 하나는 저 임계전압 또는 초저 임계전압을 가질 수 있고, 이 부분 GAA FET의 저항은 다른 부분 GAA FET의 저항보다 작을 수 있다.
- [0010] 부분 GAA FET들 중 하나의 도핑된 확장영역들의 길이는 다른 부분 GAA FET의 도핑된 확장영역들의 길이와 실질적으로 동일할 수 있다.
- [0011] 하나의 부분 GAA FET의 도핑된 확장영역들의 길이는 다른 부분 GAA FET의 도핑된 확장영역들의 길이보다 짧을 수 있다.
- [0012] 하나의 부분 GAA FET의 한 쌍의 측벽 스페이서는 다른 부분 GAA FET의 한 쌍의 측벽 스페이서보다 얇을 수 있다.
- [0013] 본 개시의 여러 양상들은 전계효과 트랜지스터의 다양한 실시예들에 관한 것이기도 하다. 본 개시의 일 실시예에 따르면, 전계효과 트랜지스터는, 적어도 제1 채널영역 및 제1 채널영역 상에 적층된 제2 채널영역을 포함하는 채널영역 스택을 포함하는 핀; 핀의 양측에 형성된 소스영역 및 드레인영역; 제1 채널영역 및 제2 채널영역 사이에 형성된 유전물질을 포함하는 유전체 분리영역; 핀 상에 형성된 게이트스택; 및 게이트스택의 양측에 형성된 한 쌍의 측벽 스페이서를 포함한다. 유전체 분리영역의 외측 에지는 한 쌍의 측벽 스페이서 각각의 내면 및 외면 사이에 측방향으로 위치한다.
- [0014] 유전체 분리영역의 일부분은 유전체 분리영역의 외측 에지에서부터 한 쌍의 측벽 스페이서 각각의 내측 에지까지의 길이를 가질 수 있다. 유전체 분리영역의 일부분의 길이는 대략 0 nm에서 대략 10 nm, 또는 대략 0 nm에서 대략 6 nm일 수 있다.
- [0015] 본 개시의 여러 양상들은 일련의 부분 GAA FET들을 포함하는 CMOS 시스템온칩의 다양한 제조방법들에 관한 것이기도 하다. 본 개시의 일 실시예에 따르면, 본 방법은 일련의 부분 GAA FET들 중 제1 부분 GAA FET을 형성하는 단계 및 일련의 부분 GAA FET들 중 제2 부분 GAA FET을 형성하는 단계를 포함한다. 제1 및 제2 부분 GAA FET 각각은, 적어도 제1 채널영역 및 제1 채널영역 상에 적층된 제2 채널영역을 포함하는 채널영역 스택을 포함하는 핀; 핀의 양측에 형성된 소스영역 및 드레인영역; 제1 채널영역 및 제2 채널영역 사이에 형성된 유전물질을 포함하는 유전체 분리영역; 핀 상에 형성된 게이트스택; 및 게이트스택의 양측에 형성된 한 쌍의 측벽 스페이서를 포함한다. 유전체 분리영역의 일부분은 유전체 분리영역의 외측 에지에서부터 한 쌍의 측벽 스페이서 각각의 내측 에지까지의 길이를 갖는다. 제1 부분 GAA FET의 유전체 분리영역의 일부분의 길이는 제2 부분 GAA FET의 유전체 분리영역의 일부분의 길이와 상이하다.
- [0016] 제2 부분 GAA FET의 유전체 분리영역의 일부분의 길이는 제1 부분 GAA FET의 유전체 분리영역의 일부분의 길이보다 짧을 수 있다. 제2 부분 GAA FET의 유전체 분리영역의 일부분의 길이는 대략 0 nm에서 대략 10 nm, 또는 대략 0 nm에서 대략 6 nm일 수 있다.
- [0017] 제1 부분 GAA FET은 고 임계전압 또는 일반 임계전압을 가질 수 있고, 제1 부분 GAA FET의 캐패시턴스는 제2 부분 GAA FET의 캐패시턴스보다 작을 수 있다.
- [0018] 제2 부분 GAA FET은 저 임계전압 또는 초저 임계전압을 가질 수 있고, 제2 부분 GAA FET의 저항은 제1 부분 GAA FET의 저항보다 작을 수 있다.

- [0019] 제1 부분 GAA FET의 도핑된 확장영역들의 길이는 제2 부분 GAA FET의 도핑된 확장영역들의 길이와 실질적으로 동일할 수 있다.
- [0020] 제1 부분 GAA FET의 도핑된 확장영역들의 길이는 제2 부분 GAA FET의 도핑된 확장영역들의 길이와 상이할 수 있다.
- [0021] 제2 부분 GAA FET의 한 쌍의 측벽 스페이서는 제1 부분 GAA FET의 한 쌍의 측벽 스페이서보다 얇을 수 있다.
- [0022] 제1 또는 제2 부분 GAA FET을 형성하는 단계는, 실리콘기판 상에 교대로 적층되는 희생층들 및 도전채널층들의 스택을 증착하는 단계; 적어도 하나의 핀을 형성하도록 스택을 패터닝 및 식각하는 단계; 적어도 하나의 핀 상에 더미 게이트스택을 형성하는 단계; 더미 게이트스택의 양측에 외부 측벽 스페이서들을 형성하는 단계; 희생층들 각각의 양단을 측방향 식각하는 단계; 및 소스영역 및 드레인영역을 형성하는 단계를 포함할 수 있다.
- [0023] 이상의 과제에 해결수단은 이하 상세한 설명에서 더 설명되는 본 개시의 실시예들의 특징들 및 개념들의 선택예를 제시하기 위해 제공된다. 이상의 과제에 해결수단은 청구된 기술적 사상의 핵심 또는 필수적인 특징들을 식별하기 위한 것이 아니며, 청구된 기술적 사상의 범위를 제한하는데 이용하기 위한 것도 아니다. 설명된 특징들 중 하나 이상은 작동가능한 장치를 제공하기 위해 하나 이상의 다른 설명된 특징들과 결합될 수 있다.

발명의 효과

- [0024] 본 개시의 실시예들에 따르면, 부분 GAA FET의 유전체 분리영역들의 길이 간에 편차를 돕으로써 최저 동적전력에서 최고의 성능을 나타낼 수 있는 CMOS 시스템온칩을 제공할 수 있다.

도면의 간단한 설명

- [0025] 본 개시의 실시예들의 특징 및 이점은 아래의 도면들과 함께 후술하는 상세한 설명을 참조하여 보다 명확해질 것이다. 도면에 있어서, 동일한 참조부호들은 동일한 특징부들 및 구성요소들을 참조하기 위해 전체 도면에 걸쳐 사용된다. 도면들은 반드시 일정한 비율로 도시되는 것은 아니다.
- 도 1은 본 개시의 일 실시예에 따른 CMOS 시스템온칩(SoC)의 단면도이다.
- 도 2는 본 개시의 다른 실시예에 따른 CMOS 시스템온칩의 단면도이다.
- 도 3은 본 개시의 또 다른 실시예에 따른 CMOS 시스템온칩의 단면도이다.
- 도 4는 본 개시의 또 다른 실시예에 따른 CMOS 시스템온칩의 단면도이다.
- 도 5a 내지 도 5d는 본 개시의 일 실시예에 따른 CMOS 시스템온칩의 제조방법의 과정을 나타낸다.

발명을 실시하기 위한 구체적인 내용

- [0026] 본 개시는 일련의 부분적인 게이트-올-어라운드(이하, "부분 GAA") nFET 및 부분 GAA pFET을 포함하는 저전력 고성능 CMOS 시스템온칩(SoC)의 다양한 실시예들에 관한 것이다. 본 개시의 CMOS 시스템온칩의 하나 이상의 실시예들에 따르면, 부분 GAA nFET 및 부분 GAA pFET의 유전체 분리영역들은 모든 부분 GAA nFET 및 부분 GAA pFET에 대해서 동일한 길이를 갖지 않는다(예: 부분 GAA pFET들 또는 부분 GAA nFET들 중 하나의 유전체 분리영역의 길이는 CMOS 시스템온칩의 적어도 하나의 다른 부분 GAA pFET 또는 부분 GAA nFET의 유전체 분리영역의 길이와 다름). 이러한 부분 GAA nFET 및 부분 GAA pFET의 유전체 분리영역들의 길이 간의 편차는, 부분 GAA pFET 및 부분 GAA nFET 각각에 대해서 동일한 길이의 유전체 분리영역들을 갖는 종래의 CMOS 시스템온칩에 비하여 CMOS 시스템온칩이 최저 동적전력에서 최고의 성능을 달성하도록 한다(예: 부분 GAA nFET 및 부분 GAA pFET의 유전체 분리영역들의 길이 간의 편차는 CMOS 시스템온칩에 있어서 비용측면에서도 적합하게 최저 동적전력에서의 최고 성능을 달성할 수 있음).
- [0027] 이하, 첨부도면들(전체적으로 동일한 참조부호들은 동일한 구성요소들을 지칭)을 참조하여 본 개시의 예시적인 실시예들에 대해 보다 구체적으로 설명한다. 다만, 본 발명은 다양한 다른 방식으로 구체화될 수 있으며, 본 명세서에 도시된 실시예들만으로 제한되는 것으로 해석되어서는 안 된다. 이러한 실시예들은 본 개시가 철저히 완전해지고 본 발명의 양상들 및 특징들이 통상의 기술자에게 충분히 전달되도록 예시로서 제공되는 것이다. 따라서, 본 발명의 양상들 및 특징들에 대한 완전한 이해를 위해 본 개시가 속한 기술분야의 통상의 기술자에게 불필요한 공정들, 구성들 및 기법들에 대한 설명은 생략될 수 있다. 특별히 언급하지 않는 한, 첨부도면 및 상세한 설명 전반에 걸쳐 동일한 참조부호는 동일한 구성요소를 나타내므로 동일한 구성요소에 대한 설명은 반복하

지 않는다.

- [0028] 도면에 도시된 구성요소들, 계층들 및 영역들의 상대적인 크기는 명확성을 위해 과장 및/또는 단순화될 수 있다. "아래에", "밑에", "하부에", "하에", "위에", "상부에" 등과 같이 공간적으로 상대적인 의미를 갖는 용어들이 도면에 도시된 하나의 구성요소 또는 특징부와 다른 구성요소(들) 또는 특징부(들)의 관계에 대한 설명을 용이하게 하기 위하여 본 명세서에서 사용될 수 있다. 공간적으로 상대적인 의미를 갖는 용어들은 도면에 도시된 사용 또는 작동 중인 장치의 배향뿐만 아니라 이와 다른 배향들도 포함하는 것으로 이해될 것이다. 예를 들어, 도면에 도시된 장치가 뒤집힌 경우에 다른 구성요소들 또는 특징부들 "아래에" 또는 "밑에" 또는 "하부에" 위치하는 것으로 설명되었던 구성요소들은 그 다른 구성요소들 또는 특징부들 "위에"로 배향될 것이다. 따라서, "아래에" 및 "하부에" 등의 예시적인 용어들은 위와 아래 방향 모두를 포괄할 수 있다. 장치는 다르게 배향(예: 90도 또는 다른 배향으로 회전)될 수 있으므로 본 명세서에서 사용된 공간적으로 상대적인 의미를 갖는 표현은 그에 따라 해석되어야 한다.
- [0029] "제1", "제2", "제3" 등의 용어들이 다양한 요소들, 구성들, 영역들, 계층들 및/또는 섹션들을 설명하기 위하여 본 명세서에서 사용될 수 있으나, 이러한 용어들에 의해 요소들, 구성들, 영역들, 계층들 및/또는 섹션들이 제한되는 것은 아니다. 이러한 용어들은 하나의 요소, 구성, 영역, 계층 또는 섹션을 다른 요소, 구성, 영역, 계층 또는 섹션과 구별하기 위해 사용된다. 따라서, 이하에 설명되는 제1 요소, 제1 구성, 제1 영역, 제1 계층 또는 제1 섹션은 본 발명의 사상 및 범위에서 벗어나지 않고 제2 요소, 제2 구성, 제2 영역, 제2 계층 또는 제2 섹션으로 지칭될 수 있다.
- [0030] 어느 구성요소나 계층이 다른 구성요소나 계층 "상에", "에 연결된" 또는 "에 결합된" 것으로 언급되는 경우, 이는 직접적으로 "다른 구성요소나 계층 상에", "다른 구성요소나 계층에 연결된" 또는 "다른 구성요소나 계층에 결합된" 것을 의미하거나, 하나 이상의 매개 구성요소들이나 매개 계층들이 존재하는 것을 의미할 수 있다. 또한, 어느 구성요소나 계층이 두 구성요소들 또는 계층들 "사이에" 존재하는 것으로 언급되는 경우, 이는 두 구성요소들 또는 계층들 사이에 하나의 구성요소 또는 계층만이 존재하는 것을 의미하거나, 하나 이상의 매개 구성요소들이나 매개 계층들이 존재하는 것을 의미할 수 있다.
- [0031] 본 명세서에서 사용되는 용어는 특정 실시예들을 설명하기 위한 것이며 본 발명을 한정하고자 하는 것은 아니다. 본 명세서에 사용되는 단수형태 용어는 문맥상 명백히 다르게 지시하지 않는 한 복수형태 용어도 포함한다. 본 명세서에서 사용되는 "포함한다", "포함하는", "갖는다" 및 "갖는"과 같은 용어들은 언급된 특징부들, 숫자들, 단계들, 동작들, 요소들 및/또는 구성들의 존재를 명시하지만, 하나 이상의 다른 특징부들, 숫자들, 단계들, 동작들, 요소들, 구성들 및/또는 이들의 집합들이 존재하거나 부가되는 것을 배제하는 것은 아니다. 본 명세서에서 사용되는 "및/또는"이라는 용어는 열거된 하나 이상의 관련 항목들의 임의의 조합 및 모든 조합들을 포함한다. 구성요소들의 열거 뒤에 이어지는 "적어도 하나"와 같은 표현들은 열거된 구성요소들 전체를 수식하는 것이고 열거된 개별 구성요소들을 수식하는 것이 아니다.
- [0032] 본 명세서에서 사용되는 "실질적으로", "대략" 및 이와 유사한 용어들은 정도(degree)를 나타내는 용어가 아닌 근사(approximation)를 나타내는 용어로서 사용되는 것이며, 본 개시가 속한 기술분야의 통상의 기술자에 의해 인식될 측정값 또는 계산값에 내재된 편차를 설명하기 위한 것이다. 또한, 본 개시의 실시예들에 대한 설명에 있어 "할 수 있다"라는 표현이 사용된 경우, 이는 "본 개시의 하나 이상의 실시예들"을 지칭하는 것이다. 본 명세서에서 사용된 "사용한다", "사용하는" 및 "사용되는"이라는 용어들은 각각 "활용한다", "활용하는" 및 "활용되는"이라는 용어들과 동의어로 간주될 수 있다. 또한, "예시적인"이라는 용어는 예시 또는 일례를 지칭한다.
- [0033] 본 명세서에서 사용되는 모든 용어들(기술용어 및 과학용어 포함)은 달리 정의되지 않는 한, 본 개시가 속하는 기술분야의 통상의 기술자가 일반적으로 이해하는 바와 동일한 의미를 갖는다. 또한, 일반적으로 사용되는 사전들에 정의된 것과 같은 용어들은 관련기술 및/또는 본 명세서의 맥락상의 의미와 일치하는 의미를 갖는 것으로 해석되어야 하며, 본 명세서에서 명백히 정의하지 않는 한 이상적이거나 지나치게 형식적인 의미로 해석되어서는 안 된다.
- [0034] 도 1을 참조하면, 본 개시의 일 실시예에 따른 CMOS 시스템온칩(SoC)(100)은 제1 부분 게이트-올-어라운드(GAA) 전계효과 트랜지스터(FET)(101) 및 제2 부분 GAA FET(102)을 포함한다. 도시된 실시예에서, 제1 및 제2 부분 GAA FET(101, 102) 각각은 소스 및 드레인 영역들(103, 104 및 105, 106)과, 소스 및 드레인 영역들(103, 104 및 105, 106) 사이에서 연장되는 적어도 하나의 핀(107, 108)을 포함한다. 도시된 실시예에서, 제1 및 제2 부분 GAA FET(101, 102) 각각의 핀(107, 108)은 일련의 적층된 채널영역들(109, 110)을 포함한다. 또한, 도시된 실시예에서, 각 부분 GAA FET(101, 102)은 인접 채널영역들(109, 110) 사이 및 핀(107, 108)이 형성되는 기판

(113, 114)과 최하위 채널영역(109, 110) 사이에 일련의 유전체 분리영역들(111, 112)을 포함한다. 도시된 실시예에서, 각 부분 GAA FET(101, 102)은 또한 핀(107, 108) 상에 게이트스택(115, 116)을 포함한다. 각 게이트스택(115, 116)은 게이트 유전층(117, 118) 및 게이트 유전층(117, 118) 상의 금속층(119, 120)을 포함한다. 도시된 실시예에서, 각 부분 GAA FET(101, 102)은 또한 게이트스택(115, 116)의 양측에 한 쌍의 측벽 스페이서(121, 122 및 123, 124)를 포함한다. 측벽 스페이서들(121, 122, 123, 124) 각각은 게이트스택(115, 116)으로부터 외측을 향하는 외면(125, 126, 127, 128)과, 내측으로 게이트스택(115, 116)을 향하며 외면(125, 126, 127, 128)과 대향하는 내면(129, 130, 131, 132)을 포함한다.

[0035] 계속하여 도 1에 도시된 실시예를 참조하면, 제1 부분 GAA FET(101)의 각 유전체 분리영역(111)의 일부분은 유전체 분리영역(111)의 외측 에지(133, 134)에서부터 측벽 스페이서(121, 122)의 내면(129, 130)(예: 상부 측벽 스페이서(121, 122)의 내면(129, 130))까지로 정의되는 길이 L_1 을 갖는다. 또한, 도시된 실시예에서, 제2 부분 GAA FET(102)의 각 유전체 분리영역(112)의 일부분은 유전체 분리영역(112)의 외측 에지(135, 136)에서부터 측벽 스페이서(123, 124)의 내면(131, 132)(예: 상부 측벽 스페이서(123, 124)의 내면(131, 132))까지로 정의되는 길이 L_2 를 갖는다. 또한, 도시된 실시예에서, 제1 부분 GAA FET(101)의 유전체 분리영역들(111)의 일부분의 길이 L_1 은 제2 부분 GAA FET(102)의 유전체 분리영역들(112)의 일부분의 길이 L_2 보다 길다. 도시된 실시예에서, 제1 부분 GAA FET(101)의 유전체 분리 영역들(111)의 외측 에지들(133, 134)은 각각 상부 측벽 스페이서(121, 122)의 외면(125, 126)과 정렬 또는 실질적으로 정렬되며, 제2 부분 GAA FET(102)의 유전체 분리영역들(112)의 외측 에지들(135, 136)은 각각 상부 측벽 스페이서(123, 124)의 내면(131, 132)과 외면(127, 128) 사이에 위치한다. 따라서, 도시된 실시예에서, 제1 부분 GAA FET(101)의 유전체 분리영역들(111)은 제2 부분 GAA FET(102)의 유전체 분리영역들(112)보다 길다.

[0036] 하나 이상의 실시예에 있어서, 각각 서로 다른 길이 L_1 , L_2 의 유전체 분리영역들을 갖는 제1 및 제2 부분 GAA FET(101, 102)은 상이한 임계전압 V_t 또는 동일한 임계전압 V_t 를 갖는다. 하나 이상의 실시예에 있어서, CMOS 시스템온칩(100)은 서로 다른 임계전압을 갖는 일련의 부분 GAA FET들을 포함할 수 있고, 서로 다른 임계전압 V_t 를 갖는 제1 및 제2 부분 GAA FET(101, 102)은 서로 다른 임계전압을 갖는 CMOS 시스템온칩(100)의 부분 GAA FET들 중 적어도 일부이다. 하나 이상의 실시예들에 있어서, 서로 다른 길이 L_1 , L_2 의 유전체 분리영역들을 갖는 제1 및 제2 부분 GAA FET(101, 102)은 CMOS 시스템온칩(100)의 서로 다른 부분에 구비될 수 있다. 하나 이상의 실시예들에 있어서, 제2 부분 GAA FET(102)의 유전체 분리영역들(112)보다 길이가 긴 유전체 분리영역들(111)을 갖는 제1 부분 GAA FET(101)은 고 임계전압 V_t (HVT) 또는 일반 임계전압(RVT)을 갖거나 가질 수 있는 반면, 제1 부분 GAA FET(101)의 유전체 분리영역들(111)보다 길이가 짧은 유전체 분리영역들(112)을 갖는 제2 부분 GAA FET(102)은 저 임계전압(LVT) 또는 초저 임계전압(SLVT)을 갖거나 가질 수 있다. 하나 이상의 실시예에 있어서, 고 임계전압 부분 GAA FET의 유전체 분리영역들의 길이는 일반 임계전압 부분 GAA FET의 유전체 분리영역들의 길이보다 길다. 또한, 일반 임계전압 부분 GAA FET의 유전체 분리영역들의 길이는 저 임계전압 부분 GAA FET의 유전체 분리영역들의 길이보다 길며, 저 임계전압 부분 GAA FET의 유전체 분리영역들의 길이는 초저 임계전압 부분 GAA FET의 유전체 분리영역들의 길이보다 길다. 하나 이상의 실시예들에 있어서, 고 임계전압 부분 GAA FET과 일반 임계전압 부분 GAA FET 간의 임계전압(V_t) 차이, 일반 임계전압 부분 GAA FET과 저 임계전압 부분 GAA FET 간의 임계전압(V_t) 차이, 및 저 임계전압 부분 GAA FET과 초저 임계전압 부분 GAA FET 간의 임계전압 V_t 차이는 대략 20 mV에서 50 mV이다. 하나 이상의 실시예들에 있어서, 상대적으로 긴 유전체 분리영역들(111)을 갖는 제1 부분 GAA FET(101)은 CMOS 시스템온칩(100)의 일부분에 구비될 수 있다. 이 때, CMOS 시스템온칩(100)의 해당 일부분과 관련된 동적전력을 감소시키도록 기생 게이트-드레인 캐패시턴스(C_{gd})는 최소화되거나 적어도 감소된다. 또한, 하나 이상의 실시예에 있어서, CMOS 시스템온칩(100)의 이러한 일부분은 GPU 코어들의 적어도 일부를 포함할 수 있다. 하나 이상의 실시예에 있어서, 제1 부분 GAA FET(101)이 위치하는 CMOS 시스템온칩(100)의 이러한 일부분은 GPU 코어들의 적어도 일부 및/또는 임계속도경로(critical speed path)를 포함하지 않는 GPU 및 CPU 코어들의 적어도 일부를 포함할 수 있다. 하나 이상의 실시예에 있어서, 상대적으로 짧은 유전체 분리영역들(112)을 갖는 제2 부분 GAA FET(102)은 예를 들어 임계속도경로를 포함하는 CMOS 시스템온칩(100)의 일부분에 구비될 수 있다. 이 때, CMOS 시스템온칩(100)의 해당 일부분과 관련된 유효 구동전류(I_{eff})를 증가시키도록 기생 확장저항(parasitic extension resistance, R_{ext})은 최소화되거나 적어도 감소된다.

[0037] 제2 부분 GAA FET(102)이 저 임계전압 부분 GAA FET인 하나 이상의 실시예에 있어서, 유전체 분리영역들(112)의

일부분들의 길이 L_2 는 대략 0 nm(예: 유전체 분리영역들(112)의 외측 에지들(135, 136)이 각각의 측벽 스페이서(123, 124)의 내면(131, 132)과 정렬 또는 실질적으로 정렬되는 경우)에서 대략 6 nm일 수 있다. 하나 이상의 실시예에 있어서, 유전체 분리영역들(112)의 일부분들의 길이 L_2 는 대략 0 nm에서 대략 3 nm일 수 있다. Cgd가 최소화되거나 적어도 감소되는 CMOS 시스템온칩(100)의 일부분에 제1 부분 GAA FET(101)이 구비되는 하나 이상의 실시예들에 있어서, 제1 부분 GAA FET(101)의 유전체 분리영역들(111)의 일부분들의 길이 L_1 은 0 nm보다 길 수 있다(예: 대략 3 nm에서 대략 10 nm). 하나 이상의 실시예에 있어서, 제1 부분 GAA FET(101)의 유전체 분리영역들(111)의 일부분들의 길이 L_1 은 측벽 스페이서(123, 124)의 폭과 동일 또는 실질적으로 동일할 수 있어, 유전체 분리영역들(111)의 외측 에지들(133, 134)이 각각의 측벽 스페이서(121, 122)의 외면(125, 126)과 정렬 또는 실질적으로 정렬될 수 있다.

[0038] 도 2를 참조하면, 본 개시의 다른 실시예에 따른 CMOS 시스템온칩(200)은 제1 부분 GAA FET(201) 및 제2 부분 GAA FET(202)을 포함한다. 도시된 실시예에서, 제1 및 제2 부분 GAA FET(201, 202) 각각은 소스 및 드레인 영역들(203, 204 및 205, 206)과, 소스 및 드레인 영역들(203, 204 및 205, 206) 사이에서 연장되는 적어도 하나의 핀(207, 208)을 포함한다. 도시된 실시예에서, 제1 및 제2 부분 GAA FET(201, 202) 각각의 핀(207, 208)은 일련의 적층된 채널영역들(209, 210)을 포함한다. 또한, 도시된 실시예에서, 각 부분 GAA FET(201, 202)은 인접 채널영역들(209, 210) 사이 및 핀(207, 208)이 형성되는 기관(213, 214)과 최하위 채널영역(209, 210) 사이에 일련의 유전체 분리영역들(211, 212)을 포함한다. 도시된 실시예에서, 각 부분 GAA FET(201, 202)은 또한 핀(207, 208) 상에 게이트스택(215, 216)을 포함한다. 각 게이트스택(215, 216)은 게이트 유전층(217, 218) 및 게이트 유전층(217, 218) 상의 금속층(219, 220)을 포함한다. 도시된 실시예에서, 각 부분 GAA FET(201, 202)은 또한 게이트스택(215, 216)의 양측에 한 쌍의 측벽 스페이서(221, 222 및 223, 224)를 포함한다. 측벽 스페이서들(221, 222, 223, 224) 각각은 게이트스택(215, 216)으로부터 외측을 향하는 외면(225, 226, 227, 228)과, 내측으로 게이트스택(215, 216)을 향하며 외면(225, 226, 227, 228)과 대향하는 내면(229, 230, 231, 232)을 포함한다.

[0039] 도 2에 도시된 실시예에 있어서, 제1 부분 GAA FET(201)의 각 유전체 분리영역(211)의 일부분은 유전체 분리영역(211)의 외측 에지(233, 234)에서부터 측벽 스페이서(221, 222)의 내면(229, 230)(예: 상부 측벽 스페이서(221, 222)의 내면(229, 230))까지로 정의되는 길이 L_1 을 갖는다. 또한, 도시된 실시예에서, 제2 부분 GAA FET(202)의 각 유전체 분리영역(212)의 일부분은 유전체 분리영역(212)의 외측 에지(235, 236)에서부터 측벽 스페이서(223, 224)의 내면(231, 232)(예: 상부 측벽 스페이서(223, 224)의 내면(231, 232))까지로 정의되는 길이 L_2 를 갖는다. 또한, 도시된 실시예에서, 제1 부분 GAA FET(201)의 유전체 분리영역들(211)의 일부분의 길이 L_1 은 제2 부분 GAA FET(202)의 유전체 분리영역들(212)의 일부분의 길이 L_2 보다 길다. 따라서, 도시된 실시예에서, 제1 부분 GAA FET(201)의 유전체 분리영역들(211)은 제2 부분 GAA FET(202)의 유전체 분리영역들(212)보다 길다. 유전체 분리영역들(211, 212)의 일부분들의 길이 L_1 , L_2 는 도 1에 도시된 실시예를 참조하여 전술한 길이들과 동일 또는 유사할 수 있다. 도 1에 도시된 실시예를 참조하여 전술한 바와 같이, 제2 부분 GAA FET(202)의 유전체 분리영역들(212)보다 길이가 긴 유전체 분리영역들(211)을 갖는 제1 부분 GAA FET(201)은 고 임계전압 V_t (HVT) 또는 일반 임계전압(RVT)을 갖거나 가질 수 있는 반면, 제1 부분 GAA FET(201)의 유전체 분리영역들(211)보다 길이가 짧은 유전체 분리영역들(212)을 갖는 제2 부분 GAA FET(202)은 저 임계전압(LVT) 또는 초저 임계전압 V_t (SLVT)를 갖거나 가질 수 있다.

[0040] 또한, 도 1에 도시된 CMOS 시스템온칩(100)의 실시예와 달리, 도 2에 도시된 CMOS 시스템온칩(200)의 실시예에서 제1 부분 GAA FET(201)의 소스 및 드레인 영역들(203, 204)의 도핑된 확장영역들(237, 238)의 게이트스택(215) 아래의 확장부는 제2 부분 GAA FET(202)의 소스 및 드레인 영역들(205, 206)의 도핑된 확장영역들(239, 240)의 게이트스택(216) 아래의 확장부와 다르다. 도시된 실시예에서, 제1 부분 GAA FET(201)의 도핑된 확장영역들(237, 238)의 내측 에지들(241, 242)은 측벽 스페이서들(221, 222)의 내면(229, 230)과 정렬 또는 실질적으로 정렬되고, 제2 부분 GAA FET(202)의 도핑된 확장영역들(239, 240)의 내측 에지들(243, 244)은 각 측벽 스페이서(223, 224)의 내면(231, 232)으로부터 내측으로 거리 D만큼 이격된다(예: 제2 부분 GAA FET(202)의 도핑된 확장영역들(239, 240)은 제1 부분 GAA FET(201)의 게이트스택(215) 아래로 도핑된 확장영역들(237, 238)이 연장되는 것보다 더 많이 게이트스택(216) 아래로 연장됨). 하나 이상의 실시예에 있어서, 제2 부분 GAA FET(202)의 도핑된 확장영역들(239, 240)의 내측 에지들(243, 244)이 각각 측벽 스페이서들(223, 224)의 내면들(231, 232)로부터 내측으로 이격되는 거리 D는 대략 0 nm에서 대략 10 nm의 범위에 있다(예: 대략 0 nm에서

대략 5 nm의 범위).

[0041] 하나 이상의 실시예에 있어서, 상대적으로 긴 유전체 분리영역들(211)을 갖는 제1 부분 GAA FET(201)은 CMOS 시스템온칩(200)의 일부분에 구비될 수 있다. 이 때, CMOS 시스템온칩(200)의 해당 일부분과 관련된 동적전력을 감소시키도록 기생 게이트-드레인 캐패시턴스(Cgd)는 최소화되거나 적어도 감소된다. 하나 이상의 실시예에 있어서, 상대적으로 짧은 유전체 분리영역들(212)을 갖는 제2 부분 GAA FET(202)은 예를 들어 임계속도경로를 포함하는 CMOS 시스템온칩(200)의 일부분에 구비될 수 있다. 이 때, CMOS 시스템온칩(200)의 해당 일부분과 관련된 유효 구동전류(I_{eff})를 증가시키도록 기생 확장저항(R_{ext})은 최소화되거나 적어도 감소된다.

[0042] 도 3을 참조하면, 본 개시의 다른 실시예에 따른 CMOS 시스템온칩(300)은 제1 부분 GAA FET(301) 및 제2 부분 GAA FET(302)을 포함한다. 도시된 실시예에서, 제1 및 제2 부분 GAA FET(301, 302) 각각은 소스 및 드레인 영역들(303, 304 및 305, 306)과, 소스 및 드레인 영역들(303, 304 및 305, 306) 사이에서 연장되는 적어도 하나의 핀(307, 308)을 포함한다. 도시된 실시예에서, 제1 및 제2 부분 GAA FET(301, 302) 각각의 핀(307, 308)은 일련의 적층된 채널영역들(309, 310)을 포함한다. 또한, 도시된 실시예에서, 각 부분 GAA FET(301, 302)은 인접 채널영역들(309, 310) 사이 및 핀(307, 308)이 형성되는 기관(313, 314)과 최하위 채널영역(309, 310) 사이에 일련의 유전체 분리영역들(311, 312)을 포함한다. 도시된 실시예에서, 각 부분 GAA FET(301, 302)은 또한 핀(307, 308) 상에 게이트스택(315, 316)을 포함한다. 각 게이트스택(315, 316)은 게이트 유전층(317, 318) 및 게이트 유전층(317, 318) 상의 금속층(319, 320)을 포함한다. 도시된 실시예에서, 각 부분 GAA FET(301, 302)은 또한 게이트스택(315, 316)의 양측에 한 쌍의 측벽 스페이서(321, 322 및 323, 324)를 포함한다. 측벽 스페이서들(321, 322, 323, 324) 각각은 게이트스택(315, 316)으로부터 외측을 향하는 외면(325, 326, 327, 328)과, 내측으로 게이트스택(315, 316)을 향하며 외면(325, 326, 327, 328)과 대향하는 내면(329, 330, 331, 332)을 포함한다.

[0043] 또한, 도시된 실시예에서, 제1 부분 GAA FET(301)의 측벽 스페이서들(321, 322)은 내면(329, 330)에서부터 각 외면(325, 326)까지로 정의되는 폭 W_1 을 가지며, 제2 부분 GAA FET(302)의 측벽 스페이서들(323, 324)은 내면(331, 332)에서부터 각 외면(327, 328)까지로 정의되는 폭 W_2 를 갖는다. 도시된 실시예에서, 제2 부분 GAA FET(302)의 측벽 스페이서들(323, 324)의 폭 W_2 은 제1 부분 GAA FET(301)의 측벽 스페이서들(321, 322)의 폭 W_1 보다 좁다(예: 제2 부분 GAA FET(302)의 측벽 스페이서들(323, 324)은 상대적으로 제1 부분 GAA FET(301)의 측벽 스페이서들(321, 322)보다 좁음).

[0044] 도 3에 도시된 실시예에 있어서, 제1 부분 GAA FET(301)의 각 유전체 분리영역(311)의 일부분은 유전체 분리영역(311)의 외측 에지(333, 334)에서부터 측벽 스페이서(321, 322)의 내면(329, 330)(예: 상부 측벽 스페이서(321, 322)의 내면(329, 330))까지로 정의되는 길이 L_1 을 갖는다. 또한, 도시된 실시예에서, 제2 부분 GAA FET(302)의 각 유전체 분리영역(312)의 일부분은 유전체 분리영역(312)의 외측 에지(335, 336)에서부터 측벽 스페이서(323, 324)의 내면(331, 332)(예: 상부 측벽 스페이서(323, 324)의 내면(331, 332))까지로 정의되는 길이 L_2 를 갖는다. 또한, 도시된 실시예에서, 제1 부분 GAA FET(301)의 유전체 분리영역들(311)의 일부분의 길이 L_1 은 제2 부분 GAA FET(302)의 유전체 분리영역들(312)의 일부분의 길이 L_2 보다 길다. 따라서, 도시된 실시예에서, 제1 부분 GAA FET(301)의 유전체 분리영역들(311)은 제2 부분 GAA FET(302)의 유전체 분리영역들(312)보다 길다. 유전체 분리영역들(311, 312)의 일부분들의 길이 L_1 , L_2 는 도 1에 도시된 실시예를 참조하여 전술한 길이들과 동일 또는 유사할 수 있다. 도 1에 도시된 실시예를 참조하여 전술한 바와 같이, 제2 부분 GAA FET(302)의 유전체 분리영역들(312)보다 길이가 긴 유전체 분리영역들(311)을 갖는 제1 부분 GAA FET(301)은 고 임계전압 V_t (HVT) 또는 일반 임계전압(RVT)을 갖거나 가질 수 있는 반면, 제1 부분 GAA FET(301)의 유전체 분리영역들(311)보다 길이가 짧은 유전체 분리영역들(312)을 갖는 제2 부분 GAA FET(302)은 저 임계전압(LVT) 또는 초저 임계전압(SLVT)을 갖거나 가질 수 있다.

[0045] 계속하여 도 3에 도시된 실시예를 참조하면, 제1 부분 GAA FET(301)의 소스 및 드레인 영역들(303, 304)의 도핑된 확장영역들(337, 338)의 게이트스택(315) 아래의 확장부는 제2 부분 GAA FET(302)의 소스 및 드레인 영역들(305, 306)의 도핑된 확장영역들(339, 340)의 게이트스택(316) 아래의 확장부와 다르다. 도시된 실시예에서, 제1 부분 GAA FET(301)의 도핑된 확장영역들(337, 338)의 내측 에지들(341, 342)은 측벽 스페이서들(321, 322)의 내면(329, 330)과 정렬 또는 실질적으로 정렬되고, 제2 부분 GAA FET(302)의 도핑된 확장영역들(339, 340)의 내측 에지들(343, 344)은 각 측벽 스페이서(323, 324)의 내면(331, 332)으로부터 내측으로 거리 D만큼 이격된다

(예: 제2 부분 GAA FET(302)의 도핑된 확장영역들(339, 340)은 제1 부분 GAA FET(301)의 도핑된 확장영역들(337, 338)보다 더 많이 게이트스택(316) 아래로 연장됨). 하나 이상의 실시예에 있어서, 제2 부분 GAA FET(302)의 도핑된 확장영역들(339, 340)의 내측 에지들(343, 344)이 각각 측벽 스페이서들(323, 324)의 내면들(331, 332)로부터 내측으로 이격되는 거리 D는 대략 0 nm에서 대략 10 nm의 범위에 있다(예: 대략 0 nm에서 대략 5 nm의 범위).

[0046] 하나 이상의 실시예에 있어서, 상대적으로 긴 유전체 분리영역들(311)과 상대적으로 넓은 측벽 스페이서들(321, 322)을 갖는 제1 부분 GAA FET(301)은 CMOS 시스템온칩(300)의 일부분에 구비될 수 있다. 이 때, CMOS 시스템온칩(300)의 해당 일부분과 관련된 동적전력을 감소시키도록 기생 게이트-드레인 캐패시턴스(Cgd)는 최소화되거나 적어도 감소된다. 하나 이상의 실시예에 있어서, 상대적으로 짧은 유전체 분리영역들(312)과 상대적으로 좁은 측벽 스페이서들(323, 324)을 갖는 제2 부분 GAA FET(302)은 예를 들어 임계속도경로를 포함하는 CMOS 시스템온칩(300)의 일부분에 구비될 수 있다. 이 때, CMOS 시스템온칩(300)의 해당 일부분과 관련된 유효 구동전류(I_{eff})를 증가시키도록 기생 확장저항(R_{ext})은 최소화되거나 적어도 감소된다.

[0047] 도 4를 참조하면, 본 개시의 다른 실시예에 따른 CMOS 시스템온칩(400)은 제1 부분 GAA FET(401) 및 제2 부분 GAA FET(402)을 포함한다. 도시된 실시예에서, 제1 및 제2 부분 GAA FET(401, 402) 각각은 소스 및 드레인 영역들(403, 404 및 405, 406)과, 소스 및 드레인 영역들(403, 404 및 405, 406) 사이에서 연장되는 적어도 하나의 핀(407, 408)을 포함한다. 도시된 실시예에서, 제1 및 제2 부분 GAA FET(401, 402) 각각의 핀(407, 408)은 일련의 적층된 채널영역들(409, 410)을 포함한다. 또한, 도시된 실시예에서, 각 부분 GAA FET(401, 402)은 인접 채널영역들(409, 410) 사이 및 핀(407, 408)이 형성되는 기판(413, 414)과 최하위 채널영역(409, 410) 사이에 일련의 유전체 분리영역들(411, 412)을 포함한다. 도시된 실시예에서, 각 부분 GAA FET(401, 402)은 또한 핀(407, 408) 상에 게이트스택(415, 416)을 포함한다. 각 게이트스택(415, 416)은 게이트 유전층(417, 418) 및 게이트 유전층(417, 418) 상의 금속층(419, 420)을 포함한다. 도시된 실시예에서, 각 부분 GAA FET(401, 402)은 또한 게이트스택(415, 416)의 양측에 한 쌍의 측벽 스페이서(421, 422 및 423, 424)를 포함한다. 측벽 스페이서들(421, 422, 423, 424) 각각은 게이트스택(415, 416)으로부터 외측을 향하는 외면(425, 426, 427, 428)과, 내측으로 게이트스택(415, 416)을 향하며 외면(425, 426, 427, 428)과 대향하는 내면(429, 430, 431, 432)을 포함한다.

[0048] 도 4에 도시된 실시예에 있어서, 제1 부분 GAA FET(401)의 각 유전체 분리영역(411)의 일부분은 유전체 분리영역(411)의 외측 에지(433, 434)에서부터 측벽 스페이서(421, 422)의 내면(429, 430)(예: 상부 측벽 스페이서(421, 422)의 내면(429, 430))까지로 정의되는 길이 L_1 을 갖는다. 또한, 도시된 실시예에서, 제2 부분 GAA FET(402)의 각 유전체 분리영역(412)의 일부분은 유전체 분리영역(412)의 외측 에지(435, 436)에서부터 측벽 스페이서(423, 424)의 내면(431, 432)(예: 상부 측벽 스페이서(423, 424)의 내면(431, 432))까지로 정의되는 길이 L_2 를 갖는다. 또한, 도시된 실시예에서, 제1 부분 GAA FET(401)의 유전체 분리영역들(411)의 일부분의 길이 L_1 은 제2 부분 GAA FET(402)의 유전체 분리영역들(412)의 일부분의 길이 L_2 보다 길다. 따라서, 도시된 실시예에서, 제1 부분 GAA FET(401)의 유전체 분리영역들(411)은 제2 부분 GAA FET(402)의 유전체 분리영역들(412)보다 길다. 유전체 분리영역들(411, 412)의 일부분들의 길이 L_1 , L_2 는 도 1에 도시된 실시예를 참조하여 전술한 길이들과 동일 또는 유사할 수 있다. 하나 이상의 실시예에 있어서, 제2 부분 GAA FET(402)의 유전체 분리영역들(412)의 일부분의 길이 L_2 는 0 또는 실질적으로 0일 수 있어, 제2 부분 GAA FET(402)의 유전체 분리영역들(412)의 외측 에지들(435, 436)이 각각 측벽 스페이서들(423, 424)의 내면들(431, 432)과 정렬 또는 실질적으로 정렬될 수 있다. 도 1에 도시된 실시예를 참조하여 전술한 바와 같이, 제2 부분 GAA FET(402)의 유전체 분리영역들(412)보다 길이가 긴 유전체 분리영역들(411)을 갖는 제1 부분 GAA FET(401)은 고 임계전압 V_i (HVT) 또는 일반 임계전압(RVT)을 갖거나 가질 수 있는 반면, 제1 부분 GAA FET(401)의 유전체 분리영역들(411)보다 길이가 짧은 유전체 분리영역들(412)을 갖는 제2 부분 GAA FET(402)은 저 임계전압(LVT) 또는 초저 임계전압 V_i (SLVT)를 갖거나 가질 수 있다.

[0049] 또한, 도 4에 도시된 CMOS 시스템온칩(400)의 실시예에 있어서, 제1 부분 GAA FET(401)의 소스 및 드레인 영역들(403, 404)의 도핑된 확장영역들(437, 438)의 게이트스택(415) 아래의 확장부는 제2 부분 GAA FET(402)의 소스 및 드레인 영역들(405, 406)의 도핑된 확장영역들(439, 440)의 게이트스택(416)아래의 확장부와 다르다. 도시된 실시예에서, 제1 부분 GAA FET(401)의 도핑된 확장영역들(437, 438)의 내측 에지들(441, 442)은 측벽 스페이서들(421, 422)의 내면(429, 430)과 정렬 또는 실질적으로 정렬되고, 제2 부분 GAA FET(402)의 도핑된 확장영역

역들(439, 440)의 내측 에지들(443, 444)은 각 측벽 스페이서(423, 424)의 내면(431, 432)으로부터 내측으로 거리 D만큼 이격된다(예: 제2 부분 GAA FET(402)의 도핑된 확장영역들(439, 440)은 제1 부분 GAA FET(401)의 도핑된 확장영역들(437, 438)보다 더 많이 게이트스택(416) 아래로 연장됨). 하나 이상의 실시예에 있어서, 제2 부분 GAA FET(402)의 도핑된 확장영역들(439, 440)의 내측 에지들(443, 444)이 각각 측벽 스페이서들(423, 424)의 내면들(431, 432)로부터 내측으로 이격되는 거리 D는 대략 0 nm에서 대략 10 nm의 범위에 있다(예: 대략 0 nm에서 대략 5 nm의 범위).

[0050] 하나 이상의 실시예에 있어서, 상대적으로 긴 유전체 분리영역들(411)을 갖는 제1 부분 GAA FET(401)은 CMOS 시스템온칩(400)의 일부분에 구비될 수 있다. 이 때, CMOS 시스템온칩(400)의 해당 일부분과 관련된 동적전력을 감소시키도록 기생 게이트-드레인 캐패시턴스(Cgd)는 최소화되거나 적어도 감소된다. 하나 이상의 실시예에 있어서, 상대적으로 짧은 유전체 분리영역들(412)을 갖는 제2 부분 GAA FET(402)은 예를 들어 임계속도경로를 포함하는 CMOS 시스템온칩(400)의 일부분에 구비될 수 있다. 이 때, CMOS 시스템온칩(400)의 해당 일부분과 관련된 유효 구동전류(I_{eff})를 증가시키도록 기생 확장저항(R_{ext})은 최소화되거나 적어도 감소된다.

[0051] 본 개시의 하나 이상의 실시예에 따른 CMOS 시스템온칩은 도 1 내지 도 4를 참조하여 기술한 CMOS 시스템온칩(100, 200, 300, 400)의 2 이상의 실시예들의 특징들을 임의로 적절하게 조합한 것일 수 있다.

[0052] 도 5a 내지 도 5d는 본 개시의 일 실시예에 따른 제1 및 제2 부분 게이트-올-어라운드(GAA) FET(501, 502)을 포함하는 CMOS 시스템온칩(SoC)(500, 도 5d 참조)의 제조방법의 과정을 나타낸다. 제1 및 제2 부분 GAA FET(501, 502)은 부분 GAA nFET, 부분 GAA pFET, 또는 부분 GAA nFET 및 부분 GAA pFET의 조합일 수 있다. 제1 부분 GAA FET(501)은 CMOS 시스템온칩(500)의 일부분에 구비될 수 있다. 이 때, CMOS 시스템온칩(500)의 해당 일부분과 관련된 동적전력을 감소시키도록 기생 게이트-드레인 캐패시턴스(Cgd)는 최소화되거나 적어도 감소된다. 제2 부분 GAA FET(502)은 예를 들어 임계속도경로를 포함하는 CMOS 시스템온칩(500)의 일부분에 형성될 수 있다. 이 때, CMOS 시스템온칩(500)의 해당 일부분과 관련된 유효구동전류(I_{eff})를 증가시키도록 기생 확장저항(R_{ext})은 최소화되거나 적어도 감소된다. 하나 이상의 실시예에 있어서, 제1 부분 GAA FET(501)은 고 임계전압 V_t (HVT) 또는 일반 임계전압(RVT)을 갖거나 가질 수 있으며, 제2 부분 GAA FET(502)은 저 임계전압(LVT) 또는 초저 임계전압 V_t (SLVT)를 갖거나 가질 수 있다.

[0053] 도 5a에 도시된 바에 따르면, 본 방법은 실리콘기판(505) 상에 교대로 적층되는 희생층들(503)과 도전채널층들(504)의 스택을 층별로 증착시켜 최하위 희생층(503)이 직접 실리콘 기판(505)과 접하고 나머지 희생층들(503)은 각각 하부 채널층(504) 및 상부 채널층(504) 사이에 배치되도록 하는 단계를 포함한다. 하나 이상의 실시예에 있어서, 희생층들(503)은 SiGe으로 형성되고 도전채널층들(504)들은 Si으로 형성된다. 하나 이상의 실시예에 있어서, 희생층들(503)의 SiGe 물질은 Ge을 대략 15%에서 대략 35% 범위로 포함할 수 있다. 하나 이상의 실시예에 있어서, 희생층들(503)은 대략 2 nm에서 대략 6 nm의 두께를 갖고 도전채널층들(504)은 대략 2 nm에서 대략 12 nm의 두께를 갖는다. 실리콘기판(505)은 (100) 또는 (110) 방향의 실리콘기판을 포함할 수 있다. 도시된 실시예에 따르면 본 단계는 4개의 도전채널층들(504)과 4개의 희생층들(503)을 증착하는 단계를 포함하지만, 하나 이상의 실시예에 있어서 본 단계는 제1 및 제2 FET(501, 502)에 대해 원하는 크기에 따라 다른 적절한 임의의 개수의 도전채널층들(504) 및 희생층들(503)을 증착하는 단계를 포함할 수 있다(예: 본 단계는 하나 이상의 도전채널층들(504)과 하나 이상의 희생층들(503)을 포함할 수 있음).

[0054] 하나 이상의 실시예에 있어서, 도전채널층들(504)과 희생층들(503)은 각각 Si 및 SiGe으로 형성되지 않을 수도 있다. 하나 이상의 실시예에 있어서, 도전채널층들(504)과 희생층들(503)은 임의의 다른 적절한 물질일 수 있으며, 이에 따라 희생층들(503)은 n형 FET, p형 FET, 또는 n형 FET 및 p형 FET 모두에 대한 도전채널층들(504)에 대하여 선택적으로 식각될 수 있다. FET이 n형 FET인 하나 이상의 실시예에 있어서, 도전채널층들(504) 및 희생층들(503)의 물질은 각각 InGaAs 및 InP과 같은 III-V족 물질일 수 있다. 하나 이상의 실시예에 있어서, n형 FET이든 p형 FET이든 도전채널층들(504) 및 희생층들(503)의 물질은 각각 Ge 및 SiGe과 같은 IV족 물질일 수 있다. FET이 p형 FET인 하나 이상의 실시예에 있어서, 도전채널층들(504) 및 희생층들(503)의 물질은 각각 SiGe 및 Si과 같은 IV족 물질일 수 있다.

[0055] 계속하여 도 5a를 참조하면, 본 방법은 제1 및 제2 부분 GAA FET(501, 502) 각각에 대하여 원하는 폭을 갖는 적어도 하나의 핀(506, 507)을 형성하도록 도전채널층들(504) 및 희생층들(503)의 스택을 패터닝 및 식각하는 단계를 포함한다. 교대로 적층되는 도전채널층들(504) 및 희생층들(503)의 스택을 패터닝 및 식각하는 단계는 예컨대 리소그래피 또는 식각(예: 건식식각)과 같은 임의의 적절한 공정 또는 기술에 의해 수행될 수 있다. 하나

이상의 실시예에 있어서, 핀들(506, 507)을 형성하는 단계는 하나의 마스크 단계 및 식각 단계, 또는 다수의 마스크 단계들 및 식각 단계들을 포함할 수 있다. 하나 이상의 실시예에 있어서, 본 단계는 채널층들(504)의 물질 또는 희생층들(503)의 물질 중 어느 하나에 선택적이지 않은 식각(예: 건식식각) 공정을 포함할 수 있다. 도시된 실시예에서 각 부분 GAA FET은 하나의 핀(506)만을 포함하지만, 하나 이상의 실시예에 있어서 본 방법은 하나 이상의 부분 GAA FET에 대해 2 이상의 핀들을 형성하는 단계를 포함할 수 있다. 본 방법이 하나 이상의 부분 GAA FET에 대해 2 이상의 핀들을 형성하는 단계를 포함하는 하나 이상의 실시예에 있어서, 도전채널층들(504) 및 희생층들(503)의 스택을 패터닝 및 식각하는 단계는 인접 핀들 간에 원하는 수평 이격거리를 두고 핀들을 형성하는 단계를 포함한다.

[0056] 계속하여 도 5a에 도시된 실시예를 참조하면, 본 방법은 핀들(506, 507) 상에 각각 더미 게이트스택(508, 509) (예: 산화물/폴리실리콘(poly-Si)/질화물로 형성된 더미 게이트스택(508, 509))을 형성하는 단계 및 임의의 공지의 공정(예: 질화물 증착공정)에 의해 더미 게이트스택(508, 509)의 양측에 각각 외부 측벽 스페이서들(510, 511 및 512, 513)을 형성하는 단계를 포함한다.

[0057] 도 5a에 도시된 실시예에서, 본 방법은 제1 부분 GAA FET의 영역들을 마스크하는 단계 및, 더미 게이트(509) 및 외부 측벽 스페이서들(512, 513)에 의해 보호되지 않는 제2 부분 GAA FET의 하나 이상의 핀(507)의 영역들을 식각하는 단계를 포함한다. 하나 이상의 실시예에 있어서, 제2 부분 GAA FET의 하나 이상의 핀(507)의 식각은 실리콘기판(505)까지 또는 실리콘기판(505) 내로 줄곧 진행된다. 하나 이상의 실시예에 있어서, 제2 부분 GAA FET의 하나 이상의 핀(507)의 식각공정은 수직 또는 실질적으로 수직의 리세스 식각공정(recess etch)이고, 리세스 식각공정은 외부 측벽 스페이서들(512, 513)의 외면들(514, 515)에 각각 정렬 또는 실질적으로 정렬되어 수행된다.

[0058] 계속하여 도 5a에 도시된 실시예를 참조하면, 본 방법은 제2 부분 GAA FET의 핀(507)의 각 희생층(503)(예: SiGe으로 형성된 희생층(503))의 양단을 측방향 식각하는 단계를 포함한다. 측방향 리세스 식각공정은 공지의 습식식각공정 또는 건식식각공정일 수 있다. 희생층들(503)을 측방향 식각하는 단계가 수행되는 동안, 희생층들(503)의 양단이 측방향으로 제거되고 채널층들(504)은 실질적으로 원래의 상태 그대로 유지된다. 따라서, 희생층들(503)의 양단을 측방향 식각하는 단계 이후 채널층들(504)은 희생층들(503)보다 바깥으로 연장(예: 돌출)되고, 리세스들(516, 517)은 각각 리세스된 희생층들(503)의 외측 에지들(518, 519)과 채널층들(504)의 돌출부들 사이에 형성된다. 리세스들(516, 517)은 채널층(504) 물질에 대한 희생층(503) 물질의 측방향 식각 선택비에 따라 임의의 형상(예: 직사각형 단면 형상 또는 사다리꼴 단면 형상)을 가질 수 있다.

[0059] 제2 부분 GAA FET의 핀(507)의 희생층들(503)은 제2 부분 GAA FET(502)의 유전체 분리영역들에 대해 원하는 길이에 따라 임의의 적절한 깊이 D_1 으로 측방향 리세스될 수 있으며, 이는 후술하는 본 방법의 후속 단계 동안 형성될 수 있다. 하나 이상의 실시예에 있어서, 측방향 식각된 희생층들(503)의 외측 에지들(518, 519)이 각각의 측벽 스페이서(512, 513)의 내면(520, 521)으로부터 측방향으로 거리 D_2 만큼 이격되도록, 희생층들(503)의 측방향 리세스 식각은 깊이 D_1 까지 수행될 수 있다(예: 측방향 식각된 희생층들(503)의 각 외측 에지(518, 519)는 상부 측벽 스페이서(512, 513)의 내면(520, 521)으로부터 측방향으로 거리 D_2 만큼 이격됨). 하나 이상의 실시예에 있어서, 거리 D_2 는 대략 0 nm(예: 측방향 식각된 희생층들(503)의 외측 에지들(518, 519)이 각각의 측벽 스페이서(512, 513)의 내면(520, 521)과 정렬 또는 실질적으로 정렬되는 경우)에서 대략 10 nm일 수 있다. 하나 이상의 실시예에 있어서, 거리 D_2 는 대략 0 nm에서 대략 6 nm일 수 있다. 하나 이상의 실시예에 있어서, 거리 D_2 는 대략 0 nm에서 대략 3 nm일 수 있다. 거리 D_2 가 0 nm보다 큰 하나 이상의 실시예에 있어서, 거리 D_2 는 각각의 측벽 스페이서(512, 513)의 내면(520, 521)으로부터 각각의 측벽 스페이서(512, 513)의 외면(514, 515)을 향하는 방향으로 측정된다(예: 하나 이상의 실시예에 있어서, 측방향 식각된 희생층들의 외측 에지들(518, 519)은 측방향으로 각각의 측벽 스페이서(512, 513)의 내면 및 외면(520, 514 및 521, 515) 사이에 위치함). 도시된 실시예에서, 제1 부분 GAA FET에 대한 핀(506)의 희생층들(503)은 측방향 식각되지 않거나, 또는 제2 부분 GAA FET에 대한 핀(507)의 희생층들(503)보다 적게 측방향 식각된다.

[0060] 도 5b를 참조하면, 본 방법은 제2 부분 GAA FET에 대한 소스 및 드레인 영역들(522, 523)(예: nFET 소스 및 드레인 영역들 또는 pFET 소스 및 드레인 영역들)을 형성하는 단계를 포함한다. 예를 들어, 본 단계는 에피택셜 증착공정에 의해 수행될 수 있다. 도시된 실시예에서, 제2 부분 GAA FET에 대한 소스 및 드레인 영역들(522, 523)을 형성하는 단계는 도핑되지 않은 실리콘의 소스 및 드레인 버퍼층들(524, 525)을 각각 형성하는 단계를 포함한다. 하나 이상의 실시예에 있어서, 도핑되지 않은 실리콘의 소스 및 드레인 버퍼층들(524, 525)은 대략 0

nm에서 대략 4 nm의 두께(예: 대략 1 nm에서 대략 3 nm의 두께)를 갖는다. 도시된 실시예에서, 도핑되지 않은 실리콘의 소스 및 드레인 버퍼층들(524, 525)은 도 5a를 참조하여 기술한 바와 같이, 희생층들(503)을 측방향 식각하는 단계에 의해 형성되었던 리세스들(516, 517)을 채우거나 실질적으로 채운다. 또한, 도시된 실시예에서, 소스 및 드레인 버퍼층들(524, 525)은 각각 채널층들(504)의 수직측벽들(526, 527) 및 기판(505)의 노출부들(528, 529)을 따라서 형성된다. 또한, 도시된 실시예에서, 소스 및 드레인 버퍼층들(524, 525)의 외측 에지들(530, 531)은 각각 핀(507)을 따라 수직방향 또는 실질적으로 수직방향으로 위치한다.

[0061] 도시된 실시예에서, 소스 및 드레인 영역들(522, 523)을 형성하는 단계는 소스 및 드레인 버퍼층들(524, 525)에 인접한 소스 및 드레인 영역들(532, 533)을 각각 형성하는 단계를 포함한다. 제2 부분 GAA FET이 nFET인 하나 이상의 실시예에 있어서, 도핑된 소스 및 드레인 영역들(532, 533)은 SiP, SiCP, 또는 공지의 다른 적절한 임의의 물질을 포함할 수 있다. 제2 부분 GAA FET이 pFET인 하나 이상의 실시예에 있어서, 도핑된 소스 및 드레인 영역들(532, 533)은 SiGeB, SiB, SiGeSnB, 또는 공지의 다른 적절한 임의의 물질을 포함할 수 있다.

[0062] 계속하여 도 5a 및 5b를 참조하면, 본 방법은 제1 부분 GAA FET의 영역들에서 마스크를 제거하는 단계 및 제2 부분 GAA FET의 영역들을 마스크하는 단계를 포함한다. 또한, 본 방법은 더미 게이트(508) 및 외부 측벽 스페이서들(510, 511)에 의해 보호되지 않는 제1 부분 GAA FET의 하나 이상의 핀들(506)의 영역들을 식각하는 단계를 포함한다. 하나 이상의 실시예에 있어서, 제1 부분 GAA FET의 하나 이상의 핀(506)의 식각은 실리콘기판(505)까지 또는 실리콘기판(505) 내로 줄곧 진행된다. 하나 이상의 실시예에 있어서, 제1 부분 GAA FET의 하나 이상의 핀(506)의 식각공정은 수직 또는 실질적으로 수직의 리세스 식각공정이고, 리세스 식각공정은 외부 측벽 스페이서들(510, 511)의 외면들(534, 535)에 각각 정렬 또는 실질적으로 정렬되어 수행된다.

[0063] 도시된 실시예에서, 본 방법은 제1 부분 GAA FET에 대한 소스 및 드레인 영역들(536, 537)(예: nFET 소스 및 드레인 영역들 또는 pFET 소스 및 드레인 영역들)을 형성하는 단계를 포함한다. 예를 들어, 본 단계는 에피택셜 증착공정에 의해 수행될 수 있다. 도시된 실시예에서, 제1 부분 GAA FET에 대한 소스 및 드레인 영역들(536, 537)을 형성하는 단계는 도핑되지 않은 실리콘의 소스 및 드레인 버퍼층들(538, 539)을 각각 형성하는 단계를 포함한다. 하나 이상의 실시예에 있어서, 도핑되지 않은 실리콘의 소스 및 드레인 버퍼층들(538, 539)은 대략 0 nm에서 대략 4 nm의 두께(예: 대략 1 nm에서 대략 3 nm의 두께)를 갖는다. 도시된 실시예에서, 소스 및 드레인 버퍼층들(538, 539)은 각각 채널층들(504)의 수직측벽들(540, 541) 및 기판(505)의 노출부들(544, 545)을 따라서 형성된다.

[0064] 도시된 실시예에서, 소스 및 드레인 영역들(536, 537)을 형성하는 단계는 소스 및 드레인 버퍼층들(538, 539)에 인접한 소스 및 드레인 영역들(546, 547)을 각각 형성하는 단계를 포함한다. 제1 부분 GAA FET이 nFET인 하나 이상의 실시예에 있어서, 도핑된 소스 및 드레인 영역들(546, 547)은 SiP, SiCP, 또는 공지의 다른 적절한 임의의 물질을 포함할 수 있다. 제1 부분 GAA FET이 pFET인 하나 이상의 실시예에 있어서, 도핑된 소스 및 드레인 영역들(546, 547)은 SiGeB, SiB, SiGeSnB, 또는 공지의 다른 적절한 임의의 물질을 포함할 수 있다.

[0065] 도 5c를 참조하면, 본 개시의 일 실시예에 따른 본 방법은 소스 및 드레인 버퍼층들(538, 539 및 524, 525)이 도펀트 확산에 의해 도핑되도록 제1 및 제2 부분 GAA FET의 소스 및 드레인 영역들(536, 537 및 522, 523)을 어닐링하는 단계를 포함한다.

[0066] 도 5d를 참조하면, 본 개시의 일 실시예에 따른 방법은 각 더미 게이트스택(508, 509) 상에 층간절연막(Interlayer Dielectric: ILD)을 증착하는 단계, 더미 게이트스택들(508, 509) 상부에 화학기계적 평탄화(Cheical Mechanical Planarization: CMP)를 수행하는 단계, 및 제1 및 제2 부분 GAA FET(501, 502) 각각의 하나 이상의 핀(506, 507)이 노출되도록 더미 게이트스택들(508, 509)을 제거하는 단계(예: 식각공정)를 포함한다. 계속하여 도 5d를 참조하면, 본 방법은 채널층들(504)에 대해 선택적인(예: Si 채널층들(504)에 대해 선택적인) 습식 또는 건식 식각에 의해 희생층들(503)(예: SiGe 희생층들(503))을 제거하는 단계를 포함한다. 하나 이상의 실시예에 있어서, 소스 및 드레인 영역들(522, 523, 536, 537)은 희생층들(503)에 인접한 Si 물질을 포함하기 때문에 희생층들(503)의 선택적 식각에 의해 소스 및 드레인 영역들(522, 523, 536, 537)까지 식각되는 것을 막는다.

[0067] 계속하여 도 5d를 참조하면, 본 방법은 공지된 임의의 공정(들)(예: 원자층 증착법(Atomic-Layer Deposition: ALD)에 의해 게이트 유전층(550)을 형성한 뒤 게이트 유전층(550) 상에 금속층(551)을 형성함으로써, 제1 및 제2 부분 GAA FET(501, 502)의 핀(506, 507) 상에 각각 게이트스택들(548, 549)을 형성하는 단계를 포함한다. 게이트스택들(548, 549)을 형성하는 단계가 수행되는 동안, 게이트 유전층(550) 또는 게이트 유전층(550)의 일부는 희생층들(503)이 제거된 영역들을 채워 유전체 분리영역들(552, 553)을 형성한다(예: 게이트 유전층(550) 또

는 게이트 유전층(550)의 일부가 이전에 희생층들(503)에 의해 점유되었던 영역들을 채워 유전체 분리영역들(552, 553)을 형성함). 또한, 게이트 유전층(550)은 하나 이상의 핀들(506, 507) 각각의 위에 형성된다(예: 게이트 유전층(550)은 각 핀(506, 507)의 최상위 채널층(504)의 상면을 따라 형성됨). 도시된 실시예에서, 게이트 유전층들(550)은 모든 노출면 상에 균일하게 또는 실질적으로 균일하게 형성된다. 게이트 유전층(550) 또는 게이트 유전층(550)의 일부가 희생층들(503)이 제거된 영역들을 채우기 때문에, 게이트스택들(548, 549)의 금속층(551)은 희생층들(503)이 제거된 영역들로 증착되지 않는다. 따라서, 게이트스택들(548, 549)을 형성하는 단계 이후, 각 핀(506, 507)은 유전체 분리영역들(552, 553)(예: 4개의 유전체 분리영역들(552, 553))에 의해 각각 분리된 2 이상의 채널층들(504)(예: 4개의 채널층들(504))의 스택을 포함하게 된다.

[0068] 도 5d에 도시된 바와 같이, 제1 및 제2 부분 GAA FET(501, 502)에 대해 게이트스택들(548, 549)을 형성하는 단계 이후, 제2 부분 GAA FET(502)의 유전체 분리영역들(553)의 길이는 제1 부분 GAA FET(501)의 유전체 분리영역들(552)의 길이보다 짧다. 도시된 실시예에서, 길이 L_1 은 제1 부분 GAA FET(501)의 각 유전체 분리영역(552)의 외측 에지(554, 555)에서부터 각각의 측벽 스페이서(510, 511)의 내면(556, 557)(예: 상부 측벽 스페이서(510, 511)의 내면(556, 557))까지로 정의된다. 도시된 실시예에서, 각 유전체 분리영역(552)의 길이 L_1 이 측벽 스페이서들(510, 511)의 폭과 동일 또는 실질적으로 동일하게 되도록, 각 유전체 분리영역(552)의 외측 에지들(554, 555)은 각각의 측벽 스페이서(510, 511)의 외면(534, 535)과 정렬 또는 실질적으로 정렬된다. 또한, 도시된 실시예에서, 길이 L_2 는 제2 부분 GAA FET(502)의 각 유전체 분리영역(553)의 외측 에지(558, 559)에서부터 각각의 측벽 스페이서(512, 513)의 내면(520, 521)(예: 상부 측벽 스페이서(512, 513)의 내면(520, 521))까지로 정의된다. 제2 부분 GAA FET(502)의 유전체 분리영역들(553)의 길이 L_2 는 도 5a에 도시된 단계 동안 희생층들(503)이 측방향 식각되었던 깊이 D_1 에 따라 달라진다. 도시된 실시예에서, 제1 부분 GAA FET(501)의 유전체 분리영역들(552)의 길이 L_1 은 제2 부분 GAA FET(502)의 유전체 분리영역들(553)의 길이 L_2 보다 길다. 하나 이상의 실시예에 있어서, 제2 부분 GAA FET(502)의 유전체 분리영역들(553)의 길이 L_2 는 대략 0 nm(예: 유전체 분리영역들(553)의 외측 에지들(558, 559)이 각각의 측벽 스페이서(512, 513)의 내면(520, 521)과 정렬 또는 실질적으로 정렬되는 경우)에서 대략 6 nm일 수 있다(예: 대략 0 nm에서 대략 3 nm).

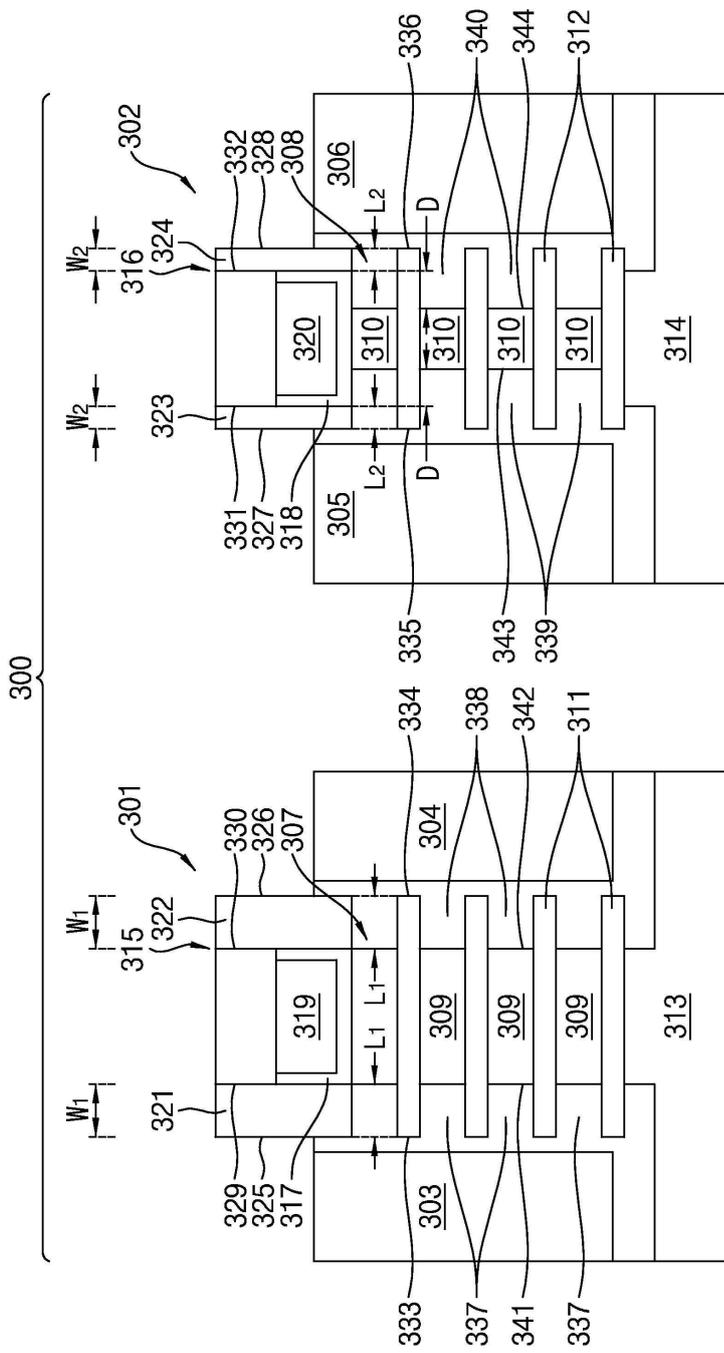
[0069] 본 방법은 제거된 더미 게이트 영역 내에서만 게이트 금속을 가능하게 하는 CMP 공정, 이어서 콘택 형성 공정 및 BEOL(Back-End-Of-Line) 형성 공정을 포함하는 공지의 공정들에 의해 제1 및 제2 부분 GAA FET(501, 502)과, 부분 GAA FET(501, 502)들을 포함하는 CMOS 시스템온칩(500)의 형성을 완료하는 단계를 포함한다.

[0070] 하나 이상의 실시예에 있어서, 본 방법은 도 1 내지 도 4에 도시된 실시예들을 참조하여 전술한 하나 이상의 특징들을 획득하기 위한 하나 이상의 단계들을 포함할 수 있다. 예를 들어, 하나 이상의 실시예에 있어서, 본 방법은 제2 부분 GAA FET(502)의 희생층들(503) 및 도전채널층들(504)을 모두 측방향 식각하는 단계를 포함할 수 있다. 하나 이상의 실시예에 있어서, 본 방법은 서로 상이한 폭을 갖는 제1 및 제2 부분 GAA FET(501, 502)의 측벽 스페이서들(510, 511 및 512, 513)을 형성하는 단계를 포함할 수 있다. 하나 이상의 실시예에 있어서, 본 방법은 제2 부분 GAA FET(502)의 측벽 스페이서들(512, 513)이 상대적으로 제1 부분 GAA FET(501)의 측벽 스페이서들(510, 511)보다 좁아지도록 측벽 스페이서들(510, 511 및 512, 513)을 형성하는 단계를 포함할 수 있다. 하나 이상의 실시예에 있어서, 서로 상이한 폭을 갖는 측벽 스페이서들(510, 511 및 512, 513)을 형성하는 단계는 이후에 박화되기 적합한 물질로 측벽 스페이서들(510, 511 및 512, 513)을 형성하는 단계를 포함할 수 있다(예: 질화물1 증착, 이어서 산화물 증착, 이어서 질화물2 증착).

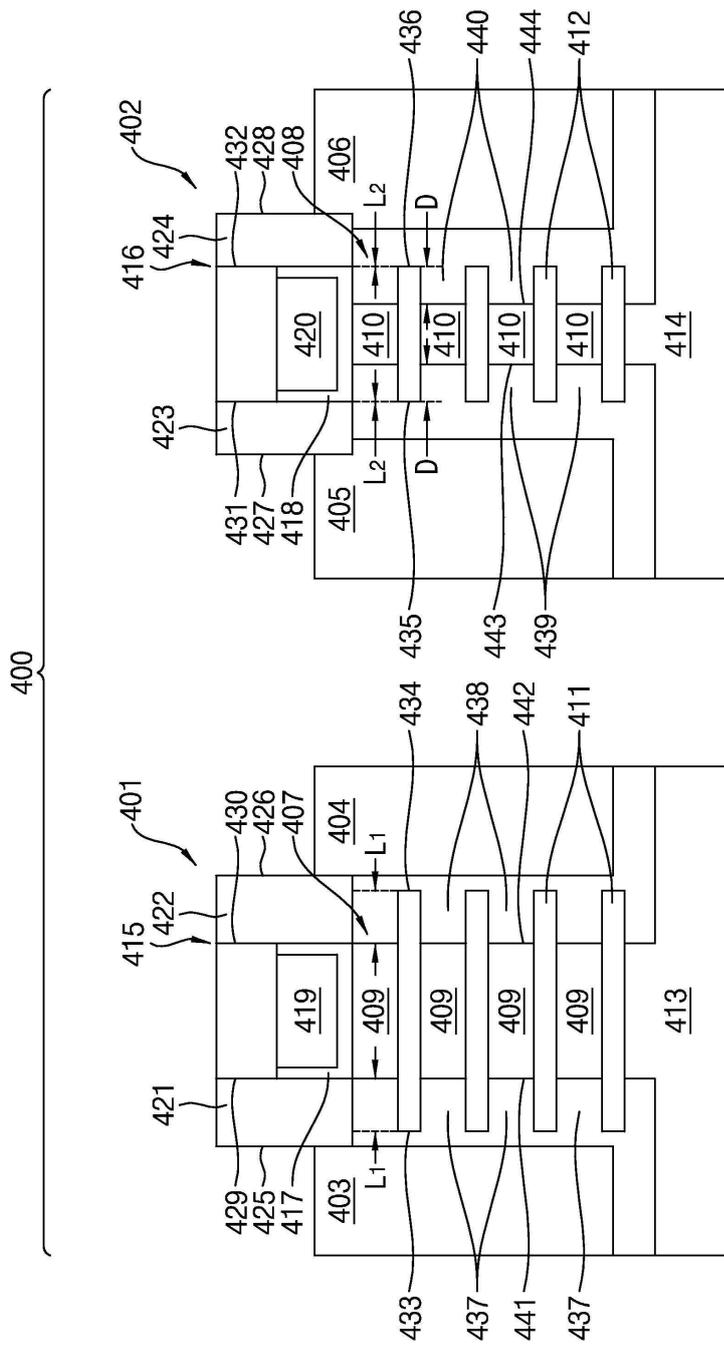
부호의 설명

- [0071] 100, 200, 300, 400, 500: CMOS 시스템온칩
- 101, 201, 301,401, 501: 제1 부분 GAA FET
- 102, 202, 302, 402, 502: 제2 부분 GAA FET
- 103, 104, 105, 106, 203, 204, 205, 206, 303, 304, 305, 306, 403, 404, 405, 406, 536, 537, 522, 523: 소스 및 드레인 영역
- 107, 108, 207, 208, 307, 308, 407, 408, 506, 507: 핀
- 109, 110, 209, 210, 309, 310, 409, 410: 채널영역

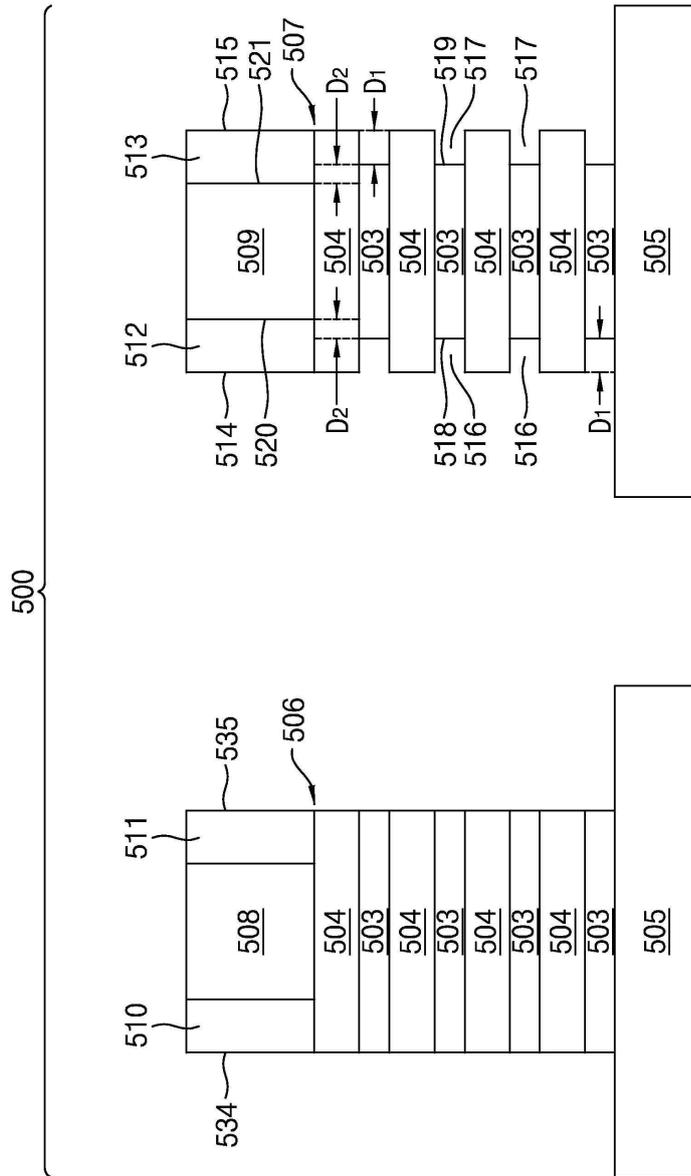
도면3



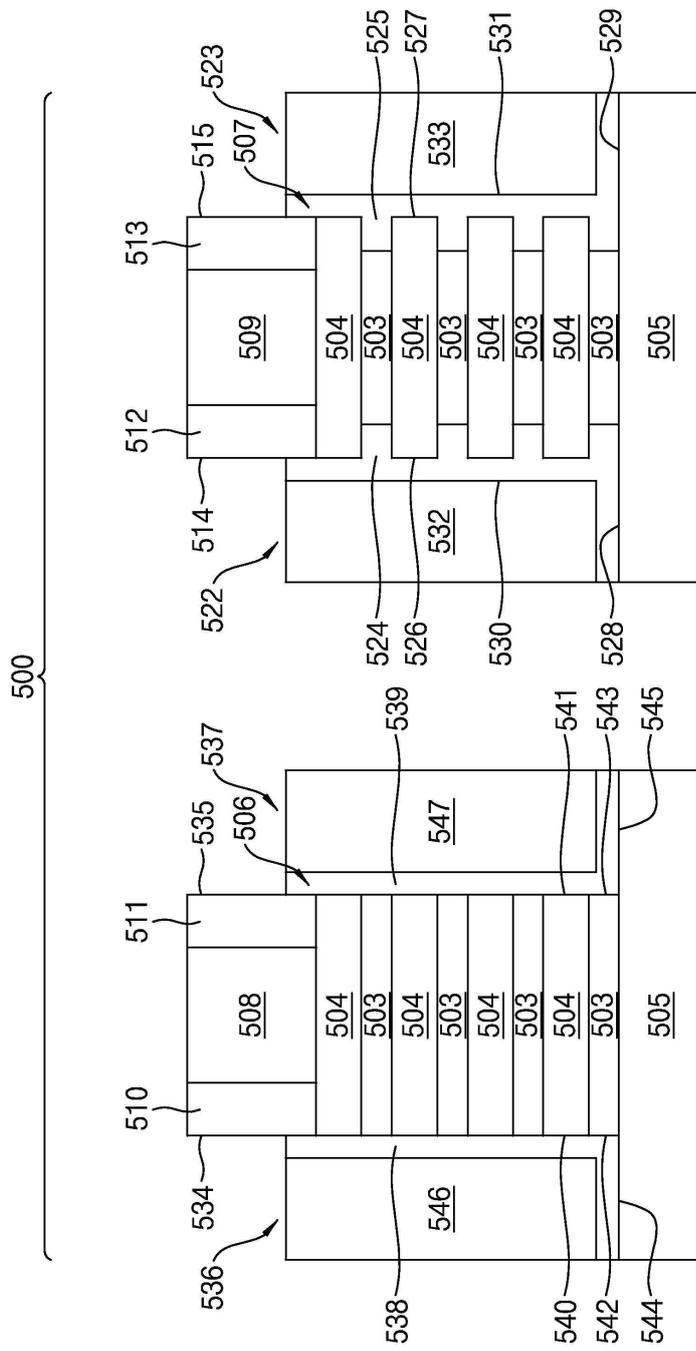
도면4



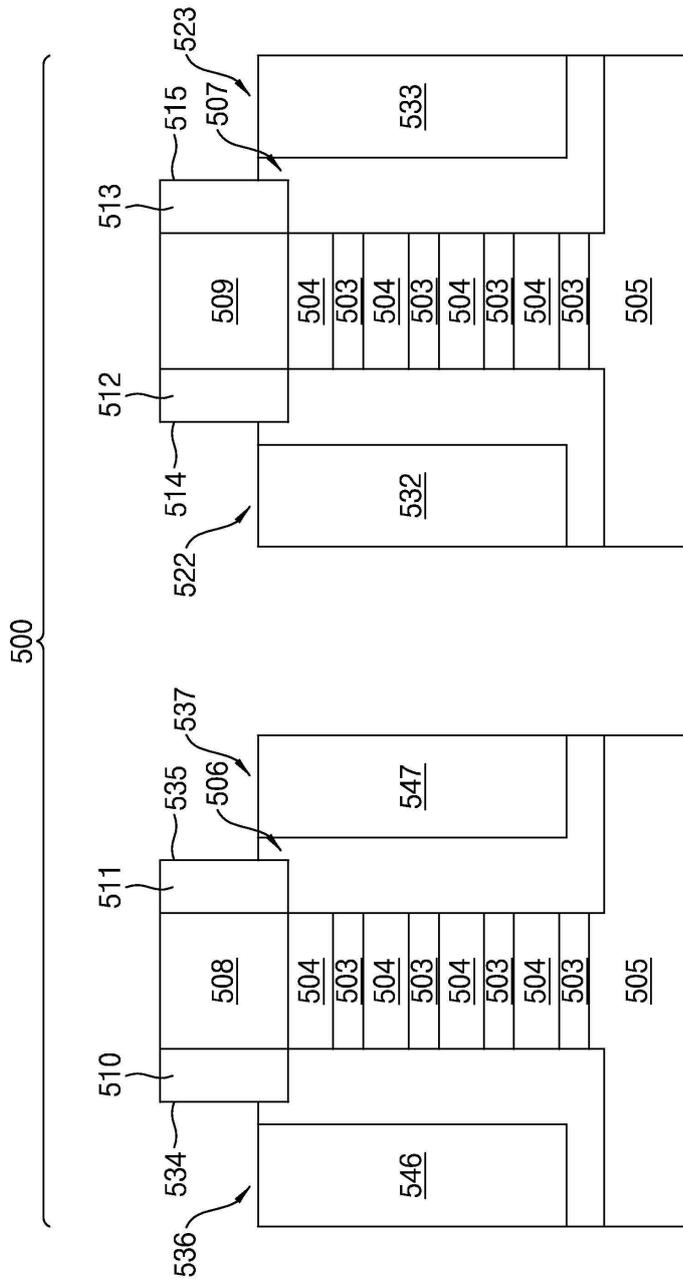
도면5a



도면5b



도면5c



도면5d

