



(19) 中華民國智慧財產局

(12) 發明說明書公告本

(11) 證書號數：TW I805069 B

(45) 公告日：中華民國 112 (2023) 年 06 月 11 日

(21) 申請案號：110142087

(22) 申請日：中華民國 110 (2021) 年 11 月 11 日

(51) Int. Cl. : **G01R31/28 (2006.01)**

(30) 優先權：2021/04/26 美國 63/179,597

(71) 申請人：財團法人工業技術研究院 (中華民國) INDUSTRIAL TECHNOLOGY RESEARCH INSTITUTE (TW)

新竹縣竹東鎮中興路 4 段 195 號

(72) 發明人：李思翰 LI, SIH-HAN (TW)；張傑 ZHANG, JIE (TW)；梅芄翊 MEI, PENG-I (TW)

(74) 代理人：祁明輝；林素華；涂綺玲

(56) 參考文獻：

CN 107330184A

CN 108627696A

CN 109804256A

CN 110703054A

CN 111581903A

CN 111929558A

CN 112305480A

US 2006/0052962A1

US 2010/0315115A1

US 2011/0267087A1

審查人員：李景松

申請專利範圍項數：10 項 圖式數：4 共 17 頁

(54) 名稱

高頻元件測試裝置及其測試方法

(57) 摘要

一種高頻元件測試裝置，包括測試鍵以及一測試模組。測試鍵包括對稱排列的一前級鍵及一後級鍵，其具有一致的電氣長度及特性阻抗。測試模組用以量測該前級鍵與該後級鍵直通連接的 S 參數及加入一待測物於該前級鍵與該後級鍵之間的結構的 S 參數，該測試模組以頻域計算並將 S 參數轉換成 ABCD 參數矩陣，再以矩陣開根運算及反矩陣運算得到一去嵌入的待測物的 ABCD 參數。

A high-frequency component test device includes a test key and a test module. The test key include a front-level key and a back-level key arranged symmetrically, and the front-level key and the back-level key have the same electrical length and characteristic impedance. The test module is used to measure S parameter of the front-level key and the back-level key connected directly and S parameter of a structure where a device under test (DUT) is added between the front-level key and the back-level key. The test module calculates in the frequency domain and converts the S parameter into an ABCD parameter matrix, and then uses a matrix root-opening operation and an inverse matrix operation to obtain ABCD parameter of a de-embedded DUT.

指定代表圖：

符號簡單說明：

100:高頻元件測試裝置

105:測試鍵

110:前級鍵

120:後級鍵

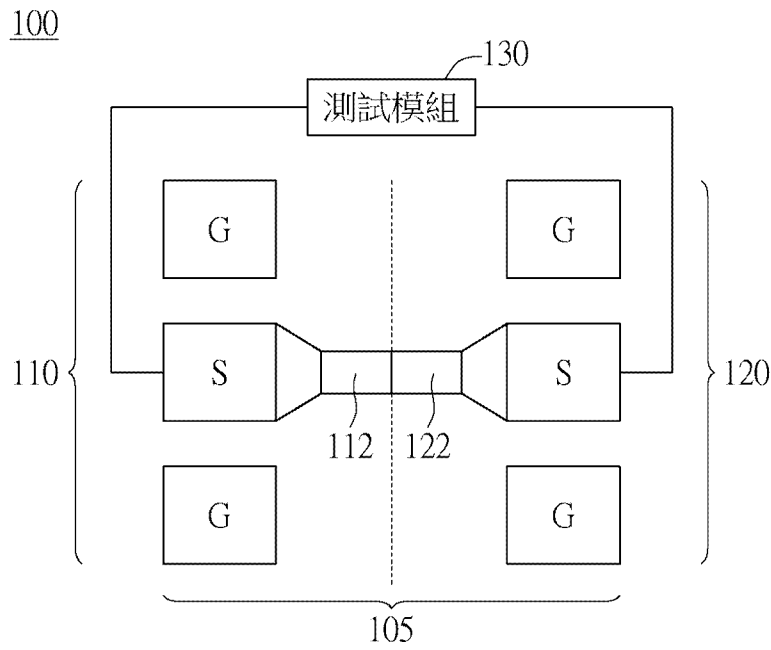
112:第一傳輸線

122:第二傳輸線

130:測試模組

G:接地

S:信號線



第 1 圖



I805069

【發明摘要】

【中文發明名稱】高頻元件測試裝置及其測試方法

【英文發明名稱】HIGH-FREQUENCY COMPONENT TEST

DEVICE AND METHOD THEREOF

【中文】

一種高頻元件測試裝置，包括測試鍵以及一測試模組。測試鍵包括對稱排列的一前級鍵及一後級鍵，其具有一致的電氣長度及特性阻抗。測試模組用以量測該前級鍵與該後級鍵直通連接的 S 參數及加入一待測物於該前級鍵與該後級鍵之間的結構的 S 參數，該測試模組以頻域計算並將 S 參數轉換成 ABCD 參數矩陣，再以矩陣開根運算及反矩陣運算得到一去嵌入的待測物的 ABCD 參數。

【英文】

A high-frequency component test device includes a test key and a test module. The test key include a front-level key and a back-level key arranged symmetrically, and the front-level key and the back-level key have the same electrical length and characteristic impedance. The test module is used to measure S parameter of the front-level key and the back-level key connected directly and S parameter of a structure where a device under test (DUT) is added between the front-level key and the back-level key. The test module calculates in the frequency domain and converts the S

第 1 頁，共 2 頁(發明摘要)

parameter into an ABCD parameter matrix, and then uses a matrix root-opening operation and an inverse matrix operation to obtain ABCD parameter of a de-embedded DUT.

【指定代表圖】 第 1 圖。

【代表圖之符號簡單說明】

100:高頻元件測試裝置

105:測試鍵

110:前級鍵

120:後級鍵

112:第一傳輸線

122:第二傳輸線

130:測試模組

G:接地

S:信號線

【特徵化學式】

無

【發明說明書】

【中文發明名稱】 高頻元件測試裝置及其測試方法

【英文發明名稱】 HIGH-FREQUENCY COMPONENT TEST

DEVICE AND METHOD THEREOF

【技術領域】

【0001】 本發明是有關於一種測試裝置，且特別是有關於一種高頻元件測試裝置及其測試方法。

【先前技術】

【0002】 傳統的高頻元件量測及校正方式多以SOLT、TRL為主，SOLT需要短路（Short）、開路（Open）、負載（Load）、直通（Thru）四個校正模塊（calibration kits），而TRL則需直通（Thru）、反射（Reflect）、線路（Line）三種測試鍵。此外，在上述校正技術中，通常又針對特定的量測要求（如寬帶頻率或晶圓上探測）分成不同的校正方法，造成校正時步驟較為繁瑣。

【0003】 另外，以SOLT、TRL為主的校正方法，容易因為每一次的量測而產生誤差，例如下針深度不同或是下針的位置偏移，都會影響校正結果，為了避免因校正誤差而導致待測物的量測失準，有必要提出改善之道。

【發明內容】

【0004】 本發明係有關於一種高頻元件測試裝置及其測試方法，用以減少校正誤差。

【0005】 根據本發明之一方面，提出一種高頻元件測試裝置，包括測試鍵以及一測試模組。測試鍵包括對稱排列的一前級鍵及一後級鍵，其具有一致的電氣長度及特性阻抗。測試模組用以量測該前級鍵與該後級鍵直通連接的S參數及加入一待測物於該前級鍵與該後級鍵之間的結構的S參數。

【0006】 根據本發明之一方面，提出一種高頻元件測試方法，包括下列步驟。提供測試鍵，該測試鍵包括對稱排列的一前級鍵及一後級鍵，其具有前後一致的電氣長度及特性阻抗。量測該前級鍵與該後級鍵直通連接的S參數及加入一待測物於該前級鍵與該後級鍵之間的結構的S參數。以頻域計算並將該S參數轉換成ABCD參數矩陣，再以開根運算得到該前級鍵與該後級鍵的ABCD參數矩陣。根據該前級鍵與該後級鍵的ABCD參數矩陣的反矩陣計算一去嵌入的該待測物的ABCD參數。

【0007】 為了對本發明之上述及其他方面有更佳的瞭解，下文特舉實施例，並配合所附圖式詳細說明如下：

【圖式簡單說明】

【0008】

第1及2圖分別繪示依照本發明一實施例之高頻元件測試裝置的示意圖；

第3圖繪示依照本發明一實施例之高頻元件測試方法的流程圖；

及

第4A至4D圖分別繪示依照本發明一實施例之高頻元件測試裝置

的特性驗證的示意圖。

【實施方式】

【0009】 下面將結合本申請實施例中的附圖，對本申請實施例中的技術方案進行清楚、完整地描述，顯然，所描述的實施例是本申請一部分實施例，而不是全部的實施例。此外，所描述的特徵、結構或特性可以以任何合適的方式結合在一個或更多實施例中。在下面的描述中，提供許多具體細節從而給出對本申請的實施例的充分理解。然而，本領域具有通常知識者將意識到，可以實踐本申請的技術方案而沒有特定細節中的一個或更多，或者可以採用其它的方法、裝置、步驟等。在其它情況下，不詳細示出或描述公知方法、裝置、實現或者操作以避免模糊本申請的各方面。

【0010】 在本實施例中，散射參數（**S**參數）用以表示射頻發射器、微波器等元件的高頻性能。目前的**S**參數測試裝置會產生很大的寄生效應，使得對高頻元件進行測試所直接獲取的**S**參數無法準確表示該高頻元件的性能。因此，在本實施例中的測試裝置設置測試鍵來定義高頻元件的去嵌入平面**101**，即定義本徵元件（待測物**102**）與寄生元件（測試裝置**100**）之間的平面，如第2圖所示，通過去除測試裝置在高頻工作狀態下帶來的寄生效應，從而得到準確的本徵傳輸參數。

【0011】 請參照第1及2圖，其分別繪示依照本發明一實施例之高頻元件測試裝置**100**的示意圖。在第1圖中，高頻元件測試裝

置100包括測試鍵105以及一測試模組130，此測試鍵105包括對稱的一前級鍵110及一後級鍵120，前級鍵110與後級鍵120具有一致的電氣長度及特性阻抗。在一實施例中，前級鍵110與後級鍵120的特性阻抗例如為50歐姆，但不以此為限。前級鍵110與後級鍵120例如以接地-信號線-接地(ground-signal-ground，GSG)組態設置。在另一實施例中，前級鍵110與後級鍵120例如以接地-信號線(GS)、接地-信號線-接地-信號線-接地(GSGSG)或其他合適的測試組態設置。測試模組130例如為網路分析儀(network analyzer)。

【0012】前級鍵110包括第一傳輸線112，後級鍵120包括第二傳輸線122。第一傳輸線112與第二傳輸線122具有相同的電氣長度及材料，使前後兩側的傳輸參數大致上相等。在第2圖中，待測物102連接於二傳輸線112、122之間。待測物102與第一傳輸線112及第二傳輸線122之間分別形成一去嵌入平面101（垂直於紙面），使待測物102連接於兩個去嵌入平面101之間，去嵌入平面101的左側結構和右側結構均具有一本徵傳輸參數(intrinsic transmission parameter)，透過本徵傳輸參數以及受測結構的傳輸參數，用以推導待測物102的本徵傳輸參數。在一實施例中，本徵傳輸參數例如以ABCD參數表示。

【0013】在本實施例中，透過參數轉換模組將S參數轉換為ABCD參數，其中前級鍵110與後級鍵120直通連接時S參數可用ABCD參數表示，以參數矩陣 $\begin{bmatrix} A & B \\ C & D \end{bmatrix}$ 表示。例如在前級鍵110與後

級鍵120直通連接時，在二端口網路的一端輸入總電壓V1及總電流I1，在二端口網路的另一端輸出總電壓V2及總電流I2，其中 $V1=AV2+BI2$ ， $I1=CV2+DI2$ ，以公式 $\begin{bmatrix} V1 \\ I1 \end{bmatrix} = \begin{bmatrix} A & B \\ C & D \end{bmatrix} \begin{bmatrix} V2 \\ I2 \end{bmatrix}$ 表示，其中A、B、C和D用以表示輸入電壓V1、輸出電壓V2、輸入電流I1和輸出電流I2的關係。

【0014】本實施例的測試模組130可根據ABCD參數矩陣的開根運算以得到前級鍵110與後級鍵120的ABCD參數，計算公式(1)如下： $[Dem]=[PAD][PAD]$ ，其中[PAD]為前級鍵110與後級鍵120的ABCD參數矩陣，[Dem]為前級鍵110與後級鍵120直通連接時的ABCD參數矩陣。由於本實施例的前級鍵110與後級鍵120具有一致的電氣長度及特性阻抗，前級鍵110與後級鍵120的ABCD參數矩陣相同，因此只要對二測試鍵110、120直通連接時的ABCD參數矩陣[Dem]進行開根運算，即可得到前級鍵110與後級鍵120的ABCD參數矩陣[PAD]，由公式(1)可得知： $[PAD]=\sqrt{[Dem]}$ 。

【0015】另外，請參照第2圖，當加入一待測物102於前級鍵110與後級鍵120之間時，測試模組130量測加入待測物102於該前級鍵110與後級鍵120之間的受測結構的S參數，之後將S參數轉換為ABCD參數，並根據反矩陣得到一去嵌入的待測物102的ABCD參數。計算公式(2)如下： $[DUT]=[PAD][Golden][PAD]$ ，其中[Golden]為去嵌入的待測物102的ABCD參數矩陣，而[DUT]為前級鍵110與後級鍵120與待測物102直通連接時的

ABCD 參數矩陣。由公式(2)可得知 $[Golden]=[PAD]^{-1}[DUT][PAD]^{-1}$ ，其中 $[PAD]^{-1}$ 為前級鍵110與後級鍵120的 ABCD 參數矩陣的反矩陣，即 $[PAD]^{-1} = (\sqrt{[Dem]})^{-1}$ 。

【0016】在本實施例中，高頻元件測試裝置100僅需一組去嵌入之測試鍵，即可將由於量測而額外增加之佈局及走線的寄生效應去除，可加速去嵌入的檢測速度，並減少下針誤差以提升精準度。

【0017】請參照第1至3圖，其中第3圖繪示依照本發明一實施例之高頻元件測試方法的流程圖。首先，在步驟S30中，提供測試鍵105，其包括對稱排列的前級鍵110及後級鍵120，前級鍵110與後級鍵120具有前後一致的電氣長度及特性阻抗。在步驟S32中，量測前級鍵110與後級鍵120直通連接的S參數及加入一待測物102於前級鍵110與後級鍵120之間的結構的S參數。在步驟S34中，以頻域計算並將S參數轉換成ABCD參數矩陣，再以開根運算得到前級鍵110與後級鍵120的ABCD參數矩陣。在步驟S36中，根據前級鍵110與後級鍵120的ABCD參數矩陣的反矩陣計算一去嵌入的待測物102的ABCD參數。

【0018】請參照第4A至4D圖，其分別繪示依照本發明一實施例之高頻元件測試裝置100的S參數特性驗證的示意圖。在第4A圖中， $S(1,1)$ 參數為輸入反射係數，也就是輸入回波損耗。在第4B圖中， $S(1,2)$ 參數為反向傳輸係數，也就是隔離。在第4C

圖中， $S(2,1)$ 參數為正向傳輸係數，也就是增益。在第4D圖中， $S(2,2)$ 參數為輸出反射係數，也就是輸出回波損耗。在本實施例中以模擬驗證方式來進行S參數可行性及特性驗證，經比對圖中的模擬的模型曲線、DUT模型曲線及去嵌化的曲線的數據可發現，使用本實施例之去嵌入程序可以得到與待測物102的本徵傳輸參數非常接近的結果。模擬驗證至100GHz小信號曲線擬合(*curve fitting*)誤差小於10%。在另一實施例中，若採傳輸鍵測試鍵驗證至67GHz小信號相位的特性阻抗 Z_0 及傳輸線長度 βL 誤差可小於8%。

【0019】 本發明上述實施例的高頻元件測試裝置及其測試方法，僅需一種測試鍵做為校正模塊，此測試鍵具有前後一致的電氣長度及特性阻抗的前級鍵與後級鍵，特性阻抗例如為 50 歐姆與探針的阻抗一致，避免因校正誤差而導致待測物的量測失準。相對於傳統高頻元件量測及校正方式以 SOLT、TRL 為主，本實施例可減少校正步驟，並能去除 S 參數測試在高頻工作狀態下帶來的寄生效應，從而得到準確的 S 參數。

【0020】 綜上所述，雖然本發明已以實施例揭露如上，然其並非用以限定本發明。本發明所屬技術領域中具有通常知識者，在不脫離本發明之精神和範圍內，當可作各種之更動與潤飾。因此，本發明之保護範圍當視後附之申請專利範圍所界定者為準。

【符號說明】

【0021】

100:高頻元件測試裝置

101:去嵌入平面

102:待測物

105:測試鍵

110:前級鍵

120:後級鍵

112:第一傳輸線

122:第二傳輸線

130:測試模組

【發明申請專利範圍】

【請求項1】 一種高頻元件測試裝置，包括：

測試鍵，包括對稱排列的一前級鍵及一後級鍵，該前級鍵與該後級鍵具有一致的電氣長度及特性阻抗；以及

一測試模組，用以量測該前級鍵與該後級鍵直通連接的S參數及加入一待測物於該前級鍵與該後級鍵之間的結構的S參數，該測試模組以頻域計算並將該S參數轉換成ABCD參數矩陣，再以矩陣開根運算及反矩陣運算得到一去嵌入的該待測物的ABCD參數。

【請求項2】 如請求項1所述之測試裝置，其中該前級鍵包括一第一傳輸線，該後級鍵包括一第二傳輸線，該第一傳輸線與該第二傳輸線具有相同的特性阻抗。

【請求項3】 如請求項2所述之測試裝置，其中該待測物連接於該第一傳輸線及該第二傳輸線之間，該待測物該與第一傳輸線及該第二傳輸線之間分別形成一去嵌入平面。

【請求項4】 如請求項3所述之測試裝置，其中[PAD]為該前級鍵與該後級鍵的ABCD參數矩陣，[Dem]為該前級鍵與該後級鍵直通連接時的ABCD參數矩陣， $[Dem]=[PAD][PAD]$ ，該前級鍵與該後級鍵的ABCD參數矩陣 $[PAD]=\sqrt{[Dem]}$ 。

【請求項5】 如請求項4所述之測試裝置，其中[Golden]為去嵌入的該待測物的ABCD參數矩陣，而[DUT]為該二測試鍵與該待測物直通連接時的ABCD參數矩陣， $[DUT]=[PAD][Golden][PAD]$ ，根據該前級鍵與該後級鍵的ABCD參數矩陣的反矩陣

$[PAD]^{-1}$ 計算去嵌化的該待測物的 ABCD 參數矩陣
 $[Golden]=[PAD]^{-1}[DUT][PAD]^{-1}$ 。

【請求項6】 一種高頻元件測試方法，包括：

提供測試鍵，該測試鍵包括對稱排列的一前級鍵及一後級鍵，該前級鍵與該後級鍵具有前後一致的電氣長度及特性阻抗；

量測該前級鍵與該後級鍵直通連接的 S 參數及加入一待測物於該前級鍵與該後級鍵之間的結構的 S 參數；

以頻域計算並將該 S 參數轉換成 ABCD 參數矩陣，再以開根運算得到該前級鍵與該後級鍵的 ABCD 參數矩陣；以及

根據該前級鍵與該後級鍵的 ABCD 參數矩陣的反矩陣計算一去嵌入的該待測物的 ABCD 參數。

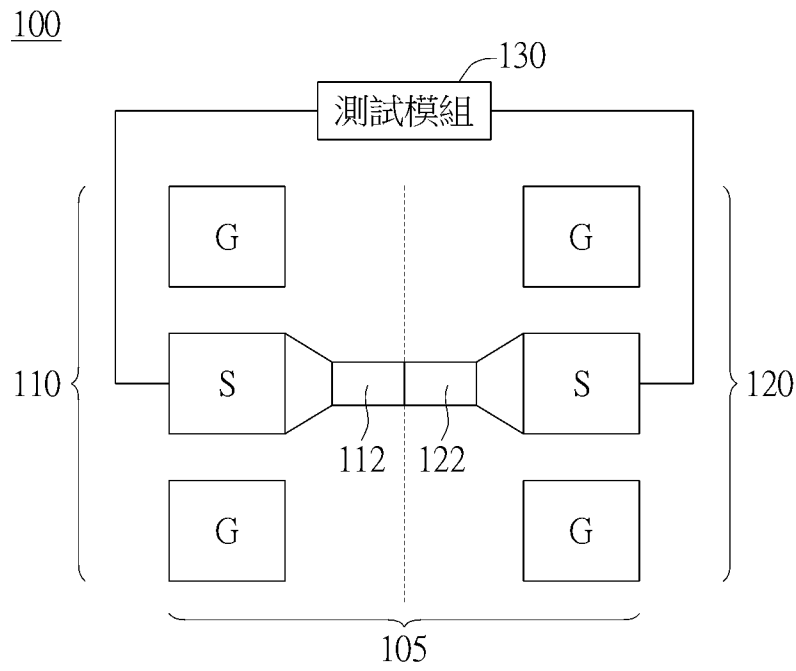
【請求項7】 如請求項6所述之測試方法，其中該前級鍵包括一第一傳輸線，該後級鍵包括一第二傳輸線，該第一傳輸線與該第二傳輸線具有相同的特性阻抗。

【請求項8】 如請求項7所述之測試方法，其中該待測物連接於該第一傳輸線及該第二傳輸線之間，該待測物該與第一傳輸線及該第二傳輸線之間分別形成一去嵌入平面。

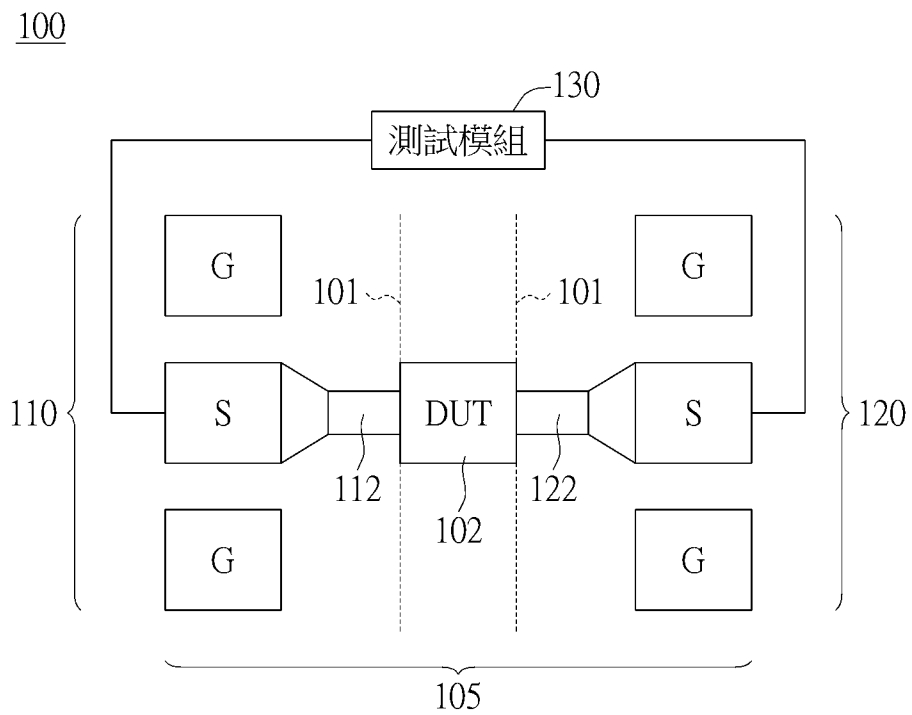
【請求項9】 如請求項6所述之測試方法，其中 $[PAD]$ 為該前級鍵與該後級鍵的 ABCD 參數矩陣， $[Dem]$ 為該前級鍵與該後級鍵直通連接時的 ABCD 參數矩陣， $[Dem]=[PAD][PAD]$ ，該前級鍵與該後級鍵的 ABCD 參數矩陣 $[PAD] = \sqrt{[Dem]}$ 。

【請求項10】 如請求項9所述之測試方法，其中[Golden]為去嵌化的該待測物的ABCD參數矩陣，而[DUT]為該前級鍵與該後級鍵與該待測物直通連接時的ABCD參數矩陣， $[DUT]=[PAD][Golden][PAD]$ ，根據該前級鍵與該後級鍵的ABCD參數矩陣的反矩陣 $[PAD]^{-1}$ 計算去嵌化的該待測物的ABCD參數矩陣 $[Golden]=[PAD]^{-1}[DUT][PAD]^{-1}$ 。

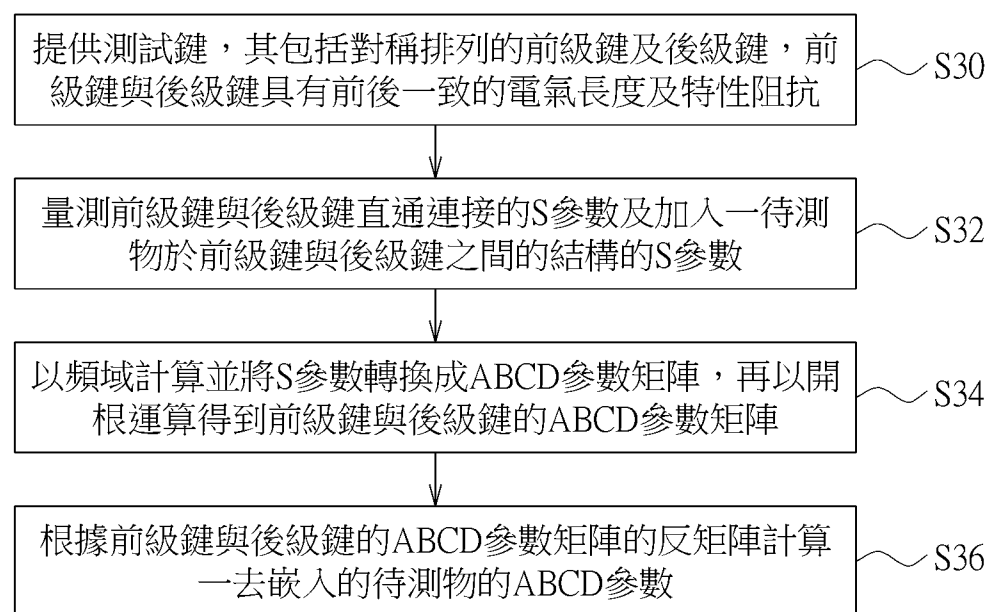
【發明圖式】



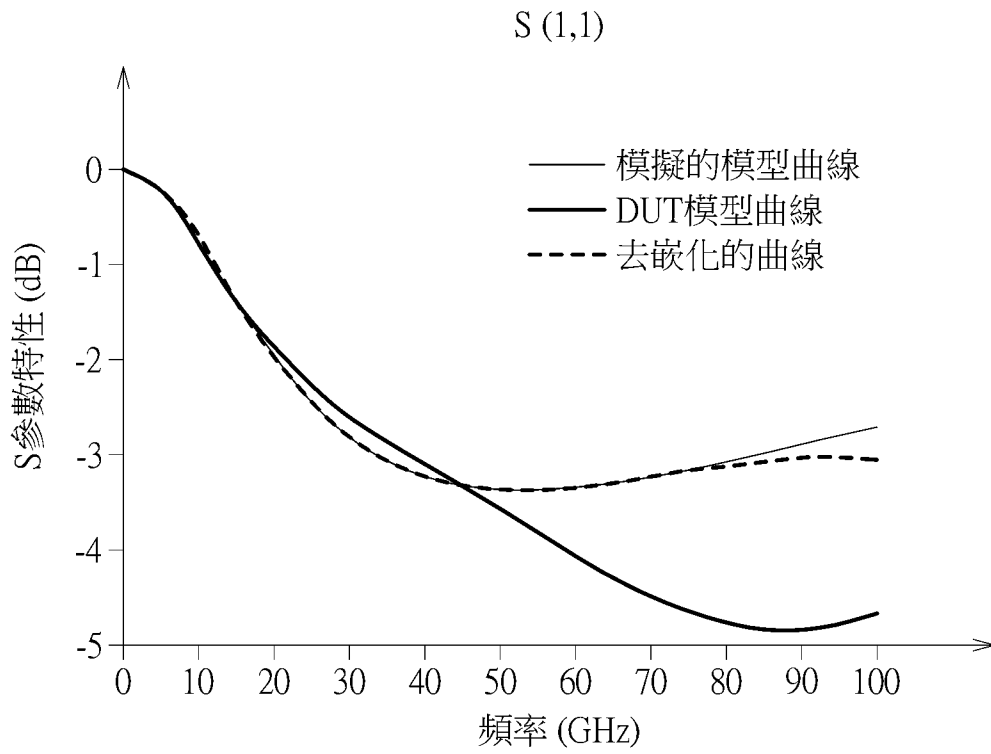
第 1 圖



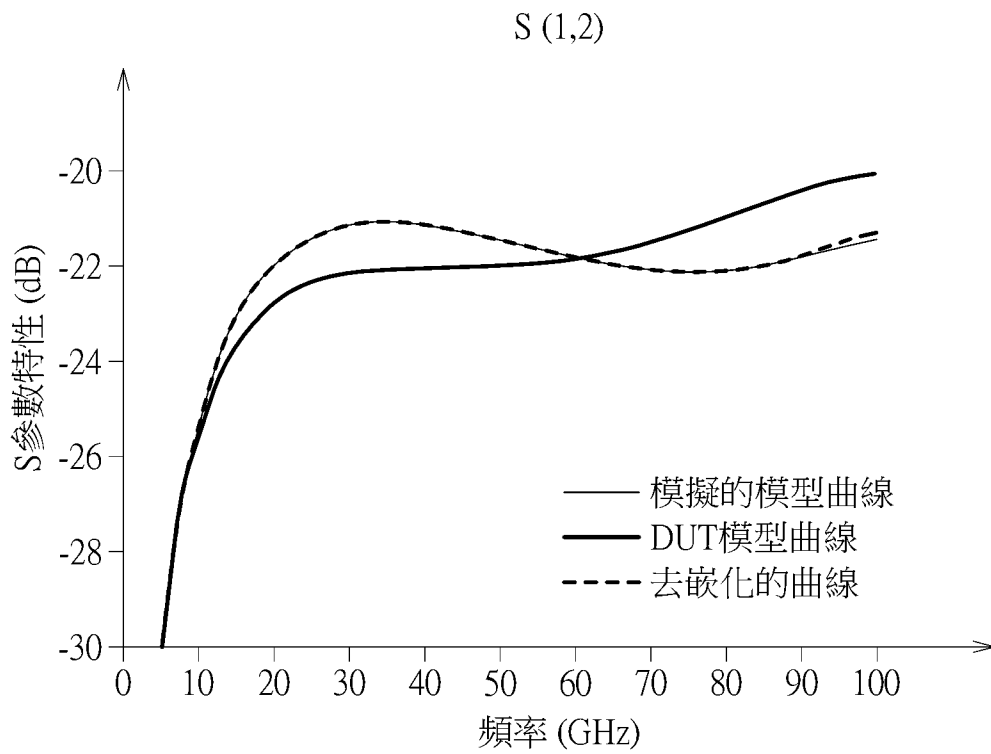
第 2 圖



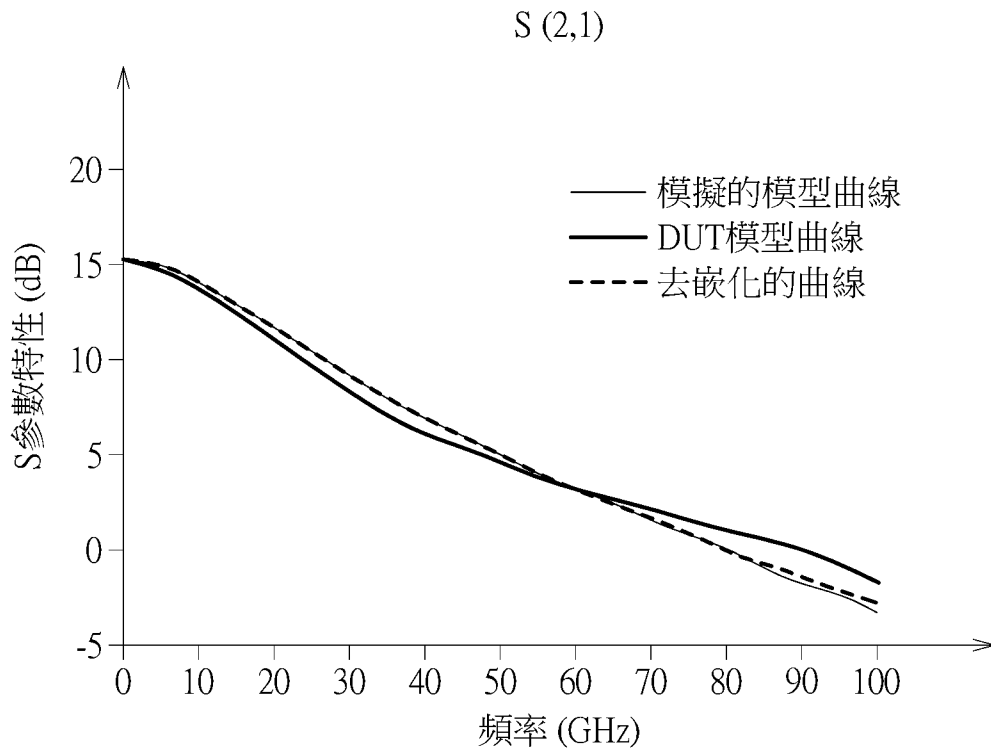
第 3 圖



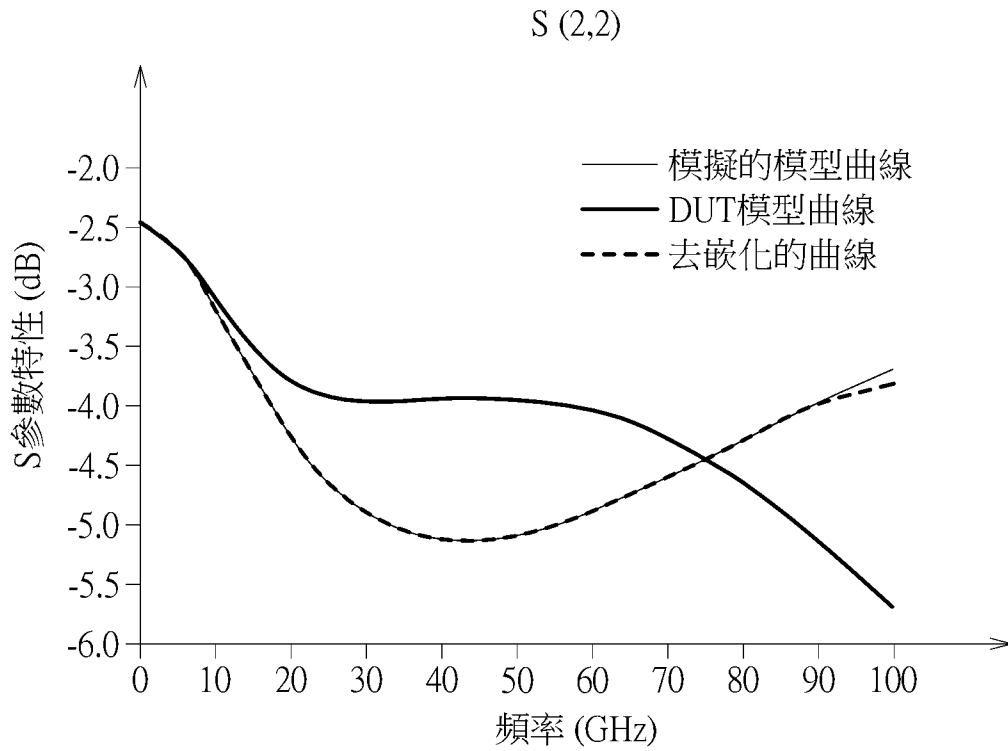
第 4A 圖



第 4B 圖



第 4C 圖



第 4D 圖