

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2010-87300

(P2010-87300A)

(43) 公開日 平成22年4月15日(2010.4.15)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 21/3213 (2006.01)	HO 1 L 21/88 D	4 M 1 0 4
HO 1 L 21/28 (2006.01)	HO 1 L 21/28 E	5 F 0 3 3

審査請求 未請求 請求項の数 5 O L (全 12 頁)

(21) 出願番号 特願2008-255637 (P2008-255637)
 (22) 出願日 平成20年9月30日 (2008. 9. 30)

(71) 出願人 000003078
 株式会社東芝
 東京都港区芝浦一丁目1番1号
 (74) 代理人 100109900
 弁理士 堀口 浩
 (72) 発明者 橋本 耕治
 東京都港区芝浦一丁目1番1号 株式会社東芝内
 (72) 発明者 河村 大輔
 東京都港区芝浦一丁目1番1号 株式会社東芝内
 (72) 発明者 松永 健太郎
 東京都港区芝浦一丁目1番1号 株式会社東芝内

最終頁に続く

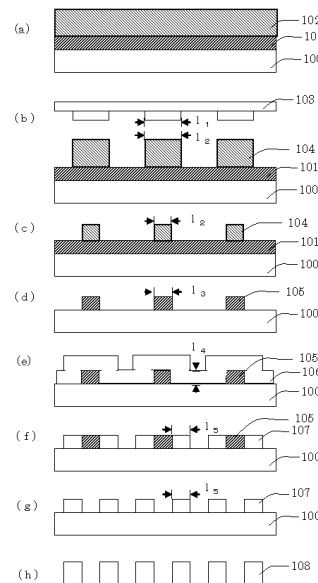
(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】

【課題】 所望の寸法のパターンを有する高信頼性の半導体装置の製造方法を提供することを目的とする。

【解決手段】 下地膜100上に第一の膜101及び第二の膜102を順に形成し、第二の膜102を加工して第二のパターン104を形成し、第二のパターン104をマスクに第一の膜101を加工して第一のパターン105を形成し、第二のパターン104を除去した後、下地膜100上及び第一のパターン105上に第三の膜106を堆積し、第三の膜106を加工して第一のパターン105側壁に第三の側壁パターン107を形成し、第一のパターン105を除去した後、第三の側壁パターン107をマスクに下地膜100を加工する半導体装置の製造方法であり、第三の側壁パターン107を形成するプロセス条件を、第二のパターン104の寸法及び第一のパターン105の寸法の少なくとも一方の情報に基づいて決定する。

【選択図】 図1



100: 下地膜 101: 第一の膜 102: レジスト膜 (第二の膜) 103: 露光マスク
 104: レジストパターン (第二のパターン) 105: 第一のパターン
 106: 第三の膜 107: 第三の側壁パターン 108: ゲートパターン
 l₁: マスクパターン寸法 l₂: レジストパターン (第二のパターン) 寸法
 l₃: 第一のパターン寸法 l₄: 第三の膜の膜厚 l₅: 第三の側壁パターン寸法

【特許請求の範囲】

【請求項 1】

下地膜上に第一の膜及び第二の膜を順に形成する工程と、
 前記第二の膜を加工して第二のパターンを形成する工程と、
 前記第二のパターンをマスクに前記第一の膜を加工して第一のパターンを形成する工程と、
 、
 前記第二のパターンを除去した後、前記下地膜上及び前記第一のパターン上に第三の膜を堆積する工程と、
 前記第三の膜を加工して前記第一のパターン側壁に第三の側壁パターンを形成する工程と、
 、
 前記第一のパターンを除去した後、前記第三の側壁パターンをマスクに前記下地膜を加工する工程と、
 を備え、
 前記第三の側壁パターンを形成するプロセス条件を、前記第二のパターンの寸法及び前記第一のパターンの寸法の少なくとも一方の情報に基づいて決定することを特徴とする半導体装置の製造方法。

10

【請求項 2】

前記下地膜の加工プロセス条件を、前記第三の膜の堆積膜厚及び前記第三の側壁パターンの寸法の少なくとも一方の情報に基づいて決定することを特徴とする請求項 1 記載の半導体装置の製造方法。

20

【請求項 3】

前記第三の側壁パターンを形成する工程と前記下地膜を加工する工程の間に、前記第三の側壁パターンをスリミングする工程を含み、前記第三の側壁パターンのスリミングプロセス条件を、前記第三の膜の堆積膜厚及びスリミングする前の前記第三の側壁パターンの寸法の少なくとも一方の情報に基づき決定することを特徴とする請求項 1 又は 2 記載の半導体装置の製造方法。

【請求項 4】

下地膜上に第一の膜及び第二の膜を順に形成する工程と、
 前記第二の膜を加工して第二のパターンを形成する工程と、
 前記第二のパターンをマスクに前記第一の膜を加工して第一のパターンを形成する工程と、
 、
 前記第二のパターンを除去した後、前記下地膜上及び前記第一のパターン上に第三の膜を堆積する工程と、
 前記第三の膜を加工して前記第一のパターン側壁に第三の側壁パターンを形成する工程と、
 、
 前記側壁パターン間に露出する前記下地膜上に第四のパターンを埋め込み形成する工程と、
 、
 前記第三の側壁パターンを除去した後、前記第一及び前記第四のパターンをマスクに前記下地膜を加工する工程と、
 を備え、
 前記第三の側壁パターンを形成するプロセス条件を前記第三の膜の堆積膜厚情報に基づいて決定することを特徴とする半導体装置の製造方法。

30

40

【請求項 5】

前記下地膜の加工プロセス条件を、前記第三の膜の堆積膜厚、前記第一及び前記第四のパターンの寸法の少なくとも一つの情報に基づいて決定することを特徴とする請求項 3 記載の半導体装置の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体装置の製造方法に関し、特にパターンの形成方法に関する。

50

【背景技術】**【0002】**

近年、半導体集積回路等の開発における配線パターン等の微細化を実現するための技術の一つとして、被加工膜上に形成した芯材パターンの側壁に側壁パターンを形成し、さらに側壁パターンあるいは側壁パターン間に埋め込まれたパターンをマスクにして被加工膜を加工して配線パターン、ゲート電極等を形成するパターン形成方法が知られている（例えば、特許文献1参照。）。

【0003】

しかしながら、このパターン形成方法によれば、被加工膜上に形成した芯材パターン等の寸法にばらつきが生じると側壁パターンのスペース寸法にばらつきが生じ、その結果被加工膜を加工して形成された配線パターンやゲート電極の寸法等がばらつくという問題が生じる。このようにパターン寸法等がばらつくことで、配線間容量が変動するなど半導体装置の信頼性が低下する場合がある。

10

【特許文献1】USP6063688号

【発明の開示】**【発明が解決しようとする課題】****【0004】**

本発明は、上記問題点を解決するためになされたもので、所望の寸法のパターンを有する高信頼性の半導体装置の製造方法を提供することを目的とする。

【課題を解決するための手段】

20

【0005】

上記目的を達成するために、本発明の一態様の半導体装置の製造方法は、下地膜上に第一の膜及び第二の膜を順に形成する工程と、前記第二の膜を加工して第二のパターンを形成する工程と、前記第二のパターンをマスクに前記第一の膜を加工して第一のパターンを形成する工程と、前記第二のパターンを除去した後、前記下地膜上及び前記第一のパターン上に第三の膜を堆積する工程と、前記第三の膜を加工して前記第一のパターン側壁に第三の側壁パターンを形成する工程と、前記第一のパターンを除去した後、前記第三の側壁パターンをマスクに前記下地膜を加工する工程と、を備え、前記第三の膜の堆積プロセス条件を前記第一及び第二のパターンの寸法の少なくとも一方の情報に基づいて決定し、又は前記第三の膜の加工プロセス条件を前記第三の膜の堆積膜厚情報に基づいて決定することを特徴とする。

30

【0006】

また、本発明の別の態様の半導体装置の製造方法は、下地膜上に第一の膜及び第二の膜を順に形成する工程と、前記第二の膜を加工して第二のパターンを形成する工程と、前記第二のパターンをマスクに前記第一の膜を加工して第一のパターンを形成する工程と、前記第二のパターンを除去した後、前記下地膜上及び前記第一のパターン上に第三の膜を堆積する工程と、前記第三の膜を加工して前記第一のパターン側壁に第三の側壁パターンを形成する工程と、前記側壁パターン間に露出する前記下地膜上に第四のパターンを埋め込み形成する工程と、前記第三の側壁パターンを除去した後、前記第一及び前記第四のパターンをマスクに前記下地膜を加工する工程と、を備え、前記第三の膜の堆積プロセス条件を前記第一及び前記第二のパターンの寸法の少なくとも一方の情報に基づいて決定し、又は前記第三の膜の加工プロセス条件が前記第三の膜の堆積膜厚情報に基づいて決定することを特徴とする。

40

【発明の効果】**【0007】**

本発明によれば、所望の寸法のパターンを有する高信頼性の半導体装置の製造方法を提供することを目的とする。

【発明を実施するための最良の形態】**【0008】**

以下、本発明の実施形態に係る半導体装置の製造方法について図面を参照して説明する。

50

【実施例 1】**【0009】**

まず、図 1 を参照して、本発明の実施例 1 に係る半導体装置の製造方法により、半導体装置にゲートパターンを形成する例を説明する。図 1 は、本実施例に係る半導体装置の製造方法を示す工程断面図である。

【0010】

図 1 (a) に示すように、C V D (Chemical Vapor Deposition) 法等を用いて、単結晶シリコン等の半導体基板 (図示を省略) 上にシリコン酸化膜等のゲート酸化膜 (図示を省略) 、ゲート電極となるポリシリコン膜等の下地膜 1 0 0 、シリコン窒化膜等の第一の膜 1 0 1 を順次堆積し、さらに第一の膜 1 0 1 上に第二の膜 1 0 2 、ここでは例えばレジスト膜 1 0 2 を塗布形成する。なお、第一の膜 1 0 1 は複数層の膜材料により構成されてもよい。

10

【0011】

次に、図 1 (b) に示すように、フォトリソグラフィにより、露光マスク 1 0 3 に形成されたマスクパターンをレジスト膜 1 0 2 に転写し、レジスト膜を加工 (現像) することにより、第一の膜 1 0 1 上にレジストパターン 1 0 4 (第二のパターン 1 0 4) を形成する。このとき、上述のプロセスを実施する前に、露光マスク 1 0 3 のマスクパターン寸法 l_1 、例えばライン状パターンであればパターンの短径寸法 (幅) を予め測長しておき、このマスクパターン寸法 l_1 の測長結果に基づき、フォトリソグラフィにおけるプロセス条件、例えば露光量、フォーカス値等を決定する。

20

【0012】

例えば、マスクパターン寸法 l_1 が所望の設定値よりも大きいときは露光量を設定条件よりも小さくし、マスクパターン寸法 l_1 が所望の設定値よりも小さいときは露光量を設定条件よりも大きくすることにより、レジストパターン 1 0 4 が所望の寸法となるようにプロセス条件を調整する。このため、測長したマスクパターン寸法 l_1 が所望の設計寸法と異なっている場合でも、それらの誤差に応じて適宜露光量等を調整すれば、レジストパターン 1 0 4 を所望の設計寸法に近づけることが可能となる。

【0013】

またここで、フォトリソグラフィにより形成されたレジストパターン 1 0 4 の寸法 l_2 、例えばライン状パターンであればパターンの短径寸法 (幅) や、レジストパターン 1 0 4 のピッチを測長し、設計寸法どおりか否かを確認することができる。例えば、本実施例に係る半導体装置の製造方法では、レジストパターン 1 0 4 のパターンピッチは、それぞれ最終的なゲートパターンのピッチの約 2 倍となる。したがって、例えば 4 5 n m のゲート幅のゲートパターンを形成するときには、ゲートパターンのピッチは 9 0 n m となる、レジストパターン 1 0 4 のパターンピッチの寸法は約 1 8 0 n m となる。

30

【0014】

次に、図 1 (c) に示すように、エッチングにより、レジストパターン 1 0 4 のスリミングを行う。このときのエッチングは、C D E (Chemical Dry Etching) 法、ウェット法又はレジスト膜 1 0 2 下層の反射防止膜 (図示を省略) の R I E (Reactive Ion Etching) 時における幅方向のエッチング等が一般的であり、エッチング条件は、スリミングすべき量、エッチングガスの種類 / 濃度 / 圧、エッチング溶液の種類 / 濃度、レジストパターン材料、反射防止膜材料、下地の膜材料等によって決定される。

40

【0015】

このスリミング時のエッチング条件 (プロセス条件) 、例えばエッチングガス種、エッチングガス圧力、エッチング時の放電パワー、エッチングによるスリミング量、エッチングレート等は、先に測長したレジストパターン寸法 l_2 とその設定寸法の差に基づいて決定する。例えば、レジストパターン寸法 l_2 が所望の設定値よりも大きいときは、スリミング量を通常よりも大きくし、レジストパターン寸法 l_2 が設定値よりも細めに形成されたときは、スリミング量を通常よりも小さくするなどして、プロセス条件を適宜調整する。このように、測長したレジストパターンの寸法 l_2 が所望の設計パターン寸法と異なって

50

いる場合でも、それらの誤差に応じて適宜スリミング時のプロセス条件を調整すれば、レジストパターン104を所望の設計パターン寸法に近づけることが可能となる。

【0016】

またこのとき、スリミングした後のレジストパターン寸法 l_2 の測長を行う。本実施例に係る半導体装置の製造方法では、スリミング後のレジストパターン104のパターン幅 l_2 は、最終的なゲートパターンのスペース幅とほぼ同等となる。すなわち、30nmのスペースの周期ゲートパターンを製造するとき、スリミング後に形成されるレジストパターン104寸法も30nmとする。

【0017】

次に、図1(d)に示すように、RIE等により、スリミング後のレジストパターン104をマスクに下層の第一の膜101をエッチング加工し、下地膜100上に第一のパターン105を形成する。このエッチング加工時におけるプロセス条件、例えばエッチング量、エッチングガス種、エッチングガス圧力、エッチング時の放電パワー、エッチングレート等は、先に測長したレジストパターン寸法 l_2 の少なくとも一つに基づき決定する。例えば、レジストパターン寸法 l_2 がそれぞれの所望の寸法よりも大きいときはエッチング時間を設定条件よりも長くし、レジストパターン寸法 l_2 がそれぞれの所望の寸法よりも小さいときは、エッチング時間を設定条件よりも短くするなどして、プロセス条件を適宜調整する。このように、測長したスリミング前後のレジストパターン104の寸法 l_2 が所望の設計パターン寸法と異なっている場合でも、それらの誤差に応じて適宜プロセス条件を調整すれば、第一のパターン寸法 l_3 を所望の設計寸法に近づけることが可能となる。

10

20

【0018】

なお、本実施例ではレジストパターン104をスリミングしたが、必要に応じて、第一のパターン105を形成後、第一のパターン105をスリミングしてもよい。このとき、第一のパターン105として例えばシリコン窒化膜を使用した場合には、ホットリン酸によるウェットエッチングにより第一のパターン105のスリミングを行うことができる。また、第一のパターン105のスリミングを行う場合は、所望の設計寸法に近づけるように第一のパターン105のスリミング条件を調整する。スリミング後の寸法 l_3 を測長し、寸法の確認を行う。

【0019】

また、第一の膜101の加工後には、酸素雰囲気での灰化プロセス(O_2 アッシャー)等によりレジスト膜102を剥離する。レジスト膜102剥離後の第一のパターン寸法 l_3 の測長を行って寸法の確認を行う。

30

【0020】

次に、図1(e)に示すように、CVD法等により、第一のパターン105上及び下地膜100上に第三の膜106を堆積する。第三の膜106には、第一の膜101及び下地膜100に対してエッチング選択比を有するような酸化膜又は窒化膜等が用いられる。

【0021】

このとき、第三の膜106の堆積におけるプロセス条件、例えば原料ガス種、第三の膜106の設定堆積膜厚等を、第三の膜106が所望の膜厚となるよう調整する。また一方で、堆積した第三の膜106の堆積膜厚 l_4 を測長することで所望の設定膜厚との差を確認する。

40

【0022】

次に、図1(f)に示すように、第三の膜106をRIE等のエッチング加工により、第一のパターン105上及び下地膜100上に形成された第三の膜106を除去して、第一のパターン105の側壁のみに第三の膜106を残すように第三の側壁パターン107を形成する。

【0023】

このとき、第三の膜106のエッチング加工時におけるプロセス条件、例えばエッチング時間、エッチングガス種、エッチングガス圧力、エッチング時の放電パワー等は、先に測

50

長した第三の膜106の堆積膜厚 l_4 に基づき決定する。例えば、第三の膜106の堆積膜厚 l_4 が設定膜厚よりも厚いときは、エッチング時間を設定時間よりも長くし、第三の膜106の堆積膜厚 l_4 が設定膜厚よりも薄いときは、エッチング時間を設定時間よりも短くするなどして、プロセス条件を適宜調整する。このように、第三の膜106の堆積膜厚 l_4 が所望の設計膜厚と異なっている場合でも、それらの誤差に応じて適宜プロセス条件を調整すれば、第三の側壁パターン寸法 l_5 を所望の設計パターン寸法に近づけることが可能となる。

【0024】

次に、図1(g)に示すように、ウェットエッチング法等のエッチングにより、第一のパターン105を剥離する。

10

【0025】

ここでさらに、第一のパターン105を剥離した後、側壁パターン107の寸法 l_5 、例えばパターン幅、パターン径、パターン面積等を測長する。本実施例では、側壁パターン107の寸法 l_5 は、最終的にはゲートパターンのゲート長とほぼ同じ値になる。

【0026】

次に、図1(h)に示すように、RIE等により、第三の側壁パターン107をマスクにして下地膜100をエッチング加工して、下地膜100にゲートパターン108を形成する。続いて、側壁パターン107を剥離する。

【0027】

この下地膜100のエッチング加工時におけるプロセス条件、例えばエッチング時間、エッチングガス種、エッチングガス圧力、エッチング時の放電パワー、エッチングレート等は、先に測定した第三の膜106の堆積膜厚 l_4 及び第三の側壁パターン寸法 l_5 の少なくとも一方の情報に基づき決定する。例えば、第三の膜106の堆積膜厚 l_4 が設定膜厚よりも厚いときは、エッチング時間を設定条件よりも長くし、第三の膜106の堆積膜厚 l_4 が設定膜厚よりも薄いときは、エッチング時間を設定条件よりも短くする。同様に、第三の側壁パターン寸法が設定寸法よりも大きいときは、エッチング時間を設定条件よりも長くし、第三の側壁パターン寸法 l_5 が設定寸法よりも小さいときは、エッチング時間を設定条件よりも短くするなどして、適宜プロセス条件を調整する。

20

【0028】

このように、第三の膜106の堆積膜厚 l_4 又は側壁パターン寸法 l_5 が所望の値と異なっている場合でも、それらの誤差に応じて適宜プロセス条件を調整すれば、ゲートパターン108の寸法 l_6 を所望の設計寸法に近づけることが可能となる。

30

【0029】

以上が、本実施例に係る半導体装置の製造方法による微細パターンの形成方法である。

【0030】

第一のパターン105側壁に形成した第三の側壁パターン107をマスクにして下地膜100を加工するゲートパターン形成方法では、ゲートパターン108は側壁パターン107をマスクにして形成される。このため、ゲートパターン108の寸法は第三の側壁パターン寸法 l_5 に主に依存する。一方、ゲートパターン108間のスペース寸法はレジストパターン104の寸法、レジストパターン104のスペース寸法、第一のパターン105の寸法及び第一のパターン105のスペース寸法に主に依存する。従って、ゲートパターン寸法が設計寸法に対してばらつく主な原因は、図1(e)~(h)に示す、第三の膜106の堆積時における膜厚 l_4 及び第三の膜106のRIE時及び側壁パターン間の第一のパターン105の剥離時における側壁パターン寸法 l_5 のそれぞれの所望の設計値に対するばらつき、加えて下地膜100の加工時に生じるばらつきであるということが出来る。一方、ゲートパターンスペース寸法が設計寸法に対してばらつく主な原因は、第三の膜106の堆積時における膜厚 l_4 、第三の膜106のRIE時及び側壁パターン間の第一のパターン105の剥離時における側壁パターン寸法 l_5 のそれぞれの所望の設計値に対するばらつき及び下地膜100の加工時に生じるばらつきのみならず、露光マスク103のマスクパターン寸法 l_1 、スリミング前後のレジストパターン寸法 l_2 、レジストパターン

40

50

104をマスクにした第一の膜101加工時における第一のパターン寸法 l_3 のそれぞれの所望の設計値に対するばらつきにあるとすることができる。

【0031】

このような側壁パターンをマスクとして利用した従来の半導体装置の製造方法により形成したゲートパターンの断面図を図2に示す。図2に示すように、従来の半導体装置の製造方法によれば、ゲートパターン108の寸法 l_6 がばらつく原因よりもゲートパターンスペース109の寸法 l_7 がばらつく原因の方が多くなるため、ゲートパターン寸法 l_6 に比べゲートパターンスペース寸法 l_7 の方が所望の設計寸法に対するばらつきが大きくなる可能性が高くなる。

【0032】

これに対し、本実施例に係る半導体装置の製造方法によれば、図1に示す製造工程の各段階においてパターン寸法等の情報を得て、それらの情報に基づき以降のプロセス条件を決定しつつ最終的なゲートパターン108を形成する。このため、半導体装置の微細パターンを形成する所定の製造工程において、レジストパターン寸法 l_2 等を所望の設計値に修正して寸法制御することが可能となり、最終的には所望の設計値に極めて近い高精度な寸法のパターンを形成することができる。

【0033】

また、本実施例に係るゲートパターン形成方法においては、ゲートパターンの寸法 l_6 のばらつきよりもゲートパターンスペースの寸法 l_7 のばらつきが大きくなる可能性が高いため、プロセスマージンを向上するべくゲートパターンの設計寸法をゲートパターンスペースの設計寸法よりも予め小さくするようゲートパターンを設計することができる。このように設計パターンに基づいて本実施例に係るゲートパターン形成方法を適用することにより、半導体装置の所望のデバイス性能を確保することがより容易になる。

【0034】

なお、本実施例に係る半導体装置の製造方法において、図1(g)に示す工程で第一の膜101を剥離した後、第三の側壁パターン107の寸法 l_5 を測長し、さらに第三の側壁パターン107をスリミングして側壁パターン寸法 l_5 を調整してもよい。

【0035】

ここで、側壁パターン107のスリミング時におけるプロセス条件、例えばエッチング時間、エッチングガス種、エッチングガス圧力、放電パワー、スリミング量、エッチングレート等は、第三の膜106の堆積膜厚 l_4 及び第三の側壁パターン107の寸法 l_5 の少なくとも一方に基づいて決定する。例えば、側壁パターン寸法 l_5 が所望の設計値よりも大きいときは、スリミング量を設定条件よりも大きくし、側壁パターン寸法 l_5 が所望の設計値よりも小さいときは、スリミング量を設定条件よりも小さくするなどして、プロセス条件を適宜調整する。このように、側壁パターン107が所望の設計パターン寸法と異なっている場合でも、その誤差に応じて適宜スリミング条件を調整すれば、レジストパターン104を所望の設計パターン寸法に近づけることが可能となる。

【0036】

またスリミング後には側壁パターン寸法を測長し、その寸法に基づいて、図1(h)に示す下地膜100のエッチング工程におけるエッチング条件を決定する。

【0037】

このように、スリミングにより側壁パターン寸法を調整し、さらにエッチング条件を調整することで、側壁パターン107をマスクに下地膜100をエッチングして形成されるゲートパターン108の寸法をより高精度にすることが可能である。

【実施例2】

【0038】

次に、図3を参照して、本発明の実施例2に係る半導体装置の製造方法を説明する。図3は、本発明の実施例2に係る半導体装置の製造方法を示す工程断面図である。

【0039】

本実施例に係る半導体装置の製造方法は、実施例1に係る半導体装置の製造方法と、第一

10

20

30

40

50

のパターン等をマスクにして下地膜を加工する点で異なる。従って以下、本実施例の説明において、上述の実施例 1 に係る半導体装置の製造方法と同様の部分については同一符号を付して詳細な説明を省略する。

【0040】

すなわち、図 3 (a) に示すように、半導体基板上に下地膜 100、第一の膜 101 及びレジスト膜 102 (第二の膜 102) を順に形成した後、フォトリソグラフィにより、マスクパターンが形成された露光マスク 103 を用いてレジスト膜 102 にパターンを転写し、第一の膜 101 上にレジストパターン 104 (第二のパターン 104) を形成する。

【0041】

このとき、フォトリソグラフィを行う前に露光マスク 103 のマスクパターン寸法 l_1 を測長しておき、このマスクパターン寸法 l_1 測長結果に基づき、フォトリソグラフィにおけるプロセス条件、例えば露光量等を調整する。さらにまた、フォトリソグラフィにより形成されたレジストパターン 104 の寸法 l_2 を測長する。

10

【0042】

次に、図 3 (b) に示すように、CDE 法等のエッチングにより、レジストパターン 104 のスリミングを行い、さらに RIE 等により、スリミング後のレジストパターン 104 をマスクに下層の第一の膜 101 をエッチング加工して、下地膜 100 上に第一のパターン 105 を形成する。

【0043】

このスリミング時のプロセス条件、例えばスリミング量等は、先に測長したレジストパターン寸法 l_2 に基づき決定する。このとき、スリミング後のレジストパターン寸法 l_2 の測長を行っておく。また、エッチング時におけるプロセス条件、例えばオーバーエッチング時間等は、先に測長したスリミング前後のレジストパターン寸法 l_2 の少なくとも一つの情報に基づいて決定する。さらに、レジスト膜 102 を剥離した後、第一のパターン寸法 l_3 の測長を行う。

20

【0044】

なお、本実施例ではレジストパターン 104 をスリミングしたが、第一のパターン 105 を形成した後、第一のパターン 105 を適宜スリミングしても良い。

【0045】

次に、図 3 (c) に示すように、CVD 法等による第三の膜 106 の堆積及び RIE 等による第三の膜 106 のエッチング加工により、第一のパターン 105 側壁に第三の側壁パターン 107 を形成する。

30

【0046】

このとき、第三の膜 106 の堆積におけるプロセス条件、例えば堆積膜厚等は、先に測定したスリミング前後のレジストパターン寸法 l_2 及び第一のパターン寸法 l_3 の少なくとも一つの寸法情報に基づいて決定する。さらに、第三の膜 106 の堆積後には、その膜厚 l_4 を測長する。

【0047】

またここで、第三の膜 106 のエッチング加工時におけるプロセス条件、例えばオーバーエッチング時間等は、測長した第三の膜 106 の堆積膜厚 l_4 に基づいて決定する。第三の膜 106 のエッチング後には、第三の側壁パターン 107 の寸法 l_5 を測長する。

40

【0048】

次に、本実施例では、図 3 (d) に示すように、CVD 法等を使用して、窒化膜等の第四の膜を下地膜 100 上に堆積して第三の側壁パターン 107 間を埋め込み、さらに CMP (Chemical Mechanical Polishing) により、側壁パターン 107 上及び第一のパターン 105 上の第四の膜を研磨除去することにより、第四のパターン 110 を形成する。

【0049】

次に、図 3 (e) に示すように、CDE 法やウェットエッチング法などの等方性エッチングにより第三の側壁パターン 107 を剥離し、下地膜 100 上に第一及び第四のパターン 110 を形成する。また、この側壁パターン 107 の剥離後には、第一及び第四のパター

50

ン寸法 l_3 、 l_8 を測長する。

【0050】

続いて、図3(f)に示すように、RIE等により、第一及び第四のパターン105、110をマスクに下地膜100をエッチング加工し、さらに第一及び第四のパターン105、110を剥離してゲートパターン108を形成する。

【0051】

この下地膜100のエッチング加工時におけるプロセス条件、例えばオーバーエッチング時間等は先に測長した第三の膜106の膜厚 l_4 、第三の側壁パターン107寸法 l_5 、第一及び第四のパターン110寸法 l_3 、 l_8 に基づいて決定する。例えば、第三の膜106の膜厚 l_4 又は側壁パターン寸法 l_5 が所望の設計値よりも大きいときは、第四のパターン寸法 l_8 が所望の設計寸法よりも小さくなるため、下地膜100のオーバーエッチング時間を通常よりも短くし、第三の膜106の膜厚 l_4 又は第三の側壁パターン寸法 l_5 が所望の設計値よりも小さいときは、第四のパターン寸法 l_8 が所望の設計寸法よりも大きくなるため、オーバーエッチング時間を通常よりも長くする。同様に、第一及び第四のパターン105、110寸法が所望の設計値よりも小さいときは、下地膜100のオーバーエッチング時間を通常よりも短くし、一方、第一及び第四のパターン寸法 l_3 、 l_8 が所望の設計値よりも大きいときは、下地膜100のオーバーエッチング時間を通常よりも長くするなどして、プロセス条件の調整を行う。

10

【0052】

以上が本実施例に係る半導体装置の製造方法による半導体装置の微細ゲートパターン108の形成方法である。

20

【0053】

下地膜100上に形成した第一のパターン105とその側壁に設けた側壁パターン107間に形成した第四のパターン110の二つのパターンをマスクにして下地膜100を加工する半導体装置の製造方法では、ゲートパターン108のスペースは側壁パターン107の寸法に依存する。一方、第一のパターン105と、第一のパターン105側壁に形成した側壁パターン107間に埋め込んだ第四のパターン110の寸法に依存する。このため、ゲートパターン108のスペースの寸法は側壁パターン寸法 l_5 に主に依存し、一方、ゲートパターン108の寸法は、レジストパターン104、第一及び第四のパターン105、110、レジストパターンスペース、及び第一のパターンスペースの寸法に主に依存する。すなわち、ゲートパターンスペース寸法の所望の設計寸法に対するばらつきが生じる主な原因は、第三の膜106の堆積時における堆積膜厚 l_4 及び側壁パターン107のエッチング時における側壁パターン寸法 l_5 のそれぞれの所望の設計値に対するばらつきであるといえることができる。一方、ゲートパターン寸法の所望の設計寸法に対するばらつきが生じる主な原因は、第三の膜106の堆積膜厚 l_4 及び側壁パターン寸法 l_5 のみならず、露光マスク103のマスクパターン寸法 l_1 、レジスト膜102へのマスクパターン転写時におけるレジストパターン寸法 l_2 、スリミング後のレジストパターン寸法 l_2 、レジストパターン104をマスクにした第一の膜101加工時における第一のパターン寸法 l_3 それぞれの所望の設計値に対するばらつきであるといえることができる。

30

【0054】

従来の半導体装置の製造方法により形成されたゲートパターンの断面図を図4に示す。図4に示すように、ゲートパターンスペース寸法 l_6 がばらつく原因よりもゲートパターン108寸法がばらつく原因の方が多いため、ゲートパターンスペース寸法 l_7 に比べゲートパターン寸法 l_5 の方が所望の設計寸法に対するばらつきが大きくなる恐れがある。

40

【0055】

本実施例に係る半導体装置の製造方法によれば、製造工程の所定の段階においてパターン寸法等の情報を得て、それらの情報に基づき以降のプロセス条件を適宜決定しているため、半導体装置の微細パターンを形成する所定の製造工程において、レジストパターン寸法 l_2 等を所望の設計値に適宜修正して寸法制御することが可能となり、最終的には所望の設計値に極めて近い高精度なパターンを形成することができる。

50

【 0 0 5 6 】

なお、本実施例に係る半導体装置の製造方法においても、図 3 (e) に示す工程で側壁パターン 1 0 7 を剥離した後、第一及び第四のパターン 1 0 5、1 1 0 寸法を測長し、C D E 法又はウェット法により第一及び第四のパターン 1 0 5、1 1 0 をスリミングして、第一及び第四のパターン寸法 l_3 、 l_8 を調整してもよい。

【 0 0 5 7 】

ここで、第一及び第四のパターンのスリミング時におけるプロセス条件、例えばスリミング量等は、先に測長した第一及び第四のパターン寸法 l_3 、 l_8 に基づいて決定する。このように、測長した第一及び第四のパターン寸法 l_3 、 l_8 が所望の設計パターン寸法と異なっている場合でも、その誤差に応じて適宜スリミング条件を調整すれば、第一及び第四のパターン 1 0 5、1 1 0 を所望の設計パターン寸法に近づけることが可能となる。

10

【 0 0 5 8 】

またスリミング後には第一及び第四のパターン寸法 l_3 、 l_8 を測長し、その寸法に基づいて、図 3 (f) に示す下地膜 1 0 0 のエッチング工程におけるエッチング条件を決定する。

【 0 0 5 9 】

このように、スリミングにより第一及び第四のパターン寸法 l_3 、 l_8 を調整し、さらにエッチング条件を調整することで、第一及び第四のパターン 1 0 5、1 1 0 をマスクに下地膜 1 0 0 をエッチングして形成されるゲートパターン 1 0 8 の寸法をより高精度にすることが可能である。

20

【 0 0 6 0 】

また、本実施例に係るパターン形成方法においても、ゲートパターンスペースの寸法のばらつきよりもゲートパターン 1 0 8 の寸法のばらつきが大きくなる可能性があるため、パターンスペースの設計寸法をパターンの設計寸法よりも予め大きく設定することにより、プロセスマージンの高く所望のデバイス性能が得られるゲートパターン 1 0 8 の形成がより容易になる。

【 0 0 6 1 】

なお、上述の実施例 1、2 では、本発明によるゲートパターン 1 0 8 の形成方法を示したが、本発明によれば、ゲートパターン 1 0 8 のみならず、微細ホール又は微細配線パターン、特にライン状の配線パターン等を形成することも可能である。

30

【 0 0 6 2 】

また、上述の実施例 1、2 では、第一の膜 1 0 1 上に形成される第二の膜 1 0 2 にレジスト膜 1 0 2 を使用しているが、第二の膜 1 0 2 にレジスト膜 1 0 2 以外の膜、第一の膜 1 0 1 に対するエッチング選択比を有するような有機膜等を使用することもできる。このような場合、第二の膜 1 0 2 上にさらにレジスト膜を形成し、フォトリソグラフィ及び R I E により第二の膜 1 0 2 を加工して、第一の膜 1 0 1 上に第二のパターン 1 0 4 を形成することができる。

【 図面の簡単な説明 】

【 0 0 6 3 】

【 図 1 】 本発明の実施例 1 に係る半導体装置の製造方法を示す工程断面図。

40

【 図 2 】 従来の半導体装置の製造方法により形成したパターンを示す断面図。

【 図 3 】 本発明の実施例 2 に係る半導体装置の製造方法を示す工程断面図。

【 図 4 】 従来の他の半導体装置の製造方法により形成したパターンを示す断面図。

【 符号の説明 】

【 0 0 6 4 】

1 0 0 : 下地膜

1 0 1 : 第一の膜

1 0 2 : レジスト膜 (第二の膜)

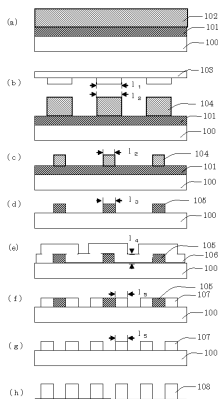
1 0 4 : レジストパターン (第二のパターン)

1 0 5 : 第一のパターン

50

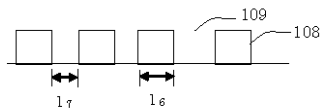
- 106 : 第三の膜
- 107 : 第三の側壁パターン
- 110 : 第四のパターン
- l₁ : マスクパターン寸法
- l₂ : レジストパターン (第二のパターン) 寸法
- l₃ : 第一のパターン寸法
- l₄ : 第三の膜の膜厚
- l₅ : 第三の側壁パターン寸法
- l₈ : 第四のパターン寸法

【 図 1 】



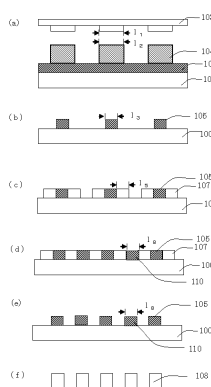
100 : 下地膜 101 : 第一のパターン 102 : レジスト膜 (第二の膜) 103 : 露光マスク
 104 : レジストパターン (第二のパターン) 105 : 第一のパターン
 106 : 第三の膜 107 : 第三の側壁パターン 108 : ゲートパターン
 l₁ : マスクパターン寸法 l₂ : レジストパターン (第二のパターン) 寸法
 l₃ : 第一のパターン寸法 l₄ : 第三の膜の膜厚 l₅ : 第三の側壁パターン寸法

【 図 2 】



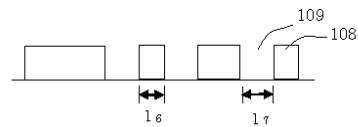
109 : ゲートパターンスペース
 l₆ : ゲートパターン寸法
 l₇ : ゲートパターンスペース寸法

【 図 3 】



110 : 第四のパターン
 l₈ : 第四のパターン寸法

【 図 4 】



フロントページの続き

(72)発明者 東川 巖

東京都港区芝浦一丁目1番1号 株式会社東芝内

Fターム(参考) 4M104 AA01 BB01 CC05 DD65 DD71 HH14

5F033 HH04 QQ08 QQ09 QQ11 QQ13 QQ19 QQ28 SS11 VV06 XX03