



(12)实用新型专利

(10)授权公告号 CN 210956169 U

(45)授权公告日 2020.07.07

(21)申请号 201921509446.1

(22)申请日 2019.09.11

(30)优先权数据

1858150 2018.09.12 FR

(73)专利权人 意法半导体(格勒诺布尔2)公司

地址 法国格勒诺布尔

(72)发明人 S·杜克雷 P·拉加

(74)专利代理机构 北京市金杜律师事务所

11256

代理人 王茂华 李兴斌

(51)Int.Cl.

G11C 29/12(2006.01)

(ESM)同样的发明创造已同日申请发明专利

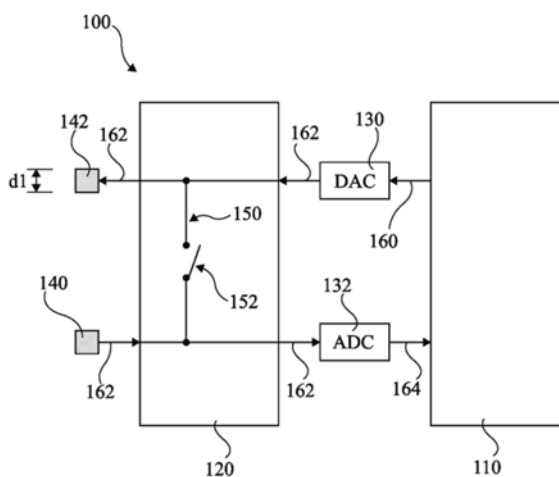
权利要求书1页 说明书7页 附图3页

(54)实用新型名称

电子芯片和片上系统

(57)摘要

本公开的实施例涉及电子芯片和片上系统。一种电子芯片包括模拟输入连接焊盘和模拟输出连接焊盘。一开关耦合在模拟输入连接焊盘与模拟输出连接焊盘之间。在一个实施例中,芯片操作在自测试模式和有效模式中。开关只有在自测试模式中是闭合的。



1. 一种电子芯片,其特征在于,包括:
模拟输入连接焊盘;
模拟输出连接焊盘;以及
开关,耦合在所述模拟输入连接焊盘与所述模拟输出连接焊盘之间。
2. 根据权利要求1所述的电子芯片,其特征在于,所述电子芯片被配置为操作在自测试模式中和有效模式中,所述开关仅在所述自测试模式中是闭合的。
3. 一种片上系统,其特征在于,包括:
模拟输入;
模拟输出;
数字电路;
模数转换器,耦合在所述模拟输入与所述数字电路之间;
数模转换器,耦合在所述数字电路与所述模拟输出之间;以及
开关,耦合在所述模拟输入与所述模拟输出之间。
4. 根据权利要求3所述的片上系统,其特征在于,进一步包括:
第二开关,耦合在所述模拟输入和所述模数转换器之间。
5. 根据权利要求3所述的片上系统,其特征在于,所述片上系统包括串联连接在所述模拟输入与所述模拟输出之间的多个开关。
6. 根据权利要求5所述的片上系统,其特征在于,进一步包括存储所述多个开关的控制逻辑电平的第一存储器位置。
7. 根据权利要求6所述的片上系统,其特征在于,所述片上系统被配置为使得通过密码来保护向所述第一存储器位置的写入。
8. 根据权利要求6所述的片上系统,其特征在于,进一步包括:
第二开关,耦合在所述模拟输入和所述模数转换器之间。
9. 根据权利要求8所述的片上系统,其特征在于,进一步包括:
存储所述第二开关的控制逻辑电平的第二存储器位置。
10. 根据权利要求8所述的片上系统,其特征在于,所述第一存储器位置被配置为进一步存储所述第二开关的附加控制逻辑电平。

电子芯片和片上系统

技术领域

[0001] 本公开一般地涉及电子电路,并且在特定的实施例中,涉及设计为生成和/或接收模拟信号电子集成电路。

背景技术

[0002] 某些电子集成电路芯片包括模拟电路。通常,由这些电路产生和/或接收的模拟信号分别通过模拟输出和输入流出和进入该芯片。

实用新型内容

[0003] 一个实施例克服了已知的具有模拟输入/输出的电子芯片的全部或者部分缺点。

[0004] 一个实施例克服了已知的模拟电子芯片电路的全部或者部分缺点

[0005] 在一个实施例中,提供了一种电子芯片,包括:模拟输入连接焊盘;模拟输出连接焊盘;以及开关,耦合在所述模拟输入连接焊盘与所述模拟输出连接焊盘之间。

[0006] 在一个实施例中,所述电子芯片被配置为操作在自测试模式中和有效模式中,所述开关仅在所述自测试模式中是闭合的。

[0007] 在一个实施例中,提供了一种片上系统,包括:模拟输入;模拟输出;数字电路;模数转换器,耦合在所述模拟输入与所述数字电路之间;数模转换器,耦合在所述数字电路与所述模拟输出之间;以及开关,耦合在所述模拟输入与所述模拟输出之间。

[0008] 在一个实施例中,所述片上系统进一步包括:第二开关,耦合在所述模拟输入和所述模数转换器之间。

[0009] 在一个实施例中,所述片上系统包括串联连接在所述模拟输入与所述模拟输出之间的多个开关。

[0010] 在一个实施例中,所述片上系统进一步包括存储所述多个开关的控制逻辑电平的第一存储器位置。

[0011] 在一个实施例中,所述片上系统被配置为使得通过密码来保护向所述第一存储器位置的写入。

[0012] 在一个实施例中,所述片上系统进一步包括:第二开关,耦合在所述模拟输入和所述模数转换器之间。

[0013] 在一个实施例中,所述片上系统进一步包括:存储所述第二开关的控制逻辑电平的第二存储器位置。

[0014] 在一个实施例中,所述第一存储器位置被配置为进一步存储所述第二开关的附加控制逻辑电平。

[0015] 一个实施例提供了一种电子芯片,其包括至少两个相应的模拟输入和输出连接焊盘以及至少一个电气链路,该电气链路具有在输入与输出焊盘之间被临时激活的能力。

[0016] 根据一个实施例,芯片包括模拟信号发生器,被配置为施加模拟信号到输出焊盘。

[0017] 根据一个实施例,芯片被配置成使得在自测试阶段之外一直是无效的。

- [0018] 根据一个实施例,芯片包括接收器,被配置为接收施加到输入焊盘的模拟信号。
- [0019] 根据一个实施例,链路包括连接在焊盘之间的开关,或者包括串联连接在焊盘之间的多个开关。
- [0020] 根据一个实施例,芯片包括一个或多个第一存储器位置,用于存储所述(多个)开关的控制逻辑电平。
- [0021] 根据一个实施例,芯片被配置为通过密码来保护向第一存储器位置的写入。
- [0022] 根据一个实施例,芯片包括可以在芯片的使用阶段被激活的附加芯片,并且包括用于存储附加开关的控制逻辑电平的第二存储器位置。
- [0023] 根据一个实施例,第一存储器位置被配置为在自测试阶段,进一步存储附加开关的附加控制逻辑电平
- [0024] 根据本公开的实施例,在不由芯片外部的装置测量施加到焊盘的信号的情况下,可以测试芯片的操作,从而简化了芯片测试。
- [0025] 在下面对特定实施例的非限制性描述中,将结合附图详细讨论前述和其他特征和优点。

附图说明

- [0026] 图1示意性地示出了具有模拟输入/输出的电子芯片的一个实施例;
- [0027] 图2示意性地示出了具有模拟输入/输出的电子芯片的另一实施例;以及
- [0028] 图3示意性地示出了具有模拟输入/输出的电子芯片的又一实施例。

具体实施方式

- [0029] 在不同附图中,相同的元件用相同的附图标记表示。特别地,不同实施例共有的结构和/或功能元件可以用相同的附图标记表示,并且可以具有相同的结构,尺寸和材料特性。
- [0030] 为了清楚,仅示出了并且详细描述了对理解所描述的实施例有用的那些步骤和元件。特别地,并未详述具有模拟输入/输出的电子芯片的数字电路,所描述的实施例与通常的具有模拟输入/输出的电子芯片兼容。进一步地,并没有示出集成电路的封装,所描述的实施例与通常的封装兼容。
- [0031] 整个本公开中,术语“连接”用于表示电路元件之间直接的、并且没有除导体之外的中间元件的电连接,而术语“耦合”用于表示电路元件之间的电连接。该电连接可以是直接的,也可以是经由一个或多个中间元件。
- [0032] 在以下描述中,除非有特殊规定,在提及表示绝对位置(例如术语“前”、“后”、“顶部”、“底部”、“左”、“右”等)或相对位置(例如术语“上方”、“下方”、“上部”、“下部”等)的术语,或表示方向的术语(例如术语“水平”、“垂直”等)时,指的是附图中的定向。
- [0033] 在本文中,术语“大约”、“基本上”、“约”用于表示讨论中的值的正10%或负10%的公差,优选地是正5%或负5%。
- [0034] 图1示意性地示出了具有模拟输入/输出的电子芯片100的一个实施例。
- [0035] 芯片100通常包括未示出的半导体晶片,以及形成在晶片内部和上方的电路。芯片100优选地是片上系统型(SOC)的芯片。SOC型芯片特别用于搭载或移动应用,例如移动电

话、连接对象、家用电器或运输器。优选地,芯片100旨在被布置在集成电路封装(未示出)中。该封装优选地旨在连接(例如,熔接或软焊)到外部电子设备,例如PCB型(“印刷电路板”)电路。

[0036] 芯片100包括数字电路110。电路110通常包括至少一个时序数据处理单元(例如微处理器类型),以及各种外围设备(例如与芯片外部进行数字通信的存储器和/或接口)。

[0037] 电路110,特别地是微处理器,与芯片的模拟电路120通信,该通信优选地通过数字/模拟接口电路。数字/模拟接口电路通常是数模转换器(DAC)130类型或者模数转换器(ADC)132类型。尽管作为示例示出了两个DAC和ADC电路,但是芯片可以包括不止两个数字/模拟接口电路,例如,多个DAC型电路和/或多个ADC型电路。此外,芯片的数字/模拟接口电路可以是任何类型,可能不是DAC或ADC。芯片可以例如包括数字/模拟接口电路(诸如比较器),其从模拟信号输出数字信号。

[0038] 模拟电路120被耦合到连接焊盘140和142。作为示例,图1示出单个输出焊盘142和单个输入焊盘140。然而,芯片优选地包括多于两个的输入连接焊盘140,以及芯片优选地包括多于两个的输出连接焊盘142。连接焊盘140、142通常由位于芯片100的表面上的导电区域(例如,金属区域)形成。这些区域例如具有相同的矩形或正方形形状。优选地,这些区域的边长 d_1 是在 $50\mu\text{m}$ 至 $150\mu\text{m}$ 的范围内。连接焊盘可连接到芯片外部的电路,优选地在该芯片旨在布置于的封装外部的电路。优选地,通过软焊或熔接,焊盘可连接到例如封装的引脚。这些引脚旨在被软焊或熔接到封装外部的设备。

[0039] 焊盘140是模拟输入焊盘,焊盘142是模拟输出焊盘,其分别用于让模拟信号进入和输出模拟信号。这里的术语“模拟信号”表示代表信息的电信号,并且当所代表的信息连续地变化时,该电信号具有连续变化的值。优选地,该信号能够在连续的值范围内取任何值。该信号不能取自该范围之外的值。优选地,信号的值是电压或电流值。

[0040] 优选地,电压值对应于相关的输入或输出焊盘相对于参考电位(例如地)的电位。作为变型,该信号对应于信号的两个输入焊盘的电位之间的差异,或者对应于信号的两个输出焊盘的电位之间的差异。

[0041] 作为示例,模拟信号具有电压值范围,优选地,该电压值范围被包括在 0V 至 5V 的范围内(例如,被包括在 0V 至 3.6V 的范围内)。在另一示例中,模拟信号具有电流值范围,例如其被包括在 -10mA 至 10mA 的范围内。在使用时,模拟输入信号通常源自芯片外部的传感器。模拟输出信号通常由芯片外部的致动器使用。

[0042] 在本实施例中,芯片包括链路150,其在输出焊盘142和输入焊盘140之间。链路150包括开关152。作为变型,链路150包括多个串联的开关(例如,两个或更多开关)。优选地,开关包括晶体管,或者开关由晶体管形成。例如,晶体管是场效应晶体管(诸如MOS晶体管),或者是双极晶体管。

[0043] 在操作中,当开关152接通或者导通时,链路150是有效的,即,将施加到其耦合的焊盘中的一个(例如焊盘140)的任何信号传输到其耦合的焊盘中的另一个(例如,焊盘142)。当开关152关闭或非导通时,链路150是无效的。因此,可以通过开关152的接通然后断开,来临时地激活链路150。作为变型,芯片可以包括其他链路150,其能够在模拟输入和输出焊盘之间被临时地激活。

[0044] 优选地,输出焊盘142被耦合(例如,连接)到DAC电路130的输出。优选地,输入焊盘

140被耦合(例如,连接)到ADC电路132的输入。

[0045] 优选地,提供了芯片自测试的内建自测试(“BIST”)阶段。在该阶段期间,数字电路110特别地核实模拟电路120以及数字/模拟接口电路130和132的正确操作。优选地,在自测试阶段的至少一部分期间,链路150是有效的。

[0046] 当链路150有效时,芯片的数字电路110发送数字值160到DAC电路130。根据数字值160,DAC电路130生成模拟信号162。信号162被施加到焊盘142。链路150然后将信号162施加到焊盘140。信号162由ADC电路132接收。ADC电路132将该信号转换为数字值164。数字值164由数字电路110接收。数字电路110然后核实:接收的数字值164是在电路130和132的正确操作的情况下,预期要被获取的数字值。因此,链路150的激活能够同时测试电路130和132。

[0047] 因此,在不由芯片外部的装置测量施加到焊盘142的信号162的情况下,测试了DAC电路130的操作。另外,在不向焊盘140施加由芯片外部的设备产生的信号的情况下,测试了ADC电路132的操作。因此简化了芯片测试。进一步地,芯片的连接焊盘都没有被用于测试电路130和132,因此减少了用于测试所有芯片电路的模拟和/或数字连接焊盘的数目。

[0048] 优选地,同一芯片能够执行与多个应用相对应的多个功能。因此,多个相同的芯片旨在被布置在不同的集成电路封装中。这使得能够根据目标应用来选择封装。优选地,提供了针对某些应用,一些连接焊盘140、142被设置为要被连接或耦合到封装的引脚,并且针对其他应用,一些连接焊盘140、142被设置为不连接引脚。因此,针对同一芯片提供具有不同数量引脚的封装。当芯片位于封装中并且(多个)焊盘140和/或142未连接时,链路150允许测试DAC电路130和ADC电路132的操作。

[0049] 此外,相较于由芯片外部的设备产生的信号,信号162可以具有到达诊断ADC电路132的更短的路径,更少地被暴露于干扰(例如电磁干扰)。因此,相对于使用芯片外部的设备的测试,测试的准确性得到改善。

[0050] 优选地,在自测试阶段之外,链路150始终是无效的。特别地,链路150优选地在芯片的使用阶段期间保持无效。这使得能够彼此独立地使用DAC电路130和ADC电路132,即,DAC电路130和ADC电路132可以生成和接收由芯片外部的设备使用和源于芯片外部的设备的不同模拟信号。

[0051] 作为变型,DAC电路130可以用任何其他模拟信号生成电路代替,例如放大器或参考电压发生器。ADC电路132可以用任何其他模拟信号接收电路代替,例如包括放大器或比较器。由于链路150,发生器和接收器可以在自测试阶段期间被同时测试,并且可以在使用阶段期间彼此独立地使用。优选地,芯片包括多个链路150,其将多个模拟信号发生器的输出焊盘耦合到一个或多个模拟信号接收器的输入焊盘。在自测试期间,每个链路150使能够同时测试发生器和接收器。

[0052] 图2示意性地示出了具有模拟输入/输出的电子芯片200的一个实施例。芯片200包括图1的芯片100的元件,其相同或类似地被耦合在一起,不同之处在于焊盘140通过开关210耦合到ADC电路132。芯片还包括模拟输入连接焊盘140A,其通过开关210A耦合到ADC电路132。优选地,开关210和210A各自耦合到ADC电路132的不同输入通道。优选地,在自测试阶段期间,开关210和210A能够被激活。优选地,芯片还包括在焊盘140和140A之间的放大器230(AMP)。在该配置中,作为示例,焊盘140A进一步是模拟输出连接焊盘。

[0053] 优选地,芯片还包括存储器位置220,在自测试阶段期间,存储器位置存储开关

150、210和210A的控制逻辑电平。优选地,存储器位置220位于可重写的非易失性存储器中,其被包括在芯片的数字电路110中。因此,可以从开关152、210和/或210A中选择在自测试阶段期间接通的那些开关。为了实现这一点,相应的逻辑电平被写入存储器位置220。

[0054] 在自测试阶段中,当开关210接通时,如图1所描述的自测试被执行。当开关210A接通时,到达焊盘140的信号162由放大器230放大。放大器230提供信号163。信号163由ADC电路132接收,ADC电路132提供信号164给数字电路110。因此,DAC电路130、ADC电路132和放大器230的操作被同时测试。通过选择在自测阶段期间开关210和210A中的哪个被接通,选择是否在测试电路130和132的同时测试放大器230。

[0055] 在芯片包括多个模拟信号发生器和/或多个模拟信号接收器的情况下,包括开关152的多个链路150将发生器耦合到接收器。在自测试阶段中,根据存储器位置220的内容控制开关。这使得能够针对每个发生器,选择一个或多个接收器,用以接收由该发生器在自测试阶段中发送的一个或多个信号。这使得能够针对每个接收器,选择一个或多个发生器,以生成由接收器在自测试阶段接收的一个或多个信号。

[0056] 优选地,芯片包括多个模拟信号接收和生成电路,例如放大器230。这些电路中的每个可以具有输入和输出,该输入和输出通过开关210和210A耦合到模拟信号接收器(诸如ADC电路132)。在自测试阶段,根据存储器位置220的内容控制开关。这使得能够针对在自测试阶段中发送的每个模拟信号,选择是否放大该信号,并且可选地选择放大器中一个用于此信号放大。

[0057] 优选地,提供了通过密码来保护向存储器位置220的写入。优选地,电路240被配置为仅在密码P已经被提供给电路240时,将逻辑电平242写入存储器位置220。优选地,电路240被包括在芯片的数字电路110内。作为示例,电路240是微处理器,其被配置为通过密码执行保护程序。因此,只有知道密码的用户才可以从开关中选择在自测试阶段期间接通的那些开关。

[0058] 优选地,在芯片的使用阶段,开关210和210A由逻辑信号控制,逻辑信号具有存储在存储器位置250中的电平。优选地,存储器位置250是非易失性和可重写的。因此,可以从开关210和/或210A中选择在使用阶段期间接通的那些开关。为了实现这一点,预先在存储器位置250中写入对应的内容252。在所示的例子中,当希望由ADC电路132转换模拟信号时,可以选择在转换前是否用放大器230放大该信号。

[0059] 优选地,芯片包括多个开关,其将芯片的输入/输出焊盘耦合到多个模拟信号发生器和/或接收器电路。然后,通过存储器位置250的内容来控制这些开关的状态。可以通过修改存储器位置250的内容来重新配置芯片的模拟电路。用户可以选择这些内容,使得芯片根据目标应用执行所需的功能。因此,同一芯片可以执行各种目标应用的各种功能。

[0060] 由于控制电平存储在相应的位置220和250中的事实,在自测试阶段中和在使用阶段中施加到开关的控制电平可以是不同的。可以相对于在使用阶段期间执行的功能,独立地选择在自测试阶段期间执行的测试。相较于仅在使用阶段期间执行的功能可以被自测试的芯片,这使得能够执行更完整的自测试。

[0061] 图3示意性地示出了具有模拟输入/输出的电子芯片300的另一实施例。芯片300包括图2的芯片200的元件,其相同或类似地被耦合在一起。此处的链路150包括在焊盘142和140之间串联连接的两个开关152A和152B。优选地,开关152A和152B的控制电平存储在存储

器位置220(图2)中。作为示例,芯片还包括耦合到放大器240的附加输入连接焊盘140B。

[0062] 为了设计电子芯片300,采用了计算机设计方法。集成电路芯片的计算机设计方法通常使用设计块库。每个块定义了芯片电路的一组元件以及这些元件之间的连接。在设计时,块之间的连接被定义。因此,所获得的连接和块与通常的布线技术兼容,使得能够定义在芯片中的元件以及连接这些元件的迹线的布局。

[0063] 芯片300的每个连接焊盘142、140、140B、140A被包括在设计块中,分别是310A、310B、310C、310D。除了连接焊盘之外,每个设计块还包括一个或多个开关,优选地三个开关。这些开关耦合到连接焊盘,优选地连接到连接焊盘。优选地,每个设计块还包括电阻元件315,其耦合(例如连接)到连接焊盘。优选地,每个设计块还包括到连接焊盘的直接连接316。

[0064] 优选地,设计块中的一些是相同的。在所图示的示例中,四个块是相同的。开关152A是块310A的开关中的一个,开关152B是块310B的开关中的一个。因此,每个开关152A、152B与设计块中的一个中的相应的焊盘140、142相关联。作为示例,开关210是块310B的开关中的一个。开关210A是块310D的开关中的一个。

[0065] 优选地,放大器240由设计块320定义。优选地,该块包括运算放大器322、多路复用器324、多路复用器326和反馈电路328,其中多路复用器324的输出耦合到放大器322的非反相输入,多路复用器326的输出耦合到反相放大器322的反相输入,以及反馈电路328耦合反相输入和放大器322的输出。优选地,定义了块310B和310C的电阻器315与相应的多路复用器324和326的输入的连接。

[0066] 例如,提供了DAC电路130A,其将数字电路110耦合到多路复用器326的输入。优选地,DAC电路130和130A对应于(例如,相同的)设计块。优选地,ADC电路132对应于一个设计块。

[0067] 为了设计链路150,定义开关152A和152B之间的连接就足够了。因此,基于不包括链路150的类似芯片,芯片300的设计可以以特别简单的方式被执行。

[0068] 在这样设计的芯片中,优选地提供了在存储器位置220(图2)中存储多路复用器324和326的控制值以及反馈电路328的配置参数。然后,可以选择在自测试阶段施加到放大器322的输入的信号的信号的原点。可以进一步选择在测试阶段中的反馈电路328的配置参数。

[0069] 优选地,提供了在存储器位置250(图2)中,存储多路复用器324和326的控制值以及反馈电路328的配置参数。因此,可以选择在使用阶段中施加到放大器322的输入的信号的信号的原点以及反馈电路的配置参数。这样的选择优选地被选择用以执行与应用相对应的功能。

[0070] 因此,在自测试阶段和使用阶段中,选择的多路复用器324和326的输入以及反馈电路328的参数可以是不同的。这使得独立于在使用时放大器执行的功能,选择在自测试阶段期间放大器的测试。

[0071] 上文已经描述了各种实施例和变型。本领域技术人员将理解可以组合这些各种实施例和变型的某些特征,并且本领域技术人员将想到其他变型。

[0072] 最后,基于上文给出的功能指示,所描述的实施例和变型的实际实现在本领域技术人员的能力范围内。

[0073] 这样的改变、修改和改进旨在是本公开的一部分,并且旨在落入本实用新型的精

神和范围内。因此,前面的描述仅是示例性的,而不旨在是限制性的。本实用新型仅受权利要求所定义的及其等同来限制。

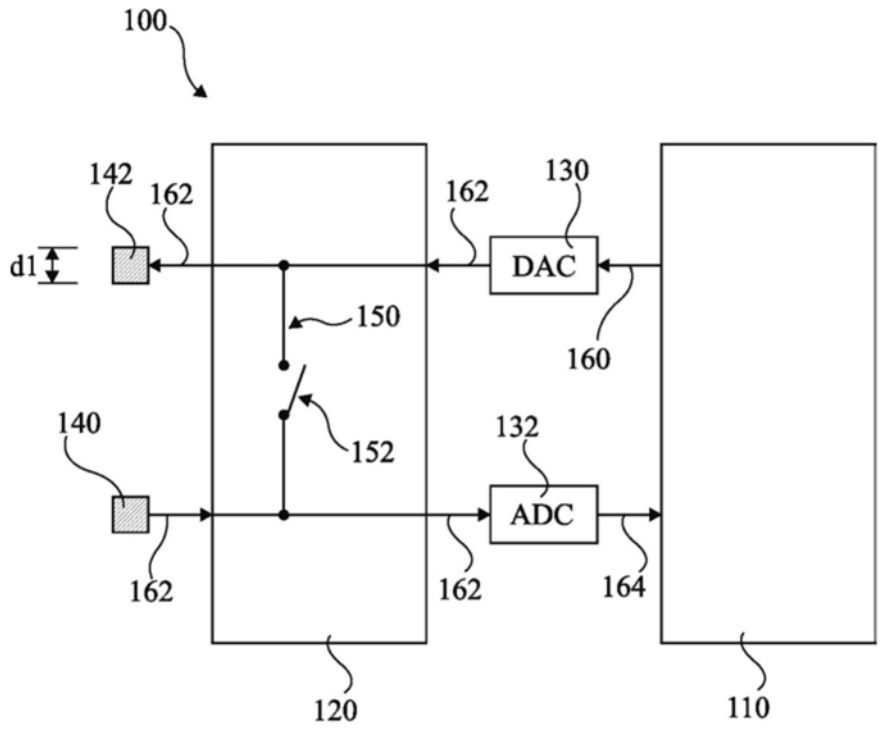


图1

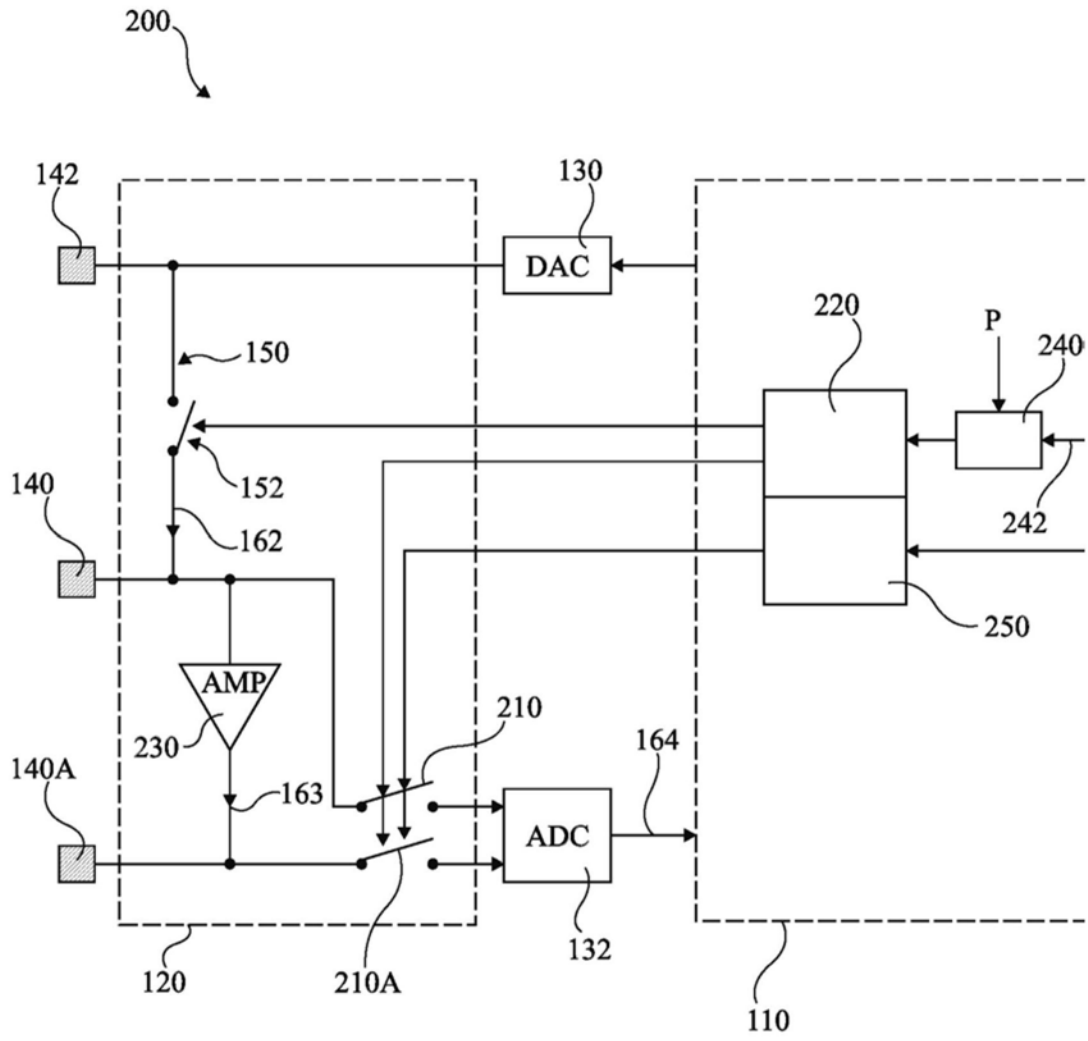


图2

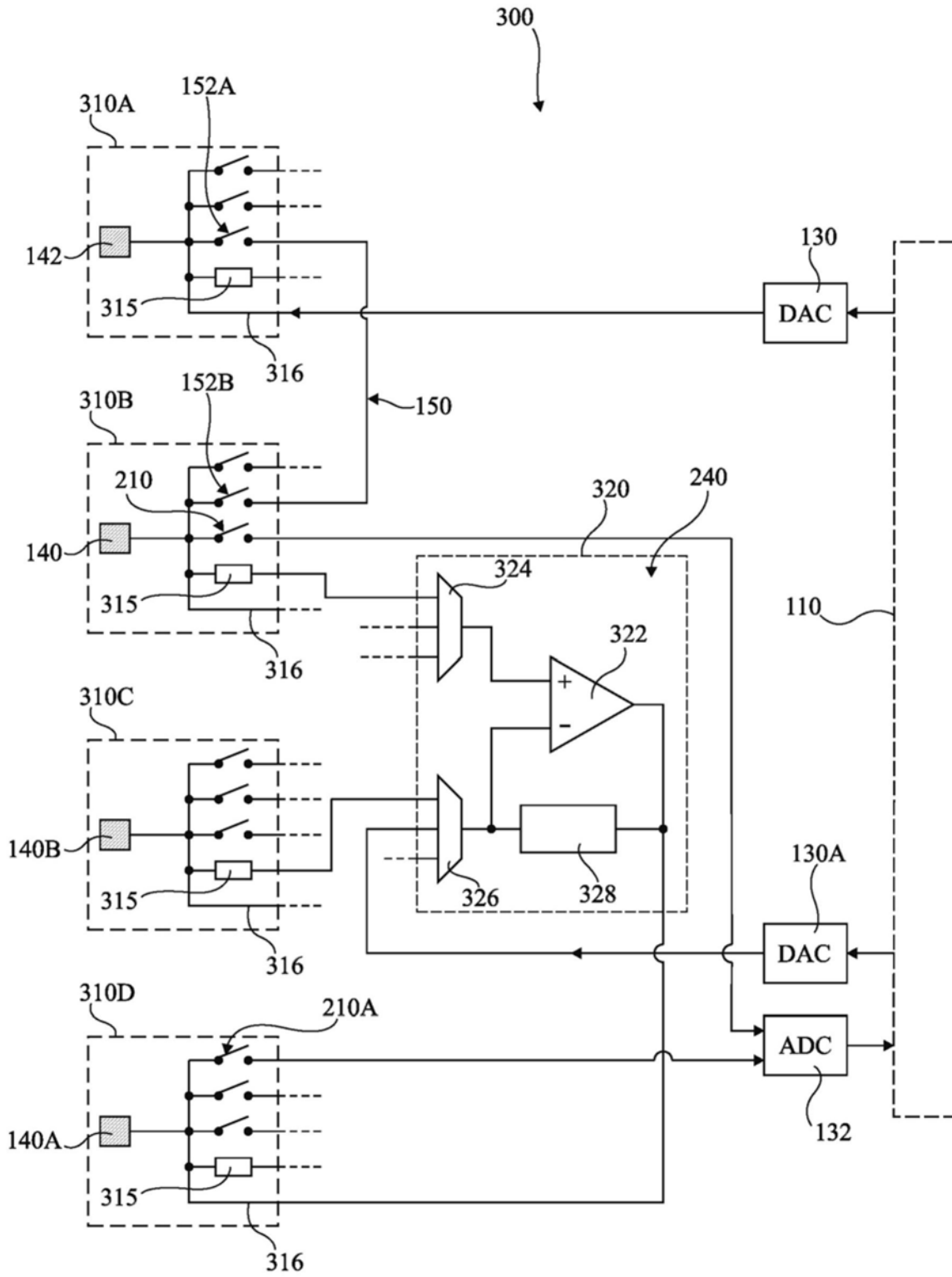


图3