

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2007-184449

(P2007-184449A)

(43) 公開日 平成19年7月19日(2007.7.19)

(51) Int. Cl.	F I	テーマコード (参考)
HO 1 L 29/786 (2006.01)	HO 1 L 29/78 6 2 6 C	5 F O 3 2
HO 1 L 23/522 (2006.01)	HO 1 L 21/90 D	5 F O 3 3
HO 1 L 21/768 (2006.01)	HO 1 L 27/08 3 3 1 E	5 F O 4 8
HO 1 L 27/08 (2006.01)	HO 1 L 27/08 3 2 1 B	5 F 1 1 0
HO 1 L 21/8238 (2006.01)	HO 1 L 27/08 3 2 1 F	

審査請求 未請求 請求項の数 15 O L (全 21 頁) 最終頁に続く

(21) 出願番号 特願2006-2222 (P2006-2222)
 (22) 出願日 平成18年1月10日 (2006.1.10)

(71) 出願人 503121103
 株式会社ルネサステクノロジ
 東京都千代田区大手町二丁目6番2号
 (74) 代理人 100089233
 弁理士 吉田 茂明
 (74) 代理人 100088672
 弁理士 吉竹 英俊
 (74) 代理人 100088845
 弁理士 有田 貴弘
 (72) 発明者 牧 幸生
 東京都千代田区丸の内二丁目4番1号 株式会社ルネサステクノロジ内
 (72) 発明者 一法師 隆志
 東京都千代田区丸の内二丁目4番1号 株式会社ルネサステクノロジ内
 最終頁に続く

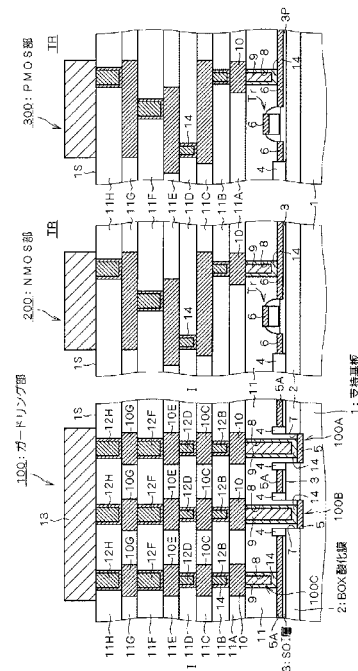
(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【要約】

【課題】 フリップチップ工法等による実装に於いてもSOI構造の支持基板の電位を安定的に固定可能にすると共に、低抵抗な基板コンタクトを形成する。

【解決手段】 SOI構造の支持基板1と最上層配線13とを接続する複数の導電層と複数の配線層は、最上層配線13と共にチップ周縁部に沿って形成され、以ってトランジスタTrが形成されるトランジスタ形成領域Trの周囲に形成される。

【選択図】 図4



【特許請求の範囲】

【請求項 1】

半導体支持基板と、前記半導体支持基板上に形成される絶縁膜層と、前記絶縁膜層上に形成される半導体層に形成されるトランジスタを含む半導体装置であって、

前記半導体層に形成される分離酸化膜と、

前記半導体層と前記分離酸化膜上に形成される層間絶縁膜と、

前記層間絶縁膜上に形成される配線層と、

前記半導体支持基板と前記配線層とを接続し、前記半導体支持基板の電位を固定する導電層を備え、

前記トランジスタを形成する領域の周囲に形成される前記導電層と前記配線層を有することを特徴とする半導体装置。 10

【請求項 2】

請求項 1 記載の半導体装置であって、

前記層間絶縁膜と前記配線層を複数有し、前記半導体支持基板と最上層配線層を接続する導電層を有することを特徴とする半導体装置。

【請求項 3】

請求項 2 記載の半導体装置であって、

前記導電層と前記配線層を、前記トランジスタを形成する領域の周囲に複数有することを特徴とする半導体装置。

【請求項 4】

請求項 1 乃至請求項 3 の何れかに記載の半導体装置であって、

前記トランジスタを形成する領域の周囲を取り囲む前記半導体支持基板と最上層配線層を接続する導電層と前記配線層を有することを特徴とする半導体装置。 20

【請求項 5】

請求項 1 乃至請求項 4 の何れかに記載の半導体装置であって、

複数層の前記導電層と、前記導電層と接続する複数層の前記配線層が重なって形成されることを特徴とする半導体装置。

【請求項 6】

請求項 1 乃至請求項 5 の何れかに記載の半導体装置であって、

前記分離酸化膜と前記半導体層と前記絶縁膜層とを貫通して前記半導体支持基板に至る第 1 開口部の底部に形成されるシリサイド層と、 30

前記半導体層と前記分離酸化膜上に形成された第 1 層間絶縁膜を貫通し前記シリサイド層に至る第 2 開口部を充填する導電層と、

前記導電層と接続する配線層を有することを特徴とする半導体装置。

【請求項 7】

請求項 6 記載の半導体装置であって、

前記第 2 開口部を充填する導電層と前記半導体層が接続していることを特徴とする半導体装置。

【請求項 8】

請求項 7 記載の半導体装置であって、

前記第 1 開口部の幅は前記第 1 開口部を充填する前記第 1 層間絶縁膜の膜厚の 2 倍よりも小さいことを特徴とする半導体装置。 40

【請求項 9】

請求項 1 乃至請求項 5 の何れかに記載の半導体装置であって、

前記分離酸化膜と前記分離酸化膜上に形成された第 1 層間絶縁膜を貫通し前記半導体支持基板に至る第 2 開口部の下の前記半導体支持基板に形成される高濃度半導体層と、

前記第 2 開口部を充填する導電層と、

前記導電層と接続する前記配線層を有することを特徴とする半導体装置。

【請求項 10】

請求項 9 記載の半導体装置であって、

50

前記第 2 開口部を充填する導電層と前記半導体層が接続していることを特徴とする半導体装置。

【請求項 1 1】

請求項 1 乃至請求項 5 の何れかに記載の半導体装置であって、
前記分離酸化膜と前記分離酸化膜上に形成された第 1 層間絶縁膜を貫通し前記半導体支持基板に至る第 2 開口部の底部に形成されるシリサイド層と、
第 2 開口部を充填する導電層と、
前記導電層と接続する前記配線層を有することを特徴とする半導体装置。

【請求項 1 2】

請求項 1 1 記載の半導体装置であって、
前記第 2 開口部を充填する導電層と前記半導体層とが接続していることを特徴とする半導体装置。

10

【請求項 1 3】

その間に絶縁膜層を介して支持基板上に形成された半導体層を分離する分離絶縁膜を、
前記半導体層にトランジスタを形成するトランジスタ形成領域の周囲に形成する工程と、
前記分離絶縁膜の直下の前記絶縁膜層を貫通して前記支持基板に達する第 1 開口部を形成する工程と、

前記第 1 開口部の底面に該当する前記支持基板上に、シリサイド層を形成する工程と、
前記第 1 開口部の内部とその上方に第 1 層間絶縁膜層を形成する工程と、
前記第 1 開口部内に設けられ、前記第 1 層間絶縁膜層を貫通して前記シリサイド層の表面をその底面とする第 2 開口部を形成する工程と、

20

前記第 2 開口部を充填する第 1 導電層を前記第 1 層間絶縁膜層の上面まで形成する工程と、

前記第 1 導電層上に接続する第 1 配線層とその周囲に第 2 層間絶縁膜層を形成する工程と、

前記第 1 配線層上に接続する導電層と当該導電層上に接続する配線層とその周囲の層間絶縁膜層を一層又は複数層形成する工程とを備えており、

各々接続された前記第 1 導電層と前記第 1 配線層と前記導電層と前記配線層が前記トランジスタ形成領域の周囲に形成されていることを特徴とする、

半導体装置の製造方法。

30

【請求項 1 4】

その間に絶縁膜層を介して支持基板上に形成された半導体層を分離する分離絶縁膜を、
前記半導体層にトランジスタを形成するトランジスタ形成領域の周囲に形成する工程と、
前記分離絶縁膜の直下の前記絶縁膜層の直下の支持基板に高濃度層を形成する工程と、
前記半導体層と前記分離絶縁膜の上方に第 1 層間絶縁膜層を形成する工程と、

前記第 1 層間絶縁膜層と前記分離絶縁膜とを貫通して前記支持基板の高濃度層に至る第 2 開口部を形成する工程と、

前記第 2 開口部を充填する第 1 導電層を前記第 1 層間絶縁膜層の上面まで形成する工程と、

前記第 1 導電層上に接続する第 1 配線層とその周囲に第 2 層間絶縁膜層を形成する工程と、

40

前記第 1 配線層上に接続する導電層と当該導電層上に接続する配線層とその周囲の層間絶縁膜層を一層又は複数層形成する工程とを備えており、

各々接続された前記第 1 導電層と前記第 1 配線層と前記導電層と前記配線層とが前記トランジスタ形成領域の周囲に形成されていることを特徴とする、

半導体装置の製造方法。

【請求項 1 5】

その間に絶縁膜層を介して支持基板上に形成された半導体層を分離する分離絶縁膜を、
前記半導体層にトランジスタを形成するトランジスタ形成領域の周囲に形成する工程と、
前記半導体層と前記分離絶縁膜の上方に第 1 層間絶縁膜層を形成する工程と、

50

前記第 1 層間絶縁膜層と前記分離絶縁膜を貫通して前記支持基板に至る第 2 開口部を形成する工程と、

前記第 2 開口部の底面に該当する前記支持基板上に、シリサイド層を形成する工程と、
前記第 2 開口部を充填する第 1 導電層を前記第 1 層間絶縁膜層の上面まで形成する工程と、

前記第 1 導電層上に接続する第 1 配線層とその周囲に第 2 層間絶縁膜層を形成する工程と、

前記第 1 配線層上に接続する導電層と当該導電層上に接続する配線層とその周囲の層間絶縁膜層を一層又は複数層形成する工程とを備えており、

各々接続された前記第 1 導電層と前記第 1 配線層と前記導電層と前記配線層とが前記トランジスタ形成領域の周囲に形成されていることを特徴とする、 10

半導体装置の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、SOI構造を有する半導体装置に於ける支持基板コンタクト技術に関する。

【背景技術】

【0002】

SOI構造では、BOX酸化膜上のSOI層内にデバイスを形成する。従って、基板電位を固定するために、支持基板にまで到達するコンタクトを形成する必要がある（例えば、特許文献1又は2を参照）。 20

【0003】

【特許文献1】特開2001-28438号公報

【特許文献2】特開2001-44441号公報

【発明の開示】

【発明が解決しようとする課題】

【0004】

他面で、半導体部品の実装技術は、ペアの半導体チップを直接に基板上に実装するフリップチップ工法（FC工法）へと進展している。この様なFC実装を、SOI構造を有する半導体チップに適用する場合には、半導体チップの裏面、即ち、SOI構造の支持基板の底面が、実装後は、表面側に存在して露出してしまい（半導体チップの表面が裏側に位置してしまう）、当該支持基板の電位を接地電位に固定する必要性が新たに生ずる。ところが、従来技術で提案されている各種の構造は、この様なケースを想定しておらず、斯かる実装に対応可能ではない。 30

【0005】

しかも、SOI構造に於いては、デバイスの微細化及び低熱処理化に伴いコンタクト抵抗が上昇する傾向にあるため、より低抵抗な支持基板コンタクトを作成することも求められている。

【0006】

本発明は、斯かる懸案事項に鑑みて成されたものであり、FC実装にも適用可能な低抵抗の支持基板コンタクトを有する半導体装置とその製造技術とを提供することを、その目的としている。そのためには、半導体チップ自体の表面側から裏面の電位を固定可能な構造を予め形成しておいて、斯かる構造で以ってFC実装に対応可能とする必要がある。 40

【課題を解決するための手段】

【0007】

本発明の主題は、半導体支持基板と、前記半導体支持基板上に形成される絶縁膜層と、前記絶縁膜層上に形成される半導体層に形成されるトランジスタを含む半導体装置であって、前記半導体層に形成される分離酸化膜と、前記半導体層と前記分離酸化膜上に形成される層間絶縁膜と、前記層間絶縁膜上に形成される配線層と、前記半導体支持基板と前記配線層とを接続し、前記半導体支持基板の電位を固定する導電層を備え、前記トランジ 50

スタを形成する領域の周囲に形成される前記導電層と前記配線層を有することを特徴とする。

【0008】

以下、この発明の主題の様々な具体化を、添付図面を基に、その効果・利点と共に、詳述する。

【発明の効果】

【0009】

本発明の主題によれば、FC工法による実装の様に、ペアの半導体チップの実装後にSOI構造の支持基板が表面側に配置される場合に於いても、当該支持基板の電位を確実に安定して接地電位に固定することが出来る。

10

【発明を実施するための最良の形態】

【0010】

(実施の形態1)

図1は、本実施の形態に係る半導体装置が有する半導体チップCHの上面を模式的に示す平面図であり、後述する実施の形態2及び3に於いても援用される図である。半導体チップCHは、トランジスタや各種部品等の全てが形成された後のSOIウエハから切り出されたものである。

【0011】

図1に示す通り、半導体チップCHの中央部には、SOI構造のSOI層上に形成されたMOSFET等のトランジスタを有するトランジスタ形成領域TRが存在する。そして、トランジスタ形成領域TRの周辺部よりも外側の部分には、半導体チップCHの表面1S上に半導体チップCHの周縁部CHPに沿って形成された複数のパッド部20を有するパッド形成領域PRが、トランジスタ形成領域TRの周囲を全体的に取り囲む様に、存在している。尚、複数のパッド部20の中でパッド部20Gは、接地電位がそこに印加されるべきグランドパッドを成す。更に、トランジスタ形成領域TR及びパッド形成領域PRの周囲を全体的に取り囲む様に、パッド形成領域PRの外側に位置する半導体チップCHの表面1Sの部分上に、例えばアルミニウムの金属配線から成る最上層配線13が形成されている。即ち、最上層配線13は、半導体チップCHの表面1Sの中で周縁部CHPの近辺部分上に於いて、当該周縁部CHPに沿って全周に渡って形成されており、且つ、複数のトランジスタが形成されている半導体チップCH内のトランジスタ形成領域TRを全体的に取り囲んでいる。尚、この最上層配線13は、グランドパッド20Gに接続されている。そして、図1には図示されていないが、最上層配線13の直下には、最上層配線13に接続された複数のガードリングが、最上層配線13と共にトランジスタ形成領域TRを全体的に取り囲む様に、半導体チップCHの裏面に該当するSOI構造の支持基板(P型のシリコン基板又はN型のシリコン基板)の上面に向けて形成されている。即ち、複数のガードリングの各々は、SOI構造の支持基板の上面と最上層配線13間を貫通する孔が配線材料(導電層)で充填されていることにより、上記支持基板の上面と最上層配線13とを電氣的に互いに接続して、上記支持基板の上面及び最上層配線13を同電位に固定する部分である。この中核たるガードリング部の構造の一例を図2の平面図に示す。図2は、最上層配線13の直下に位置し且つ最上層配線13に繋がった3個のガードリング100A, 100B, 100C(後述する図4参照)を透視して描いた半導体チップCHの平面図である。図2に示す様に、3つのガードリング100A, 100B, 100Cは、半導体チップCHの周縁部CHPに沿って全周に渡って形成されてトランジスタ形成領域TRを全体的に取り囲んでいる。尚、ガードリング部は、一つのガードリングから構成されていても良い。

20

30

40

【0012】

又、図1の変形例を図3の平面図に示す(図3も実施の形態2及び3で援用される)。図3では、周縁部CHPに沿って形成されている最上層配線13及びその直下のガードリング部(図示せず)が、それらの一部分に於いて途切れており、その結果、最上層配線13及びその直下のガードリング部はトランジスタ形成領域TRを部分的に取り囲んでいる

50

。図 1 の場合及び図 3 の場合の両ケースを考慮するならば、最上層配線 1 3 及びその直下のガードリング部（導電層）はトランジスタ形成領域 T R の周囲に配設されていると、言える。

【 0 0 1 3 】

以下に於いては、図 1 に示す断線 I - I に関する縦断面図である図 4 を参照して、本実施の形態の中核部であるガードリング部の構造を詳細に記載する。

【 0 0 1 4 】

図 4 は、複数のガードリング 1 0 0 A , 1 0 0 B , 1 0 0 C を有するガードリング部 1 0 0 と、トランジスタ形成領域 T R に於ける N M O S 部（N 型の M O S F E T が形成される領域）2 0 0 と、トランジスタ形成領域 T R に於ける P M O S 部（P 型の M O S F E T が形成される領域）3 0 0 とを対比して示す縦断面図である。ここでは、一例として、S O I 構造の支持基板 1 は、P 型のシリコン基板より成る。勿論、P 型のシリコン基板に代えて、N 型のシリコン基板を支持基板 1 に用いることも出来る。

10

【 0 0 1 5 】

図 4 では、最上層配線 1 3 に接続された 3 つのガードリング 1 0 0 A , 1 0 0 B , 1 0 0 C が、併設されている。その内、最も内側に位置する第 1 ガードリング 1 0 0 A と 2 番目の第 2 ガードリング 1 0 0 B とは同一の構造を有するので、第 1 ガードリング 1 0 0 A の構造について記載する。第 1 ガードリング 1 0 0 A の構造の特徴点を要すれば、支持基板 1 上の B O X 酸化膜（絶縁層）2 及びその上の分離酸化膜 4 を開口して形成した第 1 開口部 7 の底面、即ち、露出した支持基板 1 の上面内にシリサイド層（シリサイド部）5 を形成し、当該シリサイド層 5 と繋がったコンタクトを形成した点にある。構造を詳述すれば、次の通りである。

20

【 0 0 1 6 】

第 1 ガードリング 1 0 0 A は、支持基板 1 の上面より支持基板 1 の内部に向けて形成されたシリサイド層 5 を有し、更に、支持基板 1 の上面上に形成された B O X 酸化膜 2 と当該 B O X 酸化膜 2 上に形成された分離酸化膜 4 とを貫通し、当該貫通によって形成された開口部の底部に形成されるシリサイド層 5 の上面をその底面とする第 1 開口部 7 を有する。又、第 1 ガードリング 1 0 0 A は、第 1 開口部 7 を充填し且つ当該開口部 7 の上方及びその周辺にも形成されている第 1 層間絶縁膜 1 1 と、第 1 開口部 7 内及び当該開口部 7 の上方部分に於ける第 1 層間絶縁膜 1 1 を貫通し、以ってシリサイド層 5 の上面の一部分をその底面とすると共に、第 1 層間絶縁膜 1 1 の上面がその開口部分に該当する第 2 開口部ないしはコンタクトホール 8 と、コンタクトホール 8 を完全に充填する第 1 配線材料（9 , 1 4 ）とを有する。ここでは、コンタクトホール 8 の底面上及び側壁上に形成されるバリアメタル 1 4 とその内側に形成されるプラグ 9 とを総称して、「第 1 配線材料」乃至は「導電層」と定義している。更に、コンタクトホール 8 の開口部分及びその開口部分の周辺の第 1 層間絶縁膜 1 1 の部分と、最上層配線 1 3 との間には、複数の層間絶縁膜 1 1 A , 1 1 B , 1 1 C , 1 1 D , 1 1 E , 1 1 F , 1 1 G , 1 1 H が積層形成されており、第 1 ガードリング 1 0 0 A は、これらの複数の層間絶縁膜 1 1 A , 1 1 B , 1 1 C , 1 1 D , 1 1 E , 1 1 F , 1 1 G , 1 1 H の内で該当する層間絶縁膜 1 1 A , 1 1 C , 1 1 E , 1 1 G 内に設けられた複数の配線 1 0 , 1 0 C , 1 0 E , 1 0 G を備えており、しかも、複数の層間絶縁膜 1 1 B , 1 1 D , 1 1 F 内に設けられており且つ複数の配線 1 0 , 1 0 C , 1 0 E , 1 0 G の内で隣接して重なり合う配線間を結ぶ第 2 配線材料（導電層）1 2 B , 1 2 D , 1 2 F を有する。加えて、第 1 ガードリング 1 0 0 A は、最上の層間絶縁膜 1 1 H 内に設けられており、且つ、複数の配線 1 0 , 1 0 C , 1 0 E , 1 0 G の内で最上層の配線 1 0 G と最上層配線 1 3 間を結ぶ第 3 配線材料（導電層）1 2 H を備えている。そして、重要な点は、第 1 ガードリング 1 0 0 A の各構成要素が、即ち、シリサイド層 5 、第 1 開口部 7 、分離酸化膜 4 、コンタクトホール 8 、第 1 配線材料（9 + 1 4 ）、複数の配線 1 0 , 1 0 C , 1 0 E , 1 0 G 、第 2 配線材料 1 2 B , 1 2 D , 1 2 F 及び第 3 配線材料 1 2 H の何れもが、最上層配線 1 3 と共に、半導体チップ C H の周縁部 C H P に沿って（第 1 方向 D 1 、同方向 D 1 に直交する第 2 方向 D 2 、同方向 D 2 に直交する第 3 方

30

40

50

向 D 3、両方向 D 1、D 3 に直交する第 4 方向 D 4 の各々の方向に沿って) 全周に渡って延在され、以ってトランジスタ形成領域 T R を全体的に取り囲んでいることである(ここでは一例として配線が 5 層から成る場合について記載しているが、本実施の形態では配線数は 5 層に限られる訳ではない)。

【0017】

尚、第 1 開口部 7 の幅寸法は、第 1 開口部 7 を充填する第 1 層間絶縁膜 1 1 の膜厚の 2 倍より小さいことが好ましい。蓋し、斯かる寸法に第 1 開口部 7 が設定されていなければ、第 1 層間絶縁膜 1 1 が第 1 開口部 7 を完全に充填することが出来ず、第 1 開口部 7 内に空間が生じるからである。

【0018】

最も外側に位置する第 3 ガードリング 1 0 0 C が第 1 ガードリング 1 0 0 A と相違する点は、第 3 ガードリング 1 0 0 C が有するコンタクトホール 8 の底面が、S O I 層 3 上に形成されたシリサイド部 5 A の上面である点であり、その結果、第 3 ガードリング 1 0 0 C は、支持基板 1 の電位を固定するための機能を有していないことにある。

10

【0019】

他方、N M O S 部 2 0 0 では、トランジスタ T r は、トランジスタ T r のゲート及び活性領域に於けるソース/ドレイン部に形成されたシリサイド領域 6、ゲート絶縁膜、サイドウォールスペース、プラグ 9 等の導電層で充填されたコンタクトホール 8 及び配線 1 0 を有し、その上方には、半導体チップ C H の表面 1 S に至るまで、複数の層間絶縁膜 1 1 A, 1 1 B, 1 1 C, 1 1 D, 1 1 E, 1 1 F, 1 1 G, 1 1 H が積層形成されている。そして、N M O S 部 2 0 0 でも同様に、各層間絶縁膜内に導電層及び配線が交互に形成されている(表面 1 S 上にも N M O S 部 2 0 0 用の配線が形成されている)。又、P M O S 部 3 0 0 の構成も、図 4 に図示する通り、N M O S 部 2 0 0 の構成と基本的には同様である。但し、P M O S 部 3 0 0 では、S O I 層 3 P の導電型は N 型となる。

20

【0020】

以上に記載した本実施の形態に係るガードリング部 1 0 0 を有する半導体チップ C H を用いるならば、(1)半導体チップ C H を F C 工法によって実装しても、その結果、表面側に来る S O I 構造の支持基板 1 の電位を接地電位に常に安定して固定することが可能になると共に、(2)支持基板 1 の上面に形成したシリサイド層 5 と最上層配線 1 3 間を電氣的に導通させているので、低抵抗な支持基板コンタクトを実現することが出来る。更に、複数のガードリング 1 0 0 A, 1 0 0 B を設けているので、支持基板コンタクト抵抗を安定化させることも出来る。加えて、本構造では複数のガードリング 1 0 0 A, 1 0 0 B, 1 0 0 C を設けているので、低誘電率の複数の層間絶縁膜 1 1 A, 1 1 B, 1 1 C, 1 1 D, 1 1 E, 1 1 F, 1 1 G, 1 1 H を用いていることにより、層間絶縁膜をダイシングする際に、銅等より成る配線 1 0, 1 0 C, 1 0 E, 1 0 G が脆くなると言う問題点を克服出来ると言う利点も得られることが、本願発明者らによって確認されている。この点でも、複数のガードリングを設ける意義がある。

30

【0021】

尚、第 3 ガードリング 1 0 0 C を、第 1 及び第 2 ガードリング 1 0 0 A, 1 0 0 B と同様の構造に変更しても良い。

40

【0022】

<変形例 1>

図 5 の縦断面図に示す様に、第 1 ガードリング 1 0 0 A に於けるコンタクトホール 8 の一部分を、トランジスタ形成領域 T R に於けるウエルを成す S O I 層 3 と接触させても良い。

【0023】

この変形例により、支持基板コンタクトで以ってトランジスタ形成領域 T R に於けるウエルの電位をも支持基板と同時に固定することが出来る。

【0024】

(実施の形態 2)

50

図 6 は、本実施の形態に係る半導体装置の、図 1 の断線 I - I に関する縦断面図であり、既述した図 4 に対応する図面である。

【 0 0 2 5 】

図 6 に示す第 1 ガードリング 1 0 0 A が構造上、図 4 に示す第 1 ガードリング 1 0 0 A と相違する点は、次の点にある。

【 0 0 2 6 】

即ち、本実施の形態に於ける第 1 ガードリング 1 0 0 A は、図 4 のシリサイド層 5 に代えて、支持基板 1 の上面より支持基板 1 の内部に向けて形成され、且つ、支持基板 1 と同一導電型の不純物を含み、支持基板 1 の不純物濃度よりも大きい不純物濃度を有する高不純物濃度半導体層 1 5 (ここでは、一例として、P 型のシリコン基板を支持基板 1 に用いているので、高不純物濃度半導体層 1 5 は P + 層となる) を備え、且つ、高不純物濃度半導体層 1 5 上の BOX 酸化膜 2 と当該 BOX 酸化膜 2 上に形成された分離酸化膜 4 と分離酸化膜 4 上の第 1 層間絶縁膜 1 1 とを貫通し、高不純物濃度半導体層 1 5 の上面の一部をその底面とすると共に、第 1 層間絶縁膜 1 1 の上面がその開口部分に該当するコンタクトホール 8 を有する。その他の各構成要素は、実施の形態 1 に於ける対応構成要素と同様である。

10

【 0 0 2 7 】

ここでも重要な点は、高不純物濃度半導体層 1 5、分離酸化膜 4、コンタクトホール 8、第 1 配線材料 (9 + 1 4)、複数の配線 1 0, 1 0 C, 1 0 E, 1 0 G、第 2 配線材料 1 2 B, 1 2 D, 1 2 F 及び第 3 配線材料 1 2 H の何れもが、最上層配線 1 3 と共に、半導体チップ C H の周縁部 C H P に沿って全周に渡って延在されて、トランジスタ形成領域 T R を全体的に取り囲んでいることにある。

20

【 0 0 2 8 】

本実施の形態に係る構造の半導体装置によっても、実施の形態 1 と同様の利点が得られることは勿論である。

【 0 0 2 9 】

< 変形例 2 >

図 7 の縦断面図に示す様に、第 1 及び第 2 ガードリング 1 0 0 A、1 0 0 B に於けるコンタクトホール 8 の一部分を、トランジスタ形成領域 T R に於けるウエルを成す S O I 層 3 と接触させても良い。

30

【 0 0 3 0 】

この変形例により、支持基板コンタクトで以ってトランジスタ形成領域 T R に於けるウエルの電位をも支持基板と同時に固定することが出来る。

【 0 0 3 1 】

(実施の形態 3)

図 8 は、本実施の形態に係る半導体装置の、図 1 の断線 I - I に関する縦断面図であり、既述した図 4 に対応する図面である。

【 0 0 3 2 】

図 8 に示す第 1 ガードリング 1 0 0 A が構造上、図 4 に示す第 1 ガードリング 1 0 0 A と相違する点は、次の点にある。

40

【 0 0 3 3 】

即ち、本実施の形態に於ける第 1 ガードリング 1 0 0 A は、支持基板 1 の上面上に形成されたシリサイド層 1 6 を備えると共に、シリサイド層 1 6 上の BOX 酸化膜 2 と当該 BOX 酸化膜 2 上に形成された分離酸化膜 4 と分離酸化膜 4 上の第 1 層間絶縁膜 1 1 とを貫通し、シリサイド層 1 6 の上面をその底面とすると共に、第 1 層間絶縁膜 1 1 の上面がその開口部分に該当するコンタクトホール 8 を備える。換言すれば、シリサイド層 1 6 は、支持基板 1 用のコンタクトホール 8 の底部を成す。その他の各構成要素は、実施の形態 1 に於ける対応構成要素と同様である。

【 0 0 3 4 】

ここでも重要な点は、シリサイド層 1 6、分離酸化膜 4、コンタクトホール 8、第 1 配

50

線材料(9+14)、複数の配線10, 10C, 10E, 10G、第2配線材料12B, 12D, 12F及び第3配線材料12Hの何れもが、最上層配線13と共に、半導体チップCHの周縁部CHPに沿って全周に渡って延在されて、トランジスタ形成領域TRを全体的に取り囲んでいることにある。

【0035】

本実施の形態に係る構造の半導体装置によっても、既述した実施の形態1と同様の利点を得られる。

【0036】

<変形例3>

図9の縦断面図に示す様に、第1及び第2ガードリング100A, 100Bに於けるコンタクトホール8の一部分を、トランジスタ形成領域TRに於けるウエルを成すSOI層3と接触させても良い。

【0037】

この変形例により、支持基板コンタクトで以ってトランジスタ形成領域TRに於けるウエルの電位をも支持基板と同時に固定することが出来る。

【0038】

(実施の形態4)

本実施の形態は、実施の形態1に係る半導体装置の製造方法、特に実施の形態1に於いて既述したガードリング部の製造方法に関する。以下、図10(A)~図19(A)、図10(B)~図19(B)及び図10(C)~図19(C)の縦断面図並びに既述した図4を用いて、各工程を記載する。これらの工程図の中で、図10(A)~図19(A)は、実施の形態1の図4で既述した第1ないし第3ガードリング100A, 100B, 100Cの製造工程を示す縦断面図であり、図10(B)~図19(B)は、SOIウエハの中央部に位置するトランジスタ形成領域TR(図1)に於けるNMOS部の製造工程を示す縦断面図であり、図10(C)~図19(C)は、上記トランジスタ形成領域TR(図1)に於けるPMOS部の製造工程を示す縦断面図である。尚、トランジスタ形成領域TRは本発明にとっては中核的な部分ではないので、以下の記載では、PMOS部の工程の説明を割愛している。但し、PMOS部の各工程図に於ける参照符号3Pは、SOI層3に形成されたN型半導体層を示す。

【0039】

図10(A)及び図10(B)に於いて、SOIウエハを準備する。当該SOIウエハを自ら作成しても良いし、市場から購入しても良い。この時点では、SOIウエハは、支持基板1(例えば、P型のシリコン基板)と、その上に形成されたBOX酸化膜2と、その上に形成されたSOI層3(本例ではP型半導体層)とから成る。

【0040】

次の図11(A)及び図11(B)の工程に於いては、SOI層3を複数の部分に分離する複数の分離絶縁膜4を、BOX酸化膜2上に形成する。

【0041】

次の図12(A)及び図12(B)の工程では、NMOS部に於いてトランジスタTRのMOS構造をSOI層3上に形成する。トランジスタTRは、ゲート絶縁膜、ゲート電極及びサイドウォールスペーサを有する。

【0042】

次の図13(A)及び図13(B)の工程では、ガードリング部に於いて、分離絶縁膜4及びBOX酸化膜2を開口して支持基板1に通じる複数の第1開口部7を形成する。各第1開口部7は、対応する分離絶縁膜4及びその直下のBOX酸化膜2を貫通して支持基板1の表面にまで到達している。尚、実施の形態1で既述した通り、第1開口部7の幅寸法は、後述する第1層間絶縁膜の膜厚の2倍よりも小さいことが、好適である。

【0043】

次の図14(A)及び図14(B)の工程では、NMOS部及びガードリング部に対して、所定の導電型のイオンの注入を行って、ソース/ドレイン領域を形成する。尚、図1

10

20

30

40

50

2 (A) に示すソース/ドレイン (S / D) 形成のためのイオン注入工程 (本例では P 型イオン注入) は任意であり、図 1 4 (A) の工程を行わなくても良い。又、図 1 4 (C) の工程に於ける P M O S 部への所定の導電型のイオン注入によって P M O S 部に同じくソース/ドレイン領域を形成するため、その結果として、図 1 4 (A) に示す様に、支持基板 1 の表面よりその内部に向けて P⁺層が形成される。

【 0 0 4 4 】

次の図 1 5 (A) 及び図 1 5 (B) の工程では、N M O S 部及びガードリング部に対して、シリサイド層を形成するために、所定の金属を積層し、熱処理を行う。

【 0 0 4 5 】

その結果、図 1 5 (A) 及び図 1 5 (B) に示す様に、N M O S 部においては、トランジスタ T r のゲート電極上及びソース/ドレイン領域 (活性領域) 内にシリサイド領域 6 が形成される (図 1 5 (C) の P M O S 部に於いても同様である) 。このとき、シリサイド領域 6 と同時に、ガードリング部側においても、シリサイド層 5 が、第 1 開口部 7 の底面上、即ち、露出した支持基板 1 の表面上に形成される。同時に、ガードリング部内の露出した S O I 層 3 の表面上にも、シリサイド層 5 A が形成される。

10

【 0 0 4 6 】

次の図 1 6 (A) 及び図 1 6 (B) の工程では、N M O S 部及びガードリング部に対して、第 1 開口部 7 を完全に埋め込むと共に、トランジスタ T r をも被覆する第 1 層間絶縁膜 1 1 を形成する。

【 0 0 4 7 】

次の図 1 7 (A) 及び図 1 7 (B) の工程では、第 1 層間絶縁膜 1 1 を所定のマスクを用いてエッチングし、ガードリング部に於いては、第 1 層間絶縁膜 1 1 を貫通してシリサイド層 5 に通じる第 2 開口部たるコンタクトホール 8 を形成する。又、コンタクトホール 8 の開口に際しては、S O I 層 3 上に開口する通常のコンタクト開口用マスクと兼用しても良いし、あるいは、コンタクトホール 8 専用の別のマスクを使用しても良い。本例は、後者の例である。

20

【 0 0 4 8 】

次の図 1 8 (A) 及び図 1 8 (B) の工程では、先ず、N M O S 部のシリサイド領域 6 に通じるコンタクトホール 8 及びガードリング部に於けるシリサイド層 5 A に通じるコンタクトホール 8 を形成する。その後、各コンタクトホール 8 の底部にバリアメタル 1 4 を形成し、その後、プラグ 9 等の配線材料 (導電層) で各コンタクトホール 8 を完全に埋め込む。

30

【 0 0 4 9 】

次の図 1 9 (A) 及び図 1 9 (B) の工程では、最下層の層間絶縁膜 1 1 A を形成した上で、ガードリング部及び N M O S 部に於けるコンタクトホール 8 の開口部に存在するプラグ 9 の表面と接続される最下層の配線 1 0 (例えば銅より成る) を、最下層の層間絶縁膜 1 1 A 中に形成する。以下の工程に関しては、図 4 を参照する。

【 0 0 5 0 】

図 4 に示す通り、最下層の層間絶縁膜 1 1 A 上に 2 番目の層間絶縁膜 1 1 B を形成し、層間絶縁膜 1 1 B 内に配線 1 0 の上面を底面とする開口 (ピアホール) を形成して当該開口を完全に埋め込む配線材料 (導電層) 1 2 B を形成する。更に、層間絶縁膜 1 1 B 上に 3 番目の層間絶縁膜 1 1 C を形成し、層間絶縁膜 1 1 C 内に、配線材料 1 2 B と繋がった配線 1 0 C (例えば銅より成る) を形成する。更に、層間絶縁膜 1 1 C 上に 4 番目の層間絶縁膜 1 1 D を形成し、配線材料 (導電層) 1 2 D を形成する。更に、層間絶縁膜 1 1 D 上に 5 番目の層間絶縁膜 1 1 E を形成し、配線 1 0 E (例えば銅より成る) を形成する。更に、層間絶縁膜 1 1 E 上に 6 番目の層間絶縁膜 1 1 F を形成し、配線材料 (導電層) 1 2 F を形成する。更に、層間絶縁膜 1 1 F 上に 7 番目の層間絶縁膜 1 1 G を形成し、最上層の配線 1 0 G (例えば銅より成る) を形成する。更に、層間絶縁膜 1 1 G 上に 8 番目の層間絶縁膜 1 1 H を形成し、最上層の配線 1 0 G と繋がった最上の配線材料 (導電層) 1 2 H を形成する。その上で、最上の配線材料 1 2 H と繋がった最上層配線 1 3 (例えばア

40

50

ルミニウムより成る)を、8番目の層間絶縁膜11H上に形成する。層間絶縁膜11A~11H内に於ける、これらの配線及び導電層の構造により、支持基板1の電位は固定される。

【0051】

そして、重要な点は、複数のシリサイド層5、複数の分離絶縁膜4、複数の開口部7、複数のコンタクトホール8、複数の第1配線材料9、複数の配線10, 10C, 10E, 10G、複数の第2配線材料12B, 12D, 12F, 12H及び最上層配線13は、第1方向D1、第1方向D1に直交する第2方向D2、第2方向D2に直交する第3方向D3、並びに第1及び第3方向D1, D3に直交する第4方向D4の各々に沿って形成されており(図1参照)、以ってトランジスタ形成領域TRを全体的に取り囲んでいることである。 10

【0052】

斯かる構造を備えたSOIウエハよりチップを切り出せば、図1に例示される上面を有する半導体チップCHが得られる。

【0053】

(実施の形態5)

本実施の形態は、実施の形態2に係る半導体装置の製造方法、特に実施の形態2に於いて既述したガードリング部の製造方法に関する。以下では、ガードリング部の製造方法について且つ実施の形態4とは異なる工程に関して記載すると共に、トランジスタ形成領域に於けるNMOS部及びPMOS部の製造工程の記載を割愛する。従って、図10(A) 20、図11(A)及び図12(A)を援用する。

【0054】

図20に於いて、ガードリング部に於ける各分離酸化膜4毎に開口40Hが設けられたレジストパターン40を、SOI層3上に形成する。そして、レジストパターン40をマスクとして、イオン注入することにより、各開口40H直下の支持基板1の上面部分内に、同一導電型の不純物を有し且つ支持基板1よりも高不純物濃度の高濃度半導体層(本例ではP+型の高濃度半導体層)15を形成する。

【0055】

図21に於いて、先ず、ガードリング部に於いても、トランジスタ形成領域に於けるシリサイド領域6の形成工程に伴い、シリサイド層5Aが形成される。その後、ガードリング部及びNMOS部等を被覆する第1層間絶縁膜11を形成する。 30

【0056】

図22に於いて、第1層間絶縁膜11、分離酸化膜4及びBOX酸化膜2をエッチングして、高濃度半導体層15に通じるコンタクトホール8を形成する。又、シリサイド層5Aに通じるコンタクトホール8も形成する。その上で、各コンタクトホール8を、バリアメタル14及びプラグ9で以って完全に充填する。

【0057】

以降の工程に関しては、図6を援用し、且つ、実施の形態4に於ける対応記載部分をも援用する。

【0058】

尚、コンタクトホール8の形成に際しては、SOI層3上の通常のコンタクト用のマスクを兼用しても良いし、又は、別の専用のマスクを用いても良い。 40

【0059】

又、高濃度半導体層15に通じるコンタクトホール8の形成後に、支持基板1に対してイオン注入を行っても良い。

【0060】

配線12, 13等の形成により、支持基板1の電位は固定可能となる。

【0061】

ここでも重要な点は、ガードリング部に於ける各構成要素、即ち、複数の高濃度半導体層15、複数の分離絶縁膜4、複数のコンタクトホール8、複数の第1配線材料(9+1) 50

4)、複数の配線10、10C、10E、10G、複数の第2配線材料12B、12D、12F、12H及び最上層配線13は、第1方向D1、第2方向D2、第3方向D3、及び第4方向D4の各々の方向に沿って形成されており、以ってトランジスタ形成領域TRを全体的に取り囲んでいることである。

【0062】

(実施の形態6)

本実施の形態は、実施の形態3に係る半導体装置の製造方法、特に実施の形態3に於いて既述したガードリング部の製造方法に関する。以下では、ガードリング部の製造方法について且つ実施の形態4とは異なる工程に関して記載すると共に、トランジスタ形成領域に於けるNMOS部及びPMOS部の製造工程の記載を割愛する。従って、図10(A)、図11(A)及び図12(A)を援用する。

10

【0063】

図23に於いて、トランジスタ形成領域に於けるNMOS部及びPMOS部のシリサイド領域の形成工程に伴い、ガードリング部に於いても、SOI層3上にシリサイド層5Aを形成する。

【0064】

図24に於いて、ガードリング部のみならずNMOS部及びPMOS部に於いても形成される第1層間絶縁膜11で以って、分離酸化膜4及びシリサイド層5Aの全体を被覆する。

【0065】

図25では、エッチングによって、第1層間絶縁膜11、分離酸化膜4及びBOX酸化膜2を貫通し且つその底面が支持基板1の上面に該当するコンタクトホール8を形成する。

20

【0066】

図26では、各コンタクトホール8の底部にシリサイド層16を形成する。

【0067】

図27では、NMOS部及びPMOS部に於けるコンタクトホール形成工程に伴って、ガードリング部に於けるシリサイド層5Aの上面に通じるコンタクトホール8を第1層間絶縁膜11内に形成する。

【0068】

図28では、各コンタクトホール8内にバリアメタル14を形成した上で、プラグ9で以って各コンタクトホール8内を完全に充填する。

30

【0069】

以下の工程は、図8に示す通りであり、実施の形態4で既述した通りである。

【0070】

尚、コンタクトホール8の形成に際しては、SOI層3上の通常のコンタクト用のマスクを兼用しても良いし、又は、別の専用のマスクを用いても良い。

【0071】

又、支持基板1に通じるコンタクトホール8の形成後に、支持基板1に対してイオン注入を行っても良い。

40

【0072】

配線12、13等の形成により、支持基板1の電位は固定可能となる。

【0073】

ここでも重要な点は、ガードリング部に於ける各構成要素、即ち、複数の分離絶縁膜4、複数のコンタクトホール8、複数のシリサイド層16、複数の第1配線材料(9+14)、複数の配線10、10C、10E、10G、複数の第2配線材料12B、12D、12F、12H及び最上層配線13は、SOIウエハに於ける第1方向D1、第2方向D2、第3方向D3及び第4方向D4の各々の方向に沿って形成されており、以ってSOIウエハに於けるトランジスタ形成領域TRを全体的に取り囲んでいることである。

【0074】

50

(付記)

既述した実施の形態 1 乃至 3 の何れかに係る、SOI 構造を有する半導体チップ CH (図 1 参照) を、FC 工法を用いて基板上に実装した際の、アセンブリの一形態を、図 29 の縦断面図に例示する。図 29 の半導体装置に於いて、参照符号 500 は半田バンプ、500C は最外周半田バンプ、500D は最内周半田バンプ、510 は BGA 基板、511B はビルドアップ絶縁層、511A はコア材、514 はリング、512 はビアホール、516 は半田ボール、519 は配線、513 は絶縁層、518 は封止部材である。図示の様に、半導体チップ CH の、上側に位置する裏面側の支持基板は、特にワイヤを用いてその電位を固定することなく、既述した構造により、一定の電位 (例えば接地電位) に固定されている。

10

【0075】

又、実施の形態 1 乃至 3 の何れかに係る、SOI 構造を有する半導体チップ CH (図 1 参照) を、FC 工法を用いて基板上に実装した別の形態を、図 30 の縦断面図に例示する。図 30 の半導体装置では、FC 工法を用いて基板上に実装された半導体チップ CH の上に、接着剤 607 を介して、半導体チップ CH とは異なる構造を有する別の半導体チップ CH1 が搭載されている。図 30 において、参照符号 600 はパッケージ基板、603 はモールド樹脂、604 は Au バンプ、605 は配線、606 は樹脂、608 はワイヤ、609, 613, 619 は共にボンディングパッド、610 は電極パッド、611 は半田バンプ、612 は絶縁膜である。図 30 の半導体装置に於いても、半導体チップ CH の裏面側の支持基板は、特にワイヤを用いてその電位を固定することなく、既述した構造により、一定の電位 (例えば接地電位) に固定されている。

20

【0076】

以上、本発明の実施の形態を詳細に開示し記述したが、以上の記述は本発明の適用可能な局面を例示したものであって、本発明はこれに限定されるものではない。即ち、記述した局面に対する様々な修正や変形例を、この発明の範囲から逸脱することの無い範囲内で考えることが可能である。

【産業上の利用可能性】

【0077】

本発明は、SOI ウエハを用いた半導体装置に適用して好適なるものである。

【図面の簡単な説明】

30

【0078】

【図 1】実施の形態 1, 2, 3 に共通する半導体チップの平面図である。

【図 2】実施の形態 1, 2, 3 に共通する半導体チップに於けるガードリング部を透視して模式的に描いた当該半導体チップの平面図である。

【図 3】実施の形態 1, 2, 3 に共通する半導体チップの変形例を示す平面図である。

【図 4】実施の形態 1 に係る半導体装置の一例の縦断面図である。

【図 5】実施の形態 1 の変形例に係る半導体装置の縦断面図である。

【図 6】実施の形態 2 に係る半導体装置の一例の縦断面図である。

【図 7】実施の形態 2 の変形例に係る半導体装置の縦断面図である。

【図 8】実施の形態 3 に係る半導体装置の一例の縦断面図である。

40

【図 9】実施の形態 3 の変形例に係る半導体装置の縦断面図である。

【図 10】実施の形態 4 に係る半導体装置の製造工程を示す縦断面図である。

【図 11】実施の形態 4 に係る半導体装置の製造工程を示す縦断面図である。

【図 12】実施の形態 4 に係る半導体装置の製造工程を示す縦断面図である。

【図 13】実施の形態 4 に係る半導体装置の製造工程を示す縦断面図である。

【図 14】実施の形態 4 に係る半導体装置の製造工程を示す縦断面図である。

【図 15】実施の形態 4 に係る半導体装置の製造工程を示す縦断面図である。

【図 16】実施の形態 4 に係る半導体装置の製造工程を示す縦断面図である。

【図 17】実施の形態 4 に係る半導体装置の製造工程を示す縦断面図である。

【図 18】実施の形態 4 に係る半導体装置の製造工程を示す縦断面図である。

50

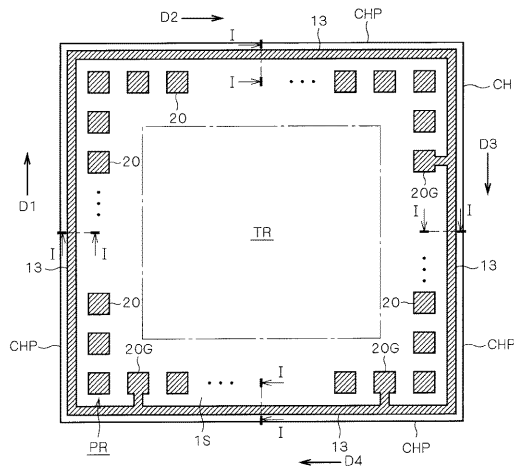
- 【図19】実施の形態4に係る半導体装置の製造工程を示す縦断面図である。
- 【図20】実施の形態5に係る半導体装置の製造工程を示す縦断面図である。
- 【図21】実施の形態5に係る半導体装置の製造工程を示す縦断面図である。
- 【図22】実施の形態5に係る半導体装置の製造工程を示す縦断面図である。
- 【図23】実施の形態6に係る半導体装置の製造工程を示す縦断面図である。
- 【図24】実施の形態6に係る半導体装置の製造工程を示す縦断面図である。
- 【図25】実施の形態6に係る半導体装置の製造工程を示す縦断面図である。
- 【図26】実施の形態6に係る半導体装置の製造工程を示す縦断面図である。
- 【図27】実施の形態6に係る半導体装置の製造工程を示す縦断面図である。
- 【図28】実施の形態6に係る半導体装置の製造工程を示す縦断面図である。
- 【図29】実施の形態1乃至3の何れかに係る半導体チップをFC工法によって基板上に実装した形態例を模式的に示す縦断面図である。
- 【図30】実施の形態1乃至3の何れかに係る半導体チップをFC工法によって基板上に実装した他の形態例を模式的に示す縦断面図である。

【符号の説明】

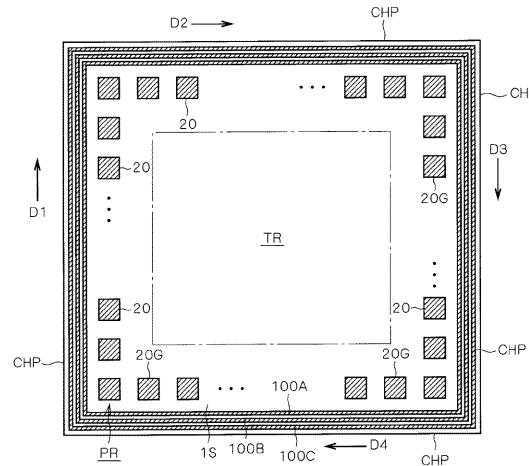
【0079】

1 SOIウエハの支持基板、2 SOIウエハのBOX酸化膜、3 SOI層、4 分離酸化膜、5 シリサイド層、7 第1開口部、8 第2開口部（コンタクトホール）、9 プラグ、14 パリアメタル、11 第1層間絶縁膜、15 高濃度半導体層、16 シリサイド層、10, 10C, 10E, 10G 配線、12B, 12D, 12F 第2配線、12H 第3配線、13 最上層配線、11A, 11B, 11C, 11D, 11E, 11F, 11G, 11H 層間絶縁膜、CH 半導体チップ、CHP 周縁部、TR トランジスタ形成領域。

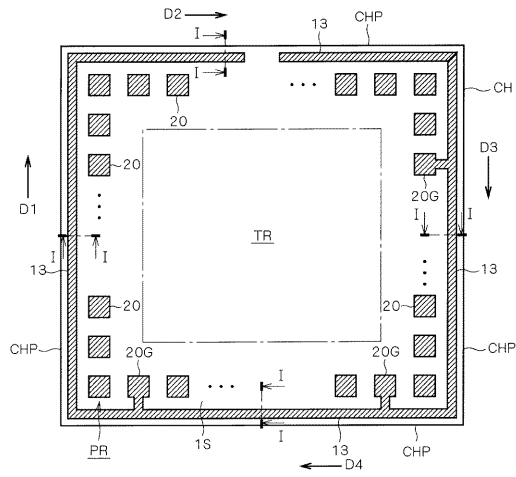
【図1】



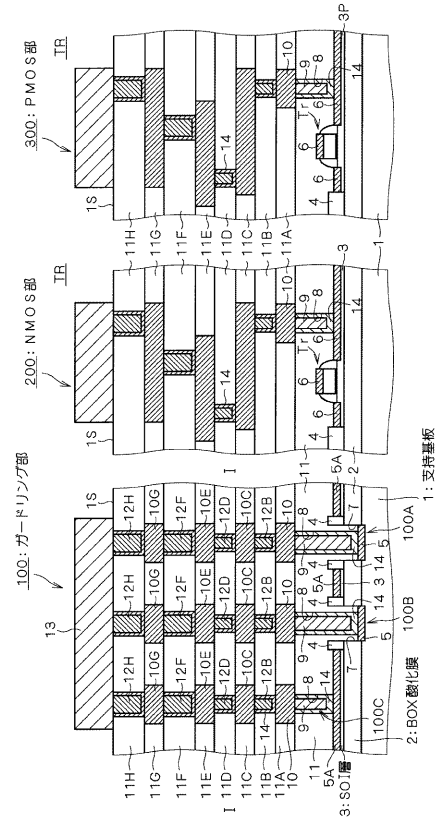
【図2】



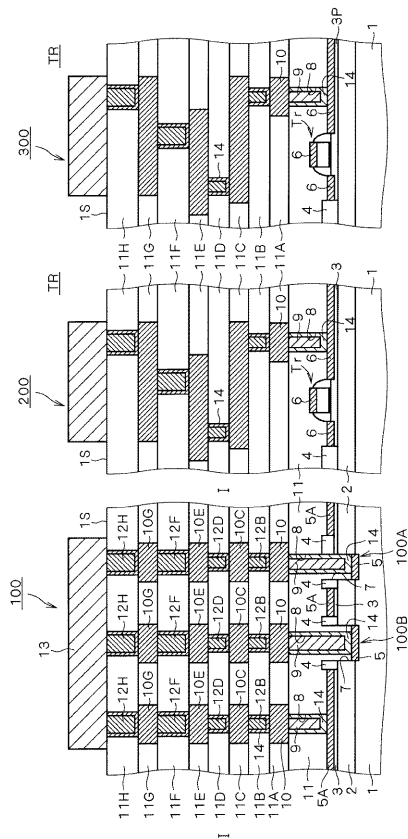
【図3】



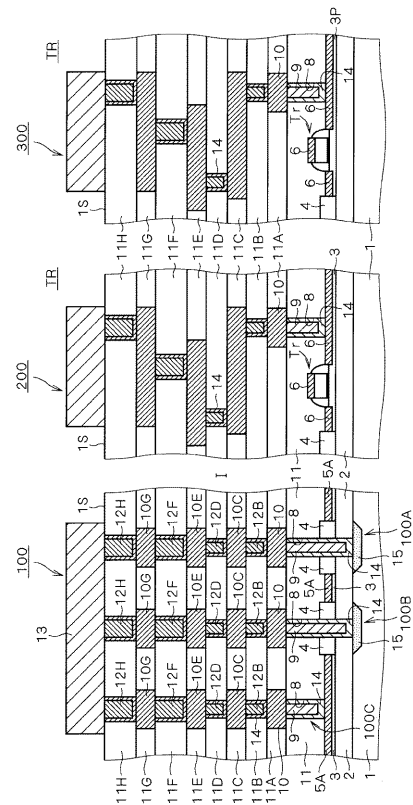
【図4】



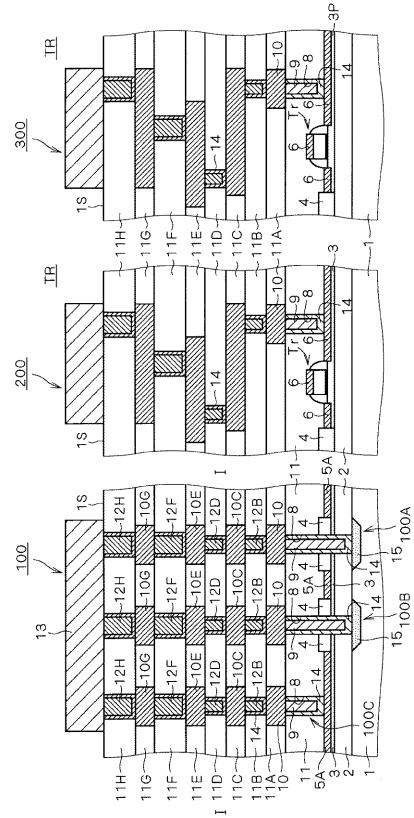
【図5】



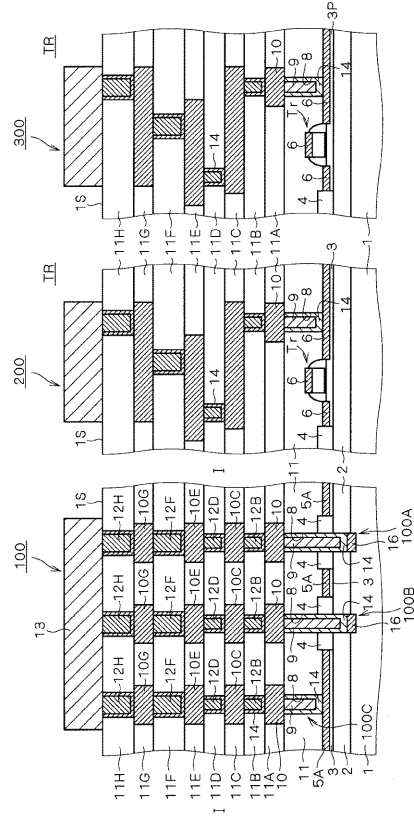
【図6】



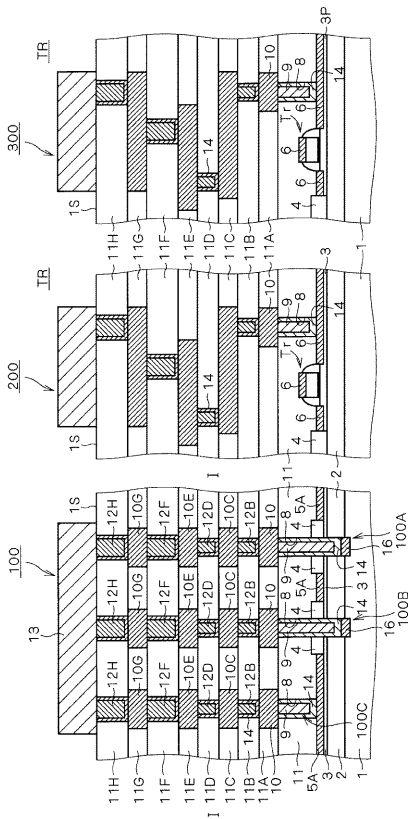
【 図 7 】



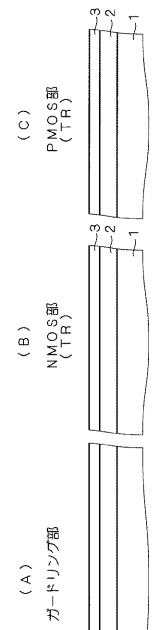
【 図 8 】



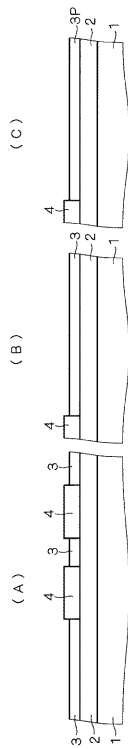
【 図 9 】



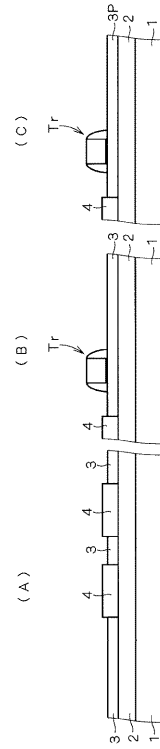
【 図 10 】



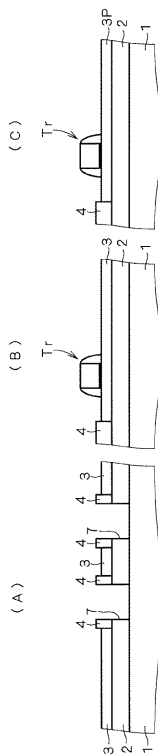
【図 1 1】



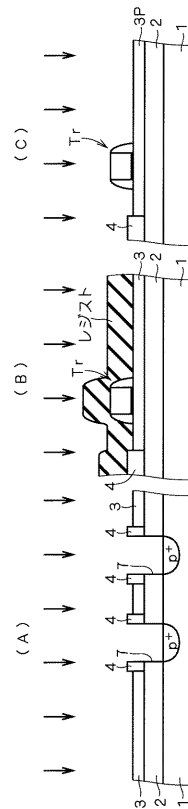
【図 1 2】



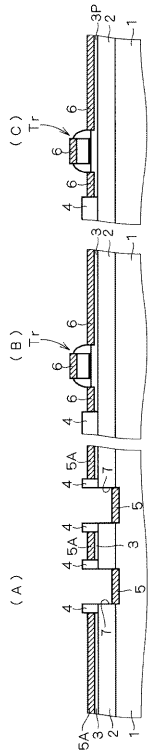
【図 1 3】



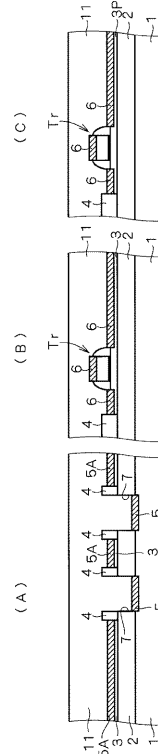
【図 1 4】



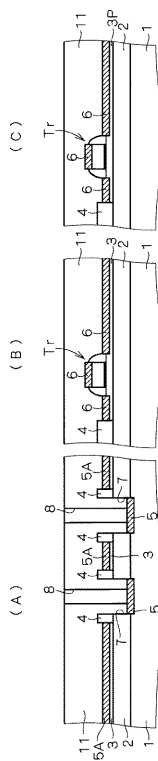
【 図 15 】



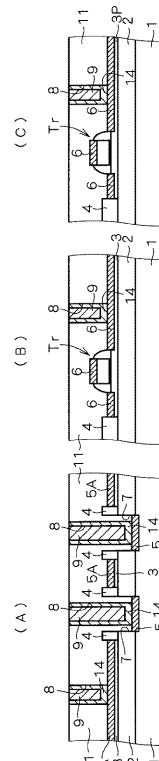
【 図 16 】



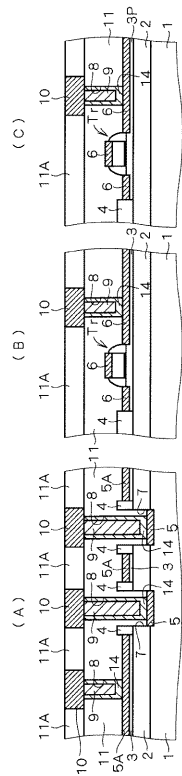
【 図 17 】



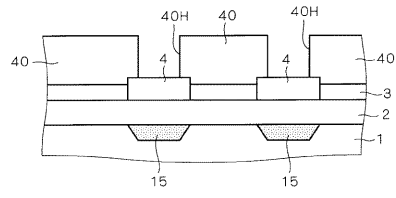
【 図 18 】



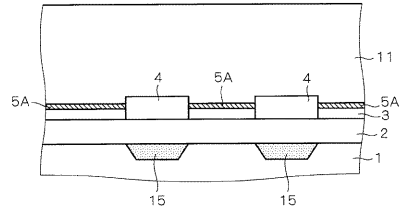
【 図 19 】



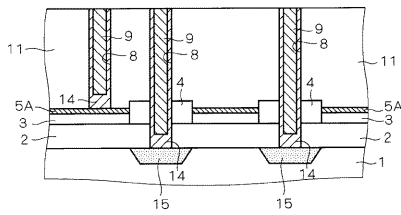
【 図 20 】



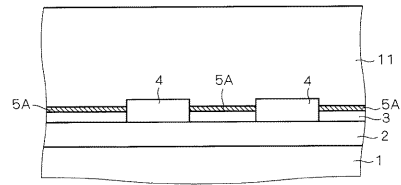
【 図 21 】



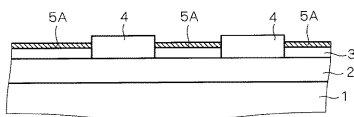
【 図 22 】



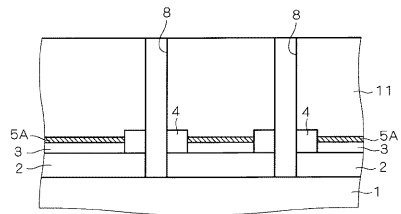
【 図 24 】



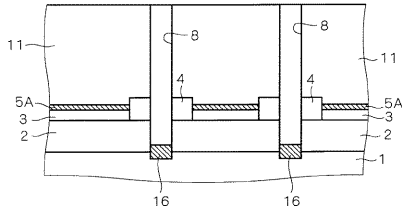
【 図 23 】



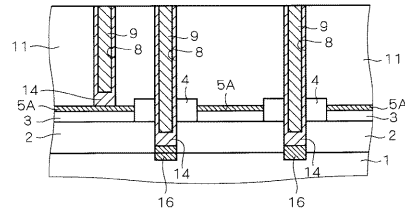
【 図 25 】



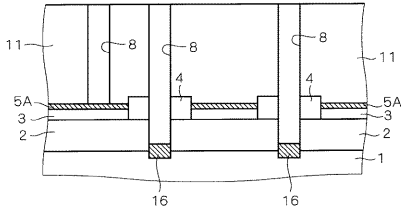
【図 26】



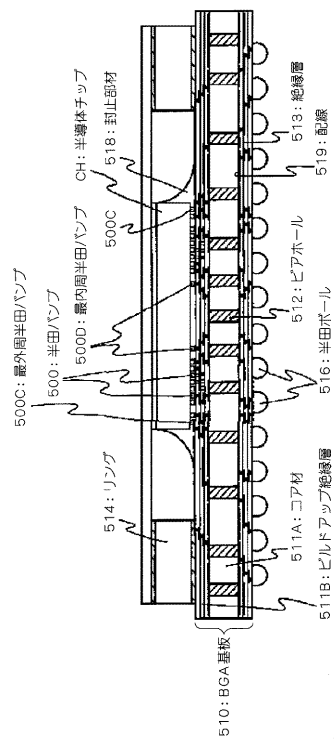
【図 28】



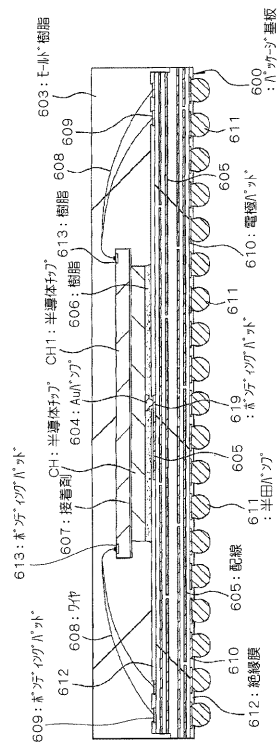
【図 27】



【図 29】



【図 30】



フロントページの続き

(51) Int.Cl.	F I	テーマコード(参考)
H 0 1 L 27/092 (2006.01)	H 0 1 L 27/08	3 3 1 B
H 0 1 L 23/52 (2006.01)	H 0 1 L 27/12	C
H 0 1 L 27/12 (2006.01)	H 0 1 L 27/12	F
H 0 1 L 21/76 (2006.01)	H 0 1 L 21/76	D
H 0 1 L 21/762 (2006.01)	H 0 1 L 23/12	5 0 1 W
H 0 1 L 23/12 (2006.01)	H 0 1 L 23/12	5 0 1 B

(72)発明者 岩松 俊明

東京都千代田区丸の内二丁目4番1号 株式会社ルネサステクノロジ内

Fターム(参考) 5F032 AA01 AA12 AA64 CA17 DA43 DA74
 5F033 HH08 HH11 JJ25 KK01 KK11 KK25 MM30 NN06 NN07 NN40
 QQ09 QQ10 QQ37 QQ58 QQ70 QQ73 TT08 VV00 VV05 VV07
 XX00
 5F048 AC04 BA16 BB08 BB12 BE03 BE09 BF00 BF06 BF07 BF11
 BF16 BF18 BG07 BH04 BH05 BH06 DA23
 5F110 AA30 BB04 CC02 DD05 DD13 DD22 EE31 GG02 GG12 HJ13
 HK05 HK40 NN62 QQ08