

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関  
国際事務局



(10) 国際公開番号

WO 2012/039345 A1

PCT

(43) 国際公開日  
2012年3月29日(29.03.2012)

- (51) 国際特許分類:  
G02F 1/133 (2006.01) G09G 3/20 (2006.01)  
G02B 27/22 (2006.01) G09G 3/36 (2006.01)  
G02F 1/13363 (2006.01)
- (21) 国際出願番号: PCT/JP2011/071134
- (22) 国際出願日: 2011年9月15日(15.09.2011)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:  
特願 2010-212601 2010年9月22日(22.09.2010) JP
- (71) 出願人 (米国を除く全ての指定国について):  
シャープ株式会社(SHARP KABUSHIKI KAISHA)  
[JP/JP]; 〒5458522 大阪府大阪市阿倍野区長池町  
2番2号 Osaka (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 勝田 昇平  
(KATSUTA, Shohei). 鎌田 豪 (KAMADA,  
Tsuyoshi). 大橋 誠二(OHASHI, Seiji).
- (74) 代理人: 特許業務法人原謙三国際特許事務所  
(HARAKENZO WORLD PATENT & TRADE-

MARK); 〒5300041 大阪府大阪市北区天神橋2  
丁目北2番6号 大和南森町ビル Osaka (JP).

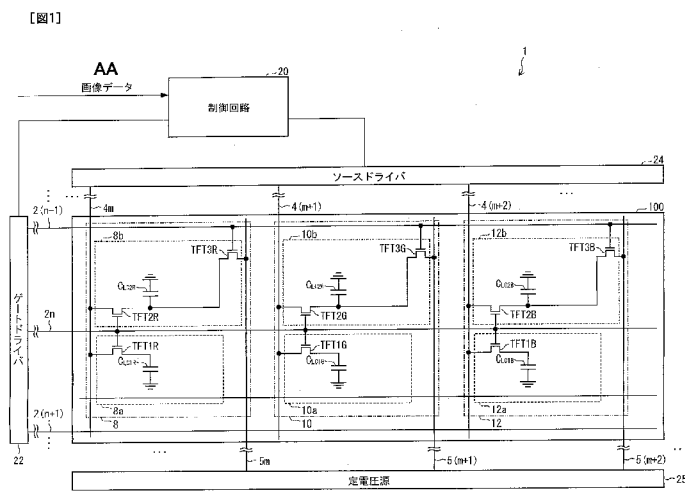
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 国際調査報告 (条約第21条(3))

(54) Title: LIQUID CRYSTAL DISPLAY DEVICE, AND DISPLAY APPARATUS

(54) 発明の名称: 液晶表示装置、および、ディスプレイ装置



- AA IMAGE DATA
- 20 CONTROL CIRCUIT
- 24 SOURCE DRIVER
- 22 GATE DRIVER
- 25 CONSTANT-VOLTAGE SOURCE

(57) Abstract: A liquid crystal display device (1) has a liquid crystal panel having a plurality of pixels disposed in matrix, and a patterned retarder having formed therein wave plates (RR) and wave plates (RL) at positions that correspond to the odd-numbered rows and the even-numbered rows in the liquid crystal panel. Among the sub-pixels which the pixels in the  $n^{\text{th}}$  row have, the sub-pixel electrode of a near-boundary sub-pixel, i.e., the sub-pixel closest to the boundary between the wave plates (RR) and the wave plates (RL), is connected to an auxiliary bus line via a transistor having a gate electrode connected to a gate bus line in the  $n-1^{\text{th}}$  row or the previous rows, and the liquid crystal display device sequentially supplies gate signals to the gate bus lines in the first to the  $N^{\text{th}}$  rows in second display mode, and sequentially supplies the gate signals to the gate bus lines in the  $N^{\text{th}}$  to the first rows in first display mode.

(57) 要約: 液晶表示装置 (1) は、行列状に配置された複数の画素を有する液晶パネルと、位相差板 (RR) および位相差板 (RL) が液晶パネルの奇数行および偶数行に対応する位置に形成されている Patterned Retarder と、を有しており、第  $n$  行目の画素の有する各副画素のうち、位相差板 (RR) と位相差板 (RL) との境界に最も近い副画素である境界近傍副画素の副画素電極は、第  $n-1$  行以前のゲートバスラインに接続されたゲート電極を有するトランジスタを介して補助バスラインに接続されており、第2の表示モードにおいては、第1行から第  $N$  行のゲートバスラインに対して、順次ゲート信号を供給し、第1の表示モードにおいては、第  $N$  行から第1行のゲートバスラインに対して、順次ゲート信号を供給する。

WO 2012/039345 A1

## 明 細 書

**発明の名称 : 液晶表示装置、および、ディスプレイ装置**

### 技術分野

[0001] 本発明は、液晶を用いて画像を表示する液晶表示装置に関する。特に、Patterned Retarder方式を用いて、画像を立体視可能に表示する液晶表示装置に関する。また、そのような液晶表示装置を備えているディスプレイ装置に関する。

### 背景技術

[0002] 近年、画像を立体視不能に表示する（以下、「2D（平面）画像を表示する」とも言う）機能に加え、画像を立体視可能に表示する（以下、「3D（立体）映像を表示する」とも言う）機能を有する液晶表示装置が実現されている。

[0003] 立体映像を表示する技術としては、アクティブシャッター方式、裸眼レンチキュラー（lenticular）方式、及び、Patterned Retarder方式（偏光方式、PR方式とも呼ぶ）等が知られている。何れの方式においても、右目用画像がユーザの右目のみに提示され、左目用画像がユーザの左目のみに提示されることによって、ユーザは画像を立体的に視認することができる。

[0004] アクティブシャッター方式を用いる液晶表示装置では、左目用のフレーム（L用フレーム）と右目用のフレーム（R用フレーム）とが交互に表示される。ユーザは、当該液晶表示装置に表示される画像を、L用フレームとR用フレームとの切り替えに同期してシャッター動作が行われる左目用レンズと右目用レンズとを有する3D用メガネを介して観測することによって、当該画像を立体的に視認することができる。

[0005] 裸眼レンチキュラー方式を用いる液晶表示装置は、左目用画像と右目用画像とを、液晶パネルの正面側に形成されたレンチキュラーレンズを介してユーザの左目と右目とに個別に提示する。これにより、ユーザは、3D用メガネを用いることなく、当該画像を立体的に視認することができる。

- [0006] Patterned Retarder方式を用いる液晶表示装置では、奇数番目の水平走査線によって画定される画素により右目用の画像が表示され、偶数番目の水平走査線によって画定される画素により左目用の画像が表示される。
- [0007] 以下では、図19の(a)～(b)、および、図20を参照して、Patterned Retarder方式についてより具体的に説明を行う。図19の(a)は、Patterned Retarder方式を用いる従来の液晶表示装置の備えるバックライトユニット50、液晶パネル60、および、Patterned Retarder70を示す分解斜視図である。
- [0008] バックライトユニット50は、液晶パネル60に対して、該液晶パネル60の背面からバックライトを供給する。液晶パネル60には、水平走査線（横方向走査線）HL1～HLN（Nは水平走査線の総数）、および、垂直走査線（縦方向走査線）VL1～VLM（Mは垂直走査線の総数）のそれぞれによって画定される画素が形成されている。液晶パネル60は、各画素の備える液晶の配向を制御することによって、バックライトの透過率を画素毎に制御することができる。また、液晶パネル60は、奇数番目の水平走査線HL1、HL3、…によって画定される画素によって、右目用の画像を表示し、偶数番目の水平走査線HL2、HL4、…によって画定される画素によって、左目用の画像を表示する。
- [0009] Patterned Retarder70は、水平走査線方向を長手方向とする位相差板であって、互いに特性の異なる2種類の位相差板RRおよびRLから構成されている。ここで、位相差板RRは、直線偏光した光を右向きに円偏光した光に変換するものであり、位相差板RLは、直線偏光した光を左向きに円偏光した光に変換するものである。図19の(a)に示すように、奇数番目の水平走査線HL1、HL3、…によって画定される画素の正面側には、位相差板RRが配置され、偶数番目の水平走査線HL2、HL4、…によって画定される画素の正面側には、位相差板RLが配置されている。
- [0010] したがって、奇数番目の水平走査線によって画定される画素によって表示される右目用画像は、Patterned Retarderを透過した後、右向きに円偏光し

た光によって表され、偶数番目の水平走査線によって画定される画素によって表示される左目用画像は、Patterned Retarderを透過した後、左向きに円偏光した光によって表される。

[0011] 図19の(b)は、Patterned Retarder方式において用いられる3D用メガネ80を示している。図19の(b)に示すように、3D用メガネ80は、右目用レンズと左目用レンズとを備えている。右目用レンズは、右向きに円偏光した光のみを透過するものであり、左目用レンズは、左向きに円偏光した光のみを透過するものである。したがって、ユーザは、当該3D用メガネ80を使用することによって、液晶表示装置の表示する画像のうち、奇数番目の水平走査線によって画定される画素によって表示される右目用画像を、右目のみによって観測し、偶数番目の水平走査線によって画定される画素によって表示される左目用画像を、左目のみによって観測することができる。これにより、ユーザは、当該画像を立体的に視認することができる。

[0012] また、Patterned Retarder方式の液晶表示装置は、奇数番目の水平走査線によって画定される画素、および、偶数番目の水平走査線によって画定される画素の双方を用いて、2D画像を表示することもできる。この場合、ユーザは、3D用メガネを用いることなく、当該液晶表示装置の表示する画像を観測すればよい。

[0013] また、Patterned Retarder方式に用いられる3D用メガネ80は、アクティブシャッター方式に用いられる3D用メガネのような電氣的な制御が不要なので、簡易な構成によって実現することができる。

[0014] 一方で、Patterned Retarder方式では、主として、液晶パネルを構成するGlass層の厚みが有限であることに起因して、クロストークと呼ばれる現象が生じることが知られている。

[0015] ここで、クロストークとは、ユーザが斜め上側から液晶パネルを観測する場合、または、斜め下側から液晶パネルを観測する場合に、奇数番目の水平走査線によって画定される画素により表示される右目用画像の一部が、偶数番目の水平走査線によって画定される画素の正面側に配置された左目用位相

差板を透過した後に観測され、偶数番目の水平走査線によって画定される画素により表示される左目用画像の一部が、奇数番目の水平走査線によって画定される画素の正面側に配置された右目用位相差板を透過した後に観測されることにより、左向きに円偏光した光によって表される左目用画像の中に、右目用画像が混在し、右向きに円偏光した光によって表される右目用画像の中に、左目用画像が混在してしまうという現象である。

[0016] 従来、液晶パネルおよびPatterned Retarderに、それぞれ水平走査線に沿ってブラックマトリックスおよびブラックストライプを形成することによって、上記のクロストークを抑制する構成が知られている。

[0017] 図20は、従来の液晶表示装置の備えるバックライトユニット50、液晶パネル60、および、Patterned Retarder 70の垂直走査線方向（縦方向）に沿った断面図であって、 $n$ 番目の水平走査線によって画定される画素、および、 $n+1$ 番目の水平走査線によって画定される画素の周辺の構成を示す図である。図20においては、ブラックマトリックスおよびブラックストライプによってクロストークを抑制するように構成された液晶パネル60、および、Patterned Retarder 70が示されている。

[0018] 図20に示すように、液晶パネル60の背面側（図20において向かって左側）にはバックライトユニット50が配置され、液晶パネル60の正面側（図20において向かって右側）には、Patterned Retarder 70が配置されている。また、液晶パネル60は、第1の偏光板60a、TFT-Glass 60b、TFT基板60c、カラーフィルタ60d、CF-Glass 60e、第2の偏光板60fより構成されている。

[0019] 図20に示すように、TFT基板60cにおいて、 $n$ 番目の水平走査線によって画定される画素 $P_n$ と、 $n+1$ 番目の水平走査線によって画定される画素 $P_{n+1}$ との間には、ブラックマトリックスBMが形成されている。また、当該ブラックマトリックスBMの正面側には、カラーフィルタ60d内にブラックマトリックスBM'が形成されており、Patterned Retarder 70内にブラックストライプBSが形成されている。

- [0020] このようなブラックマトリックスおよびブラックストライプによって、図20に示すように、液晶パネル60の法線方向と視線方向とのなす角が、垂直走査線方向に $\alpha$ 度以内である場合に、クロストークの発生を抑制することができる。
- [0021] しかしながら、このような構成では、ブラックマトリックスおよびブラックストライプによって開口率が低下するため、画像の輝度が低下するという問題がある。
- [0022] 非特許文献1には、各画素を垂直走査線方向に2つの副画素（上側の副画素および下側の副画素）に分割することによって、ブラックストライプを用いることなくクロストークを抑制する技術が提案されている。この技術においては、2D画像を表示する場合には、双方の副画素に、表示画像用データ電圧が供給され、3D画像を表示する場合には、上側の副画素のみに表示画像用データ電圧が供給され、下側の副画素には、黒表示用のデータ電圧が供給される。黒表示用のデータ電圧が供給される当該下側の副画素は、ブラックマトリックスとして機能する。
- [0023] したがって、非特許文献1に開示された技術によれば、2D画像を表示する場合に画像の輝度が低下することがない。また、3D画像を表示する場合には、ブラックマトリックスによってクロストークの発生を抑制することができる。

## 先行技術文献

### 非特許文献

- [0024] 非特許文献1：“A Nobel Polarizer Glasses-type 3D Displays with a Patterned Retarder”，2010 SID International Symposium, Washington State Convention Center, Seattle, Washington USA, May 25 2010

## 発明の概要

### 発明が解決しようとする課題

- [0025] しかしながら、非特許文献1に開示された技術においては、3D画像を表

示する場合、上側の副画素と下側の副画素とに対して、互いに異なるデータ電圧を供給する必要があるため、2D画像のみを表示する構成に比べて、2倍の本数のデータライン（データバスライン、ソースバスライン）が必要となり、液晶パネルの設計が複雑になるという問題を有している。

[0026] 本発明は、上記の問題に鑑みてなされたものであり、その目的は、データバスラインの本数を増大させることなく、クロストークの発生を抑制することのできる液晶表示装置を実現することにある。

### 課題を解決するための手段

[0027] 上記の問題を解決するために、本発明に係る液晶表示装置は、第1の表示モードおよび第2の表示モードにより表示が可能な液晶表示装置であって、N行M列（N及びMは自然数）の行列状に配置された複数の画素と、補助バスラインと、各行に配置されたゲートバスラインと、各列に配置されたデータバスラインと、前記複数の画素のうち第n行第m列（n及びmはそれぞれ  $1 \leq n \leq N$  及び  $1 \leq m \leq M$  を満たす自然数）の画素について、複数の副画素と、前記副画素毎に配置された副画素電極であって、液晶層を介して対向電極に対向する副画素電極と、前記副画素毎に配置された入力トランジスタであって、前記副画素電極に接続されたドレイン電極と、第m列のデータバスラインに接続されたソース電極と、第n行のゲートバスラインに接続されたゲート電極とを有する入力トランジスタと、を有する液晶パネルと、入射光から第1の偏光状態の出射光を生成する第1の光学板、および、入射光から前記第1の偏光状態とは異なる第2の偏光状態の出射光を生成する第2の光学板が、それぞれ、前記液晶パネルの奇数行および偶数行に対応する位置に形成されている光学パネルと、を備えている液晶表示装置において、第n行第m列の画素についての複数の副画素のうち、前記第1の光学板と前記第2の光学板との境界に最も近い副画素である境界近傍副画素は、当該境界近傍副画素についての副画素電極に電氣的に接続されたドレイン電極と、前記補助バスラインに接続されたソース電極と、第n-1行以前のゲートバスラインに接続されたゲート電極と、を備える出力トランジスタを更に有しており

、第2の表示モードにおいては、第1行のゲートバスラインから第N行のゲートバスラインに対して、順次ゲート信号を供給し、第1の表示モードにおいては、第N行のゲートバスラインから第1行のゲートバスラインに対して、順次ゲート信号を供給する、ことを特徴としている。

[0028] 以上のように構成された本発明に係る液晶表示装置は、上記第2の表示モードにおいて、第1行のゲートバスラインから第N行のゲートバスラインに対して順次ゲート信号を供給することによって、すなわち、順方向にスキャンすることによって、上記データバスラインを介して各副画素電極に対して画素毎に共通のデータ電圧を印加する。これにより、各副画素が所望の輝度を呈することによって、画像が表示される。

[0029] 一方で、上記液晶表示装置は、上記第1の表示モードにおいては、第N行のゲートバスラインから第1行のゲートバスラインに対して順次ゲート信号を供給する、すなわち、逆方向にスキャンする。ここで、第n行に配置された画素における各副画素の副画素電極には、当該第n行のゲートバスラインにゲート信号が供給されたときに、当該画素について共通のデータ電圧が印加され、それに引き続き、第n-1行以前のゲートバスラインにゲート信号が供給されたときに、上記出力トランジスタがオン状態に変化することによって、当該各副画素のうち境界近傍副画素の副画素電極の電位が、上記補助バスラインの電位へと変化する。

[0030] したがって、上記のように構成された本発明に係る液晶表示装置によれば、データバスラインの本数を増やすことなく、上記境界近傍副画素についての液晶層と、上記境界近傍副画素以外の副画素についての液晶層とに対して、互いに異なる電圧を印加することができる。また、上記補助バスラインの電位を適宜設定することによって、上記境界近傍副画素の呈する輝度を、上記境界近傍副画素以外の副画素の呈する輝度に比べて小さくすることができる。

[0031] また、上記第1のモードにおいて、Patterned Retarder方式の立体視可能な画像を表示することにより、上述したクロストークの現象を抑制すること



ができる。

[0032] また、上記第2の表示モードにおいては、各画素における境界近傍副画素は、該画素における境界近傍副画素以外の副画素と同じ輝度を呈するので、上記第2のモードにおいて立体視不能な画像を表示することにより、立体視不能な画像を表示するときにも立体視可能な画像を表示するときにも輝度を呈しないブラックマトリックスを備える従来の構成に比べて、輝度の高い画像を表示することができる。

### 発明の効果

[0033] 以上のように、本発明に係る液晶表示装置は、第1の表示モードおよび第2の表示モードにより表示が可能な液晶表示装置であって、N行M列（N及びMは自然数）の行列状に配置された複数の画素と、補助バスラインと、各行に配置されたゲートバスラインと、各列に配置されたデータバスラインと、前記複数の画素のうち第n行第m列（n及びmはそれぞれ $1 \leq n \leq N$ 及び $1 \leq m \leq M$ を満たす自然数）の画素について、複数の副画素と、前記副画素毎に配置された副画素電極であって、液晶層を介して対向電極に対向する副画素電極と、前記副画素毎に配置された入力トランジスタであって、前記副画素電極に接続されたドレイン電極と、第m列のデータバスラインに接続されたソース電極と、第n行のゲートバスラインに接続されたゲート電極とを有する入力トランジスタと、を有する液晶パネルと、入射光から第1の偏光状態の出射光を生成する第1の光学板、および、入射光から前記第1の偏光状態とは異なる第2の偏光状態の出射光を生成する第2の光学板が、それぞれ、前記液晶パネルの奇数行および偶数行に対応する位置に形成されている光学パネルと、を備えている液晶表示装置において、第n行第m列の画素についての複数の副画素のうち、前記第1の光学板と前記第2の光学板との境界に最も近い副画素である境界近傍副画素は、当該境界近傍副画素についての副画素電極に電氣的に接続されたドレイン電極と、前記補助バスラインに接続されたソース電極と、第n-1行以前のゲートバスラインに接続されたゲート電極と、を備える出力トランジスタを更に有しており、第2の表示モ

ードにおいては、第1行のゲートバスラインから第N行のゲートバスラインに対して、順次ゲート信号を供給し、第1の表示モードにおいては、第N行のゲートバスラインから第1行のゲートバスラインに対して、順次ゲート信号を供給する、ことを特徴としている。

[0034] 上記のように構成された本発明に係る液晶表示装置によれば、データバスラインの本数を増大させることなく、上記第1の表示モードにおいて立体視可能な画像を表示する際のクロストークの発生を抑制することができる。

### 図面の簡単な説明

[0035] [図1]本発明の第1の実施形態に係る液晶表示装置の備える液晶パネルの等価回路を、各ドライバ、定電圧源、および、制御回路と共に示す図である。

[図2]本発明の第1の実施形態に係る液晶表示装置の全体構成を示す図である。

[図3]本発明の第1の実施形態に係る液晶表示装置を説明するための図であって、(a)は、実施形態に係る液晶表示装置の備える液晶パネルの周辺の構成を示す分解斜視図であり、(b)は、実施形態に係る液晶表示装置と共に用いられる3D用メガネを示す図であり、(c)は、実施形態に係る液晶表示装置を備えている液晶カラーテレビ受像機の概観図である。

[図4]本発明の第1の実施形態に係る液晶表示装置の備える液晶パネルの具体的な構成を示す平面レイアウト図である。

[図5]本発明の第1の実施形態に係る液晶表示装置を2D表示モードにて駆動する際の各電圧の波形およびタイミングを模式的に示すタイミングチャートであり、(a)は、ソースドライバがソースバスラインに供給するデータ信号の電圧波形を示しており、(b)は、ゲートドライバがn本目のゲートバスラインに供給するゲート信号の電圧波形を示しており、(c)は、ゲートドライバがn+1本目のゲートバスラインに供給するゲート信号の電圧波形を示しており、(d)は、赤色を表示する画素の備える明画素の副画素電極の電圧波形を示しており、(e)は、赤色を表示する画素の備える暗画素の副画素電極の電圧波形を示している。

[図6]本発明の第1の実施形態に係る液晶表示装置を3D表示モードにて駆動する際の各電圧の波形およびタイミングを模式的に示すタイミングチャートであり、(a)は、ソースドライバがソースバスラインに供給するデータ信号の電圧波形を示しており、(b)は、ゲートドライバがn本目のゲートバスラインに供給するゲート信号の電圧波形を示しており、(c)は、ゲートドライバがn-1本目のゲートバスラインに供給するゲート信号の電圧波形を示しており、(d)は、赤色を表示する画素の備える明画素の副画素電極の電圧波形を示しており、(e)は、赤色を表示する画素の備える暗画素の副画素電極の電圧波形を示している。

[図7]本発明の第1の実施形態に係る液晶表示装置の備える各副画素の呈する輝度を模式的に示す図であり、(a)は、2D表示モードにて各画素が呈する輝度を模式的に示しており、(b)は、3D表示モードにて各画素が呈する輝度を模式的に示している。

[図8]本発明の第1の実施形態に係る液晶表示装置において、3D表示モードが選択された場合の、バックライトユニット、液晶パネル、および、Patterned Retarderの、ソースバスラインに平行な直線に沿った断面図である。

[図9]暗画素の呈する輝度が所定の輝度以下となるように第1の実施形態に係る液晶表示装置を駆動する場合を説明するための図であって、(a)は、液晶パネル、および、Patterned Retarderの一部を示す断面図であり、(b)は、視線方向が、液晶パネルの法線方向である場合に、観測者が観測する画像光を示す図であり、(c)は、視線方向と液晶パネルの法線方向とのなす角度であって、液晶パネルの縦方向に沿った角度が、所定の角度 $\beta$  (beta)である場合に、観測者が観測する画像光を示す図であり、(d)は、視線方向と液晶パネルの法線方向とのなす角度であって、液晶パネルの縦方向に沿った角度が、所定の角度より大きい場合に、観測者が観測する画像光を示す図である。

[図10]本発明の第1の実施形態の第1の変形例に係る液晶パネルの構成を示す図であって、(a)は、当該変形例に係る液晶パネルの等価回路図であり

、（b）は、当該変形例に係る液晶パネルの具体的な構成を示す平面レイアウト図である。

[図11]本発明の第1の実施形態の第2の変形例に係る液晶パネルの構成を示す図であって、（a）は、当該変形例に係る液晶パネルの等価回路図であり、（b）は、当該変形例に係る液晶パネルの具体的な構成を示す平面レイアウト図である。

[図12]本発明の第2の実施形態に係る液晶表示装置の備える液晶パネルの等価回路を、各ドライバ、および、制御回路と共に示す図である。

[図13]本発明の第2の実施形態に係る液晶パネルの具体的な構成を示す図であり、（a）は、当該液晶パネルの平面レイアウト図であり、（b）は、当該液晶パネルにおけるコンタクト部を示す断面図である。

[図14]本発明の第2の実施形態に係る液晶表示装置を2D表示モードにて駆動する際の各電圧の波形およびタイミングを模式的に示すタイミングチャートであり、（a）は、ソースドライバがソースバスラインに供給するデータ信号の電圧波形を示しており、（b）は、CSドライバが第1のCSバスラインに供給する補助容量駆動信号の波形を示しており、（c）は、CSドライバが第2のCSバスラインに供給する補助容量駆動信号の波形を示しており、（d）は、ゲートドライバがn本目のゲートバスラインに供給するゲート信号の電圧波形を示しており、（e）は、ゲートドライバがn+1本目のゲートバスラインに供給するゲート信号の電圧波形を示しており、（f）は、赤色を表示する画素の備える明画素の副画素電極の電圧波形を示しており、（g）は、赤色を表示する画素の備える暗画素の副画素電極の電圧波形を示している。

[図15]本発明の第2の実施形態に係る液晶表示装置を3D表示モードにて駆動する際の各電圧の波形およびタイミングを模式的に示すタイミングチャートであり、（a）は、ソースドライバがソースバスラインに供給するデータ信号の電圧波形を示しており、（b）は、CSドライバが第1のCSバスラインに供給する補助容量駆動信号の波形を示しており、（c）は、CSドラ

イバが第2のCSバスラインに供給する補助容量駆動信号の波形を示しており、(d)は、ゲートドライバがn本目のゲートバスラインに供給するゲート信号の電圧波形を示しており、(e)は、ゲートドライバがn-1本目のゲートバスラインに供給するゲート信号の電圧波形を示しており、(f)は、赤色を表示する画素の備える明画素の副画素電極の電圧波形を示しており、(g)は、赤色を表示する画素の備える暗画素の副画素電極の電圧波形を示している。

[図16]本発明の第2の実施形態に係る液晶表示装置の備える各副画素の呈する輝度を模式的に示す図であり、(a)は、2D表示モードにて各画素が呈する輝度を模式的に示しており、(b)は、3D表示モードにて各画素が呈する輝度を模式的に示している。

[図17]本発明の第2の実施形態の第1の変形例に係る液晶パネルの構成を示す図であって、(a)は、当該変形例に係る液晶パネルの等価回路図であり、(b)は、当該変形例に係る液晶パネルの具体的な構成を示す平面レイアウト図である。

[図18]本発明の第2の実施形態の第2の変形例に係る液晶パネルの構成を示す図であって、(a)は、当該変形例に係る液晶パネルの等価回路図であり、(b)は、当該変形例に係る液晶パネルの具体的な構成を示す平面レイアウト図である。

[図19]従来の液晶表示装置を説明するための図であって、(a)は、従来の液晶表示装置の備えるバックライト、液晶パネル、および、Patterned Retarderを示す分解斜視図であり、(b)は、従来の液晶表示装置と共に用いられる3D用メガネを示す図である。

[図20]従来の液晶表示装置における、バックライトユニット、液晶パネル、および、Patterned Retarderの、垂直走査線に平行な直線に沿った断面図である。

## 発明を実施するための形態

[0036] [実施形態1]

本発明に係る第1の実施形態について、図1～図9を参照して以下に説明する。以下の説明では、誘電異方性が負の液晶材料を用いた垂直配向型液晶表示装置（VA（Vertical Alignment）型の液晶表示装置）を例示するが、本発明はこれに限定されず、例えば、TN（Twisted Nematic）型やIPS（In-Plane Switching）型の液晶表示装置にも適用できる。また、以下の説明においては、液晶層に印加される電圧の絶対値が大きい程、液晶層の透過率が高くなるノーマリーブラック型の液晶表示装置を例示するが、本実施形態はこれに限定されるものではなく、液晶層に印加される電圧の絶対値が大きい程、液晶層の透過率が低くなるノーマリーホワイト型の液晶表示装置に対しても適用できる。

[0037] （液晶表示装置1の構成）

まず、本実施形態に係る液晶表示装置1の全体構成について図2～図3を参照して説明する。図2は、本実施形態に係る液晶表示装置1の全体構成を示す図である。図2に示すように、液晶表示装置1は、制御回路20、ゲートドライバ22、ソースドライバ24、定電圧源25、および、液晶パネル100を備えている。

[0038] 液晶表示装置1は、立体視不能な画像を表示する2D表示モード、および、立体視可能な画像を表示する3D表示モードの何れかのモードで動作する。液晶表示装置1は、ユーザにより、当該2つの表示モードの何れか一方を選択できるように構成してもよいし、表示すべき画像を示す画像データに関連付けられたモード情報を参照することによって、当該2つの表示モードの何れか一方を自動的に選択する構成としてもよい。

[0039] なお、2D表示モード及び3D表示モードの何れか一方を第1の表示モードとも称し、他方と第2の表示モードとも称する。

[0040] 図2に示すように、液晶表示装置1は、液晶パネル100において、複数のゲートバスライン2、複数のソースバスライン4、複数のコモンバスライン（補助バスライン）5、および、各ゲートバスラインと各ソースバスラインとによって画定される画素を備えている。なお、本実施形態においては、

ゲートバスライン2の総数は $N$  ( $N$ は自然数)であり、ソースバスライン4の総数は $M$ であり、コモンバスライン5の総数は $M$  ( $M$ は自然数)である。

[0041] 図2において、ゲートバスライン2  $n$ は、 $n$  (ただし $n$ は $1 \leq n \leq N$ を満たす自然数) 本目のゲートバスライン2を示している。また、ソースバスライン4  $m$ は、 $m$  (ただし $m$ は $1 \leq m \leq M$ を満たす自然数) 本目のソースバスライン4  $m$ を示している。また、コモンバスライン5  $m$ は、 $m$ 本目のコモンバスライン5を示している。

[0042] 以下では、ゲートバスライン2  $n$ によって画定される各画素のことを、 $n$ 番目の水平走査線 $HL n$ によって画定される各画素とも表現し、ソースバスライン4  $m$ によって画定される各画素のことを、 $m$ 番目の垂直走査線 $VL m$ によって画定される各画素とも表現することがある。

[0043] (ドライバ)

図2に示すように、液晶表示装置1の備える液晶パネルには、各ゲートバスライン2にゲート信号を供給するゲートドライバ22と、各ソースバスライン4にデータ信号を供給するソースドライバ24と、各コモンバスライン5に一定の電圧を供給する定電圧源25とが、それぞれ接続されている。これらのドライバはいずれも、制御回路20から出力された制御信号に基づいて動作する。

[0044] (制御回路)

制御回路20は、表示すべき画像を示す画像データに含まれる、各絵素についての輝度を示す輝度情報、および、各絵素についての色差を示す色差情報から、各画素についての階調値を算出する。ここで、絵素とは、相異なる複数の色を個別に表示する画素から構成される単位で、本実施形態においては、後述するように、1絵素は、赤色を表示する画素、緑色を表示する画素、および、青色を表示する画素から構成されている。

[0045] また、制御回路20は、ゲートドライバ22が供給するゲート信号、および、ソースドライバ24が供給するデータ信号のタイミングを制御する。

[0046] 本実施形態においては、2D表示モードが選択されている場合、ゲートド

ライバ22は、各ゲートバスライン2に対して、スキャン方向が順方向となるように、ゲート信号を供給し、3D表示モードが選択されている場合、ゲートドライバ22は、各ゲートバスライン2に対して、スキャン方向が逆方向となるように、ゲート信号を供給する。

[0047] ここで、スキャン方向が順方向である（順スキャンとも呼ぶ）とは、1番目のゲートバスライン21からN番目のゲートバスライン2Nに対して、順次ゲート信号を供給することを指し、スキャン方向が逆方向である（逆スキャンとも呼ぶ）とは、N番目のゲートバスライン2Nから1番目のゲートバスライン21に対して、順次ゲート信号を供給することを指す。

[0048] したがって、スキャン方向が順方向である場合には、ゲートバスライン2nに対してゲート信号が供給された後に、ゲートバスライン2(n+1)に対してゲート信号が供給され、スキャン方向が逆方向である場合には、ゲートバスライン2nに対してゲート信号が供給された後に、ゲートバスライン2(n-1)に対してゲート信号が供給される。

[0049] （液晶パネル100の周辺構成）

図3の(a)は、液晶表示装置1における液晶パネル100の周辺の構成を示す分解斜視図である。図3の(a)に示すように、液晶表示装置1は、液晶パネル100の背面側にバックライトユニットBLUを有しており、液晶パネル100の正面側にPatterned Retarder 200を有している。バックライトユニットBLU、液晶パネル100、制御回路20（図3の(a)においては図示せず）、各ドライバ（図3の(a)においては図示せず）、および、Patterned Retarder 200は、背面ケースに格納される。また、Patterned Retarder 200の正面側は、透明な保護パネル（図示せず）によってカバーされる。なお、以下では、液晶パネル100とPatterned Retarder 200とを合わせて表示パネルと呼ぶこともある。

[0050] バックライトユニットBLUは、液晶パネル100に対して、該液晶パネル100の背面からバックライトを供給する。バックライトユニットBLUは、例えば、白色を発光する複数のLED（Light Emitting Diode：発光ダ



イオード)を液晶パネル100の背面に略一様に配置する構成(直下型LEDの構成)とすることができる。この場合、バックライトユニットBLUは、拡散板を備える構成とし、上記複数のLEDが発光する光を、拡散板によって一様なバックライトとした後、液晶パネル100の背面に照射する構成とすることができる。これにより、バックライトの輝度ムラを抑制することができると共に、光の利用効率を高めることができるため消費電力を低減することができる。

[0051] また、バックライトユニットBLUは、LEDおよび蛍光管などのバックライト用の光源を液晶パネル100のエッジ付近に配置する構成(エッジライト型の構成)としてもよい。この場合、バックライトユニットBLUは、拡散板の背面に、導光板、および、反射板をさらに備える構成とし、光源が発光する光を導光板および反射板によって一様なバックライトとした後、液晶パネル100の背面に照射する構成とすればよい。

[0052] Patterned Retarder 200は、ゲートバスラインと平行な方向を長手方向とする位相差板であって、互いに特性の異なる2種類の位相差板RRおよびRLから構成されている。ここで、位相差板RRは、直線偏光した光を右向きに円偏光した光に変換するものであり、位相差板RLは、直線偏光した光を左向きに円偏光した光に変換するものである。図3の(a)に示すように、奇数番目の水平走査線HL1、HL3、・・・によって画定される画素の正面側には、位相差板RRが配置され、偶数番目の水平走査線HL2、HL4、・・・によって画定される画素の正面側には、位相差板RLが配置されている。

[0053] したがって、奇数番目のゲートバスラインによって画定される画素によって表示される画像は、Patterned Retarder 200を透過した後、右向きに円偏光した光によって表され、偶数番目のゲートバスラインによって画定される画素によって表示される画像は、Patterned Retarder 200を透過した後、左向きに円偏光した光によって表される。

[0054] なお、位相差板RRおよび位相差板RLは、例えば、互いに光学軸の異な

る $\lambda/4$ 波長板によって構成することができる。

[0055] また、位相差板RRおよび位相差板RLは、より一般に、入射光から互いに異なる偏光状態の出射光を生成する光学板であると表現することができる。

[0056] また、位相差板RRおよび位相差板RLの何れか一方を、第1の光学板とも称し、他方を第2の光学板とも称する。第1の光学板によって変換された光を第1の偏光状態の出射光とも称し、第2の光学板によって変換された光を第2の偏光状態の出射光とも称する。

[0057] 図3(b)は、本実施形態において用いられる3D用メガネ300を示している。図3(b)に示すように、3D用メガネ300は、右目用レンズと左目用レンズとを備えている。

[0058] 右目用レンズは、右向きに円偏光した光のみを透過するものであり、左目用レンズは、左向きに円偏光した光のみを透過するものである。したがって、ユーザは、当該3D用メガネ300を使用することによって、液晶表示装置1の表示する画像のうち、奇数番目のゲートバスラインによって画定される画素によって表示される画像を、右目のみによって観測し、偶数番目のゲートバスラインによって画定される画素によって表示される画像を、左目のみによって観測することができる。

[0059] したがって、奇数番目のゲートバスラインによって画定される画素、および、偶数番目のゲートバスラインによって画定される画素を用いて、それぞれ、右目用画像、および、当該右目用画像と視点の異なる左目用画像を表示することによって、ユーザは当該画像を立体的に視認することができる。

[0060] また、液晶表示装置1は、奇数番目のゲートバスラインによって画定される画素、および、偶数番目のゲートバスラインによって画定される画素の双方を用いて、2D画像を表示することもできる。この場合、ユーザは、3D用メガネ300を用いることなく、液晶表示装置1の表示する画像を観測すればよい。

[0061] なお、本実施形態に用いられる3D用メガネ300は、アクティブシャツ

ター方式に用いられる3D用メガネのような電氣的な制御が不要なので、簡易な構成によって実現することができる。

[0062] 図3(c)は、本実施形態に係る液晶表示装置1を備えている液晶カラーテレビ受像機の概観図である。当該液晶カラーテレビ受像機の表示部には、液晶表示装置1が実装されている。本発明に係る液晶表示装置1は、液晶カラーテレビ受像機以外にも、例えば、ノートパソコン、各種ディスプレイ、携帯電話端末、および、携帯情報端末などにも用いることができる。

[0063] (画素構造)

図1は、本実施形態に係る液晶表示装置1の備える液晶パネル100の1絵素当たりについての、マルチ画素構造を有する画素の等価回路を、各ドライバ、および、制御回路20と共に示す図である。

[0064] 図1に示すように、液晶表示装置1の備える液晶パネル100には複数の画素が形成されており、液晶表示装置1は、各画素を3TFT駆動方式に相当する駆動方式によって駆動する。各画素はいずれも液晶層と、当該液晶層に電圧を印加する電極とを有し、行および列を有するマトリックス状に配列されている。なお、絵素とは、相異なる複数の色を個別に表示する画素から構成される単位で、本実施形態においては、1絵素は、赤色を表示するR画素8、緑色を表示するG画素10、および、青色を表示するB画素12から構成されている。

[0065] 図1に示すように、液晶表示装置1の備える液晶パネル100は、複数のゲートバスライン2、複数のソースバスライン4、複数のコモンバスライン5、複数のスイッチング素子TFT1~TFT3、複数の液晶容量C1c1~C1c2を備えている。

[0066] 複数のゲートバスライン2および複数のソースバスライン4は、図示しない絶縁膜を介して、互いに交差して形成されている。液晶表示装置1では、1つのゲートバスライン2と1つのソースバスライン4とによって画定される領域ごとに、赤色を表示するR画素8、緑色を表示するG画素10、および、青色を表示するB画素12の何れかが形成されている。また、R画素8

、G画素10、および、B画素12は、ゲートバスライン2に沿って隣接して形成されている。これらの画素を組み合わせる用いることによって、所望のカラー画像を表示することができる。

[0067] このように、液晶表示装置1が、R画素、G画素、および、B画素を備える構成を例に挙げ説明を行うが、本実施形態はこれに限定されるものではなく、例えば、液晶表示装置1は、R画素、G画素、および、B画素に加えて、黄色を表示するYe画素、および、白色を表示するW画素の何れか一方若しくは双方を備える構成としてもよく、そのような場合であっても、後述する効果を奏する。

[0068] (明画素、および、暗画素)

R画素8、G画素10、および、B画素12は、いずれも、液晶層に互いに異なる電圧を印加することができる2つの副画素を有している。図1に示すように、R画素8は、副画素8a、および、副画素8bを有しており、G画素10は、副画素10a、および、副画素10bを有しており、B画素12は、副画素12a、および、副画素12bを有している。以下では、後述する理由により、副画素8a、副画素10a、および、副画素12aを明画素と呼ぶこともあり、副画素8b、副画素10b、および、副画素12bを暗画素と呼ぶこともある。

[0069] 本実施形態においては、各絵素を構成する各画素は、ゲートバスライン2に沿って、R画素8、G画素10、B画素12の順に配置されている。また、各明画素は、ゲートバスライン2に平行な第1の直線上に配置されており、各暗画素は、ゲートバスライン2に平行な第2の直線上に配置されている。

[0070] また、ゲートバスライン2<sub>n</sub>によって画定されるR画素8の暗画素8bと、ゲートバスライン2(n+1)によって画定されるR画素8の明画素8aとは、ゲートバスライン2に平行な境界を介して互いに隣接している。G画素10およびB画素12についても同様である。

[0071] また、R画素8の暗画素8bとG画素10の暗画素10bとは、ソースバ

スライン4に平行な境界を介して互いに隣接し、G画素10の暗画素10bとB画素12の暗画素12bとは、ソースバスライン4に平行な境界を介して互いに隣接している。明画素についても同様である。

[0072] (液晶容量)

各画素の有する副画素は、液晶容量を有している。明画素は、液晶容量C1c1を有しており、暗画素は、液晶容量C1c2を有している。より具体的には、図1に示すように、R画素8の明画素8aは、液晶容量C1c1Rを有しており、暗画素8bは、液晶容量C1c2Rを有している。同様に、G画素10の明画素10aは、液晶容量C1c1Gを有しており、暗画素10bは、液晶容量C1c2Gを有している。同様に、B画素12の明画素12aは、液晶容量C1c1Bを有しており、暗画素12bは、液晶容量C1c2Bを有している。

[0073] また、各液晶容量は、副画素電極と、液晶層と、該液晶層を介して該副画素電極に対向する対向電極とによって形成されている。

[0074] (スイッチング素子TFT1~TFT2)

R画素8、G画素10、および、B画素12には、いずれも、TFT(薄膜トランジスタ)1、および、TFT2がそれぞれ形成されている。TFT1~TFT2のゲート電極は共通のゲートバスライン2nに接続されており、TFT1~TFT2のソース電極は共通のソースバスライン4に接続されている。すなわち、図1に示すように、R画素8のTFT1R、および、TFT2Rのソース電極は、ソースバスライン4mに接続されている。同様に、G画素10のTFT1G、および、TFT2Gのソース電極は、ソースバスライン4(m+1)に接続されており、B画素12のTFT1B、および、TFT2Bのソース電極は、ソースバスライン4(m+2)に接続されている。また、TFT1、および、TFT2のドレイン電極は、それぞれ対応する副画素電極に接続されている。

[0075] TFT1~TFT2、並びに、後述するTFT3は、それぞれ、自身の備えるゲート電極にハイレベルのゲート信号が印加されているとき、導通状態

(オン状態)となり、自身の備えるゲート電極にローレベルのゲート信号が印加されているとき、非導通状態(オフ状態、遮断状態)となる。

[0076] (スイッチング素子TFT3)

また、R画素8、G画素10、および、B画素12の備える各暗画素には、TFT3が形成されている。より具体的には、R画素8の暗画素8bには、TFT3Rが形成され、G画素10の暗画素10bには、TFT3Gが形成され、B画素12の暗画素12bには、TFT3Bが形成されている。

[0077] TFT3のゲート電極は、当該画素の前段のゲートバスライン、すなわちゲートバスライン2(n-1)に電氣的に接続されている。各TFT3のドレイン電極は、各暗画素8b、10b、および12bの副画素電極にそれぞれ電氣的に接続されている。また、各TFT3のソース電極は、対応するコモンバスライン5に接続されている。より具体的には、TFT3Rのソース電極は、コモンバスライン5mに接続され、TFT3Gのソース電極は、コモンバスライン5(m+1)に接続され、TFT3Bのソース電極は、コモンバスライン5(m+2)に接続されている。

[0078] 本実施形態の液晶表示装置1においては、スキャン方向が逆方向である場合に、ゲートバスライン2nが選択されて各明画素の液晶容量C<sub>lc1</sub>、および、各暗画素の液晶容量C<sub>lc2</sub>に電荷が蓄えられた後に、時間差で前段のゲートバスライン2(n-1)が選択され、TFT3がオン状態となることによって、各暗画素の副画素電極がコモンバスライン5と導通状態となる。

[0079] したがって、スキャン方向が逆方向である場合には、前段のゲートバスライン2(n-1)が選択された後、各暗画素の有する液晶層に印加される電圧が低下し、各暗画素の有する液晶層の透過率が減少することになる。

[0080] なお、上記の説明では、TFT3のゲート電極は、当該画像の前段のゲートバスライン2(n-1)に接続されているとしたが、本実施形態はこれに限定されるものではなく、一般に、当該画素の前段のゲートバスライン2(n-p)(pは1≦p<nを満たす自然数)に接続される構成とすることが

できる。

[0081] (各副画素のレイアウト)

続いて、図4を参照して、液晶パネル100における各副画素の具体的な構成について説明する。以下では、R画素8の構成について説明を行うが、G画素10およびB画素12についても同様の構成である。

[0082] 図4は、液晶パネル100におけるR画素8の具体的な構成を示す平面レイアウト図である。図4に示すように、ゲートバスライン2は、第1電極材料を用いて形成され、ソースバスライン4、および、コモンバスライン5は、第2電極材料を用いて形成されている。図4において、ECLC1R、および、ECLC2Rは、それぞれ、明画素8aの備える副画素電極、および、暗画素8bの備える副画素電極を表しており、それらの副画素電極は、第3電極材料を用いて形成されている。

[0083] また、図4に示すように、ゲートバスライン2n上に、TFT1RおよびTFT2Rが形成されており、ゲートバスライン2(n-1)上に、TFT3Rが形成されている。また、各TFTのソース電極およびドレイン電極は、第2電極材料を用いて形成されている。特に図示はしないが、図4の紙面手前側には、各副画素に対応する液晶層が配置され、そのさらに手前側には、対向電極が配置される。

[0084] (液晶表示装置1の基本動作)

以下では、液晶表示装置1の備える液晶パネル100の基本的な駆動方法について、図5の(a)~(e)、図6の(a)~(e)、および、図7の(a)~(b)を参照して説明する。なお、以下では、まず、R画素8の駆動について説明を行い、その後、G画素10、および、B画素12の駆動について説明を行う。

[0085] また、一般には、各液晶容量の値、および、各蓄積容量の値は、それぞれに印加される電圧への依存性を有するが、本実施形態においては本質的な事項ではないため、以下の説明ではそのような依存性を無視する。ただし、この前提は、本実施形態を限定するものではなく、そのような依存性がある場

合に対しても、同様に適用することができる。

[0086] また、以下では、簡単化のため、ソースバスラインから各副画素電極に対して、正極性の電圧が供給される場合について説明を行うが、ソースバスラインから各副画素電極に対して、負極性の電圧が供給される場合についても同様に考えることができる。

[0087] (2D表示モードにおける液晶パネル100の駆動)

まず、2D表示モードにおける液晶パネル100の駆動、すなわち、スキャン方向が順方向である場合の液晶パネル100の駆動について説明する。

[0088] 図5の(a)～(e)は、スキャン方向が順方向である場合の、液晶表示装置1における各電圧の波形およびタイミングを模式的に示したタイミングチャートである。

[0089] 図5の(a)は、ソースドライバ24がソースバスライン4に供給するデータ信号の電圧波形 $V_s$ を示しており、図5の(b)は、ゲートドライバ22がゲートバスライン $2_n$ に供給するゲート信号の電圧波形 $V_{g_n}$ を示しており、図5の(c)は、ゲートドライバ22がゲートバスライン $2_{(n+1)}$ に供給するゲート信号の電圧波形 $V_{g_{(n+1)}}$ を示しており、図5の(d)は、R画素8の備える明画素8aの副画素電極の電圧波形 $V_{ic1R}$ を示しており、図5の(e)は、R画素8の備える暗画素8bの副画素電極の電圧波形 $V_{ic2R}$ を示している。また、図中の破線は、対向電極の電圧波形COMMON( $V_{com}$ )を示している。

[0090] (R画素8の駆動)

まず、時刻 $T_1$ において、ゲート信号の電圧 $V_{g_n}$ が、 $V_{gL}$ (ロー)から $V_{gH}$ (ハイ)に変化することにより、 $TFT1R$ 、および、 $TFT2R$ が同時に導通状態(オン状態)となる。これに伴い、明画素8aの副画素電極、および、暗画素8bの副画素電極に対し、ソースバスライン4を介してデータ信号の電圧が印加され、明画素8aの副画素電極の電圧 $V_{ic1R}$ 、および、暗画素8bの副画素電極の電圧 $V_{ic2R}$ は、時刻 $T_1$ におけるデータ信号の電圧 $V_{sR}$ へと変化し、



$$V_{Ic1R} = V_{sR} \quad \dots (1a)$$

$$V_{Ic2R} = V_{sR} \quad \dots (1b)$$

となる。

[0091] ソースバスライン4を介して伝達されるデータ信号の電圧 $V_{sR}$ は当該画素において表示すべき階調に対応する表示電圧であり、TFTがオン状態の間（「選択期間」ということもある。）に、対応する画素に書き込まれる。

[0092] なお、当該選択期間において、TFT3Rはオフ状態である。

[0093] 続いて、時刻 $T_2$ において、ゲート信号の電圧 $V_{gn}$ が $V_{gH}$ から $V_{gL}$ に変化することにより、TFT1R、および、TFT2Rが同時に非導通状態（オフ状態）となる。これに伴い、明画素8aの副画素電極、および、暗画素8bの副画素電極は、全てソースバスライン4と電氣的に絶縁される（この状態にある期間を「非選択期間」ということがある。）。

[0094] なお、一般に、TFT1R、および、TFT2Rがオン状態からオフ状態に切り替わった直後、TFT1R、および、TFT2Rの有する寄生容量等の影響による引き込み現象（フィールドスルー現象とも呼ばれる）のために、それぞれの副画素電極の電圧 $V_{Ic1R}$ 、および、 $V_{Ic2R}$ は、それぞれ、 $\Delta V_{d1R}$ 、および、 $\Delta V_{d2R}$ だけ低下し、

$$V_{Ic1R} = V_{sR} - \Delta V_{d1R} \quad \dots (2a)$$

$$V_{Ic2R} = V_{sR} - \Delta V_{d2R} \quad \dots (2b)$$

となるが、以下の説明においては、このようなフィールドスルー現象による電圧降下の寄与を無視することにする。同様にTFT3におけるフィールドスルー現象の寄与についても無視することにする（実施形態2についても同様）。

[0095] 続いて、時刻 $T_3$ において、ゲート信号の電圧 $V_{g(n+1)}$ が、 $V_{gL}$ から $V_{gH}$ に変化し、時刻 $T_4$ において、ゲート信号の電圧 $V_{g(n+1)}$ が、 $V_{gH}$ から $V_{gL}$ に変化するが、副画素電極の電圧 $V_{Ic1R}$ 、および、 $V_{Ic2R}$ は、変化しない。

[0096] 以上の過程を経た後、スキャン方向が順方向である場合に明画素8aおよ

び暗画素 8 b のそれぞれの液晶層に印加される実効電圧  $V_{1R\_f}$ 、および、 $V_{2R\_f}$  は、

$$V_{1R\_f} = V_{sR} - V_{com} \quad \dots (3a)$$

$$V_{2R\_f} = V_{sR} - V_{com} \quad \dots (3b)$$

となる。

[0097] このように、2D表示モードにおいては、明画素 8 a および暗画素 8 b のそれぞれの液晶層に印加される実効電圧は、互いに等しくなる。

[0098] したがって、2D表示モードにおいては、明画素 8 a および暗画素 8 b のそれぞれが呈する輝度は、互いに略等しい。

[0099] (G画素 10 および B画素 12 の駆動)

G画素 10 についても同様の駆動が行われ、スキャン方向が順方向である場合に明画素 10 a および暗画素 10 b のそれぞれの液晶層に印加される実効電圧  $V_{1G\_f}$ 、および、 $V_{2G}$  は  $\_f$ 、

$$V_{1G\_f} = V_{sG} - V_{com} \quad \dots (4a)$$

$$V_{2G\_f} = V_{sG} - V_{com} \quad \dots (4b)$$

となる。

[0100] また、B画素 12 についても同様の駆動が行われ、スキャン方向が順方向である場合に明画素 12 a および暗画素 12 b のそれぞれの液晶層に印加される実効電圧  $V_{1B\_f}$ 、および、 $V_{2B\_f}$  は、

$$V_{1B\_f} = V_{sB} - V_{com} \quad \dots (5a)$$

$$V_{2B\_f} = V_{sB} - V_{com} \quad \dots (5b)$$

となる。

[0101] このように、2D表示モードにおいては、G画素 10 の備える明画素 10 a および暗画素 10 b のそれぞれが呈する輝度は、互いに略等しく、B画素 12 の備える明画素 12 a および暗画素 12 b のそれぞれが呈する輝度は、互いに略等しい。

[0102] 図 7 の (a) は、2D表示モードにおける、R画素 8、G画素 10、および、B画素 12 の備える各副画素の呈する輝度を模式的に示す図である。図

7の(a)に示すように、2D表示モードにおいては、明画素8aと暗画素8bとは互いに略等しい輝度を呈し、明画素10aと暗画素10bとは互いに略等しい輝度を呈し、明画素12aと暗画素12bとは互いに略等しい輝度を呈する。

[0103] (3D表示モードにおける液晶パネル100の駆動)

続いて、3D表示モードにおける液晶パネル100の駆動、すなわち、スキャン方向が逆方向である場合の液晶パネル100の駆動について説明する。なお、以下では、コモンバスライン5に供給される電圧を $V_{com}'$ と表すことにし、対向電極に供給される電圧を $V_{com}$ と表すことにする。また、以下では、 $V_{com}' \geq V_{com}$ であることを仮定して説明を行うが、これは本実施形態を限定するものではなく、 $V_{com}' < V_{com}$ であっても同様に考えることができる。

[0104] 図6の(a)～(e)は、スキャン方向が逆方向である場合の、液晶表示装置1における各電圧の波形およびタイミングを模式的に示したタイミングチャートである。

[0105] 図6の(a)は、ソースドライバ24がソースバスライン4に供給するデータ信号の電圧波形 $V_s$ を示しており、図6の(b)は、ゲートドライバ22がゲートバスライン $2_n$ に供給するゲート信号の電圧波形 $V_{g_n}$ を示しており、図6の(c)は、ゲートドライバ22がゲートバスライン $2_{(n-1)}$ に供給するゲート信号の電圧波形 $V_{g_{(n-1)}}$ を示しており、図6の(d)は、R画素8の備える明画素8aの副画素電極の電圧波形 $V_{lc1R}$ を示しており、図6の(e)は、R画素8の備える暗画素8bの副画素電極の電圧波形 $V_{lc2R}$ を示している。また、図中の破線は、対向電極の電圧波形COMMON( $V_{com}$ )を示している。

[0106] (R画素8の駆動)

まず、時刻 $T1'$ において、ゲート信号の電圧 $V_{g_n}$ が、 $V_{gL}$ から $V_{gH}$ に変化することにより、 $TFT1R$ 、および、 $TFT2R$ が同時にオン状態となる。これに伴い、明画素8aの副画素電極、および、暗画素8bの副

画素電極に対し、ソースバスライン4を介してデータ信号の電圧が印加され、明画素8aの副画素電極の電圧 $V_{lc1R}$ 、および、暗画素8bの副画素電極の電圧 $V_{lc2R}$ は、時刻 $T1'$ におけるデータ信号の電圧 $V_{sR}$ へと変化し、

$$V_{lc1R} = V_{sR} \quad \dots (6a)$$

$$V_{lc2R} = V_{sR} \quad \dots (6b)$$

となる。

[0107] 続いて、時刻 $T2'$ において、ゲート信号の電圧 $V_{gn}$ が $V_{gH}$ から $V_{gL}$ に変化することにより、 $TFT1R$ 、および、 $TFT2R$ が同時にオフ状態となる。これに伴い、明画素8aの副画素電極、および、暗画素8bの副画素電極は、全てソースバスライン4と電氣的に絶縁される。

[0108] 続いて、時刻 $T3'$ において、ゲート信号の電圧 $V_{g(n-1)}$ が、 $V_{gL}$ から $V_{gH}$ に変化することにより、 $TFT3R$ がオン状態となる。これに伴い、暗画素8bの副画素電極の電圧 $V_{lc2R}$ は、コモンバスライン5の電圧 $V_{com}'$ へと変化する。一方で、明画素8aの副画素電極の電圧 $V_{lc1R}$ は変化しない。

$$V_{lc1R} = V_{sR} \quad \dots (8a)$$

$$V_{lc2R} = V_{com}' \quad \dots (8b)$$

続いて、時刻 $T4'$ において、ゲート信号の電圧 $V_{g(n-1)}$ が、 $V_{gH}$ から $V_{gL}$ に変化することにより、 $TFT3R$ がオフ状態となる。

[0110] 以上の過程を経た後、スキャン方向が逆方向である場合に明画素8aおよび暗画素8bのそれぞれの液晶層に印加される実効電圧 $V_{1R\_b}$ 、および、 $V_{2R\_b}$ は、

$$V_{1R\_b} = V_{sR} - V_{com} \quad \dots (9a)$$

$$V_{2R\_b} = V_{com}' - V_{com} \quad \dots (9b)$$

となる。

[0111] ここで、 $V_{com}' - V_{com}$ を、液晶層の閾値電圧 $V_{th}$ 以下となるように設定することによって、暗画素8bが、輝度を呈しないようにすること

ができる。例えば、 $V_{com}' = V_{com}$ のように設定することによって、暗画素8bが、輝度を呈しないようにすることができる。

[0112] なお、閾値電圧 $V_{th}$ とは、液晶に印加される電圧を上昇させていったときに、液晶の配向が変化し始める電圧のことである。本実施形態のようにVAモードの液晶表示装置の有する画素は、該画素の備える液晶に印加される電圧が閾値電圧以下である場合には、輝度を呈することはなく、液晶に印加される電圧が閾値電圧を越えた場合に、輝度を呈し始める。

[0113] このように、3D表示モードにおいては、R画素8の備える暗画素8bが輝度を呈しない構成とすることができる。

[0114] (G画素10およびB画素12の駆動)

G画素10についても同様の駆動が行われ、スキャン方向が逆方向である場合に明画素10aおよび暗画素10bのそれぞれの液晶層に印加される実効電圧 $V_{1G\_b}$ 、および、 $V_{2G\_b}$ は、

$$V_{1G\_b} = V_{sG} - V_{com} \quad \dots (10a)$$

$$V_{2G\_b} = V_{com}' - V_{com} \quad \dots (10b)$$

となる。

[0115] また、B画素12についても同様の駆動が行われ、スキャン方向が逆方向である場合に明画素12aおよび暗画素12bのそれぞれの液晶層に印加される実効電圧 $V_{1B\_b}$ 、および、 $V_{2B\_b}$ は、

$$V_{1B\_b} = V_{sB} - V_{com} \quad \dots (11a)$$

$$V_{2B\_b} = V_{com}' - V_{com} \quad \dots (11b)$$

となる。

[0116] R画素8と同様に、 $V_{com}' - V_{com}$ を、液晶層の閾値電圧 $V_{th}$ 以下となるように設定することによって、暗画素10bおよび暗画素12bが、輝度を呈しないようにすることができる。

[0117] このように、3D表示モードにおいては、G画素10の備える暗画素10b、および、B画素12の備える暗画素12bは、輝度を呈しない構成とすることができる。

[0118] 図7の(b)は、3D表示モードにおける、R画素8、G画素10、および、B画素12の備える各副画素の呈する輝度を模式的に示す図である。図7の(b)に示すように、R画素8、G画素10、および、B画素12のそれぞれの備える暗画素8a、暗画素10b、および、暗画素12bは、3D表示モードにおいて輝度を呈しない。

[0119] したがって、R画素8、G画素10、および、B画素12のそれぞれの備える暗画素は、3D表示モードにおいて、ブラックマトリックスとして機能することになる。

[0120] (3D表示モードにおけるクロストーク抑制効果)

以下では、3D表示モードが選択された場合の、液晶表示装置1によるクロストーク抑制効果について説明する。

[0121] 図8は、バックライトユニットBLU、液晶パネル100、および、Patterned Retarder 200の、ソースバスライン4に平行な面を切断面とする断面図を例示的に示している。図8に示す例においては、液晶パネル100は、第1の偏光版100a、TFT-Glass 100b、TFT基板100c、カラーフィルタ100d、CF-Glass 100e、および、第2の偏光版100fを備えており、各画素のTFT、液晶容量、および、蓄積容量は、TFT基板100cに形成されている。

[0122] バックライトユニットBLUから出射され、液晶パネル100を透過した光の偏光状態は、第2の偏光版100fの作用により、直線偏光となっている。

[0123] Patterned Retarder 200は、液晶パネル100に面する側に、当該直線偏光した光を右向きに円偏光した光に変換する位相差板RR、および、当該直線偏光した光を左向きに円偏光した光に変換する位相差板RLを備えている。また、位相差板RRと位相差板RLとの境界は、当該境界からTFT基板100cに下ろした垂線が暗画素と交わるように配置されている。

[0124] また、位相差板RRと位相差板RLとの境界は、当該境界からTFT基板100cに下ろした垂線が、暗画素を縦方向に2等分する直線と交わるよう

に配置されていることが好ましい。このような配置とすることにより、クロストークの低減効果を高めることができる。

[0125] 上述のように、3D表示モードにおいては、暗画素は、輝度を呈しないため、ブラックマトリックスとして機能することになる。

[0126] 図8に示すように、位相差板RLの背面に配置された明画素から出射される光のうち、該明画素と暗画素との境界付近から出射される光は、該光の伝播方向が、液晶パネルの法線方向から、液晶パネルの縦方向下向きに $\theta$  (theta)度以内である場合に、該位相差板RLを透過する。同様に、位相差板RRの背面に配置された明画素から出射される光のうち、該明画素と暗画素との境界付近から出射される光は、該光の伝播方向が、液晶パネルの法線方向から、液晶パネルの縦方向上向きに $\theta$ 度以内である場合に、該位相差板RRを透過する。

[0127] したがって、液晶表示装置1は、図8に示すように、液晶パネル100の法線方向と視線方向とのなす角が、液晶パネルの縦方向に沿って $\theta$ 度以内である場合に、クロストークの発生を抑制することができる。

[0128] また、液晶表示装置1の備える暗画素は、2D表示モードにおいては、輝度を呈するため、暗画素に代えて、何れの表示モードにおいても輝度を呈しないブラックマトリックスを配置する構成に比べて、表示する画像の輝度が向上する。

[0129] なお、本実施形態に係る液晶パネル100およびPatterned Retarder 200の構成は、図8に示す例に限定されるものではない。例えば、位相差板RRと位相差板RLとの境界付近に、暗画素の縦方向の幅よりも小さい幅を有するブラックストライプを配置する構成としてもよい。このような構成においては、ブラックストライプが存在することによって、クロストークの抑制効果を向上させることができる。また、ブラックストライプの縦方向の幅は、暗画素の縦方向の幅よりも小さいので、暗画素に代えて、何れの表示モードにおいても輝度を呈しないブラックマトリックスを配置する構成に比べて、表示する画像の輝度を向上させることができる。

[0130] 以上のように、本実施形態に係る液晶表示装置 1 によれば、3D 表示モードにおいて、各副画素の備える液晶層に対して共通のデータ電圧が印加された後に、暗画素の備える液晶層に印加される電圧を変化させることによって、当該暗画素をブラックマトリックスとして機能させることができる。一方で、暗画素と明画素とに対して、データ電圧を独立に供給する従来の構成においては、暗画素と明画素とに対して、各々データ電圧を供給するためのデータバスラインが必要になる。

[0131] 本実施形態に係る液晶表示装置 1 によれば、そのような従来の構成に比べて、データバスラインの本数を半分以下にすることができる。

[0132] (3D 表示モードについての付記事項)

以上の説明においては、3D 表示モードにおいて、液晶表示装置 1 の備える暗画素は輝度を呈しないものとしたが、本実施形態はこれに限定されるものではない。例えば、3D 表示モードにおいて、暗画素の呈する輝度が所定の輝度以下となるように、コモンバスライン 5 に供給する電圧  $V_{com}'$  を設定することによっても、クロストークを抑制することができる。

[0133] 図 9 の (a) ~ (d) は、暗画素の呈する輝度が所定の輝度以下となるようにコモンバスライン 5 に供給する電圧を設定する場合を説明するための図であって、(a) は、液晶パネル 100、および、Patterned Retarder 200 の一部を示す断面図であり、(b) は、視線方向が、液晶パネル 100 の法線方向である場合に、観測者が観測する画像光を示す図であり、(c) は、視線方向と液晶パネル 100 の法線方向とのなす角度であって、液晶パネル 100 の縦方向に沿った角度が、所定の角度  $\beta$  (beta) である場合に、観測者が観測する画像光を示す図であり、(d) は、視線方向と液晶パネル 100 の法線方向とのなす角度であって、液晶パネル 100 の縦方向に沿った角度が、所定の角度  $\beta$  より大きい場合に、観測者が観測する画像光を示す図である。

[0134] 図 9 の (a) ~ (d) において、RB は、右目用画像を表示する暗画素を表しており、RA は、右目用画像を表示する明画素を表している。同様に、LB



は、左目用画像を表示する暗画素を表しており、LAは、左目用画像を表示する明画素を表している。なお、暗画素RBおよび暗画素LBは、暗画素8c、暗画素10c、および、暗画素12cの何れかに対応しており、副画素RAおよび副画素LAは、明画素8a、明画素10a、および、明画素12aの何れかに対応している。

[0135] 以下の説明においては、図9の(a)に示すように、位相差板RRと位相差板RLとの境界は、当該境界からTFT基板100cに下ろした垂線が、暗画素を縦方向に2等分する直線と交わるように配置されているものとする。このような配置とすることにより、クロストークの低減効果を高めることができる。

[0136] また、上記所定の角度 $\beta$ とは、図9の(c)に示すように、(1)明画素RAと暗画素RBとの境界、および、(2)位相差板RRと位相差板RLとの境界のうち当該暗画素RBに最も近い境界、の双方の境界を通る直線と、液晶パネル100の法線とのなす角度であって、液晶パネル100の縦方向に沿った角度のことである。なお、図9の(c)における角度 $\beta$ は、図8における角度 $\theta$ に対応するものである。

[0137] まず、図9の(b)～(d)に示すように、暗画素RBから出射され、位相差板RLを透過した後の画像光の輝度をIRBLと表し、明画素LAから出射され、位相差板RLを透過した後の画像光の輝度をILALと表し、暗画素LBから出射され、位相差板RLを透過した後の画像光の輝度をILBLと表すことにし、明画素RAから出射され、位相差板RLを透過した後の画像光の輝度をIRALと表すことにする。

[0138] ここで、輝度IRBL、輝度ILAL、輝度ILBL、および、輝度IRALは、それぞれ対応する副画素から出射され、位相差板を透過した後の画像光の実効的な輝度、すなわち、図4に示したタイミングチャートにおける時刻T4'以降での輝度であるとする。

[0139] また、暗画素RBから出射され位相差板RLを透過した後の画像光は、クロストークの原因となる画像光であり、明画素LAから出射され位相差板RLを

透過した後の画像光、および、暗画素LBから出射され位相差板RLを透過した後の画像光は、何れもクロストークの原因とならない画像光である。

[0140] また、図9の(b)～(c)に示すように、視線方向と液晶パネル100の法線方向とのなす角度であって、液晶パネル100の縦方向に沿った角度が $\beta$ 以下であるとき、輝度 $I_{RAL}$ は0であり、図9の(d)に示すように、視線方向と液晶パネル100の法線方向とのなす角度であって、液晶パネル100の縦方向に沿った角度が $\beta$ より大きいとき、輝度 $I_{RAL}$ は一般に0でない。

[0141] 発明者は、実験により、32階調表示時に $\pm 3$ 階調分以内のクロストークであれば、観測者がクロストークとして認識しないとの知見を得た。ここで、32階調表示時における $\pm 3$ 階調分とは、20パーセントの輝度差に相当する。

[0142] 発明者によって得られた上記の知見によれば、液晶表示装置1においては、コモンバスライン5に供給される電圧 $V_{com}'$ は、以下の不等式(A1)が満たされるように設定されることが好ましい。

[0143]  $I_{RBL} / (I_{LAL} + I_{LBL}) < 0.2 \quad \dots (A1)$

また、不等式(A1)は、最大階調においても、すなわち、各副画素に供給されるデータ電圧が最大値をとる場合にも満たされることが好ましい。

[0144] 換言すれば、視線方向と液晶パネル100の法線方向とのなす角度であって、液晶パネル100の縦方向に沿った角度が上記 $\beta$ 以下であるとき、液晶表示装置1は、液晶パネル100から当該視線方向に出射され位相差板RLを透過した後の画像光のうち、クロストークの原因となる画像光の輝度が、液晶パネル100から当該視線方向に出射され位相差板RLを透過した後の画像光のうち、クロストークの原因とならない画像光の輝度の20パーセント未満となるように各副画素を駆動することことが好ましい。

[0145] 同様に、視線方向と液晶パネル100の法線方向とのなす角度であって、液晶パネル100の縦方向に沿った角度が上記 $\beta$ 以下であるとき、液晶表示装置1は、液晶パネル100から当該視線方向に出射され位相差板RRを透

過した後の画像光のうち、クロストークの原因となる画像光の輝度が、液晶パネル100から当該視線方向に出射され位相差板RRを透過した後の画像光のうち、クロストークの原因とならない画像光の輝度の20パーセント未満となるように各副画素を駆動することことが好ましい。

[0146] 発明者は、位相差板RLおよび位相差板RRのうち、何れか一方の位相差板を透過した画像光であって、クロストークの原因となる画像光の輝度が、当該何れか一方の位相差板を透過した後の画像光であって、クロストークの原因とならない画像光の輝度の20パーセント未満である場合に、観測者はクロストークを知覚しないという知見を得た。

[0147] したがって、上記の構成によれば、暗画素の呈する輝度がゼロでない場合であっても、観測者にとってクロストークが知覚されないことになる。

[0148] また、位相差板RRおよび位相差板RLは、両者の透過率が略同一となるように形成することが可能であり、このような場合には、暗画素RBの呈する輝度が、副画素LAの呈する輝度の20パーセント未満であれば、輝度IRALが0となる視線方向において、不等式(A1)が満たされることになる。

[0149] したがって、このような構成によっても、観測者にとってクロストークが知覚されないことになる。

[0150] (各画素における副画素の数についての付記事項)

以上の説明においては、R画素8、G画素10、および、B画素12が、それぞれ、2つの副画素(明画素、および、暗画素)を備える構成を例に挙げたが、本実施形態はこれに限定されるものではない。例えば、R画素8、G画素10、および、B画素12は、暗画素および明画素以外の副画素(中間画素とも呼ぶ)を備える構成としてもよい。ここで、中間画素は、2D表示モードおよび3D表示モードの双方のモードにおいて、明画素よりも低い輝度を呈する構成とすることが好ましい。このような構成とすることによって、2D表示モードおよび3D表示モードの双方のモードにおいて、視野角特性を向上させることができる。

[0151] (ノーマリーホワイト型の液晶表示装置への適用について)

ノーマリーホワイト型の液晶表示装置においては、各副画素の備える液晶層に印加される電圧の絶対値が大きいほど、当該副画素の呈する輝度は小さくなる。したがって、上述した液晶パネル100をノーマリーホワイト型の液晶表示装置に適用する場合には、例えば、3D表示モードにおいて、コモンバスライン5に供給される電圧 $V_{com}'$ と対向電極の電圧 $V_{com}$ との差の絶対値を十分に大きくとり、3D表示モードにおいて各暗画素が輝度を呈しないような構成とすればよい。また、ノーマリーホワイト型の液晶表示装置に適用する場合にも、 $V_{com}$ 、および、 $V_{com}'$ を、上述した数式(A1)が満たされるように設定する構成とすることができる。

[0152] <実施形態1の変形例1>

本実施形態における液晶パネル100の回路構成は、上述したものに限定されるものではない。以下では、本実施形態の第1の変形例について、図10の(a)～(b)を参照して説明する。なお、既に説明した部分については、同じ符号を付し、その説明を省略する。

[0153] 図10の(a)は、本変形例に係る液晶パネルの等価回路をR画素8について示す図である。図10の(a)に示すように、本変形例に係る液晶パネルは、既に説明した液晶パネル100のR画素8における構成に加えて、暗画素8bにおいて補助容量 $C_{AR}$ をさらに有している。ここで、補助容量 $C_{AR}$ は、TFT2Rのドレイン電極に対して、液晶容量 $C_{lc2R}$ と直列に接続されている。より具体的には、補助容量 $C_{AR}$ の一端は、TFT2Rのドレイン電極、および、TFT3Rのドレイン電極に接続され、補助容量 $C_{AR}$ の他の一端は、暗画素8bの備える副画素電極に接続されている。本変形例に係る液晶パネルのG画素10およびB画素12の構成も同様である。

[0154] 図10の(b)は、本変形例に係る液晶パネルにおけるR画素8の具体的な構成を示す平面レイアウト図である。図10の(b)に示すように、ゲートバスライン2は、第1電極材料を用いて形成され、ソースバスライン4、および、コモンバスライン5は、第2電極材料を用いて形成されている。図10の(b)において、ECLC1R、および、ECLC2Rは、それぞれ、明画素

8 aの備える副画素電極、および、暗画素8 bの備える副画素電極を表しており、それらの副画素電極は、第3電極材料を用いて形成されている。

[0155] また、図10の(b)に示すように、ゲートバスライン2 n上に、TFT 1 RおよびTFT 2 Rが形成されており、ゲートバスライン2 (n-1) 上に、TFT 3 Rが形成されている。また、各TFTのソース電極およびドレイン電極は、第2電極材料を用いて形成されている。さらに、暗画素8 bの備える副画素電極E CLC2Rの中央部には、副画素電極E CLC2R自身と、第2電極材料とによって補助容量CARが形成されている。ここで、補助容量CARを形成する副画素電極E CLC2Rの中央部と第2電極材料との間には層間絶縁膜を設けないことが好ましい。なお、副画素電極E CLC2Rは、第2電極材料よりも上層(紙面手前側)に形成されている。また、特に図示はしないが、図10の(b)の紙面手前側には、各副画素に対応する液晶層が配置され、そのさらに手前側には、対向電極が配置される。

[0156] (本変形例に係る液晶パネルの駆動)

本変形例に係る液晶パネルの駆動は、既に説明した液晶パネル100の駆動とほぼ同様であるが、以下の点において異なる。

[0157] すなわち、本変形例に係る液晶パネルにおいては、補助容量CARの寄与により、明画素8 aの備える副画素電極に印加される実効電圧と、暗画素8 bの備える副画素電極に印加される実効電圧との間に電圧差が生じる。

[0158] より具体的には、2D表示モードが選択された場合、すなわち、スキャン方向が順方向である場合に明画素8 aおよび暗画素8 bのそれぞれの液晶層に印加される実効電圧V1R\_f、および、V2R\_fは、

$$V1R\_f = V_{sR} - V_{com}$$

… (12 a)

$$V2R\_f = (V_{sR} - V_{com}) \times CAR / (CAR + C_{lc1R})$$

… (12 b)

となる。ここで、V<sub>sR</sub>は、TFT 1 RおよびTFT 2 Rがオン状態に変化した時点におけるデータ信号の電圧を表している。

[0159] なお、スキャン方向が順方向である場合に、補助容量CARの両端に印加される実効電圧VCAR<sub>f</sub>は、

$$VCAR\_f = (V_{sR} - V_{com}) \times C_{ic1R} / (CAR + C_{ic1R})$$

である。

[0160] 数式(12a)および(12b)から明らかなように、本変形例に係る液晶パネルにおいては、2D表示モードにおいて、暗画素8bの備える液晶層に印加される実効電圧は、明画素8aの備える液晶層に印加される実効電圧よりも小さくなっている。したがって、本変形例に係る液晶パネルにおいては、2D表示モードにおいて、暗画素8bは、明画素8aに比べて低い輝度を呈する。

[0161] 2D表示モードが選択された場合の、G画素10の備える明画素10aおよび暗画素10bのそれぞれの液晶層に印加される実効電圧、並びに、B画素12の備える明画素12aおよび暗画素12bのそれぞれの液晶層に印加される実効電圧についても同様である。

[0162] このように、本変形例に係る液晶パネルにおいては、2D表示モードにおいて、暗画素および明画素のそれぞれが互いに異なる輝度を呈するため、視野角特性が改善されるという更なる効果を奏する。

[0163] 一方で、3D表示モードが選択された場合、すなわち、スキャン方向が逆方向である場合に明画素8aおよび暗画素8bのそれぞれの液晶層に印加される実効電圧V1R<sub>b</sub>、および、V2R<sub>b</sub>は、

$$V1R\_b = V_{sR} - V_{com}$$

…(13a)

$$V2R\_b = (V_{com}' - V_{com}) \times CAR / (CAR + C_{ic1R})$$

…(13b)

となる。ここで、Vcom' およびVcomは、すでに説明したように、それぞれ、コモンバスライン5および対向電極に供給される電圧を表している

。

[0164] なお、スキャン方向が逆方向である場合に、補助容量CARの両端に印加される実効電圧VCAR<sub>b</sub>は、

$$VCAR\_b = (V_{com}' - V_{com}) \times C_{ic1R} / (CAR + C_{ic1R})$$

である。

[0165] 数式(13b)から明らかのように、 $(V_{com}' - V_{com}) \times CAR / (CAR + C_{ic1R})$ を、液晶層の閾値電圧V<sub>th</sub>以下となるように設定することによって、暗画素8bが輝度を呈しないようにすることができる。

。

[0166] 3D表示モードが選択された場合の、G画素10の備える明画素10aおよび暗画素10bのそれぞれの液晶層に印加される実効電圧、並びに、B画素12の備える明画素12aおよび暗画素12bのそれぞれの液晶層に印加される実効電圧についても同様である。

[0167] このように、本変形例に係る液晶パネルにおいては、2D表示モードにおいて、暗画素および明画素のそれぞれが互いに異なる輝度を呈することにより、視野角特性を改善しつつ、3D表示モードにおいて、各暗画素をブラックマトリックスとして機能させることができる。

[0168] <実施形態1の変形例2>

以下では、本実施形態の第2の変形例について、図11の(a)~(b)を参照して説明する。なお、既に説明した部分については、同じ符号を付し、その説明を省略する。

[0169] 図11の(a)は、本変形例に係る液晶パネルの等価回路をR画素8について示す図である。図11の(a)に示すように、本変形例に係る液晶パネルは、既に説明した液晶パネル100のR画素8における構成に加えて、暗画素8bにおいて補助容量CARをさらに有している。ここで、補助容量CARは、TFT2Rのドレイン電極に対して、液晶容量C<sub>ic2R</sub>と直列に接続されている。また、補助容量CARの一端は、TFT2Rのドレイン電

極に接続され、補助容量CARの他の一端は、暗画素8bの備える副画素電極に接続されている。また、実施形態1の変形例1の構成と異なり、TFT3Rのドレイン電極は、暗画素8bの備える副画素電極に接続されている。本変形例に係る液晶パネルのG画素10およびB画素12の構成も同様である。

[0170] 図11の(b)は、本変形例に係る液晶パネルにおけるR画素8の具体的な構成を示す平面レイアウト図である。図11の(b)に示すように、ゲートバスライン2は、第1電極材料を用いて形成され、ソースバスライン4、および、コモンバスライン5は、第2電極材料を用いて形成されている。図11の(b)において、ECLC1R、および、ECLC2Rは、それぞれ、明画素8aの備える副画素電極、および、暗画素8bの備える副画素電極を表しており、それらの副画素電極は、第3電極材料を用いて形成されている。

[0171] また、図11の(b)に示すように、ゲートバスライン2n上に、TFT1RおよびTFT2Rが形成されており、ゲートバスライン2(n-1)上に、TFT3Rが形成されている。また、各TFTのソース電極およびドレイン電極は、第2電極材料を用いて形成されている。さらに、暗画素8bの備える副画素電極ECLC2Rの中央部には、副画素電極ECLC2R自身と、第2電極材料とによって補助容量CARが形成されている。また、実施形態1の変形例1の構成と異なり、TFT3Rのドレイン電極は、副画素電極ECLC2Rに接続されている。ここで、補助容量CARを形成する副画素電極ECLC2Rの中央部と第2電極材料との間には層間絶縁膜を設けないことが好ましい。なお、副画素電極ECLC2Rは、第2電極材料よりも上層(紙面手前側)に形成されている。また、特に図示はしないが、図11の(b)の紙面手前側には、各副画素に対応する液晶層が配置され、そのさらに手前側には、対向電極が配置される。

[0172] (本変形例に係る液晶パネルの駆動)

本変形例に係る液晶パネルの駆動は、既に説明した実施形態1の変形例1に係る液晶パネルの駆動とほぼ同様であるが、以下の点において異なる。



[0173] すなわち、本変形例に係る液晶パネルにおいては、実施形態1の変形例1に係る液晶パネルと異なり、TFT3Rのドレイン電極が、暗画素8bの備える副画素電極に接続されているため、3D表示モードにおいて、明画素8aおよび暗画素8bのそれぞれの液晶層に印加される実効電圧 $V_{1R\_b}$ 、および、 $V_{2R\_b}$ は、

$$V_{1R\_b} = V_{sR} - V_{com} \quad \dots (13a)$$

$$V_{2R\_b} = V_{com}' - V_{com} \quad \dots (13b')$$

となる。

[0174] 数式(13b')から明らかなように、本変形例においては、 $V_{com}' - V_{com}$ を、液晶層の閾値電圧 $V_{th}$ 以下となるように設定することによって、暗画素8bが輝度を呈しないようにすることができる。G画素10およびB画素12についても同様である。

[0175] このように、本変形例においても、3D表示モードにおいて、各暗画素をブラックマトリックスとして機能させることができる。

[0176] なお、2D表示モードにおいて明画素8aおよび暗画素8bのそれぞれの液晶層に印加される実効電圧は、実施形態1の変形例1の2D表示モードにおいて明画素8aおよび暗画素8bのそれぞれの液晶層に印加される実効電圧と同様である。

[0177] したがって、本変形例においても、2D表示モードにおいて、暗画素および明画素のそれぞれが互いに異なる輝度を呈するため、視野角特性が改善される。

[0178] なお、本変形例に係る液晶パネルにおいては、変形例1に係る液晶パネルに比べて、副画素電極がフローティングにならないという利点がある。

[0179] [実施形態2]

以下では、本発明の第2の実施形態について図12～図18を参照して説明する。以下の説明では、実施形態1と同様に、誘電異方性が負の液晶材料を用いた垂直配向型液晶表示装置(VA(Vertical Alignment)型の液晶表示装置)を例示するが、本発明はこれに限定されず、例えば、TN(Twisted

Nematic) 型や IPS (In-Plane Switching) 型の液晶表示装置にも適用できる。また、以下の説明においては、液晶層に印加される電圧の絶対値が大きい程、液晶層の透過率が高くなるノーマリーブラック型の液晶表示装置を例示するが、本実施形態はこれに限定されるものではなく、液晶層に印加される電圧の絶対値が大きい程、液晶層の透過率が低くなるノーマリーホワイト型の液晶表示装置に対しても適用できる。

[0180] (液晶表示装置 1' の構成)

本実施形態に係る液晶表示装置 1' の構成について図 1 2 および図 1 3 の (a) ~ (b) を参照して説明する。液晶表示装置 1' は、立体視不能な画像を表示する 2 D 表示モード、および、立体視可能な画像を表示する 3 D 表示モードの何れかのモードで動作する。液晶表示装置 1' は、液晶表示装置 1 と同様に、ユーザにより、当該 2 つの表示モードの何れか一方を選択できるように構成してもよいし、表示すべき画像を示す画像データに関連付けられたモード情報を参照することによって、当該 2 つの表示モードの何れか一方を自動的に選択する構成としてもよい。なお、実施形態 1 においてすでに説明した部分については、同じ記号を付しその説明を省略する。

[0181] 図 1 2 は、本実施形態に係る液晶表示装置 1' の構成を示す図である。図 1 2 に示すように、液晶表示装置 1' は、液晶パネル 1 0 0'、制御回路 2 0'、ゲートドライバ 2 2、ソースドライバ 2 4、および、CS ドライバ 2 6 を備えている。また、図 1 2 においては、液晶パネル 1 0 0' における 1 画素当たりについての、マルチ画素構造を有する画素の等価回路が示されている。

[0182] 図 1 2 に示すように、液晶表示装置 1' は、液晶パネル 1 0 0' において、複数のゲートバスライン 2、複数のソースバスライン 4、複数の CS バスライン (補助容量バスライン) 6 1、複数の CS バスライン (補助容量バスライン) 6 2、および、各ゲートバスラインと各ソースバスラインとによって画定される画素を備えている。図 1 2 において、CS バスライン 6 1 n は、n 番目の CS バスライン 6 1 を示しており、CS バスライン 6 2 n は、n

番目のCSバスライン62を示している。以下では、CSバスライン61とCSバスライン62とを合わせてCSバスライン6と表記することもある。

[0183] (ドライバ)

図12に示すように、液晶表示装置1'の備える液晶パネル100'には、各ゲートバスライン2にゲート信号を供給するゲートドライバ22と、各ソースバスライン4にデータ信号を供給するソースドライバ24と、各CSバスライン6に補助容量駆動信号(補助容量信号)(CS信号)を供給するCSドライバ26とが、それぞれ接続されている。これらのドライバはいずれも、制御回路20'から出力された制御信号に基づいて動作する。

[0184] (制御回路20')

制御回路20'は、表示すべき画像を示す画像データに含まれる、各絵素についての輝度を示す輝度情報、および、各絵素についての色差を示す色差情報から、各画素についての階調値を算出する。

[0185] また、制御回路20'は、ゲートドライバ22が供給するゲート信号、ソースドライバ24が供給するデータ信号、および、CSドライバ26が供給するCS信号のタイミングを制御する。

[0186] ゲートドライバ22は、実施形態1と同様に、2D表示モードが選択されている場合、各ゲートバスライン2に対して、スキャン方向が順方向となるように、ゲート信号を供給し、3D表示モードが選択されている場合、各ゲートバスライン2に対して、スキャン方向が逆方向となるように、ゲート信号を供給する。

[0187] また、本実施形態におけるCSドライバ26は、2D表示モードが選択されている場合、CSバスライン61とCSバスライン62とに対して、互いに逆位相の矩形信号を供給し、3D表示モードが選択されている場合、CSバスライン61とCSバスライン62とに対して、一定の電圧を供給する。

[0188] (液晶パネル100'の周辺構成)

液晶パネル100'の周辺構成については、図3の(a)~(c)に示した液晶パネル100の周辺構成と同様であるため、その説明を省略する。

## [0189] (画素構造)

図12に示すように、液晶表示装置1'の備える液晶パネル100'には複数の画素が形成されており、液晶表示装置1'は、各画素を、2D表示モードにおいてはMPD (Multi Pixel Drive) 方式に相当する駆動方式によって駆動し、3D表示モードにおいては、3TFT駆動方式に相当する駆動方式によって駆動する。各画素はいずれも液晶層と、当該液晶層に電圧を印加する電極とを有し、行および列を有するマトリックス状に配列されている。

[0190] 図12に示すように、液晶表示装置1'の備える液晶パネル100'は、複数のゲートバスライン2、複数のソースバスライン4、複数のCSバスライン61、複数のCSバスライン62、複数のスイッチング素子TFT1'~TFT3'、複数の液晶容量C1c1'~C1c2'を備えている。

[0191] 複数のゲートバスライン2および複数のソースバスライン4は、図示しない絶縁膜を介して、互いに交差して形成されている。液晶表示装置1'では、1つのゲートバスライン2と1つのソースバスライン4とによって画定される領域ごとに、赤色を表示するR画素8'、緑色を表示するG画素10'、および、青色を表示するB画素12'の何れかが形成されている。また、R画素8'、G画素10'、および、B画素12'は、ゲートバスライン2に沿って隣接して形成されている。これらの画素を組み合わせることで、所望のカラー画像を表示することができる。

[0192] このように、液晶表示装置1'が、R画素、G画素、および、B画素を備える構成を例に挙げ説明を行うが、本実施形態はこれに限定されるものではなく、例えば、液晶表示装置1は、R画素、G画素、および、B画素に加えて、黄色を表示するYe画素、および、白色を表示するW画素の何れか一方若しくは双方を備える構成としてもよく、そのような場合であっても、後述する効果を奏する。

## [0193] (明画素、および、暗画素)

R画素8'、G画素10'、および、B画素12'は、いずれも、液晶層に互いに異なる電圧を印加することができる2つの副画素を有している。図

12に示すように、R画素8'は、副画素8a'、および、副画素8b'を有しており、G画素10'は、副画素10a'、および、副画素10b'を有しており、B画素12'は、副画素12a'、および、副画素12b'を有している。以下では、後述する理由により、副画素8a'、副画素10a'、および、副画素12a'を明画素と呼ぶこともあり、副画素8b'、副画素10b'、および、副画素12b'を暗画素と呼ぶこともある。

[0194] 本実施形態においては、各絵素を構成する各画素は、実施形態1と同様に、ゲートバスライン2に沿って、R画素8'、G画素10'、B画素12'の順に配置されている。また、各明画素は、ゲートバスライン2に平行な第1の直線上に配置されており、各暗画素は、ゲートバスライン2に平行な第2の直線上に配置されている。

[0195] また、ゲートバスライン2nによって画定されるR画素8'の暗画素8b'と、ゲートバスライン2(n+1)によって画定されるR画素8'の明画素8a'とは、ゲートバスライン2に平行な境界を介して互いに隣接している。G画素10'およびB画素12'についても同様である。

[0196] また、R画素8'の暗画素8b'とG画素10'の暗画素10b'とは、ソースバスライン4に平行な境界を介して互いに隣接し、G画素10'の暗画素10b'とB画素12'の暗画素12b'とは、ソースバスライン4に平行な境界を介して互いに隣接している。明画素についても同様である。

[0197] (液晶容量)

各画素の有する副画素は、液晶容量を有している。明画素は、液晶容量C1c1'を有しており、暗画素は、液晶容量C1c2'を有している。より具体的には、図12に示すように、R画素8'の明画素8a'は、液晶容量C1c1R'を有しており、暗画素8b'は、液晶容量C1c2R'を有している。同様に、G画素10'の明画素10a'は、液晶容量C1c1G'を有しており、暗画素10b'は、液晶容量C1c2G'を有している。同様に、B画素12'の明画素12a'は、液晶容量C1c1B'を有しており、暗画素12b'は、液晶容量C1c2B'を有している。

[0198] また、各液晶容量は、副画素電極と、液晶層と、該液晶層を介して該副画素電極に対向する対向電極とによって形成されている。

[0199] (スイッチング素子TFT1' ~ TFT2')

R画素8'、G画素10'、および、B画素12'には、いずれも、TFT(薄膜トランジスタ)1'、および、TFT2'がそれぞれ形成されている。TFT1'およびTFT2'の有する機能、および、TFT1'およびTFT2'の備える各電極の接続の態様は、実施形態1におけるTFT1およびTFT2と同様であるため、ここでは説明を省略する。

[0200] (スイッチング素子TFT3')

また、R画素8'、G画素10'、および、B画素12'の備える各暗画素には、TFT3'が形成されている。より具体的には、R画素8'の暗画素8b'には、TFT3R'が形成され、G画素10'の暗画素10b'には、TFT3G'が形成され、B画素12'の暗画素12b'には、TFT3B'が形成されている。

[0201] TFT3'のゲート電極は、当該画素の前段のゲートバスライン、すなわちゲートバスライン2(n-1)に電氣的に接続されている。各TFT3'のドレイン電極は、各暗画素8b'、10b'、および12b'の副画素電極にそれぞれ電氣的に接続されている。また、各TFT3'のソース電極は、CSバスライン62nに接続されている。

[0202] (補助容量Ccs)

また、R画素8'、G画素10'、および、B画素12'の備える各副画素には、補助容量Ccsが形成されている。各補助容量Ccsは、対応する副画素電極に接続された補助容量電極と、絶縁層を介して補助容量電極に対向する補助容量対向電極であって、対応するCSバスラインに接続された補助容量対向電極とによって形成されている。

[0203] より具体的には、図12に示すように、補助容量Ccs1Rの補助容量電極は、液晶容量Clc1R'の副画素電極に接続され、補助容量Ccs1Rの補助容量対向電極は、CSバスライン61nに接続されている。同様に、

補助容量 $C_{cs2R}$ の補助容量電極は、液晶容量 $C_{lc2R'}$ の副画素電極に接続され、補助容量 $C_{cs2R}$ の補助容量対向電極は、CSバスライン $6_{2n}$ に接続されている。図12に示す補助容量 $C_{cs1G}$ 、 $C_{cs2G}$ 、 $C_{cs1B}$ 、および $C_{cs2B}$ についても同様である。

[0204] なお、上記の説明では、 $TFT3'$ のゲート電極は、当該画像の前段のゲートバスライン $2(n-1)$ に接続されているとしたが、本実施形態はこれに限定されるものではなく、一般に、当該画素の前段のゲートバスライン $2(n-p)$  ( $p$ は1以上の整数)に接続される構成とすることができる。

[0205] (各副画素のレイアウト)

続いて、図13の(a)~(b)を参照して、液晶パネル $100'$ における各副画素の具体的な構成について説明する。以下では、R画素 $8'$ の構成について説明を行うが、G画素 $10'$ およびB画素 $12'$ についても同様の構成である。

[0206] 図13の(a)は、液晶パネル $100'$ におけるR画素 $8'$ の具体的な構成を示す平面レイアウト図である。図13の(a)に示すように、ゲートバスライン $2$ 、および、CSバスライン $6$ は、第1電極材料を用いて形成され、ソースバスライン $4$ は、第2電極材料を用いて形成されている。図13の(a)において、 $ECLC1R'$ 、および、 $ECLC2R'$ は、それぞれ、明画素 $8a'$ の備える副画素電極、および、暗画素 $8b'$ の備える副画素電極を表しており、それらの副画素電極は、第3電極材料を用いて形成されている。

[0207] また、図13の(a)に示すように、ゲートバスライン $2n$ 上に、 $TFT1R'$ および $TFT2R'$ が形成されており、ゲートバスライン $2(n-1)$ 上に、 $TFT3R'$ が形成されている。また、各 $TFT'$ のソース電極およびドレイン電極は、第2電極材料を用いて形成されている。

[0208] さらに、暗画素 $8a'$ の備える副画素電極 $ECLC1R'$ の中央部付近には、CSバスライン $6_1$ を構成する第1電極材料と、 $TFT1R'$ のドレイン電極に接続された第2電極材料とによって補助容量 $C_{cs1R}$ が形成されている。また、暗画素 $8b'$ の備える副画素電極 $ECLC2R'$ の中央部付近には、

CSバスライン62を構成する第1電極材料と、TFT2R'のドレイン電極に接続された第2電極材料とによって補助容量Ccs2Rが形成されている。なお、副画素電極ECLC1R'および副画素電極ECLC2R'は、第2電極材料よりも上層（紙面手前側）に形成されている。特に図示はしないが、図13の(a)の紙面手前側には、各副画素に対応する液晶層が配置され、そのさらに手前側には、対向電極が配置される。

[0209] また、図13の(a)に示すように、第3電極材料の一部は、暗画素8b'の備える副画素電極ECLC2R'から絶縁されたコンタクト部Pconに利用されている。図13の(b)は、図13の(a)に示す切断面に沿ったコンタクト部Pconの断面図である。図13の(b)に示すように、第3電極材料は、コンタクト部Pconにおいて、第1電極材料と第2電極材料を電氣的に接続するために用いられている。コンタクト部Pconによって、TFT3Rのソース電極とCSバスライン62nとが電氣的に接続されている。

[0210] （液晶表示装置1'の基本動作）

以下では、液晶表示装置1'の備える液晶パネル100'の基本的な駆動方法について、図14の(a)~(g)、図15の(a)~(g)、および、図16の(a)~(b)を参照して説明する。なお、以下では、まず、R画素8'の駆動について説明を行い、その後、G画素10'、および、B画素12'の駆動について説明を行う。

[0211] また、一般には、各液晶容量の値、および、各蓄積容量の値は、それぞれに印加される電圧への依存性を有するが、本実施形態においては本質的な事項ではないため、以下の説明ではそのような依存性を無視する。ただし、この前提は、本実施形態を限定するものではなく、そのような依存性がある場合に対しても、同様に適用することができる。

[0212] また、以下では、簡単のため、ソースバスラインから各副画素電極に対して、正極性の電圧が供給される場合について説明を行うが、ソースバスラインから各副画素電極に対して、負極性の電圧が供給される場合についても同



様に考えることができる。

[0213] (2D表示モードにおける液晶パネル100'の駆動)

まず、2D表示モードにおける液晶パネル100'の駆動、すなわち、スキャン方向が順方向である場合の液晶パネル100'の駆動について説明する。

[0214] 図14の(a)～(g)は、液晶パネル100'を駆動する際の各電圧の波形およびタイミングを模式的に示したタイミングチャートである。

[0215] 図14の(a)は、ソースドライバ24がソースバスライン4に供給するデータ信号の電圧波形 $V_s$ を示しており、図14の(b)は、CSドライバ26がCSバスライン61nに供給する補助容量駆動信号の電圧波形(すなわち、CSバスライン61nの電圧波形) $V_{cs1}$ を示しており、図14の(c)はCSドライバ26がCSバスライン62nに供給する補助容量駆動信号の電圧波形(すなわち、CSバスライン62nの電圧波形) $V_{cs2}$ を示しており、図14の(d)は、ゲートドライバ22がゲートバスライン2nに供給するゲート信号の電圧波形 $V_{gn}$ を示しており、図14の(e)は、ゲートドライバ22がゲートバスライン2(n+1)に供給するゲート信号の電圧波形 $V_{g(n+1)}$ を示しており、図14の(f)は、R画素8'の備える明画素8a'の副画素電極の電圧波形 $V_{lc1R'}$ を示しており、図14の(g)は、R画素8'の備える暗画素8b'の副画素電極の電圧波形 $V_{lc2R'}$ を示している。また、図中の破線は、対向電極の電圧波形COMMON( $V_{com}$ )を示している。

[0216] (R画素8'の駆動)

まず、時刻T11において、ゲート信号の電圧 $V_{gn}$ が、 $V_{gL}$ (ロー)から $V_{gH}$ (ハイ)に変化することにより、TFT1R'、および、TFT2R'が同時に導通状態(オン状態)となる。これに伴い、明画素8a'の副画素電極、および、暗画素8b'の副画素電極に対し、ソースバスライン4を介してデータ信号の電圧が印加され、明画素8a'の副画素電極、および、暗画素8b'の副画素電極の何れの電圧も、時刻T11におけるデータ

信号の電圧  $V_{sR'}$  へと変化し、

$$V_{Ic1R'} = V_{sR'} \quad \dots (14a)$$

$$V_{Ic2R'} = V_{sR'} \quad \dots (14b)$$

となる。

[0217] また、明画素  $8a'$  の補助容量  $C_{cs1R'}$ 、および、暗画素  $8b'$  の補助容量  $C_{cs2R'}$  に対しても、ソースバスライン4を介してデータ信号の電圧が印加され、明画素  $8a'$  の補助容量電極、および、暗画素  $10b'$  の補助容量電極の何れの電圧も、データ信号の電圧  $V_{sR'}$  へと変化する。

[0218] 続いて、時刻  $T_{12}$  において、ゲート信号の電圧  $V_g$  が  $V_{gH}$  から  $V_{gL}$  に変化することにより、 $TFT_{1R'}$ 、および、 $TFT_{2R'}$  が同時に非導通状態（オフ状態）となる。これに伴い、明画素  $8a'$  の副画素電極、および、暗画素  $8b'$  の副画素電極、明画素  $8a'$  の補助容量電極、および、暗画素  $8b'$  の補助容量電極は、全てソースバスライン4と電氣的に絶縁される。

[0219] また、このとき、CSバスライン  $61n$  の電圧  $V_{cs1}$ 、および、CSバスライン  $62n$  の電圧  $V_{cs2}$  は、

$$V_{cs1} = V_{com} - (1/2) V_{ad} \quad \dots (16a)$$

$$V_{cs2} = V_{com} + (1/2) V_{ad} \quad \dots (16b)$$

である。すなわち、ここで例示するCSバスライン  $61n$  および  $62n$  にそれぞれ供給される補助容量駆動信号の電圧  $V_{cs1}$  および  $V_{cs2}$  の波形は全幅が  $V_{ad}$  で、位相が互いに逆相（ $180^\circ$  異なる）な矩形波（デューティ比は  $1:1$ ）である。

[0220] 続いて、時刻  $T_{13}$  において、補助容量  $C_{cs1}$  に接続されたCSバスライン  $61n$  の電圧  $V_{cs1}$  が  $V_{com} - (1/2) V_{ad}$  から  $V_{com} + (1/2) V_{ad}$  に変化し、補助容量  $C_{cs2}$  に接続されたCSバスライン  $62n$  の電圧  $V_{cs2}$  が  $V_{com} + (1/2) V_{ad}$  から  $V_{com} - (1/2) V_{ad}$  に変化する。それに伴い、明画素  $8a'$  の備える副画素電極の電圧  $V_{Ic1R'}$ 、および、暗画素  $8b'$  の備える副画素電極の電圧  $V_{Ic2R}$

' は、

$$V_{lc1R'} = V_{sR'} + K_{1R} \times V_{ad} \quad \dots (17a)$$

$$V_{lc2R'} = V_{sR'} - K_{2R} \times V_{ad} \quad \dots (17b)$$

へ変化する。ここで、 $K_{1R}$ および $K_{2R}$ は、それぞれ、

$$K_{1R} = C_{cs1R} / (C_{lc1R'} + C_{cs1R}) \quad \dots (18a)$$

$$K_{2R} = C_{cs2R} / (C_{lc2R'} + C_{cs2R}) \quad \dots (18b)$$

である。

[0221] 続いて、ゲート信号の電圧 $V_g(n+1)$ が、時刻 $T_{14}$ において、 $V_{gL}$ から $V_{gH}$ に変化し、時刻 $T_{15}$ において、 $V_{gH}$ から $V_{gL}$ に変化するが、明画素 $8a'$ の備える副画素電極の電圧 $V_{lc1R'}$ 、および、暗画素 $8b'$ の備える副画素電極の電圧 $V_{lc2R'}$ は、変化しない。

[0222] 続いて、時刻 $T_{16}$ において、 $V_{cs1}$ が $V_{com} + (1/2)V_{ad}$ から $V_{com} - (1/2)V_{ad}$ へ、 $V_{cs2}$ が $V_{com} - (1/2)V_{ad}$ から $V_{com} + (1/2)V_{ad}$ へ変化し、 $V_{lc1R'}$ 、 $V_{lc2R'}$ もまた、数式(17a)および数式(17b)によって表される値から、数式(15a)および(15b)によってそれぞれ表される値へと変化する。

[0223] 続いて、時刻 $T_{17}$ において、 $V_{cs1}$ が $V_{com} - (1/2)V_{ad}$ から $V_{com} + (1/2)V_{ad}$ へ、 $V_{cs2}$ が $V_{com} + (1/2)V_{ad}$ から $V_{com} - (1/2)V_{ad}$ へ変化し、 $V_{lc1R'}$ 、 $V_{lc2R'}$ もまた、数式(15a)および(15b)によって表される値から、数式(17a)および数式(17b)によってそれぞれ表される値へと変化する。

[0224] 上記 $T_{16}$ および $T_{17}$ の繰り返し間隔を、水平書き込み時間 $1H$ の1倍とするか、2倍とするか、3倍とするかあるいはそれ以上とするかは液晶表示装置の駆動方法(極性反転方法等)または表示状態(ちらつき、表示のざらつき感等)を鑑みて適宜設定すればよい。この繰り返しは次に画素が書き換えられるとき、すなわち $T_{11}$ に等価な時間になるまで継続される。したがって、 $V_{lc1R}$ および $V_{lc2R}$ の実効的な値は、

$$V_{lc1R'} = V_{sR'} + K_{1R} \times (1/2)V_{ad} \quad \dots (19a)$$

$$V_{Ic2R'} = V_{sR'} - K_{2R} \times (1/2) V_{ad} \quad \dots (19b)$$

となる。

[0225] よって、スキャン方向が順方向である場合に明画素8a' および暗画素8b' のそれぞれの液晶層に印加される実効電圧 $V_{1R\_f'}$  および $V_{2R\_f'}$  は、

$$V_{1R\_f'} = V_{Ic1R'} - V_{com} \quad \dots (20a)$$

$$V_{2R\_f'} = V_{Ic2R'} - V_{com} \quad \dots (20b)$$

すなわち、

$$V_{1R\_f'} = V_{sR'} + K_{1R} \times (1/2) V_{ad} - V_{com} \quad \dots$$

(21a)

$$V_{2R\_f'} = V_{sR'} - K_{2R} \times (1/2) V_{ad} - V_{com} \quad \dots$$

(21b)

となる。

[0226] このように、2D表示モードにおいては、明画素8a' の液晶層に印加される実効電圧 $V_{1R\_f'}$  は、暗画素8b' の液晶層に印加される実効電圧 $V_{2R\_f'}$  よりも大きいので、明画素8a' の液晶層の透過率は、暗画素8b' の液晶層の透過率よりも大きくなる。したがって、2D表示モードにおいては、明画素8a' は、暗画素8b' よりも高い輝度を呈する。

[0227] (G画素10' およびB画素12' の駆動)

G画素10' についても同様の駆動が行われ、スキャン方向が順方向である場合に明画素10a' および暗画素10b' のそれぞれの液晶層に印加される実効電圧 $V_{1G\_f'}$  、および、 $V_{2G\_f'}$  は、

$$V_{1G\_f'} = V_{sG'} + K_{1G} \times (1/2) V_{ad} - V_{com} \quad \dots$$

(22a)

$$V_{2G\_f'} = V_{sG'} - K_{2G} \times (1/2) V_{ad} - V_{com} \quad \dots$$

(22b)

となる。ここで、 $K_{1G}$  および $K_{2G}$  は、それぞれ、

$$K_{1G} = C_{cs1G} / (C_{Ic1G'} + C_{cs1G}) \quad \dots (23a)$$

$$K_{2G} = C_{cs2G} / (C_{lc2G}' + C_{cs2G}) \quad \dots (23b)$$

である。

[0228] また、B画素12'についても同様の駆動が行われ、スキャン方向が順方向である場合に明画素12a' および暗画素12b' のそれぞれの液晶層に印加される実効電圧 $V_{1B\_f'}$ 、および、 $V_{2B\_f'}$  は、

$$V_{1B\_f'} = V_{sB'} + K_{1B} \times (1/2) V_{ad} - V_{com} \quad \dots (24a)$$

$$V_{2B\_f'} = V_{sB'} - K_{2B} \times (1/2) V_{ad} - V_{com} \quad \dots (24b)$$

となる。ここで、 $K_{1B}$ および $K_{2B}$ は、それぞれ、

$$K_{1B} = C_{cs1B} / (C_{lc1B}' + C_{cs1B}) \quad \dots (25a)$$

$$K_{2B} = C_{cs2B} / (C_{lc2B}' + C_{cs2B}) \quad \dots (25b)$$

である。

[0229] このように、2D表示モードにおいては、明画素10a' および明画素12a' の液晶層に印加される実効電圧 $V_{1G\_f'}$  および $V_{1B\_f'}$  は、それぞれ、暗画素10b' および暗画素12b' の液晶層に印加される実効電圧 $V_{2G\_f'}$  および $V_{2B\_f'}$  よりも大きいので、明画素10a' および明画素12a' の液晶層の透過率は、それぞれ、暗画素10b' および暗画素12b' の液晶層の透過率よりも大きくなる。したがって、2D表示モードにおいては、明画素10a' および明画素12a' は、それぞれ、暗画素10b' および暗画素12b' よりも高い輝度を呈する。

[0230] 図16の(a)は、2D表示モードにおける、R画素8'、G画素10'、および、B画素12'の備える各副画素の呈する輝度を模式的に示す図である。図16の(a)に示すように、2D表示モードにおいては、各明画素は、各暗画素よりも高い輝度を呈する。このように、2D表示モードにおいては、R画素8'、G画素10'、および、B画素12'のそれぞれにおいて、各副画素が互いに異なる輝度を呈するため、視野角特性が向上するという効果を奏する。

## [0231] (3D表示モードにおける液晶パネル100'の駆動)

続いて、3D表示モードにおける液晶パネル100'の駆動、すなわち、スキャン方向が逆方向である場合の液晶パネル100'の駆動について説明する。なお、以下では、CSバスライン61nおよびCSバスライン62nに供給される信号は、共に一定の電圧 $V_{com}'$ であるとして説明を行う。また、対向電極に供給される電圧 $V_{com}$ 、並びに、CSバスライン61nおよびCSバスライン62nに供給される電圧 $V_{com}'$ は、 $V_{com}' \geq V_{com}$ を満たすものとして説明を行うが、これは本実施形態を限定するものではなく、 $V_{com}' < V_{com}$ であっても同様に考えることができる。

[0232] 図15の(a)～(g)は、液晶パネル100'を駆動する際の各電圧の波形およびタイミングを模式的に示したタイミングチャートである。

[0233] 図15の(a)は、ソースドライバ24がソースバスライン4に供給するデータ信号の電圧波形 $V_s$ を示しており、図15の(b)は、CSドライバ26がCSバスライン61nに供給する補助容量駆動信号の電圧波形(すなわち、CSバスライン61nの電圧波形) $V_{cs1}$ を示しており、図15の(c)はCSドライバ26がCSバスライン62nに供給する補助容量駆動信号の電圧波形(すなわち、CSバスライン62nの電圧波形) $V_{cs2}$ を示しており、図15の(d)は、ゲートドライバ22がゲートバスライン2nに供給するゲート信号の電圧波形 $V_{gn}$ を示しており、図15の(e)は、ゲートドライバ22がゲートバスライン2(n-1)に供給するゲート信号の電圧波形 $V_{g(n-1)}$ を示しており、図15の(f)は、R画素8'の備える明画素8a'の副画素電極の電圧波形 $V_{lc1R}'$ を示しており、図15の(g)は、R画素8'の備える暗画素8b'の副画素電極の電圧波形 $V_{lc2R}'$ を示している。また、図中の破線は、対向電極の電圧波形COMMON( $V_{com}$ )を示している。

## [0234] (R画素8'の駆動)

まず、時刻 $T_{11}'$ において、ゲート信号の電圧 $V_{gn}$ が、 $V_{gL}$ から $V$

g Hに変化することにより、TFT1R'、および、TFT2R'が同時にオン状態となる。これに伴い、明画素8a'の副画素電極、および、暗画素8b'の副画素電極に対し、ソースバスライン4を介してデータ信号の電圧が印加され、明画素8a'の副画素電極の電圧V<sub>lc1R'</sub>、および、暗画素8b'の副画素電極の電圧V<sub>lc2R'</sub>は、時刻T11'におけるデータ信号の電圧V<sub>sR'</sub>へと変化し、

$$V_{lc1R'} = V_{sR'} \quad \dots (26a)$$

$$V_{lc2R'} = V_{sR'} \quad \dots (26b)$$

となる。

[0235] 続いて、時刻T12'において、ゲート信号の電圧V<sub>gn</sub>がV<sub>gH</sub>からV<sub>gL</sub>に変化することにより、TFT1R'、および、TFT2R'が同時にオフ状態となる。これに伴い、明画素8a'の副画素電極、および、暗画素8b'の副画素電極は、全てソースバスライン4と電氣的に絶縁される。

[0236] 続いて、時刻T13'において、ゲート信号の電圧V<sub>g(n-1)</sub>が、V<sub>gL</sub>からV<sub>gH</sub>に変化することにより、TFT3R'がオン状態となる。これに伴い、暗画素8b'の副画素電極の電圧V<sub>lc2R'</sub>は、CSバスライン62nの電圧V<sub>com'</sub>へと変化する。一方で、明画素8a'の副画素電極の電圧V<sub>lc1R'</sub>は変化しない。

$$[0237] \quad V_{lc1R'} = V_{sR'} \quad \dots (28a)$$

$$V_{lc2R'} = V_{com'} \quad \dots (28b)$$

続いて、時刻T14'において、ゲート信号の電圧V<sub>g(n-1)</sub>が、V<sub>gH</sub>からV<sub>gL</sub>に変化することにより、TFT3R'がオフ状態となる。

[0238] 以上の過程を経た後、スキャン方向が逆方向である場合に明画素8a'および暗画素8b'のそれぞれの液晶層に印加される実効電圧V<sub>1R\_b'</sub>、および、V<sub>2R\_b'</sub>は、

$$V_{1R_b'} = V_{sR'} - V_{com} \quad \dots (29a)$$

$$V_{2R_b'} = V_{com'} - V_{com} \quad \dots (29b)$$

となる。

[0239] ここで、 $V_{com}' - V_{com}$ を、液晶層の閾値電圧 $V_{th}$ 以下となるように設定することによって、暗画素 $8b'$ が、輝度を呈しないようにすることができる。例えば、 $V_{com}' = V_{com}$ のように設定することによって、暗画素 $8b'$ が、輝度を呈しないようにすることができる。

[0240] このように、3D表示モードにおいては、R画素 $8'$ の備える暗画素 $8b'$ が輝度を呈しない構成とすることができる。

[0241] (G画素 $10'$  およびB画素 $12'$  の駆動)

G画素 $10'$ についても同様の駆動が行われ、スキャン方向が逆方向である場合に明画素 $10a'$  および暗画素 $10b'$ のそれぞれの液晶層に印加される実効電圧 $V_{1G\_b'}$ 、および、 $V_{2G\_b'}$ は、

$$V_{1G\_b'} = V_{sG'} - V_{com} \quad \dots (30a)$$

$$V_{2G\_b'} = V_{com}' - V_{com} \quad \dots (30b)$$

となる。

[0242] また、B画素 $12'$ についても同様の駆動が行われ、スキャン方向が逆方向である場合に明画素 $12a'$  および暗画素 $12b'$ のそれぞれの液晶層に印加される実効電圧 $V_{1B\_b'}$ 、および、 $V_{2B\_b'}$ は、

$$V_{1B\_b'} = V_{sB'} - V_{com} \quad \dots (31a)$$

$$V_{2B\_b'} = V_{com}' - V_{com} \quad \dots (31b)$$

となる。

[0243] R画素 $8'$ と同様に、 $V_{com}' - V_{com}$ を、液晶層の閾値電圧 $V_{th}$ 以下となるように設定することによって、暗画素 $10b'$  および暗画素 $12b'$ が、輝度を呈しないようにすることができる。

[0244] このように、3D表示モードにおいては、G画素 $10'$ の備える暗画素 $10b'$ 、および、B画素 $12'$ の備える暗画素 $12b'$ は、輝度を呈しない構成とすることができる。

[0245] 図16の(b)は、3D表示モードにおける、R画素 $8'$ 、G画素 $10'$ 、および、B画素 $12'$ の備える各副画素の呈する輝度を模式的に示す図である。図16の(b)に示すように、R画素 $8'$ 、G画素 $10'$ 、および、



B画素12'のそれぞれの備える暗画素8a'、暗画素10b'、および、暗画素12b'は、3D表示モードにおいて輝度を呈しない。

[0246] したがって、R画素8'、G画素10'、および、B画素12'のそれぞれの備える暗画素は、3D表示モードにおいて、ブラックマトリックスとして機能することになる。

[0247] (3D表示モードにおけるクロストーク抑制効果)

上述のように、液晶パネル100'の備える各暗画素は、3D表示モードにおいて、ブラックマトリックスとして機能するため、実施形態1の液晶パネル100について説明した理由と同様の理由により、クロストークの発生を抑制することができる。

[0248] また、液晶パネル100'の備える暗画素は、2D表示モードにおいては、輝度を呈するため、暗画素に代えて、何れの表示モードにおいても輝度を呈しないブラックマトリックスを配置する構成に比べて、表示する画像の輝度が向上する。

[0249] 以上のように、本実施形態に係る液晶表示装置1'によれば、3D表示モードにおいて、スキャン方向を逆方向とすることによって、各副画素の備える液晶層に対して共通のデータ電圧が印加された後に、各暗画素をブラックマトリックスとして機能させることができる。一方で、暗画素と明画素とに対して、データ電圧を独立に供給する従来構成においては、暗画素と明画素とに対して、各々データ電圧を供給するためのデータバスラインが必要になる。

[0250] 本実施形態に係る液晶表示装置1'によれば、そのような従来構成に比べて、データバスラインの本数を半分以下にすることができる。

[0251] (3D表示モードについての付記事項)

以上の説明においては、3D表示モードにおいて、液晶表示装置1'の備える暗画素は輝度を呈しないものとしたが、本実施形態はこれに限定されるものではない。例えば、3D表示モードにおいて、暗画素の呈する輝度が所定の輝度以下となるように、CSバスライン62nに供給する電圧Vcom

’ ’ を設定することによっても、クロストークを抑制することができる。

[0252] すなわち、 $V_{com}$ 、および、 $V_{com}'$  ’ を、実施形態1において説明した数式(A1)が満たされるように設定することによっても、クロストークを抑制することができる。

[0253] より具体的な説明は、実施形態1の(3D表示モードについての付記事項)において行ったものと同様であるので、ここでは省略する。ただし、本実施形態においては、実施形態1の(3D表示モードについての付記事項)における「コモンバスライン5に供給される電圧 $V_{com}'$ 」を「CSバスライン62nに供給される電圧 $V_{com}'$  ’」と読み替えるものとする。

[0254] また、上記の説明では、3D表示モードにおいてCSバスライン61nおよびCSバスライン62nに供給される信号は、共に一定の電圧 $V_{com}'$  ’ であるとしたが、これは本実施形態を限定するものではない。

[0255] 例えば、CSバスライン62nに対しては、3D表示モードにおいて、暗画素の副画素電極に実効的に印加される電圧が液晶層の閾値電圧 $V_{th}$ 以下となるような補助容量駆動信号を供給する構成としてもよい。また、CSバスライン61nに対しては、3D表示モードにおいても、図14の(b)に示した波形と同様の波形を有する補助容量駆動信号を供給する構成としてもよい。

[0256] (各画素における副画素の数についての付記事項)

以上の説明においては、R画素8’、G画素10’、および、B画素12’が、それぞれ、2つの副画素(明画素、および、暗画素)を備える構成を例に挙げたが、本実施形態はこれに限定されるものではない。例えば、R画素8’、G画素10’、および、B画素12’は、暗画素および明画素以外の副画素(中間画素とも呼ぶ)を備える構成としてもよい。ここで、中間画素は、2D表示モードおよび3D表示モードの双方のモードにおいて、明画素よりも低い輝度を呈する構成とすることが好ましい。このような構成とすることによって、2D表示モードおよび3D表示モードの双方のモードにおいて、視野角特性を向上させることができる。

[0257] (ノーマリーホワイト型の液晶表示装置への適用について)

ノーマリーホワイト型の液晶表示装置においては、各副画素の備える液晶層に印加される電圧の絶対値が大きいほど、当該副画素の呈する輝度は小さくなる。したがって、上述した液晶パネル100をノーマリーホワイト型の液晶表示装置に適用する場合には、例えば、3D表示モードにおいて、CSバスライン6に供給される電圧 $V_{com}'$ と対向電極の電圧 $V_{com}$ との差の絶対値を十分に大きくとり、3D表示モードにおいて各暗画素が輝度を呈しないような構成とすればよい。また、ノーマリーホワイト型の液晶表示装置に適用する場合にも、 $V_{com}$ 、および、 $V_{com}'$ を、実施形態1において説明した数式(A1)が満たされるように設定する構成とすることができる。

[0258] <実施形態2の変形例1>

本実施形態における液晶パネル100'の回路構成は、上述したものに限定されるものではない。以下では、本実施形態の第1の変形例について、図17の(a)~(b)を参照して説明する。なお、既に説明した部分については、同じ符号を付し、その説明を省略する。

[0259] 図17の(a)は、本変形例に係る液晶パネルの等価回路をR画素8'について示す図である。図17の(a)に示すように、本変形例に係る液晶パネルは、既に説明した液晶パネル100'の構成に加えて、実施形態1における液晶パネル100が備えているものと同様の共通バスライン5を備えている。また、図示はしていないが、本変形例に係る液晶パネルは、液晶パネル100が備えているものと同様の定電圧源25を備えている。

[0260] 図17の(b)に示すように、本変形例に係る液晶パネルにおいては、TFTR'のソース電極は、共通バスライン5mに接続されている。本変形例に係る液晶パネルのG画素10'およびB画素12'の構成も同様である。

[0261] 図17の(b)は、本変形例に係る液晶パネルにおけるR画素8'の具体的な構成を示す平面レイアウト図である。図17の(b)に示すように、コ

モンバスライン5は、第2電極材料を用いて形成されており、TFT3Rのソース電極に接続されている。また、本変形例に係る液晶パネルにおいては、液晶パネル100'と異なり、コンタクト部Pconは不要である。したがって、本変形例に係る液晶パネルによれば、液晶パネル100'に比べて、各暗画素の構成が簡単になる。また、コンタクト部Pconが不要であるので、液晶パネル100'に比べて、各暗画素における副画素電極の面積を大きくとることができ、開口率が向上する。

[0262] 本変形例に係る液晶パネルにおけるR画素8'の他の構成については、液晶パネル100'と同様であるので、説明を省略する。なお、図17の(b)において、副画素電極ECLC2R'は、第2電極材料よりも上層(紙面手前側)に形成されている。また、特に図示はしないが、図17の(b)の紙面手前側には、各副画素に対応する液晶層が配置され、そのさらに手前側には、対向電極が配置される。

[0263] (本変形例に係る液晶パネルの駆動)

本変形例に係る液晶パネルの駆動は、既に説明した液晶パネル100'の駆動とほぼ同様であるが、以下の点において異なる。

[0264] すなわち、本変形例に係る液晶パネルにおいては、3D表示モードが選択された場合、すなわち、スキャン方向が逆方向である場合に明画素8a'および暗画素8b'のそれぞれの液晶層に印加される実効電圧 $V_{1R\_b'}$ 、および、 $V_{2R\_b'}$ は、

$$V_{1R\_b'} = V_{sR'} - V_{com} \quad \dots (32a)$$

$$V_{2R\_b'} = V_{com'} - V_{com} \quad \dots (32b)$$

となる。

[0265] ここで、 $V_{com'}$ は、コモンバスライン5に供給される電圧を表している。数式(32a)は、数式(29a)と同じである。一方で、数式(32b)に示すように、本変形例においては、 $V_{2R\_b'}$ は、コモンバスライン5の電圧 $V_{com'}$ の関数となる。したがって、 $V_{com'} - V_{com}$ を、液晶層の閾値電圧 $V_{th}$ 以下となるように設定することによって、暗画素

8 b' が輝度を呈しないようにすることができる。

[0266] 3D表示モードが選択された場合の、G画素10'の備える暗画素10b'の液晶層に印加される実効電圧、並びに、B画素12'の備える暗画素12b'の液晶層に印加される実効電圧についても同様である。

[0267] このように、本変形例に係る液晶パネルにおいても、3D表示モードが選択された場合に、各暗画素をブラックマトリックスとして機能させることができる。

[0268] <実施形態2の変形例2>

以下では、本実施形態の第2の変形例について、図18の(a)~(b)を参照して説明する。なお、既に説明した部分については、同じ符号を付し、その説明を省略する。

[0269] 図18の(a)は、本変形例に係る液晶パネルの等価回路をR画素8'について示す図である。図18の(a)に示すように、本変形例に係る液晶パネルにおいては、m本目のCSバスライン62であるCSバスライン62mが、ソースバスライン4mと略平行に形成されている。また、CSバスライン62mには、TFT3R'のソース電極、および、補助容量Ccs2Rの補助容量対向電極が接続されている。その他の構成については、液晶パネル100'と同様である。

[0270] また、本変形例に係る液晶パネルのG画素10'およびB画素12'の構成も、本変形例に係る液晶パネルのR画素8'と同様である。

[0271] 図18の(b)は、本変形例に係る液晶パネルにおけるR画素8'の具体的な構成を示す平面レイアウト図である。図18の(b)に示すように、CSバスライン62mは、第2電極材料を用いて形成されており、TFT3R'のソース電極、および、補助容量Ccs2Rの補助容量対向電極に接続されている。また、本変形例に係る液晶パネルにおいては、液晶パネル100'と異なり、コンタクト部Pconは不要である。したがって、本変形例に係る液晶パネルによれば、液晶パネル100'に比べて、各暗画素の構成が簡単になる。また、コンタクト部Pconが不要であるので、液晶パネル1

00' に比べて、各暗画素における副画素電極の面積を大きくとることができ、開口率が向上する。

[0272] また、本変形例に係る液晶パネルにおいては、図18の(b)に示すように、補助容量 $C_{cs2R}$ が、CSバスライン62mに沿って形成されている。本変形例に係る液晶パネルにおけるR画素8'の他の構成については、液晶パネル100'と同様であるので、説明を省略する。なお、図18の(b)において、副画素電極 $E_{CLC2R}$ 'は、第2電極材料よりも上層(紙面手前側)に形成されている。また、特に図示はしないが、図18の(b)の紙面手前側には、各副画素に対応する液晶層が配置され、そのさらに手前側には、対向電極が配置される。

[0273] (本変形例に係る液晶パネルの駆動)

本変形例に係る液晶パネルの駆動は、既に説明した液晶パネル100'の駆動とほぼ同様であるため、説明を省略する。ただし、CSバスライン62mには、(液晶表示装置1'の基本動作)において説明したCSバスライン62nと同様の電圧が供給されるものとする。

[0274] 本変形例に係る液晶パネルにおいても、3D表示モードが選択された場合に、各暗画素をブラックマトリックスとして機能させることができる。

[0275] (実施形態1および実施形態2についての付記事項)

実施形態1および実施形態2においては、n番目のゲートバスラインによって画定される画素におけるTF<sub>T3</sub>のゲート電極がn-1番目以前のゲートバスラインに接続され、2D表示モードにおいて順スキャンを行い、3D表示モードにおいて逆スキャンを行う液晶表示装置を例に挙げたが、上記実施形態はこれに限定されるものではない。

[0276] 例えば、上記実施形態において、n番目のゲートバスラインによって画定される画素におけるTF<sub>T3</sub>のゲート電極がn+1番目以降のゲートバスラインに接続される構成としてもよい。このような構成の場合、2D表示モードにおいて逆スキャンを行い、3D表示モードにおいて順スキャンを行うことによって、上述した効果と同じ効果を得ることができる。

## [0277] (付加事項)

上述したように、本発明に係る液晶表示装置は、第1の表示モードおよび第2の表示モードにより表示が可能な液晶表示装置であって、N行M列（N及びMは自然数）の行列状に配置された複数の画素と、補助バスラインと、各行に配置されたゲートバスラインと、各列に配置されたデータバスラインと、前記複数の画素のうち第n行第m列（n及びmはそれぞれ $1 \leq n \leq N$ 及び $1 \leq m \leq M$ を満たす自然数）の画素について、複数の副画素と、前記副画素毎に配置された副画素電極であって、液晶層を介して対向電極に対向する副画素電極と、前記副画素毎に配置された入力トランジスタであって、前記副画素電極に接続されたドレイン電極と、第m列のデータバスラインに接続されたソース電極と、第n行のゲートバスラインに接続されたゲート電極とを有する入力トランジスタと、を有する液晶パネルと、入射光から第1の偏光状態の出射光を生成する第1の光学板、および、入射光から前記第1の偏光状態とは異なる第2の偏光状態の出射光を生成する第2の光学板が、それぞれ、前記液晶パネルの奇数行および偶数行に対応する位置に形成されている光学パネルと、を備えている液晶表示装置において、第n行第m列の画素についての複数の副画素のうち、前記第1の光学板と前記第2の光学板との境界に最も近い副画素である境界近傍副画素は、当該境界近傍副画素についての副画素電極に電氣的に接続されたドレイン電極と、前記補助バスラインに接続されたソース電極と、第n-1行以前のゲートバスラインに接続されたゲート電極と、を備える出力トランジスタを更に有しており、第2の表示モードにおいては、第1行のゲートバスラインから第N行のゲートバスラインに対して、順次ゲート信号を供給し、第1の表示モードにおいては、第N行のゲートバスラインから第1行のゲートバスラインに対して、順次ゲート信号を供給する、ことを特徴としている。

[0278] 以上のように構成された本発明に係る液晶表示装置は、上記第2の表示モードにおいて、第1行のゲートバスラインから第N行のゲートバスラインに対して順次ゲート信号を供給することによって、すなわち、順方向にスキャ

ンすることによって、上記データバスラインを介して各副画素電極に対して画素毎に共通のデータ電圧を印加する。これにより、各副画素が所望の輝度を呈することによって、画像が表示される。

[0279] 一方で、上記液晶表示装置は、上記第1の表示モードにおいては、第N行のゲートバスラインから第1行のゲートバスラインに対して順次ゲート信号を供給する、すなわち、逆方向にスキャンする。ここで、第n行に配置された画素における各副画素の副画素電極には、当該第n行のゲートバスラインにゲート信号が供給されたときに、当該画素について共通のデータ電圧が印加され、それに引き続き、第n-1行以前のゲートバスラインにゲート信号が供給されたときに、上記出力トランジスタがオン状態に変化することによって、当該各副画素のうち境界近傍副画素の副画素電極の電位が、上記補助バスラインの電位へと変化する。

[0280] したがって、上記のように構成された本発明に係る液晶表示装置によれば、データバスラインの本数を増やすことなく、上記境界近傍副画素についての液晶層と、上記境界近傍副画素以外の副画素についての液晶層とに対して、互いに異なる電圧を印加することができる。また、上記補助バスラインの電位を適宜設定することによって、上記境界近傍副画素の呈する輝度を、上記境界近傍副画素以外の副画素の呈する輝度に比べて小さくすることができる。

[0281] また、上記第1のモードにおいて、Patterned Retarder方式の立体視可能な画像を表示することにより、上述したクロストークの現象を抑制することができる。

[0282] また、上記第2の表示モードにおいては、各画素における境界近傍副画素は、該画素における境界近傍副画素以外の副画素と同じ輝度を呈するので、上記第2のモードにおいて立体視不能な画像を表示することにより、立体視不能な画像を表示するときにも立体視可能な画像を表示するときにも輝度を呈しないブラックマトリックスを備える従来の構成に比べて、輝度の高い画像を表示することができる。



- [0283] また、本発明に係る液晶表示装置においては、前記第1の表示モードおよび前記第2の表示モードの双方において、前記補助バスラインに対して、一定の電圧を印加する、ことが好ましい。
- [0284] 上記の構成によれば、上記補助バスラインに対して一定の電圧を印加するという簡単な構成によって、上記第1の表示モードにおけるクロストークの現象を抑制することができる。
- [0285] また、本発明に係る液晶表示装置においては、前記境界近傍副画素における入力トランジスタのドレイン電極は、補助容量を介して、前記境界近傍副画素における副画素電極に接続されている、ことが好ましい。
- [0286] 上記の構成によれば、前記境界近傍副画素における入力トランジスタのドレイン電極は、補助容量を介して、上記境界近傍副画素における副画素電極に接続されているので、上記第1の表示モードおよび上記第2の表示モードの双方において、データバスラインから供給されるデータ電圧が、上記境界近傍副画素についての液晶層と、上記補助容量とに対して分配される。したがって、上記境界近傍副画素における副画素電極に印加される電圧の絶対値は、データバスラインから供給されるデータ電圧の絶対値よりも小さくなる。
- [0287] 上記第2の表示モードにおいては、スキャン方向が順方向であるので、上記出力トランジスタがオン状態となっても、上記境界近傍副画素の液晶層に印加される電圧は変化しない。したがって、上記の構成によれば、上記第2の表示モードにおいて、各画素における境界近傍画素と、該画素における境界近傍画素以外の副画素との間には輝度差が生じるので、視野角特性が向上する。
- [0288] 一方で、上記第1の表示モードにおいては、スキャン方向が逆方向であるので、上記出力トランジスタがオン状態となると、上記境界近傍副画素の液晶層に印加される電圧は、上記対向電極の電位と上記補助バスラインの電位との電位差によって規定される電圧へと変化する。ここで、上記補助バスラインの電位を適宜設定することによって、上記境界近傍副画素の呈する輝度

を、上記境界近傍副画素以外の副画素の呈する輝度に比べて小さくすることができるので、上記第1の表示モードにおけるクロストークの現象を抑制することができる。

[0289] また、本発明に係る液晶表示装置においては、前記境界近傍副画素における出力トランジスタのドレイン電極は、前記補助容量を介して、前記境界近傍副画素における副画素電極に接続されている、ことが好ましい。

[0290] 上記の構成によれば、上記第1の表示モードおよび上記第2の表示モードの双方において、データバスラインから供給されるデータ電圧が、上記境界近傍副画素についての液晶層と、上記補助容量とに対して分配される。したがって、上記境界近傍副画素における副画素電極に印加される電圧の絶対値は、データバスラインから供給されるデータ電圧の絶対値よりも小さくなる。

[0291] 上記第2の表示モードにおいては、スキャン方向が順方向であるので、上記出力トランジスタがオン状態となっても、上記境界近傍副画素の液晶層に印加される電圧は変化しない。したがって、上記の構成によれば、上記第2の表示モードにおいて、各画素における境界近傍画素と、該画素における境界近傍画素以外の副画素との間には輝度差が生じるので、視野角特性が向上する。

[0292] 一方で、上記第1の表示モードにおいては、スキャン方向が逆方向であるので、上記出力トランジスタがオン状態となると、上記境界近傍副画素の液晶層に印加される電圧は、上記対向電極の電位と上記補助バスラインの電位との電位差によって規定される電圧へと変化する。ここで、上記補助バスラインの電位を適宜設定することによって、上記境界近傍副画素の呈する輝度を、上記境界近傍副画素以外の副画素の呈する輝度に比べて小さくすることができるので、上記第1の表示モードにおけるクロストークの現象を抑制することができる。

[0293] また、本発明に係る液晶表示装置においては、第1の補助容量バスライン、および、前記第1の補助容量バスラインと絶縁された第2の補助容量バス

ラインを更に備え、前記境界近傍副画素についての副画素電極は、第1の補助容量を介して前記第1の補助容量バスラインに接続されており、前記境界近傍副画素以外の副画素についての副画素電極は、第2の補助容量を介して前記第2の補助容量バスラインに接続されており、前記第2の表示モードにおいては、前記第1の補助容量バスラインと前記第2の補助容量バスラインとに対して、互いに異なる波形の補助容量信号を供給し、前記第1の表示モードにおいては、前記第1の補助容量バスラインと前記第2の補助容量バスラインとに対して、電圧レベルが一定の補助容量信号を供給する、ことが好ましい。

[0294] 上記の構成によれば、上記第2の表示モードにおいて、前記第1の補助容量バスラインと前記第2の補助容量バスラインとに対して、互いに異なる波形の補助容量信号を供給するので、上記境界近傍副画素についての液晶層に印加される実効電圧と、上記境界近傍画素以外の副画素についての液晶層に印加される実効電圧とは、互いに異なる。したがって、上記の構成によれば、上記第2の表示モードにおいて、各画素における境界近傍画素と、該画素における境界近傍画素以外の副画素との間には輝度差が生じるので、視野角特性が向上する。

[0295] 一方で、上記第1の表示モードにおいては、スキャン方向が逆方向であるので、上記出力トランジスタがオン状態となると、上記境界近傍副画素の液晶層に印加される電圧は、上記対向電極の電位と上記補助バスラインの電位との電位差によって規定される電圧へと変化する。ここで、上記補助バスラインの電位を適宜設定することによって、上記境界近傍副画素の呈する輝度を、上記境界近傍副画素以外の副画素の呈する輝度に比べて小さくすることができるので、上記第1の表示モードにおけるクロストークの現象を抑制することができる。

[0296] また、本発明に係る液晶表示装置においては、前記補助バスラインは、第1の補助容量バスライン、および、前記第1の補助容量バスラインと絶縁された第2の補助容量バスラインより構成され、前記出力トランジスタのソー

ス電極は、前記第 1 の補助容量バスラインに接続されており、前記境界近傍副画素についての副画素電極は、第 1 の補助容量を介して前記第 1 の補助容量バスラインに接続されており、前記境界近傍副画素以外の副画素についての副画素電極は、第 2 の補助容量を介して前記第 2 の補助容量バスラインに接続されており、前記第 2 の表示モードにおいては、前記第 1 の補助容量バスラインと前記第 2 の補助容量バスラインとに対して、互いに波形の異なる補助容量信号を供給し、前記第 1 の表示モードにおいては、前記第 1 の補助容量バスラインと前記第 2 の補助容量バスラインとに対して、一定電圧の補助容量信号を供給する、ことが好ましい。

[0297] 上記の構成によれば、上記第 2 の表示モードにおいて、前記第 1 の補助容量バスラインと前記第 2 の補助容量バスラインとに対して、互いに異なる波形の補助容量信号を供給するので、上記境界近傍副画素についての液晶層に印加される実効電圧と、上記境界近傍画素以外の副画素についての液晶層に印加される実効電圧とは、互いに異なる。したがって、上記の構成によれば、上記第 2 の表示モードにおいて、各画素における境界近傍画素と、該画素における境界近傍画素以外の副画素との間には輝度差が生じるので、視野角特性が向上する。

[0298] 一方で、上記第 1 の表示モードにおいては、スキャン方向が逆方向であるので、上記出力トランジスタがオン状態となると、上記境界近傍副画素の液晶層に印加される電圧は、上記対向電極の電位と上記補助バスラインの電位との電位差によって規定される電圧へと変化する。ここで、上記補助バスラインの電位を適宜設定することによって、上記境界近傍副画素の呈する輝度を、上記境界近傍副画素以外の副画素の呈する輝度に比べて小さくすることができるので、上記第 1 の表示モードにおけるクロストークの現象を抑制することができる。

[0299] また、上記の構成によれば、前記補助バスラインは、第 1 の補助容量バスライン、および、前記第 1 の補助容量バスラインとは電氣的に独立な第 2 の補助容量バスラインより構成されており、上記出力トランジスタのソース電

極は、上記第1の補助容量バスラインに接続されているので、上記出力トランジスタのソース電極が上記第1の補助容量バスライン以外のバスラインに接続される構成に比べて、回路構成およびバスラインの構成を簡単なものにする事ができる。

[0300] また、本発明に係る液晶表示装置においては、上記第1のモードにおいて、前記各画素について、前記境界近傍副画素の呈する輝度の最大値は、前記境界近傍副画素以外の副画素の呈する輝度の最大値の20パーセント未満である、ことが好ましい。

[0301] 発明者は、前記境界近傍画素の呈する輝度の最大値が、前記境界近傍画素の呈する輝度の最大値の20パーセント未満である場合に、観測者は、前記境界近傍画素を黒画素として認識するとの知見を得た。

[0302] 上記の構成によれば、前記各画素について、前記境界近傍副画素の呈する輝度の最大値は、前記境界近傍副画素以外の副画素の呈する輝度の最大値の20パーセント未満であるため、観測者は、前記境界近傍画素を、黒画素、すなわち、ブラックマトリックスとして認識することになる。

[0303] したがって、上記の構成によれば、前記境界近傍副画素をブラックマトリックスとして機能させることによって、クロストークの発生を効果的に抑制することができる。

[0304] また、本発明に係る液晶表示装置においては、前記各画素について、前記境界近傍副画素と、前記境界近傍副画素に隣接する副画素との境界は、行方向に沿って形成されており、視線方向と前記液晶パネルの法線方向とのなす角を前記液晶パネルの法線方向および前記液晶パネルの列方向の双方に垂直な方向を法線方向とする平面に射影して得られる角度が、前記境界近傍副画素と、該境界近傍副画素を含む画素において該境界近傍副画素に隣接する副画素との境界、および、前記第1の光学板と前記第2の光学板との境界のうち該境界近傍副画素に最も近い境界、の双方の境界を通る直線と前記液晶パネルの法線方向とのなす角を前記液晶パネルの法線方向および前記液晶パネルの列方向の双方に垂直な方向を法線方向とする平面に射影して得られる角

度以下である場合に、前記第 1 の表示モードにおいて、前記境界近傍副画素から前記視線方向に出射され、前記光学パネルにおける前記第 1 の光学板および前記第 2 の光学板の何れか一方の光学板を透過した画像光の輝度の最大値は、前記境界近傍副画素に対して行方向に沿った境界を介して隣接する画素から前記視線方向に出射され前記光学パネルにおける前記何れか一方の光学板を透過した画像光の輝度の最大値の 20 パーセント未満である、ことが好ましい。

[0305] 発明者は、また、前記境界近傍画素から出射された画像光であって、前記光学パネルにおける前記第 1 の光学板および前記第 2 の光学板の何れか一方の光学板を透過した画像光の輝度が、前記境界近傍副画素に対して行方向に沿った境界を介して隣接する画素から前記視線方向に出射され前記光学パネルにおける前記何れか一方の光学板を透過した画像光の輝度の最大値の 20 パーセント未満である場合に、観測者は、前記境界近傍画素を黒画素として認識するとの知見を得た。

[0306] 上記の構成によれば、観測者は、前記境界近傍画素を、黒画素、すなわち、ブラックマトリックスとして認識することになる。

[0307] したがって、上記の構成によれば、前記境界近傍副画素をブラックマトリックスとして機能させることによって、クロストークの発生をより効果的に抑制することができる。

[0308] また、本発明に係るディスプレイ装置は、上記液晶表示装置を備えているディスプレイ装置であって、前記第 1 の表示モードにおいて、立体視可能な画像を表示する、ことを特徴としている。

[0309] 上記のように構成されたディスプレイ装置によれば、前記第 1 の表示モードにおいて、立体視可能な画像を表示するので、クロストークの発生を抑制することができる。

[0310] 本発明は上述した各実施形態に限定されるものではなく、請求項に示した範囲で種々の変更が可能であり、異なる実施形態にそれぞれ開示された技術的手段を適宜組み合わせて得られる実施形態についても本発明の技術的範囲

に含まれる。

### 産業上の利用可能性

[0311] 本発明は、Patterned Retarder方式を用いて、画像を立体視可能に表示する液晶表示装置に好適に適用することができる。

### 符号の説明

[0312] 1、1'	液晶表示装置
100、100'	液晶パネル
200	Patterned Retarder (光学パネル)
2	ゲートバスライン
4	ソースバスライン
5	コモンバスライン (補助バスライン)
6	CSバスライン (補助バスライン、補助容量バスライン)
8、8'	R画素 (画素)
8a、8a'	R画素の明画素 (副画素)
8b、8b'	R画素の暗画素 (副画素、境界近傍副画素)
10、10'	G画素 (画素)
10a、10a'	G画素の明画素 (副画素)
10b、10b'	G画素の暗画素 (副画素、境界近傍副画素)
12、12'	B画素 (画素)
12a、12a'	B画素の明画素 (副画素)
12b、12b'	B画素の暗画素 (副画素、境界近傍副画素)
TFT1R、TFT2R	薄膜トランジスタ (入力トランジスタ)
TFT3R	薄膜トランジスタ (出力トランジスタ)
TFT1G、TFT2G	薄膜トランジスタ (入力トランジスタ)
TFT3G	薄膜トランジスタ (出力トランジスタ)
TFT1B、TFT2B	薄膜トランジスタ (入力トランジスタ)
TFT3B	薄膜トランジスタ (出力トランジスタ)

C l c 1 R、C l c 2 R	液晶容量
C l c 1 G、C l c 2 G	液晶容量
C l c 1 B、C l c 2 B	液晶容量
C c s 1 R、C c s 2 R	補助容量
C c s 1 G、C c s 2 G	補助容量
C c s 1 B、C c s 2 B	補助容量
R R	位相差板
R L	位相差板



## 請求の範囲

[請求項1]

第1の表示モードおよび第2の表示モードにより表示が可能な液晶表示装置であって、

N行M列（N及びMは自然数）の行列状に配置された複数の画素と、補助バスラインと、各行に配置されたゲートバスラインと、各列に配置されたデータバスラインと、前記複数の画素のうち第n行第m列（n及びmはそれぞれ  $1 \leq n \leq N$  及び  $1 \leq m \leq M$  を満たす自然数）の画素について、複数の副画素と、前記副画素毎に配置された副画素電極であって、液晶層を介して対向電極に対向する副画素電極と、前記副画素毎に配置された入力トランジスタであって、前記副画素電極に接続されたドレイン電極と、第m列のデータバスラインに接続されたソース電極と、第n行のゲートバスラインに接続されたゲート電極とを有する入力トランジスタと、を有する液晶パネルと、

入射光から第1の偏光状態の出射光を生成する第1の光学板、および、入射光から前記第1の偏光状態とは異なる第2の偏光状態の出射光を生成する第2の光学板が、それぞれ、前記液晶パネルの奇数行および偶数行に対応する位置に形成されている光学パネルと、を備えている液晶表示装置において、

第n行第m列の画素についての複数の副画素のうち、前記第1の光学板と前記第2の光学板との境界に最も近い副画素である境界近傍副画素は、当該境界近傍副画素についての副画素電極に電氣的に接続されたドレイン電極と、前記補助バスラインに接続されたソース電極と、第n-1行以前のゲートバスラインに接続されたゲート電極と、を備える出力トランジスタを更に有しており、

前記第2の表示モードにおいては、第1行のゲートバスラインから第N行のゲートバスラインに対して、順次ゲート信号を供給し、

前記第1の表示モードにおいては、第N行のゲートバスラインから第1行のゲートバスラインに対して、順次ゲート信号を供給する、

ことを特徴とする液晶表示装置。

[請求項2] 前記第1の表示モードおよび前記第2の表示モードの双方において、前記補助バスラインに対して、一定の電圧を印加する、ことを特徴とする請求項1に記載の液晶表示装置。

[請求項3] 前記境界近傍副画素における入力トランジスタのドレイン電極は、補助容量を介して、前記境界近傍副画素における副画素電極に接続されている、ことを特徴とする請求項1または2に記載の液晶表示装置。

[請求項4] 前記境界近傍副画素における出力トランジスタのドレイン電極は、前記補助容量を介して、前記境界近傍副画素における副画素電極に接続されている、ことを特徴とする請求項3に記載の液晶表示装置。

[請求項5] 第1の補助容量バスライン、および、前記第1の補助容量バスラインと絶縁された第2の補助容量バスラインを更に備え、  
前記境界近傍副画素についての副画素電極は、第1の補助容量を介して前記第1の補助容量バスラインに接続されており、  
前記境界近傍副画素以外の副画素についての副画素電極は、第2の補助容量を介して前記第2の補助容量バスラインに接続されており、  
前記第2の表示モードにおいては、前記第1の補助容量バスラインと前記第2の補助容量バスラインとに対して、互いに異なる波形の補助容量信号を供給し、  
前記第1の表示モードにおいては、前記第1の補助容量バスラインと前記第2の補助容量バスラインとに対して、電圧レベルが一定の補助容量信号を供給する、  
ことを特徴とする請求項1または2に記載の液晶表示装置。

[請求項6] 前記補助バスラインは、第1の補助容量バスライン、および、前記第1の補助容量バスラインと絶縁された第2の補助容量バスラインより構成され、

前記出力トランジスタのソース電極は、前記第1の補助容量バスラインに接続されており、

前記境界近傍副画素についての副画素電極は、第1の補助容量を介して前記第1の補助容量バスラインに接続されており、

前記境界近傍副画素以外の副画素についての副画素電極は、第2の補助容量を介して前記第2の補助容量バスラインに接続されており、

前記第2の表示モードにおいては、前記第1の補助容量バスラインと前記第2の補助容量バスラインとに対して、互いに波形の異なる補助容量信号を供給し、

前記第1の表示モードにおいては、前記第1の補助容量バスラインと前記第2の補助容量バスラインとに対して、一定電圧の補助容量信号を供給する、

ことを特徴とする請求項1に記載の液晶表示装置。

[請求項7]

前記第1の表示モードにおいて、前記各画素について、前記境界近傍副画素の呈する輝度の最大値は、前記境界近傍副画素以外の副画素の呈する輝度の最大値の20パーセント未満である、

ことを特徴とする請求項1から6の何れか1項に記載の液晶表示装置。

[請求項8]

前記各画素について、前記境界近傍副画素と、前記境界近傍副画素に隣接する副画素との境界は、行方向に沿って形成されており、

視線方向と前記液晶パネルの法線方向とのなす角を前記液晶パネルの法線方向および前記液晶パネルの列方向の双方に垂直な方向を法線方向とする平面に射影して得られる角度が、

前記境界近傍副画素と、該境界近傍副画素を含む画素において該境界近傍副画素に隣接する副画素との境界、および、

前記第1の光学板と前記第2の光学板との境界のうち該境界近傍副画素に最も近い境界、

の双方の境界を通る直線と前記液晶パネルの法線方向とのなす角を前

記液晶パネルの法線方向および前記液晶パネルの列方向の双方に垂直な方向を法線方向とする平面に射影して得られる角度以下である場合に、

前記第1の表示モードにおいて、前記境界近傍副画素から前記視線方向に出射され、前記光学パネルにおける前記第1の光学板および前記第2の光学板の何れか一方の光学板を透過した画像光の輝度の最大値は、前記境界近傍副画素に対して行方向に沿った境界を介して隣接する画素から前記視線方向に出射され前記光学パネルにおける前記何れか一方の光学板を透過した画像光の輝度の最大値の20パーセント未満である、

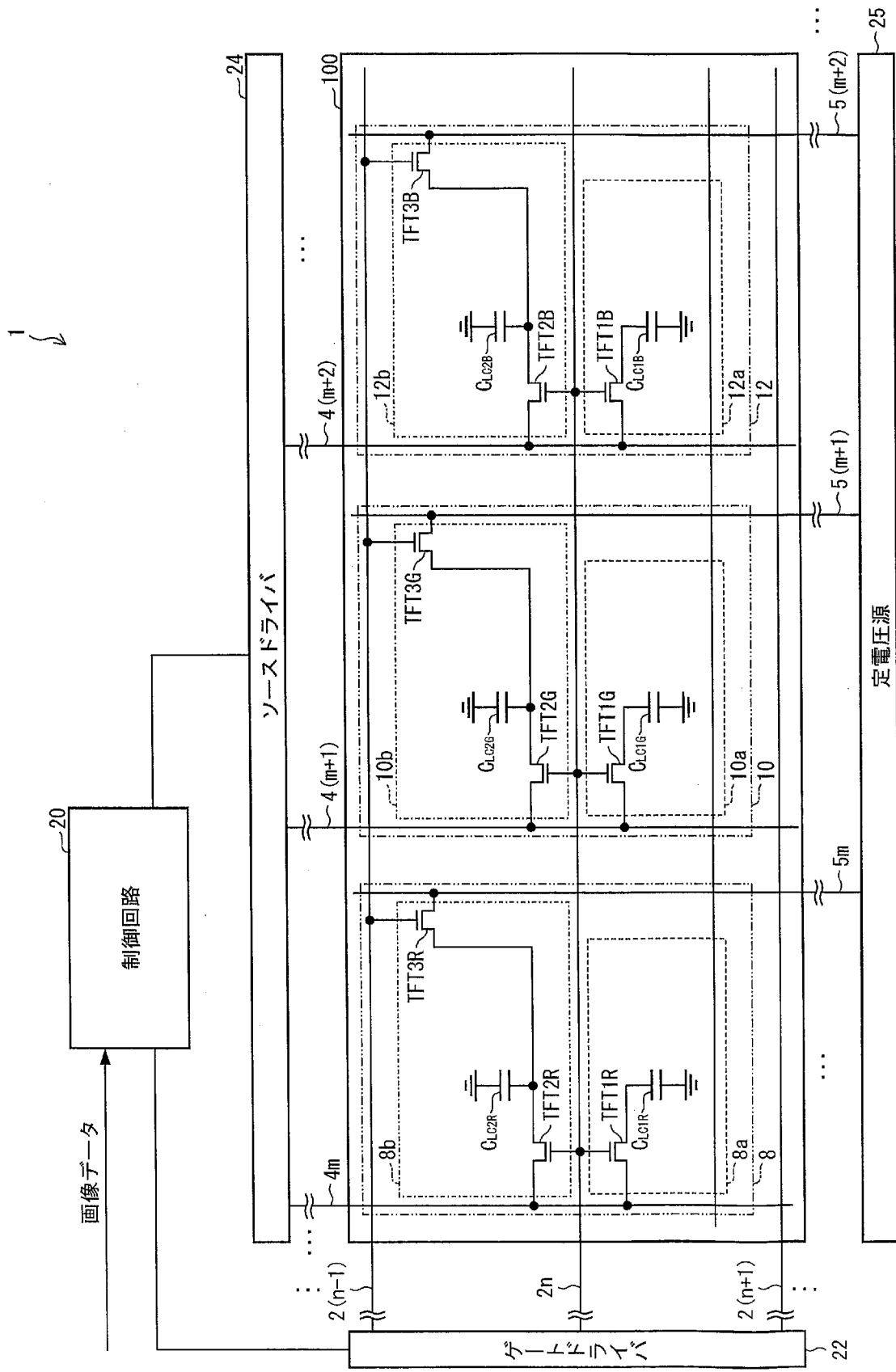
ことを特徴とする請求項1から6の何れか1項に記載の液晶表示装置。

[請求項9]

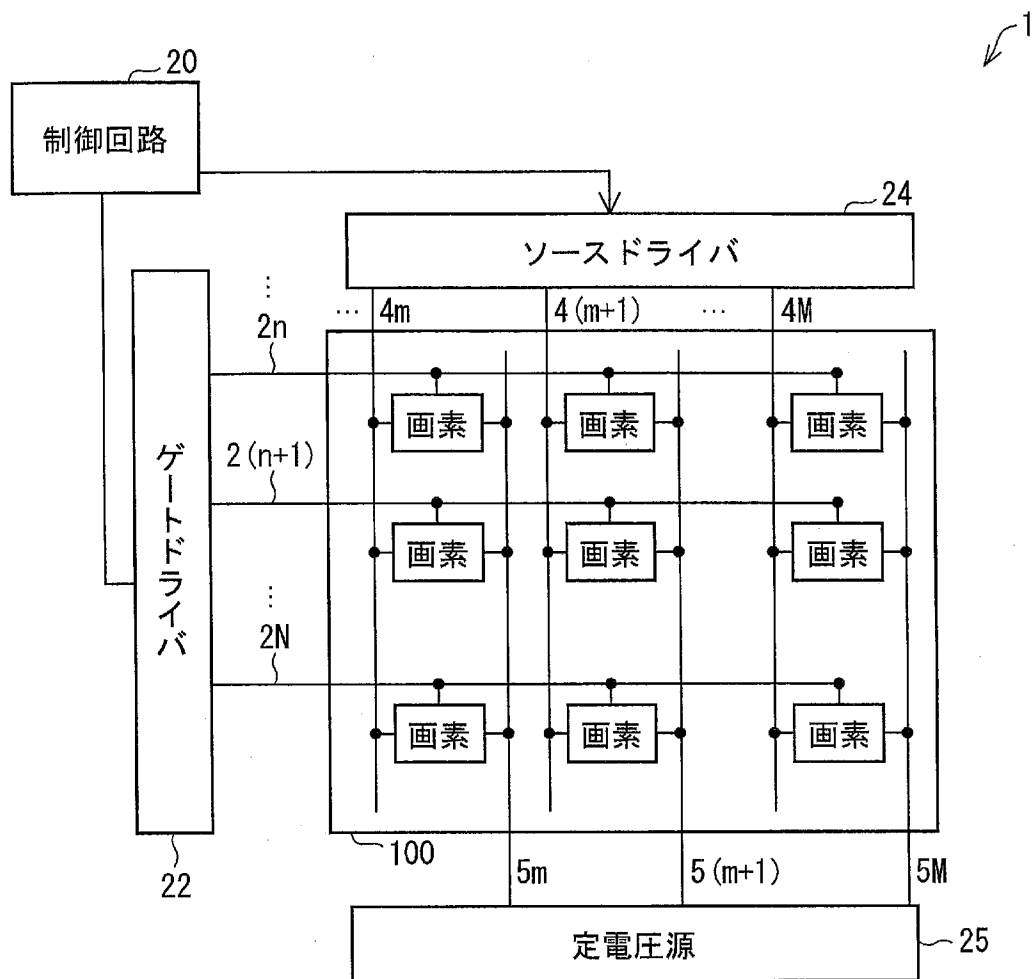
請求項1から8に記載の液晶表示装置を備えているディスプレイ装置であって、前記第1の表示モードにおいて、立体視可能な画像を表示する、

ことを特徴とするディスプレイ装置。

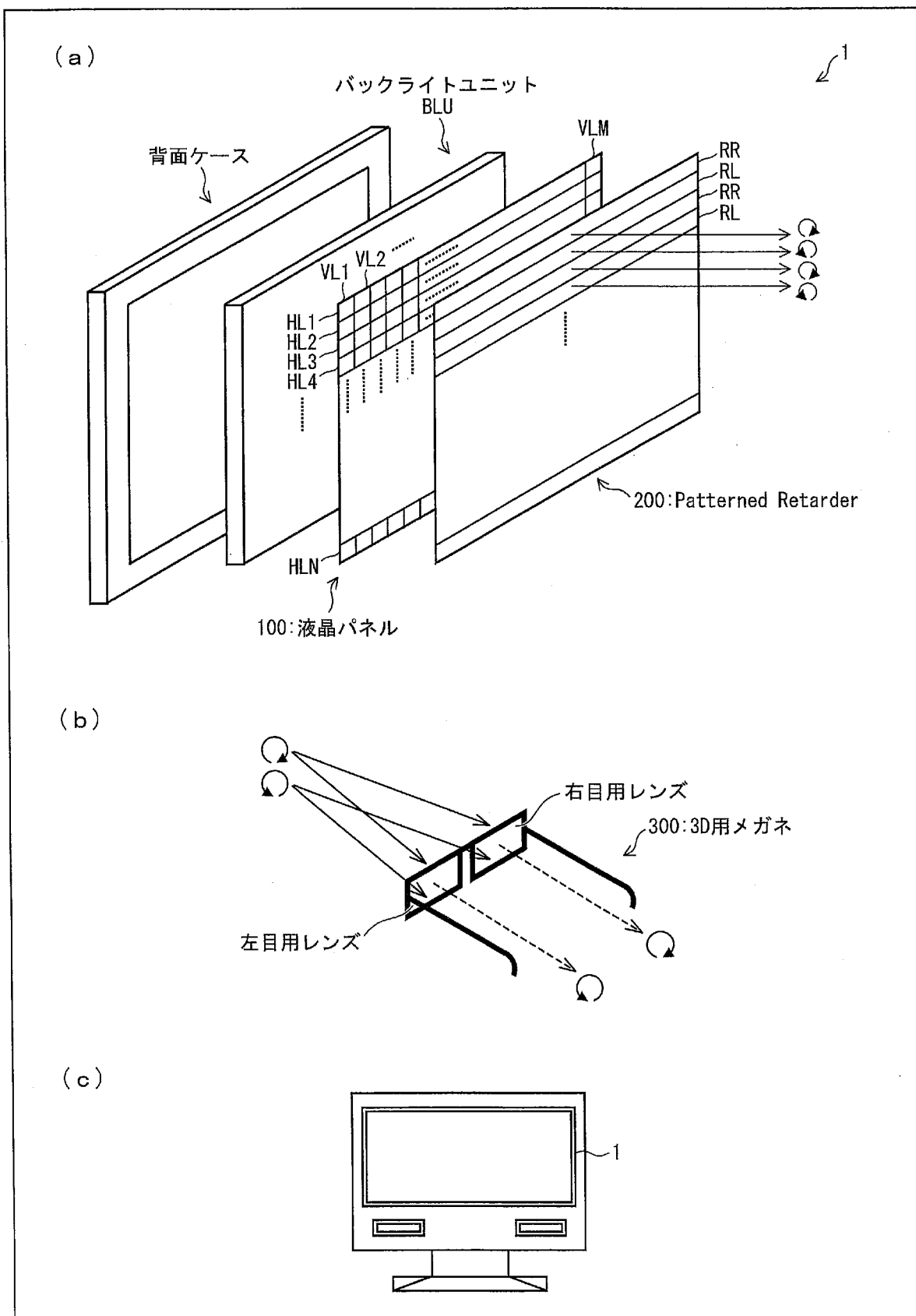
[図1]



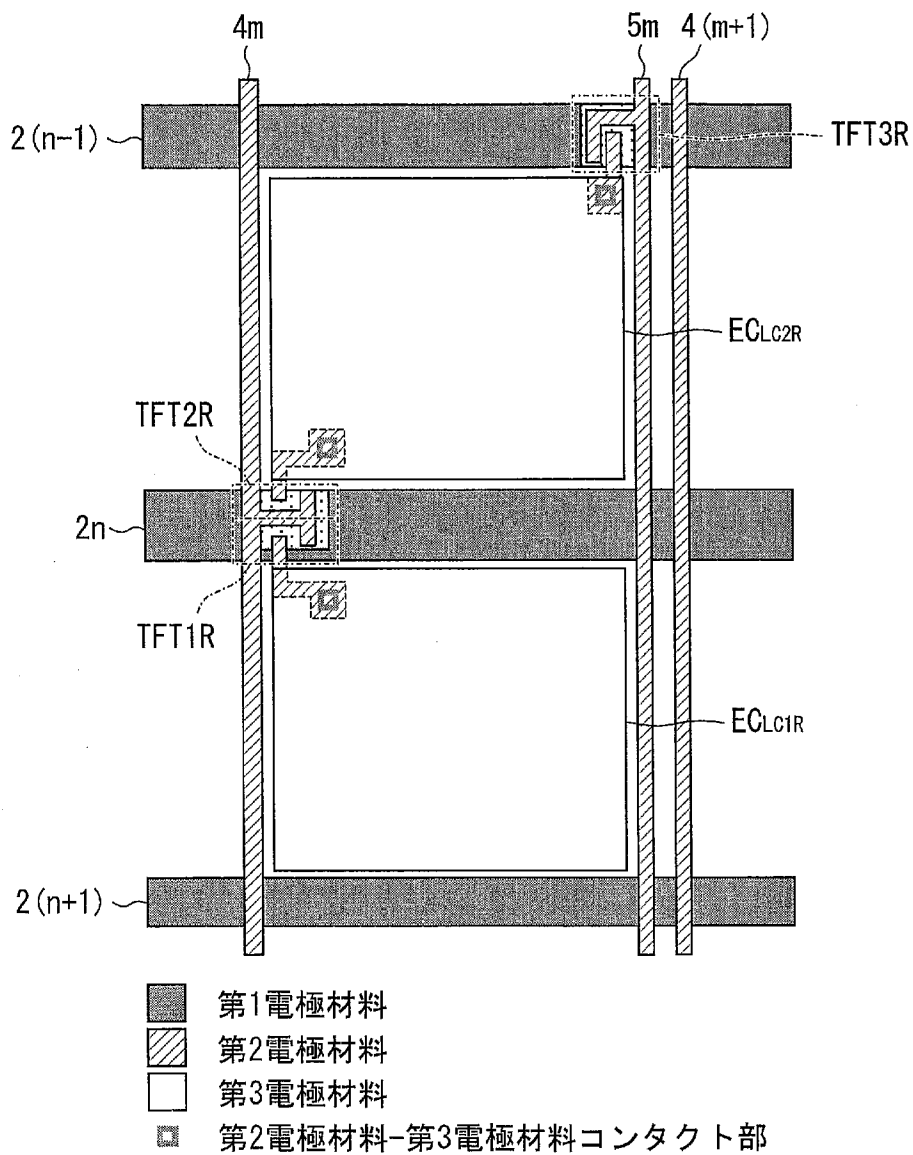
[図2]



[図3]

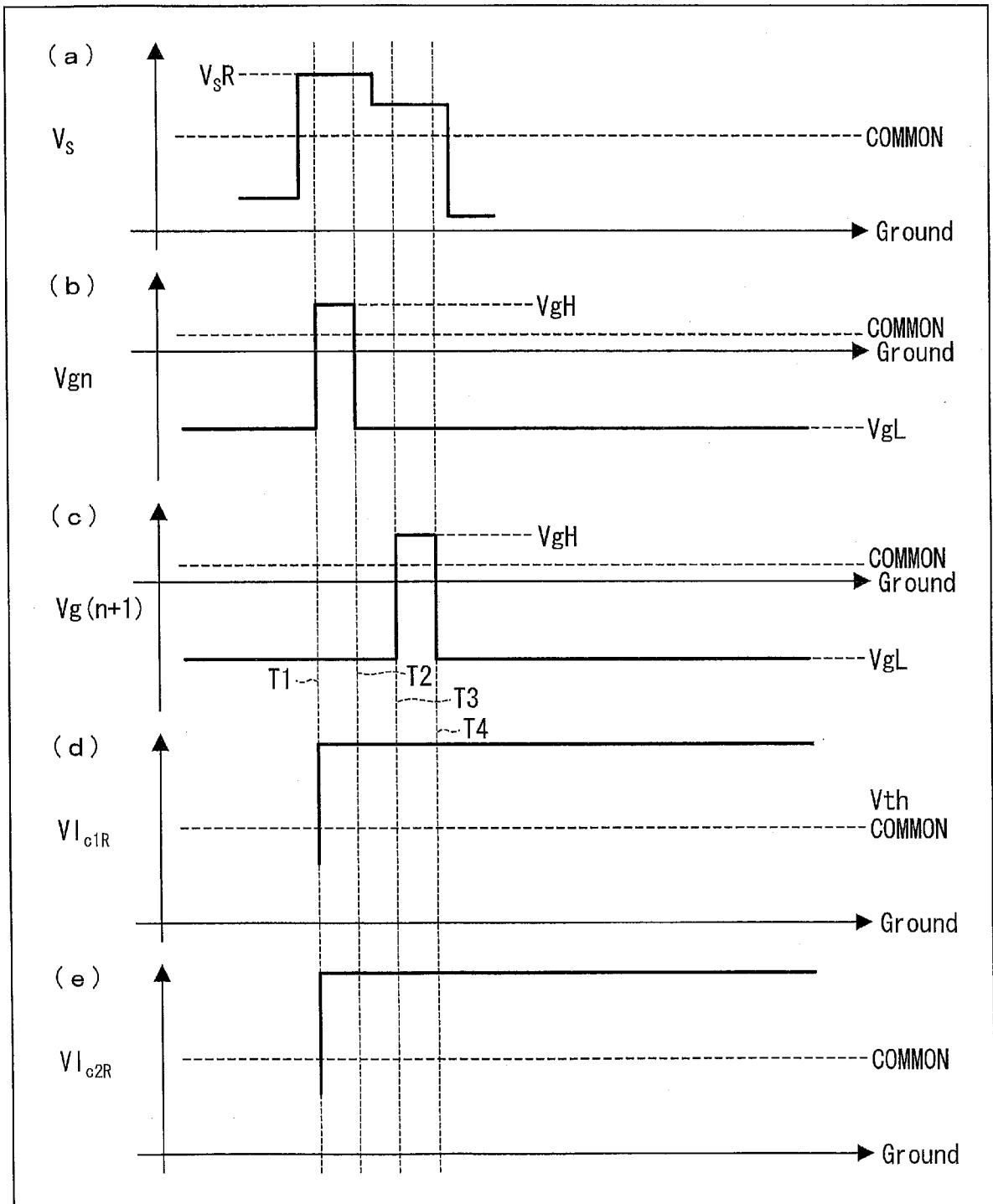


[図4]

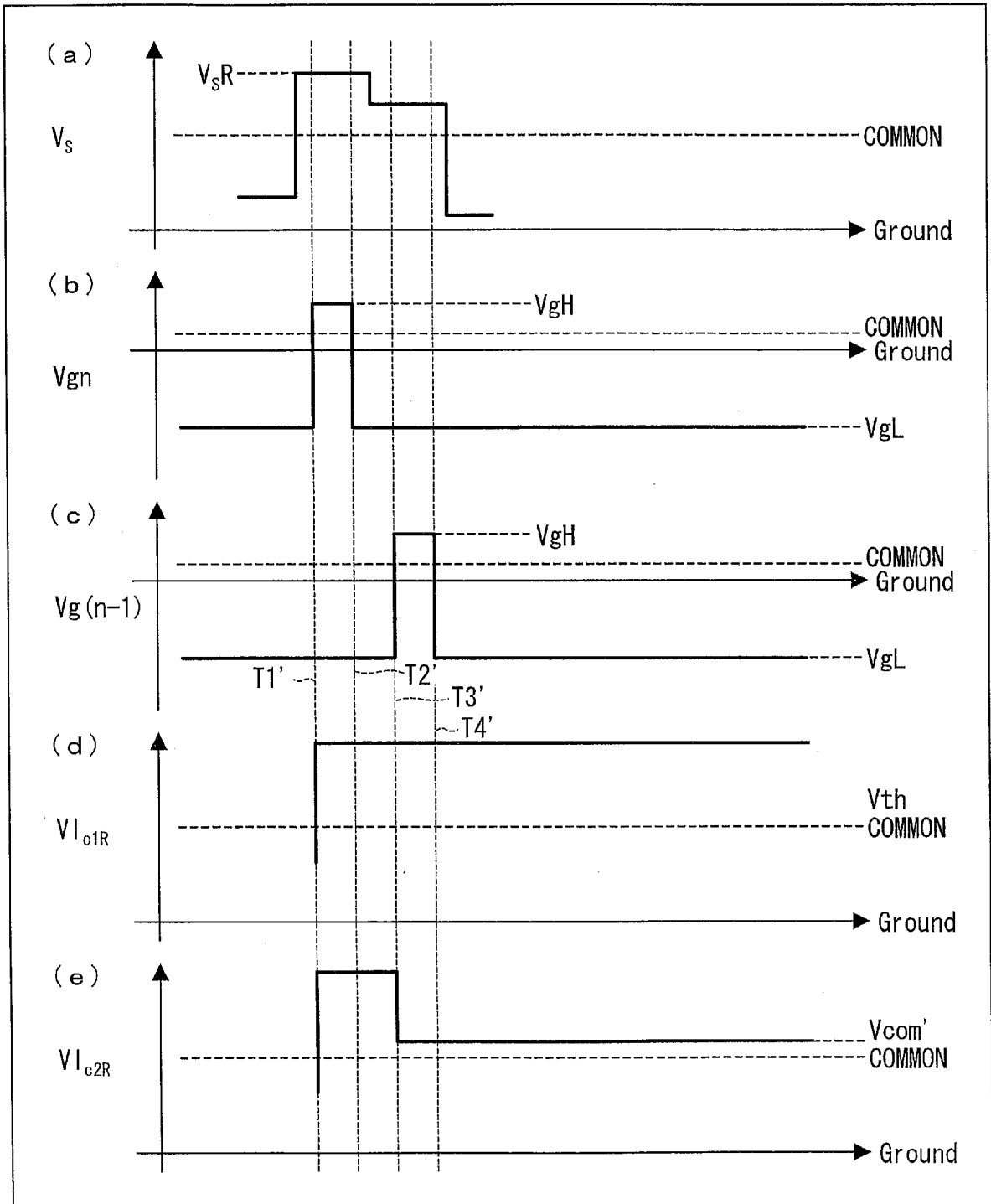




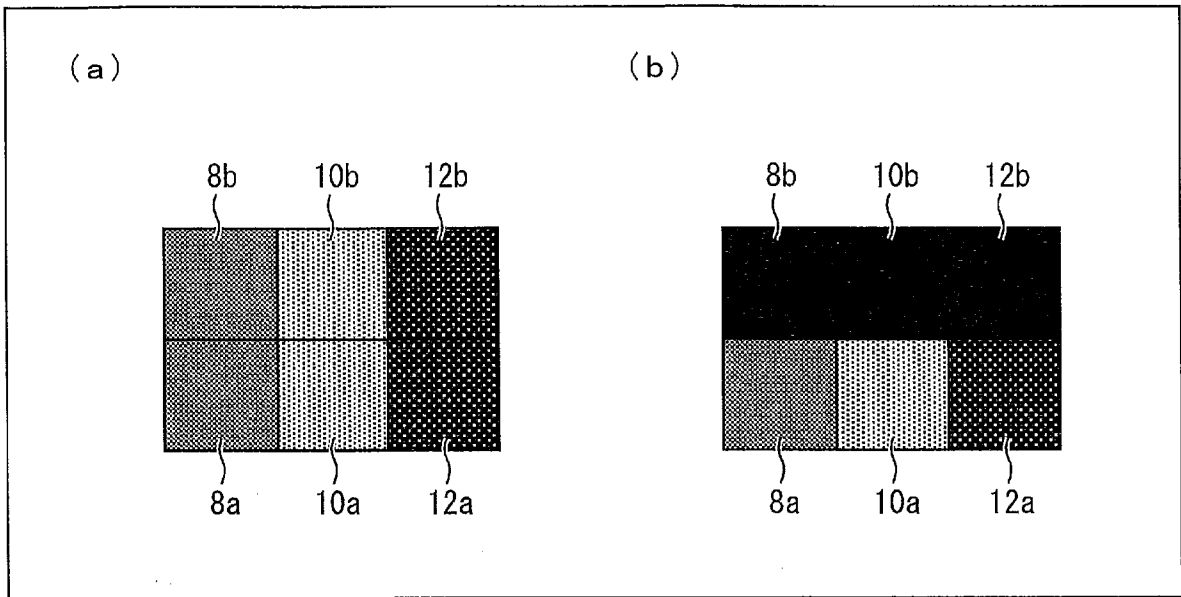
[図5]



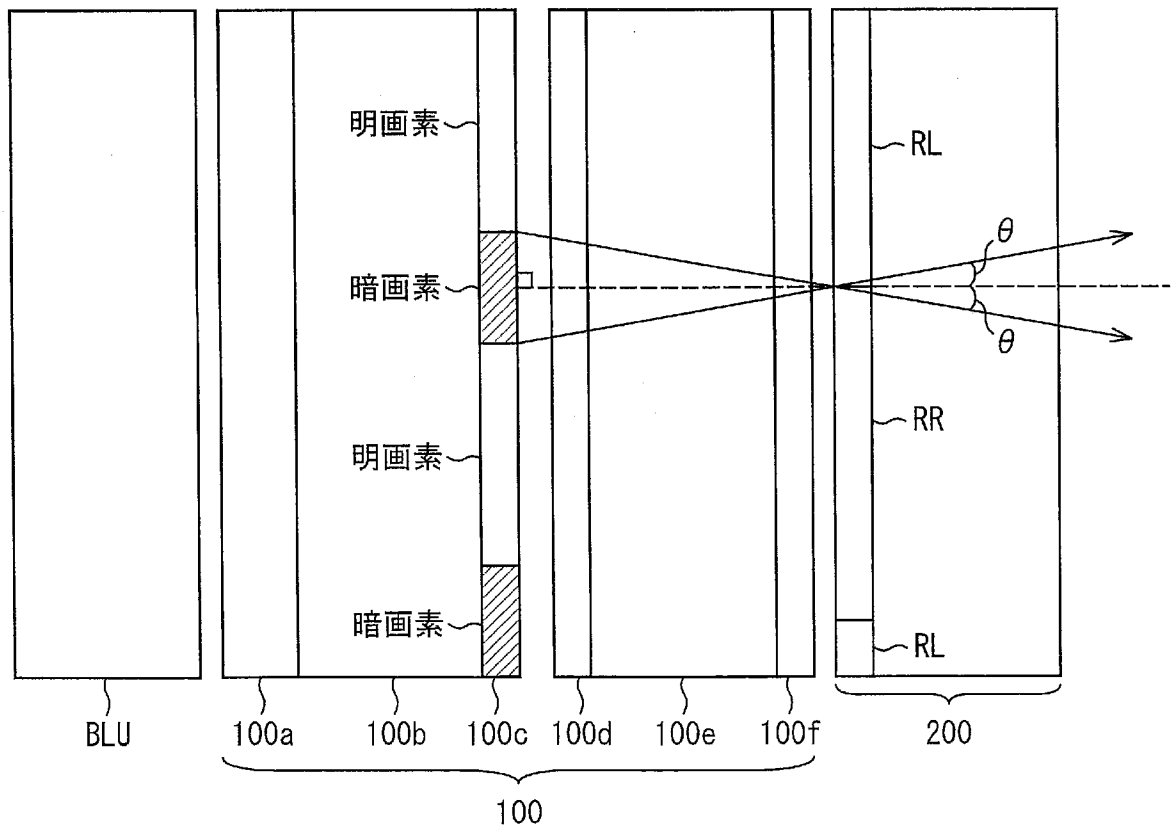
[圖6]



[図7]

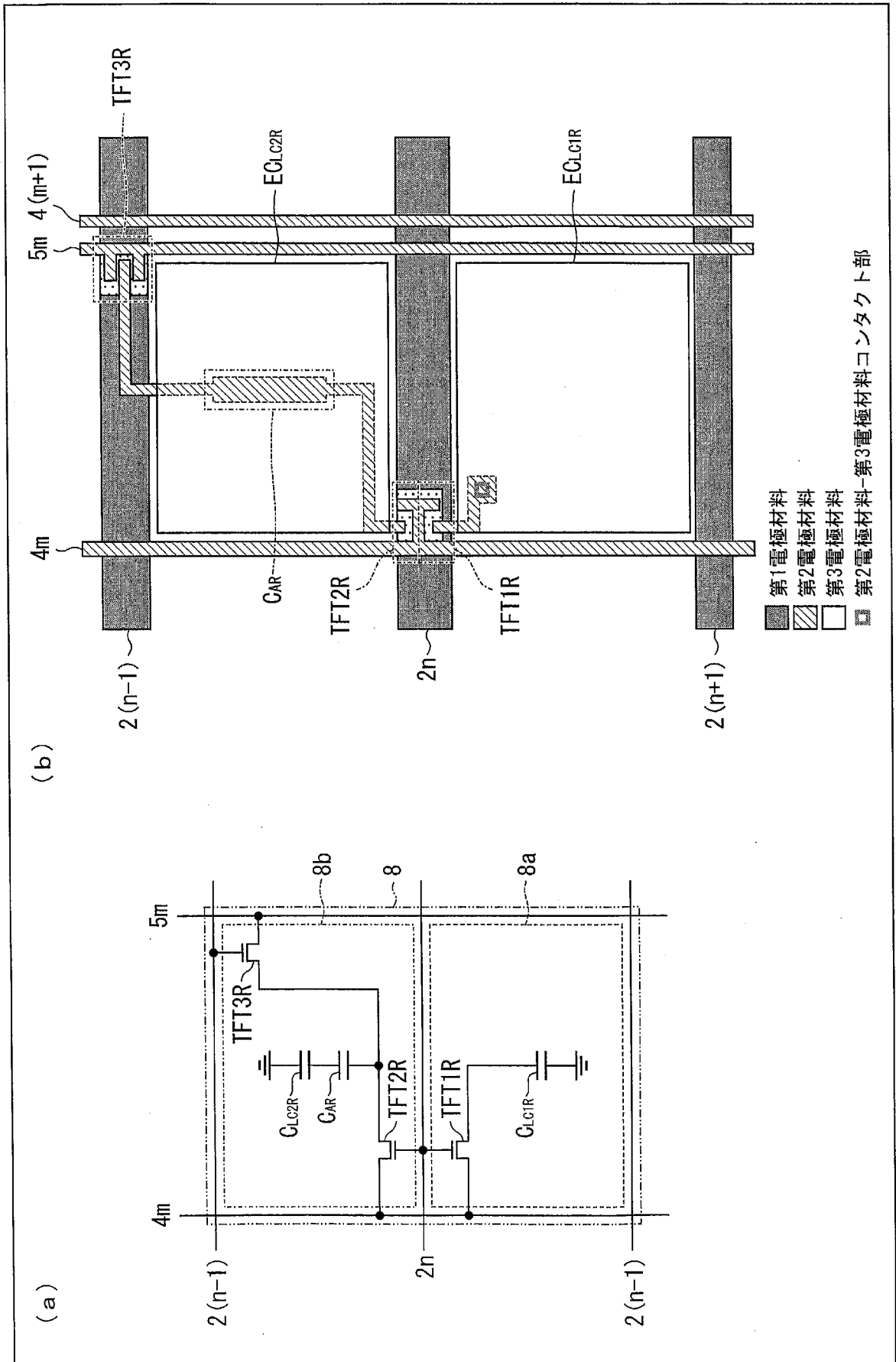


[図8]

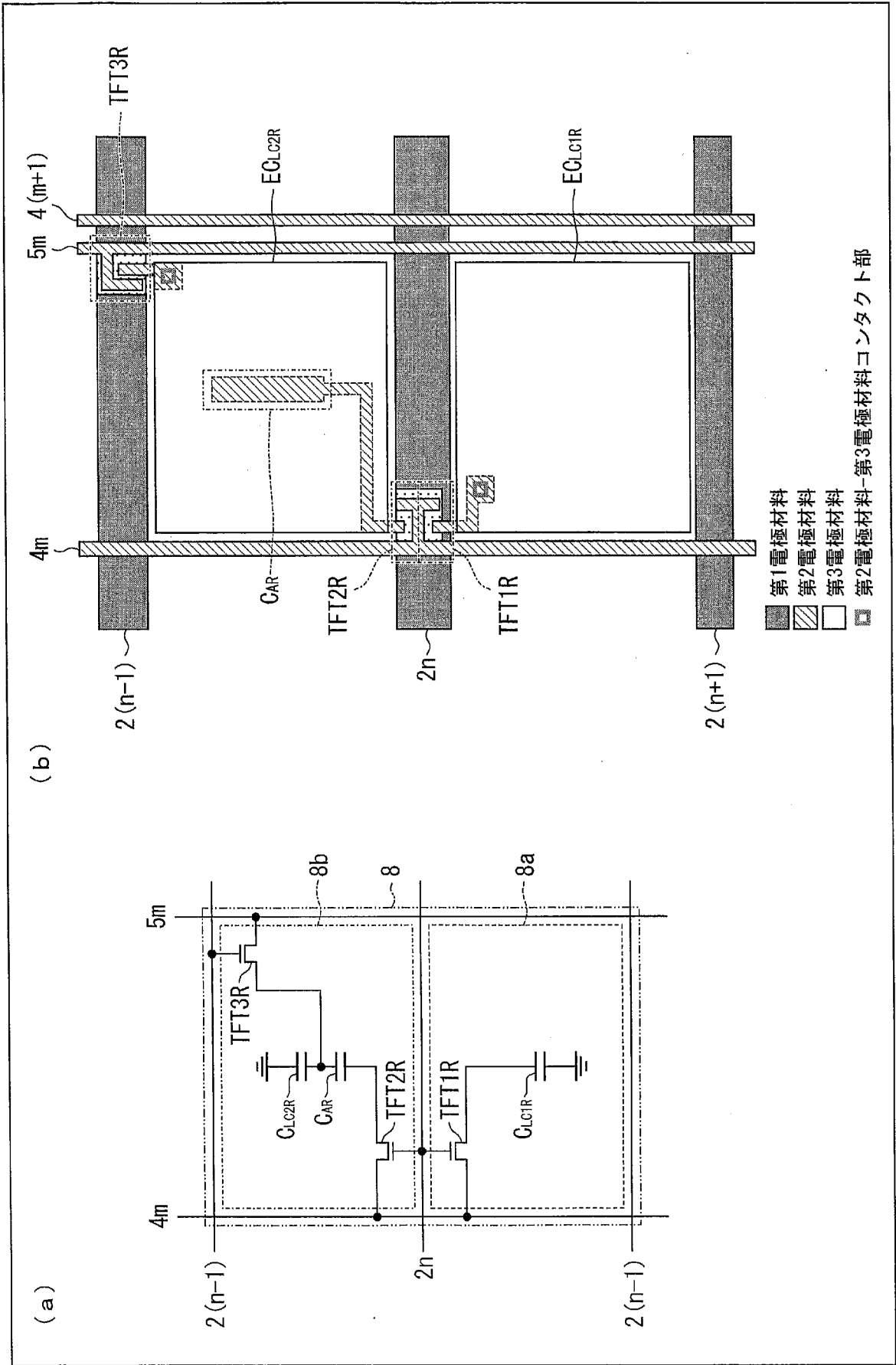




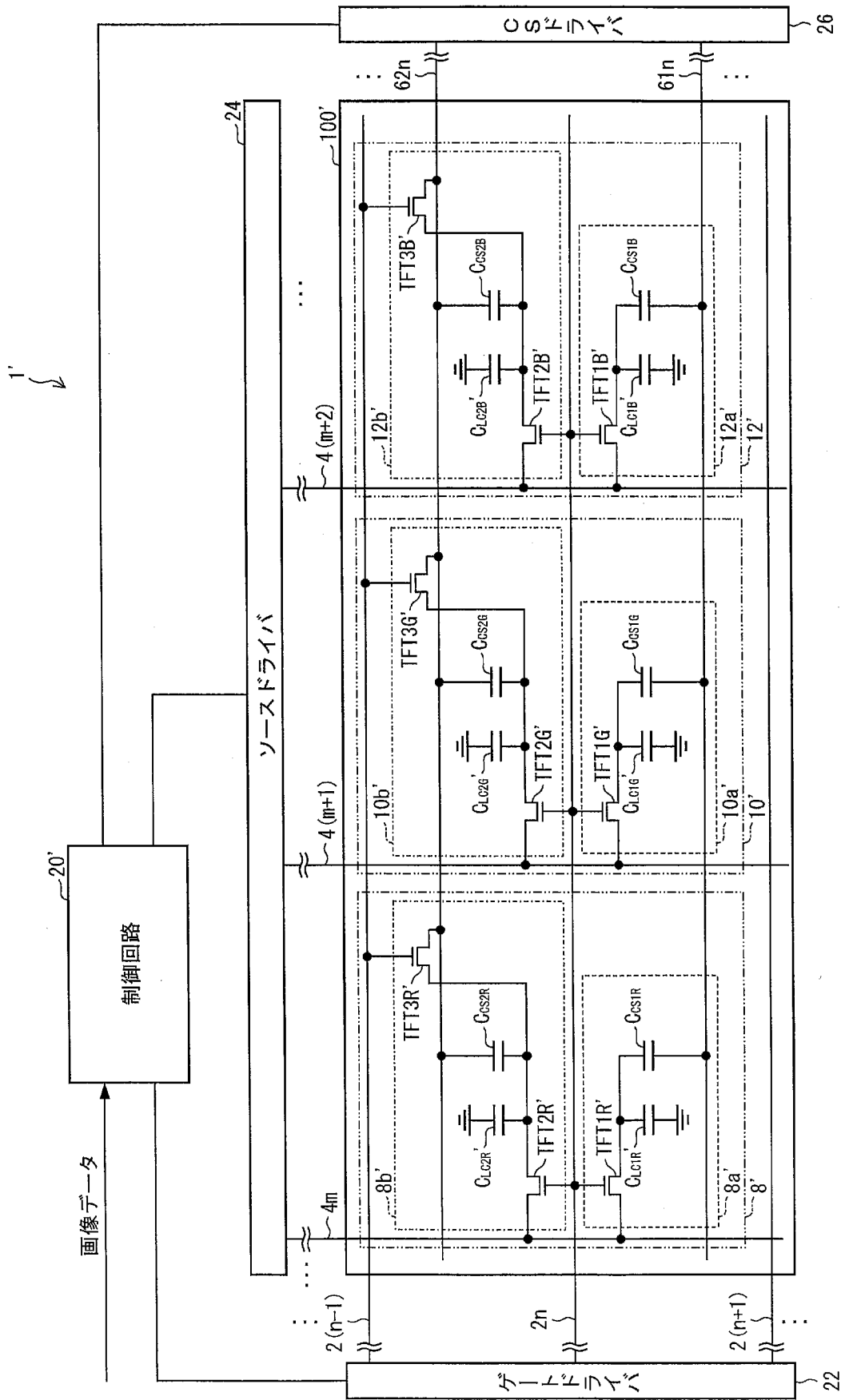
[図10]



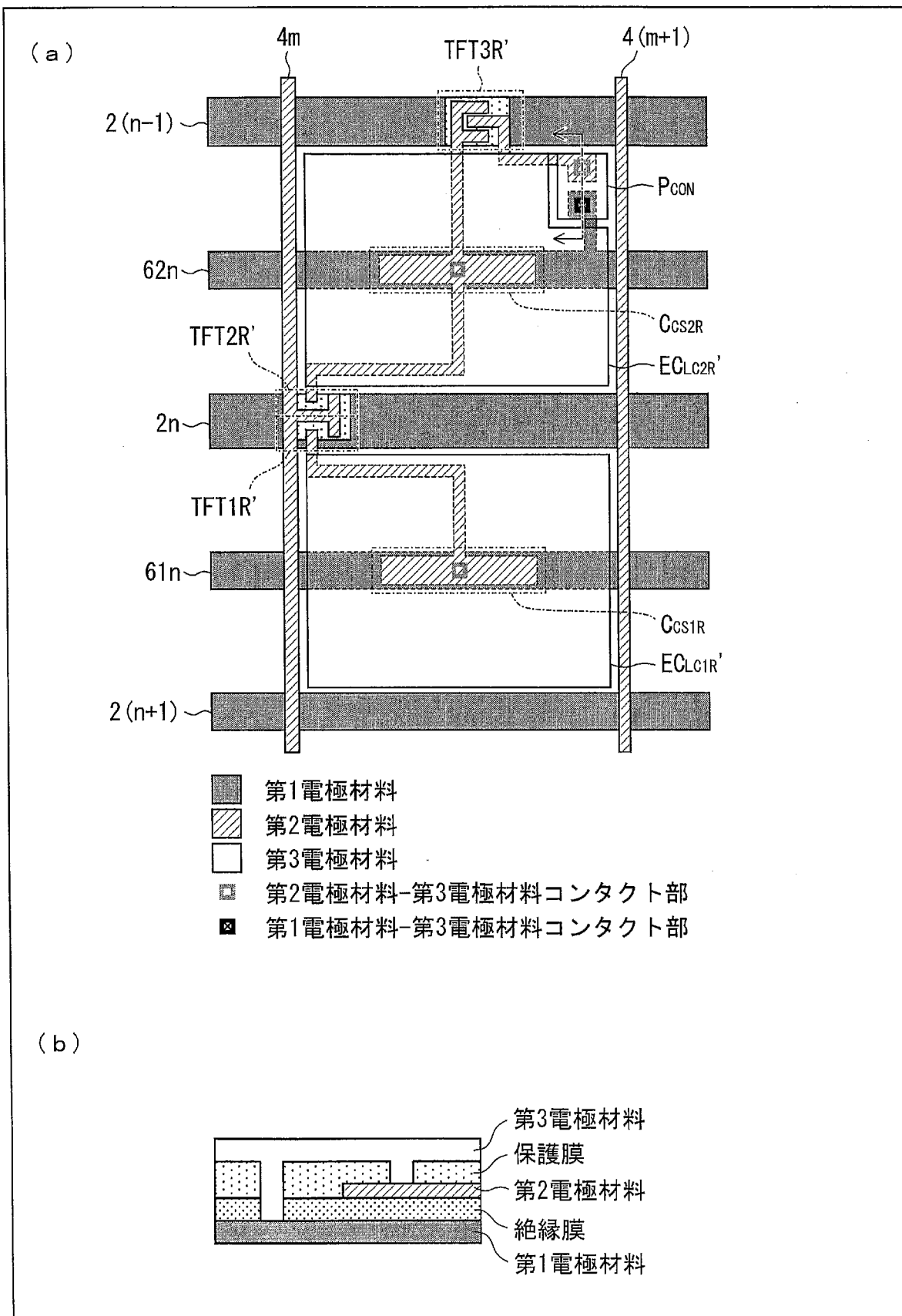
[図11]



[図12]

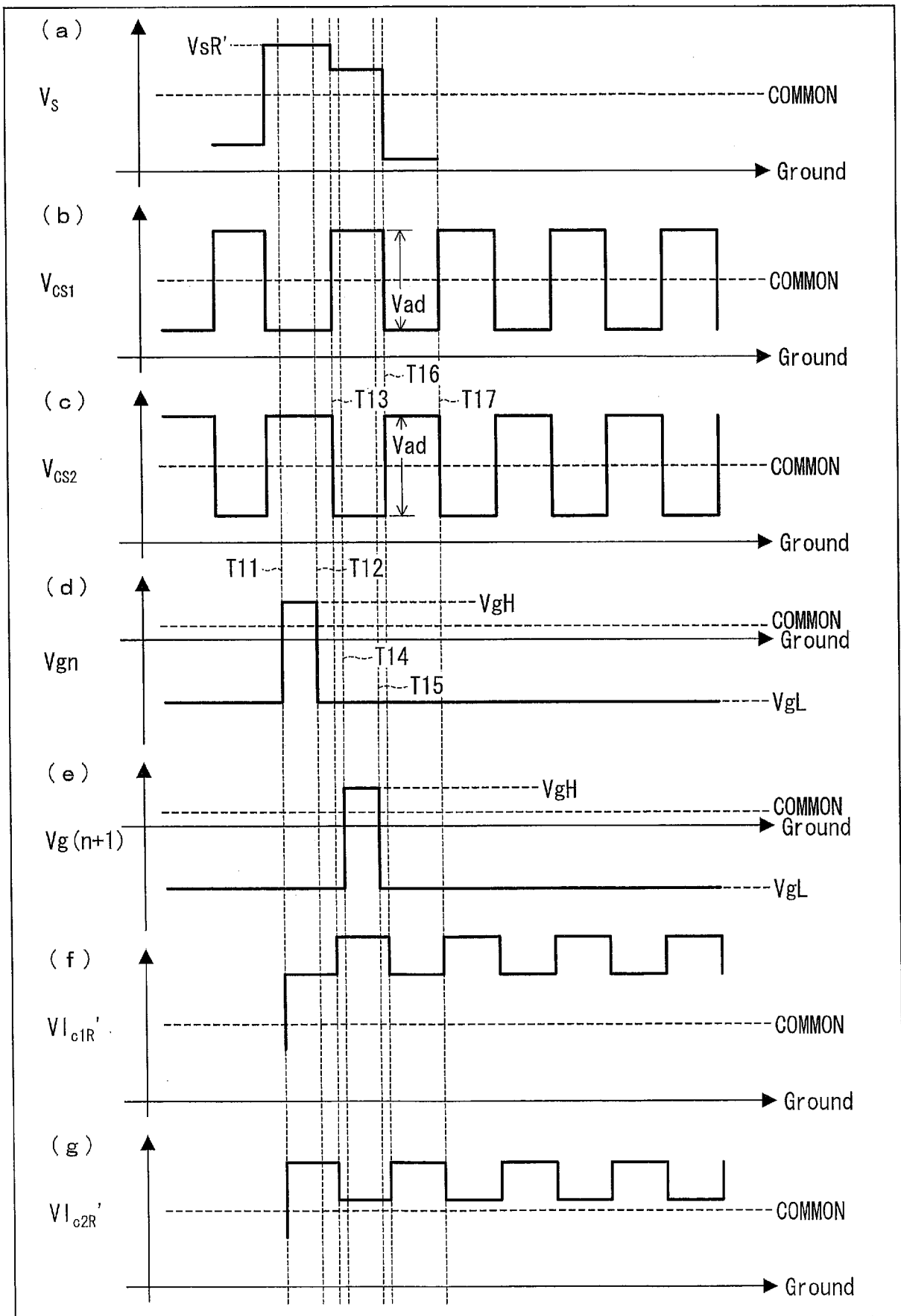


[図13]

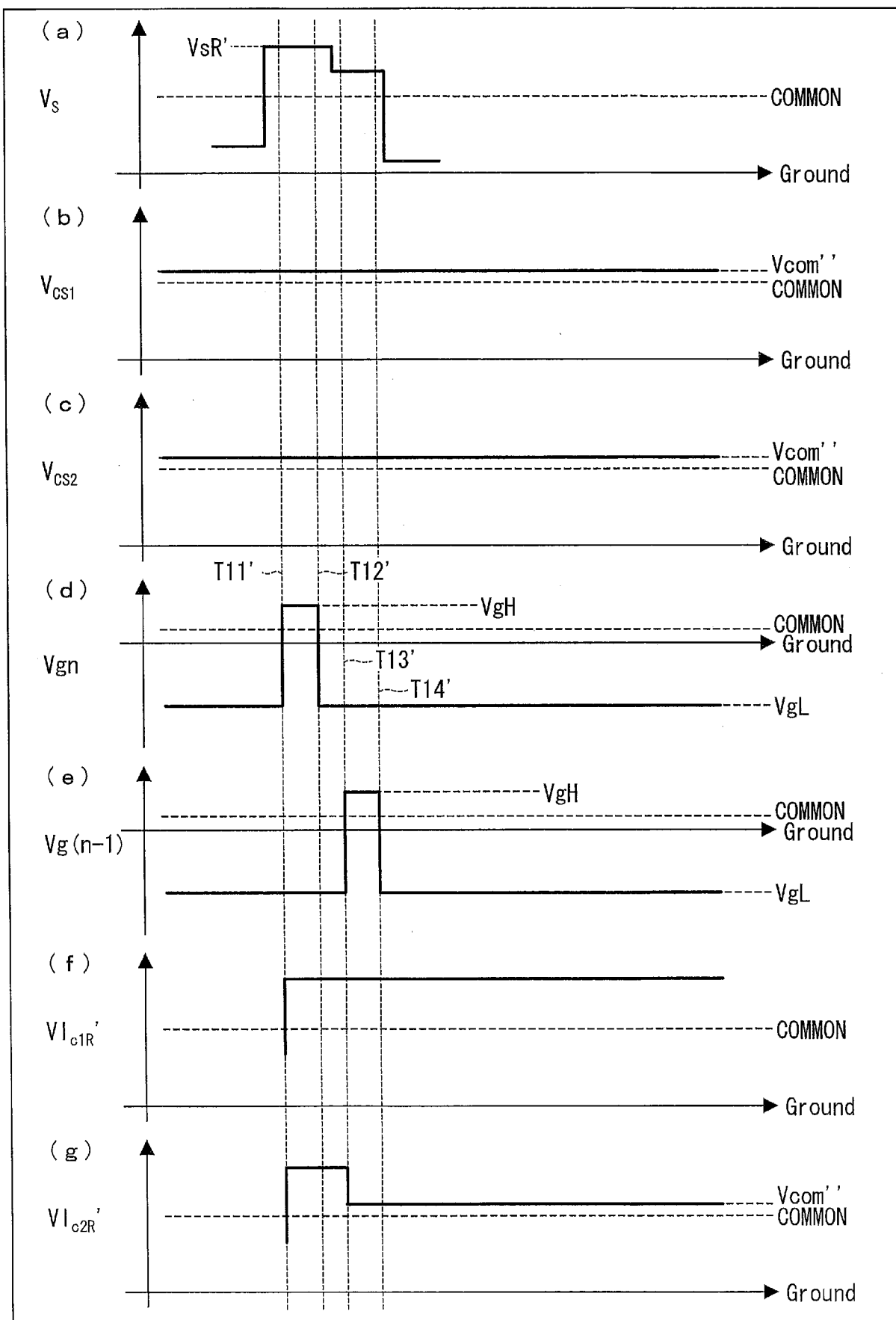




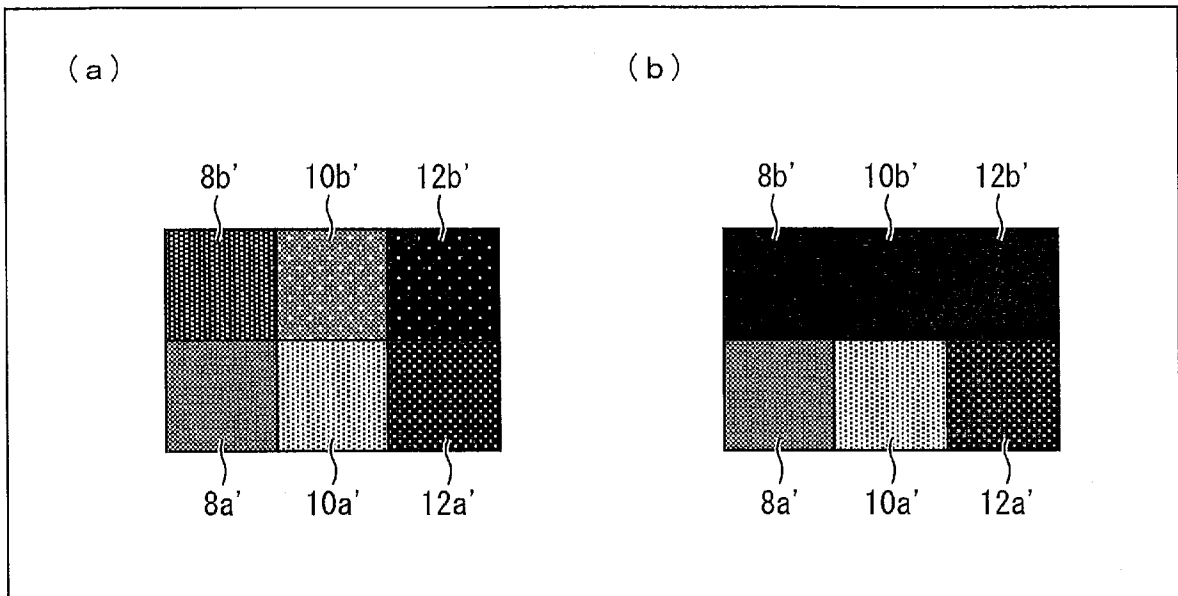
[図14]



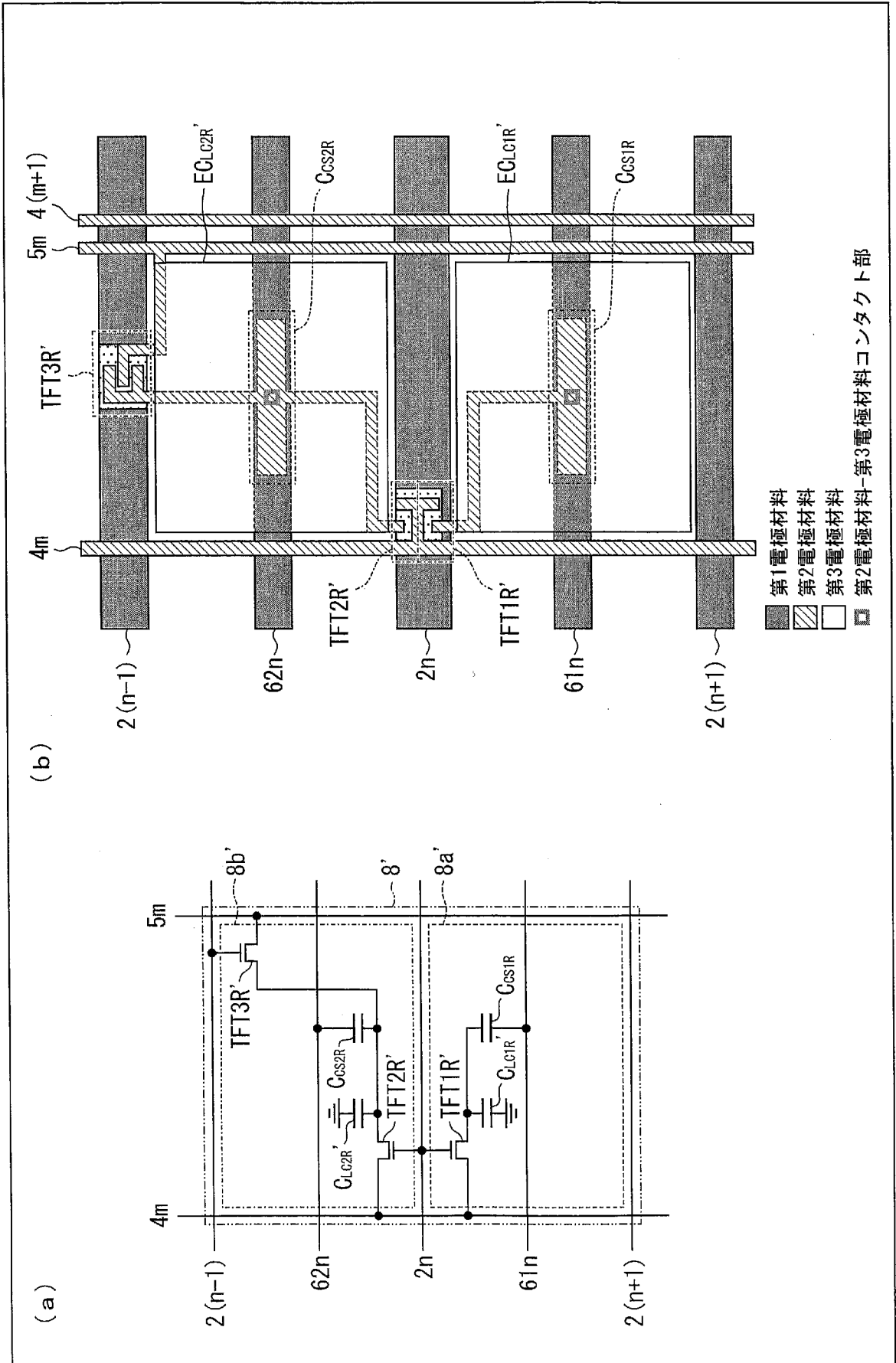
[図15]



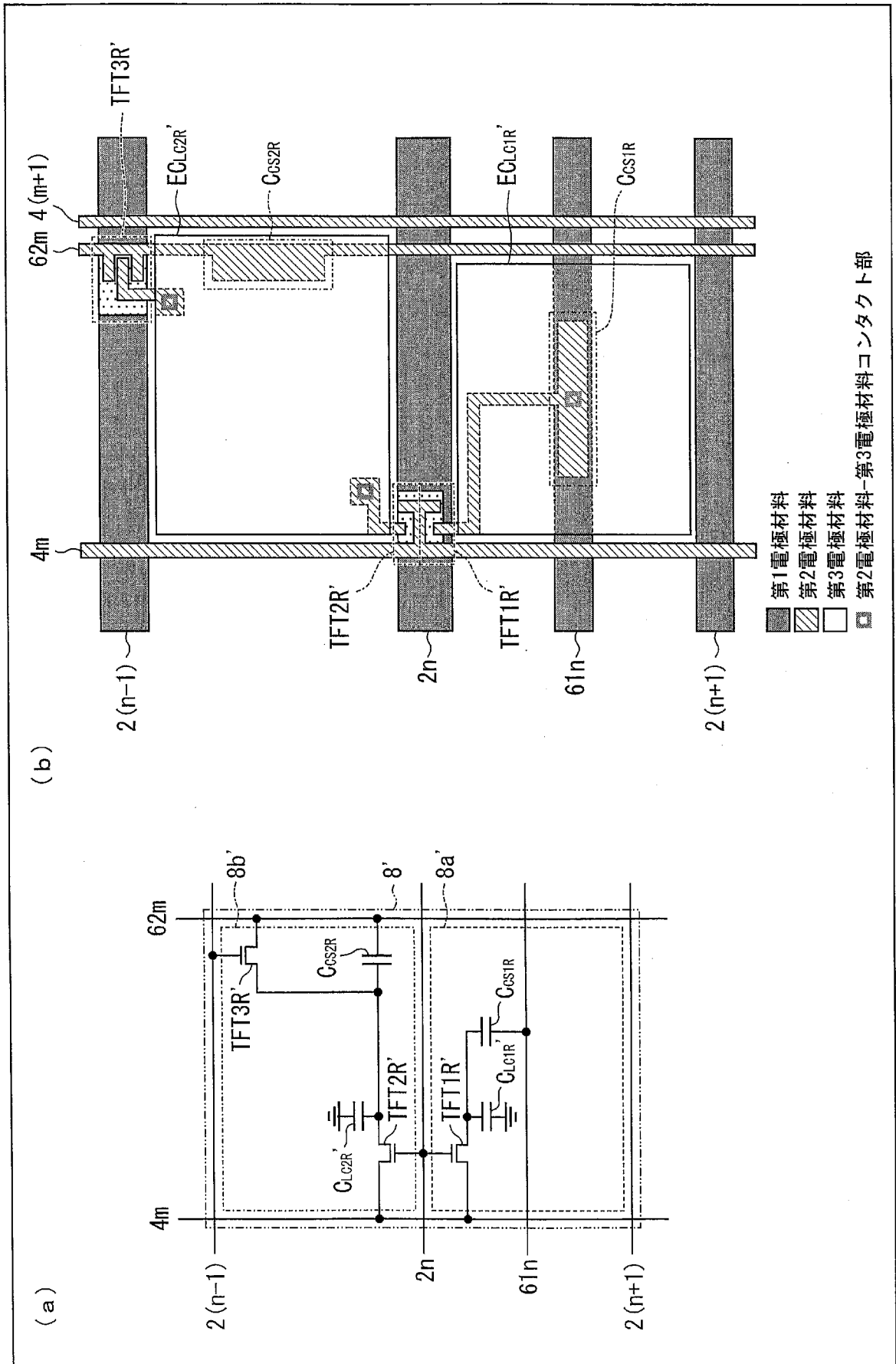
[図16]



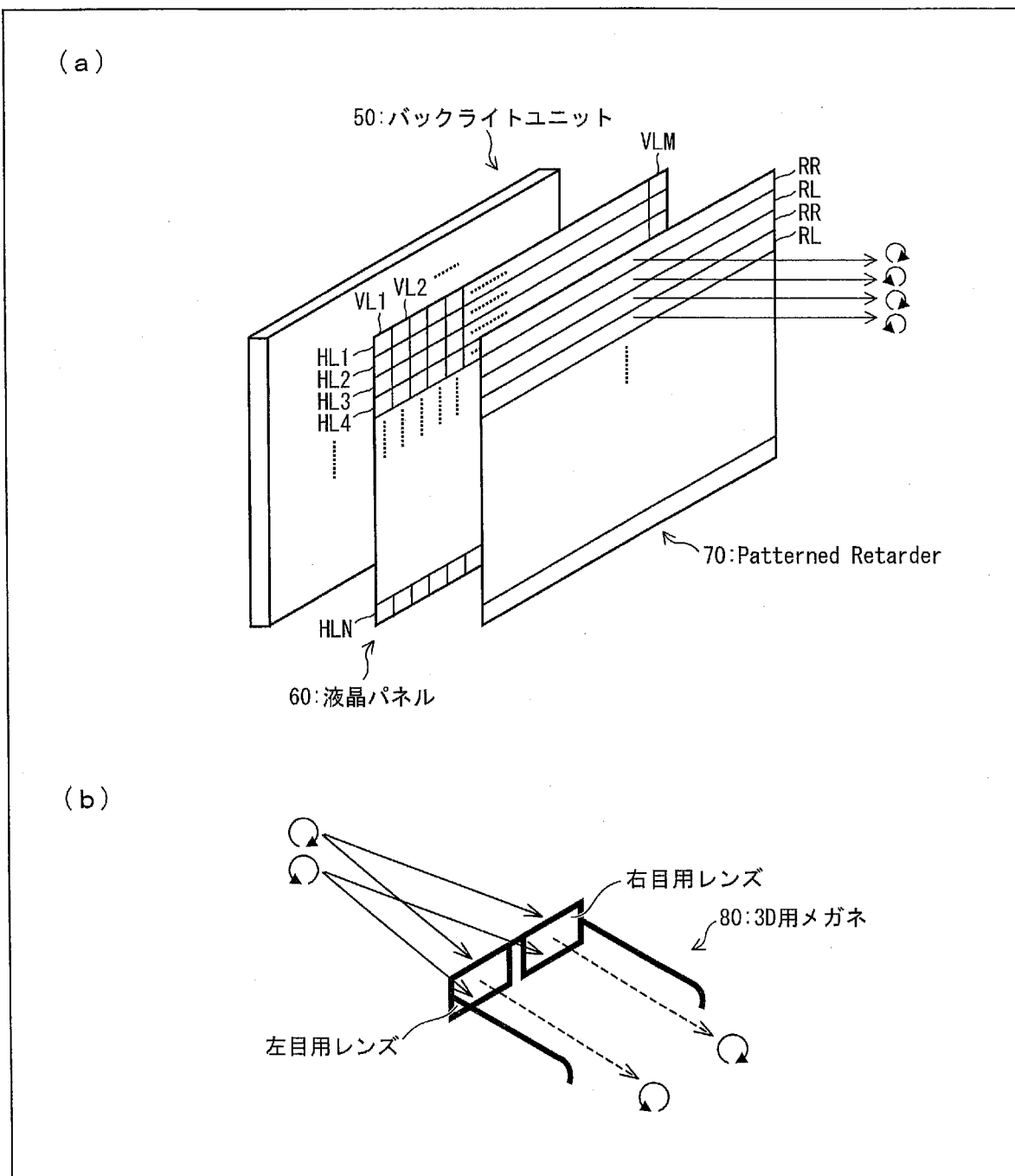
[図17]



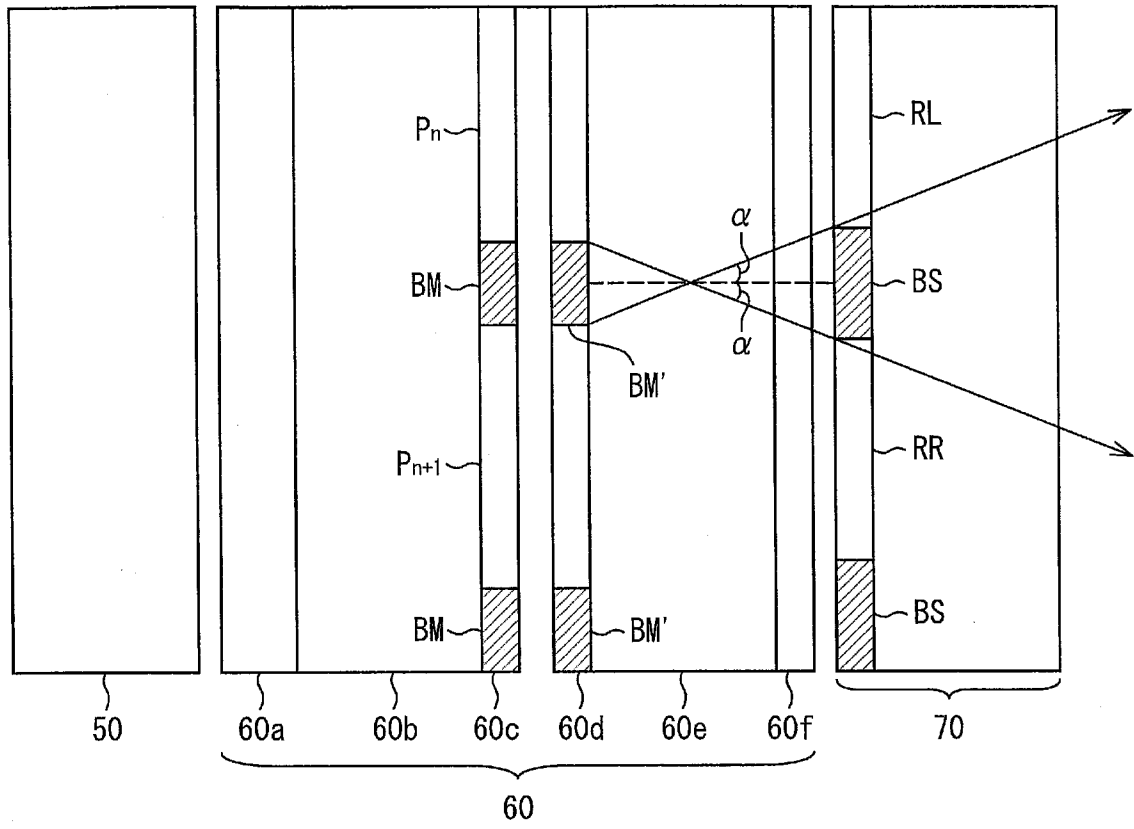
[図18]



[図19]



[図20]



## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2011/071134

## A. CLASSIFICATION OF SUBJECT MATTER

G02F1/133(2006.01)i, G02B27/22(2006.01)i, G02F1/13363(2006.01)i, G09G3/20(2006.01)i, G09G3/36(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G02F1/133, G02B27/22, G02F1/13363, G09G3/20, G09G3/36

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2011
Kokai Jitsuyo Shinan Koho	1971-2011	Toroku Jitsuyo Shinan Koho	1994-2011

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2002-196281 A (Sony Corp.), 12 July 2002 (12.07.2002), claim 3; paragraph [0009] & US 6963356 B2 & GB 2373872 A & WO 02/054134 A1 & CA 2397544 A & AU 2264302 A	1-9
A	JP 2005-115276 A (Seiko Epson Corp.), 28 April 2005 (28.04.2005), claim 9 (Family: none)	1-9
A	JP 2000-78617 A (Sharp Corp.), 14 March 2000 (14.03.2000), paragraphs [0058] to [0062]; fig. 8 (Family: none)	1-9

Further documents are listed in the continuation of Box C.

See patent family annex.

\* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search  
19 October, 2011 (19.10.11)

Date of mailing of the international search report  
01 November, 2011 (01.11.11)

Name and mailing address of the ISA/  
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.



A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl. G02F1/133(2006.01)i, G02B27/22(2006.01)i, G02F1/13363(2006.01)i, G09G3/20(2006.01)i, G09G3/36(2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl. G02F1/133, G02B27/22, G02F1/13363, G09G3/20, G09G3/36

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2011年
日本国実用新案登録公報	1996-2011年
日本国登録実用新案公報	1994-2011年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2002-196281 A (ソニー株式会社) 2002.07.12, 請求項3, 段落[0009] & US 6963356 B2 & GB 2373872 A & WO 02/054134 A1 & CA 2397544 A & AU 2264302 A	1-9
A	JP 2005-115276 A (セイコーエプソン株式会社) 2005.04.28, 請求項9 (ファミリーなし)	1-9
A	JP 2000-78617 A (シャープ株式会社) 2000.03.14, 段落[0058]-[0062], 図8 (ファミリーなし)	1-9

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

\* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的な技術水準を示すもの  
 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの  
 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)  
 「O」 口頭による開示、使用、展示等に言及する文献  
 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献  
 「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの  
 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの  
 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの  
 「&」 同一パテントファミリー文献

国際調査を完了した日  
19.10.2011

国際調査報告の発送日  
01.11.2011

国際調査機関の名称及びあて先  
 日本国特許庁 (ISA/JP)  
 郵便番号100-8915  
 東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)  
 右田 昌士  
 2L | 9513  
 電話番号 03-3581-1101 内線 3255