



(12) 发明专利

(10) 授权公告号 CN 103258845 B

(45) 授权公告日 2015. 09. 09

(21) 申请号 201210038549. 0

US 2009256199 A1, 2009. 10. 15,

(22) 申请日 2012. 02. 21

CN 101211975 A, 2008. 07. 02,

US 2010181620 A1, 2010. 07. 22,

(73) 专利权人 旺宏电子股份有限公司

地址 中国台湾新竹科学工业园区力行路 16 号

审查员 张雄娥

(72) 发明人 陈永初

(74) 专利代理机构 中科专利商标代理有限责任
公司 11021

代理人 宋焰琴

(51) Int. Cl.

H01L 29/36(2006. 01)

H01L 29/06(2006. 01)

H01L 29/78(2006. 01)

H01L 21/336(2006. 01)

(56) 对比文件

US 2011127607 A1, 2011. 06. 02,

US 2011127607 A1, 2011. 06. 02,

US 2008237707 A1, 2008. 10. 02,

CN 102194873 A, 2011. 09. 21,

CN 101162697 A, 2008. 04. 16,

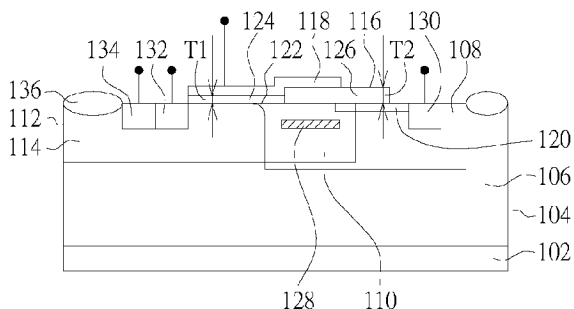
权利要求书1页 说明书5页 附图5页

(54) 发明名称

半导体结构及其形成方法

(57) 摘要

本发明公开了一种半导体结构及其形成方法。半导体结构包括第一半导体区、第二半导体区、介电结构与栅电极层。第一半导体区具有第一导电型。第二半导体区具有相反于第一导电型的第二导电型。第一半导体区是邻接第二半导体区。介电结构位于第一半导体区与第二半导体区上。栅电极层位于介电结构上。



1. 一种半导体结构,包括:

一第一半导体区,包括一第一掺杂区与一第二掺杂区,其中该第一半导体区、该第一掺杂区与该第二掺杂区具有一第一导电型;

一第二半导体区,包括一第三掺杂区,其中该第二半导体区与该第三掺杂区具有相反于该第一导电型的一第二导电型,该第二掺杂区邻接在该第一掺杂区与该第三掺杂区之间,该第二掺杂区具有一掺杂扩散部,从该第二掺杂区的顶部向该第三掺杂区延伸,该掺杂扩散部具有该第一导电型;

一介电结构,位于该第一半导体区与该第二半导体区上;

至少一场板掺杂区,位于该介电结构下方的该第一半导体区中,用于形成浮动区域而提升半导体结构的击穿电压;以及

一栅电极层,位于该介电结构上。

2. 根据权利要求 1 所述的半导体结构,其中该第一半导体区更包括一顶掺杂区,形成于该第一掺杂区的顶部份中,该顶掺杂区具有该第一导电型。

3. 根据权利要求 1 所述的半导体结构,其中该第一半导体区更包括一顶掺杂区,形成于该第二掺杂区的顶部份中,该顶掺杂区具有该第一导电型。

4. 根据权利要求 1 所述的半导体结构,其中该第二掺杂区的第一导电型掺杂质的净浓度小于该第一掺杂区的第一导电型掺杂质的净浓度。

5. 根据权利要求 1 所述的半导体结构,其中该介电结构包括一第一介电层与一第二介电层,该第一介电层邻接该第二介电层。

6. 根据权利要求 5 所述的半导体结构,其中该第一介电层具有均一的一第一厚度,该第二介电层具有均一的一第二厚度,该第一厚度小于该第二厚度。

7. 根据权利要求 5 所述的半导体结构,其中该第一介电层与该第二介电层具有一平整的共享底表面。

8. 根据权利要求 1 所述的半导体结构,其中该场板掺杂区具有该第二导电型。

9. 根据权利要求 8 所述的半导体结构,其中该栅电极层具有多个互相分开的凸出部,该多个凸出部是对应多个该场板掺杂区。

10. 一种半导体结构的形成方法,包括:

形成一第一半导体区于一衬底中,其中该第一半导体区包括一第一掺杂区与一第二掺杂区,该第一半导体区、该第一掺杂区与该第二掺杂区具有一第一导电型;

形成至少一场板掺杂区于该第一半导体区中,用于形成浮动区域而提升半导体结构的击穿电压;

形成一第二半导体区于该衬底中,其中该第二半导体区包括一第三掺杂区,该第二半导体区与该第三掺杂区具有相反于该第一导电型的一第二导电型,该第二掺杂区邻接在该第一掺杂区与该第三掺杂区之间,该第二掺杂区具有一掺杂扩散部,从该第二掺杂区的顶部向该第三掺杂区延伸,该掺杂扩散部具有该第一导电型;

形成一介电结构于该第一半导体区与该第二半导体区上;以及

形成一栅电极层于该介电结构上。

半导体结构及其形成方法

技术领域

[0001] 本发明是有关于一种半导体结构及其形成方法，特别是有关于金属氧化物半导体结构及其形成方法。

背景技术

[0002] 在近几年间，半导体业界持续缩小半导体结构的尺寸，并同时改善速率、效能、密度及集成电路的单位成本。近年节省能源 IC 为半导体结构发展重点之一，能源管理 IC 常用 LDMOS 或 EDMOS 作为开关。

[0003] 举例来说，为了提高半导体结构例如横向双扩散金属氧化半导体 (LDMOS) 或延伸漏极金属氧化半导体 (EDMOS) 的击穿电压 (breakdown voltage ;BVdss)，一种方法是降低漏极区的掺杂浓度并增加漂移长度。然而，此方法会提高半导体结构的特定开启电阻 (Ron, sp)，使得 BVdss 与 Ron, sp 无法同时改善。

发明内容

[0004] 本发明是有关于一种半导体结构及其形成方法，半导体结构具有优异的效能且制造成本低。

[0005] 依据本发明一个实施例，本发明提供了一种半导体结构。半导体结构包括第一半导体区、第二半导体区、介电结构与栅电极层。第一半导体区包括第一掺杂区与第二掺杂区。第一半导体区、第一掺杂区与第二掺杂区具有第一导电型。第二半导体区包括第三掺杂区。第二半导体区与第三掺杂区具有相反于第一导电型的第二导电型。第二掺杂区邻接在第一掺杂区与第三掺杂区之间。第二掺杂区具有掺杂扩散部。掺杂扩散部从第二掺杂区的顶部向第三掺杂区延伸。掺杂扩散部具有第一导电型。介电结构位于第一半导体区与第二半导体区上。栅电极层位于介电结构上。

[0006] 依据本发明一个实施例，本发明还提供了一种半导体结构的形成方法。方法包括以下步骤。形成第一半导体区于衬底中。第一半导体区包括第一掺杂区与第二掺杂区。第一半导体区、第一掺杂区与第二掺杂区具有第一导电型。形成第二半导体区于衬底中。第二半导体区包括第三掺杂区。第二半导体区与第三掺杂区具有相反于第一导电型的第二导电型。第二掺杂区邻接在第一掺杂区与第三掺杂区之间。第二掺杂区具有掺杂扩散部。掺杂扩散部从第二掺杂区的顶部向第三掺杂区延伸。掺杂扩散部具有第一导电型。形成介电结构于第一半导体区与第二半导体区上。形成栅电极层于介电结构上。

[0007] 下文特举一些实施例，并配合所附图式，作详细说明如下：

附图说明

[0008] 图 1 至图 4 绘示根据一实施例的半导体结构及其形成方法。

[0009] 图 5 绘示根据一实施例的半导体结构的上视图。

[0010] 图 6 绘示根据一实施例的半导体结构的剖面图。

- [0011] 图 7 绘示根据一实施例的半导体结构的剖面图。
- [0012] 图 8 绘示根据一实施例的半导体结构的上视图。
- [0013] 图 9 绘示根据一实施例的半导体结构的剖面图。
- [0014] 图 10 绘示根据一实施例的半导体结构的剖面图。
- [0015] 图 11 绘示根据一实施例的半导体结构的上视图。
- [0016] 图 12 绘示根据一实施例的半导体结构的剖面图。
- [0017] 图 13 绘示根据一实施例的半导体结构的上视图。
- [0018] **【主要半导体元件符号说明】**
- [0019] 102 :衬底
- [0020] 104、204、304 :第一半导体区
- [0021] 106 :阱区
- [0022] 108 :第一掺杂区
- [0023] 110、210、310、410 :第二掺杂区
- [0024] 112 :第二半导体区
- [0025] 114 :第三掺杂区
- [0026] 116、216、316、416 :介电结构
- [0027] 118、218、318、418 :栅电极层
- [0028] 120 :顶掺杂区
- [0029] 122 :掺杂扩散部
- [0030] 124 :第一介电层
- [0031] 126 :第二介电层
- [0032] 128、228、328、428、528 :场板掺杂区
- [0033] 130、230、330、430 :第一重掺杂接触
- [0034] 132、232、332、432 :第二重掺杂接触
- [0035] 134、234、334、434 :第三重掺杂接触
- [0036] 136 :绝缘结构
- [0037] 338 :凸出部
- [0038] S :底表面
- [0039] T1、T2 :厚度

具体实施方式

[0040] 图 1 绘示根据一实施例的半导体结构的剖面图。半导体结构包括衬底 102。举例来说,衬底 102 包括但不限于绝缘层上覆硅(SOI)、外延材料或非外延材料。

[0041] 第一半导体区 104 位于衬底 102 上。第一半导体区 104 可包括阱区 106、第一掺杂区 108、第二掺杂区 110 与顶掺杂区 120。顶掺杂区 120 形成于第一掺杂区 108 与第二掺杂区 110 的顶部份中。

[0042] 阱区 106、第一掺杂区 108、第二掺杂区 110 与顶掺杂区 120 具有第一导电型例如 N 导电型。

[0043] 第二半导体区 112 包括第三掺杂区 114。第三掺杂区 114 具有相反于第一导电型

的第二导电型例如 P 导电型。第三掺杂区 114 是邻接第一半导体区 104。

[0044] 第二掺杂区 110 邻接在第一掺杂区 108 与第三掺杂区 114 之间。于实施例中,第二掺杂区 110 具有掺杂扩散部 122。掺杂扩散部 122 是从第二掺杂区 110 的顶部向第三掺杂区 114 延伸。掺杂扩散部 122 具有第一导电型例如 N 导电型。

[0045] 场板掺杂区 128 可形成位于介电结构 116 下方的第一半导体区 104 的第二掺杂区 110 中。于实施例中,场板掺杂区 128 具有第二导电型例如 P 导电型。

[0046] 第一重掺杂接触 130 形成在第一半导体区 104 的第一掺杂区 108 中。第二重掺杂接触 132 与第三重掺杂接触 134 是形成在第二半导体区 112 的第三掺杂区 114 中。第一重掺杂接触 130 与第二重掺杂接触 132 具有第一导电型例如 N 导电型。第三重掺杂接触 134 具有第二导电型例如 P 导电型。

[0047] 介电结构 116 可位于第一半导体区 104 的第一掺杂区 108 与第二掺杂区 110,与第二半导体区 112 的第三掺杂区 114 上。介电结构 116 可位于第一重掺杂接触 130 与第二重掺杂接触 132 之间。

[0048] 介电结构 116 包括第一介电层 124 与第二介电层 126。第一介电层 124 是邻接第二介电层 126。第一介电层 124 与第二介电层 126 可分别包括氧化物或氮化物,例如氧化硅或氮化硅,或其他适合的高介电常数 (high-K) 材料。举例来说,第一介电层 124 或第二介电层 126 可具有氧化物-氮化物-氧化物 (oxide-nitride-oxide; ONO) 结构。

[0049] 栅电极层 118 可位于介电结构 116 的第一介电层 124 与第二介电层 126 上。栅电极层 118 可包括金属、多晶硅、金属硅化物,或其他合适的材料。

[0050] 绝缘结构 136 并不限于图 1 中所示的场氧化物 (FOX)。举例来说,绝缘结构 136 可为浅沟道隔离 (shallow trench isolation; STI) 或深沟道隔离 (deep trench isolation; DTI)。

[0051] 在一些实施例中,是省略第一半导体区 104 的阱区 106,因此第一半导体区 104 的第一掺杂区 108 与第二掺杂区 110 及第二半导体区 112 的第三掺杂区 114 是形成在衬底 102 中。

[0052] 于实施例中,半导体结构为金属氧化物半导体 (MOS) 装置,例如 LDMOS 或 EDMOS。详细地说,在第一导电型为 N 导电型,且第二导电型为 P 导电型的例子中,半导体结构为 N 通道 LDMOS 或 N 通道 EDMOS。相对地,在第一导电型为 P 导电型,且第二导电型为 N 导电型的例子中,半导体结构为 P 通道 LDMOS 或 P 通道 EDMOS。第一重掺杂接触 130 是用作漏极。第二重掺杂接触 132 是用作源极。

[0053] 于实施例中,位在漂移区中的第二掺杂区 110 其第一导电型掺杂质的净浓度小于第一掺杂区 108 的第一导电型掺杂质的净浓度,此能够降低装置的特定开启电阻 (specific on-resistance; $R_{on, sp}$)。顶掺杂区 120 有形成在第二掺杂区 110 (漂移区) 中,此能够降低装置的特定开启电阻。位在漂移区中的场板掺杂区 128 是形成浮动区域 (floating area) 而提升装置的击穿电压 (BV_{dss})。

[0054] 由于第一半导体区 104 的第二掺杂区 110 具有向第二半导体区 112 的第三掺杂区 114 延伸的掺杂扩散部 122,因此。装置的有效通道长度 (effective channel length) 缩小,并降低通道电阻。

[0055] 于实施例中,介电结构 116 的第一介电层 124 具有均一的第一厚度 T1。第二介电

层 126 具有均一的第二厚度 T2。第一厚度 T1 小于第二厚度 T2。于实施例中,是以第一介电层 124 用作栅介电层。使用厚度较第一介电层 124 厚的第二介电层 126 用作绝缘隔离可提高装置的击穿电压。第二介电层 126 的厚度小于绝缘结构 136 的厚度可降低装置的特定开启电阻。

[0056] 第一介电层 124 与第二介电层 126 具有一平整的共享底表面 S。相较于第二介电层是使用场氧化物的比较例(未显示),使用实施例的介电结构 116 可以在装置的漂移区中提供更短的电流通路,因而能降低特定开启电阻。

[0057] 图 1 至图 4 绘示根据一实施例的半导体结构的形成方法。请参照图 2,利用掺杂步骤在衬底 102 中形成阱区 106。

[0058] 请参照图 3,利用掺杂步骤在阱区 106 中分别形成第一半导体区 104 与第二半导体区 112。其中第一半导体区 104 与第二半导体区 112 重叠的部份为第二掺杂区 110。第一半导体区 104 与第二半导体区 112 的形成顺序并未限制。于一实施例中,第一半导体区 104 是在第二半导体区 112 之前形成。于另一实施例中,第一半导体区 104 是在第二半导体区 112 之后形成。在进行掺杂步骤形成第一半导体区 104 与第二半导体区 112 之后,是进行热退火步骤。由于第一半导体区 104 的第一导电型例如 N 导电型掺杂剂、与第二半导体区 112 的第二导电型例如 P 导电型掺杂剂对于热扩散步骤具有不同的扩散特性,造成热扩散步骤后是得到具有掺杂扩散部 122 的第二掺杂区 110。热扩散步骤可在形成第一半导体区 104 与第二半导体区 112 之后任意的时间点进行,例如在形成场板掺杂区 128 之前形成,或在形成栅电极层 118(图 4)之后进行。

[0059] 请参照图 3,然后利用掺杂步骤在第二掺杂区 110 中形成场板掺杂区 128。在一些实施例中,是省略阱区 106,因此第一半导体区 104 的第一掺杂区 108 与第二掺杂区 110 及第二半导体区 112 的第三掺杂区 114 是形成在衬底 102 中。

[0060] 请参照图 4,形成介电结构 116 于第一半导体区 104 与第二半导体区 102 上。举例来说,介电结构 116 的第一介电层 124 与第二介电层 126 可利用热氧化法或沉积法例如化学气相沉积或物理气相沉积法形成。于一些实施例中,可先形成第二介电层 126 的下部份,然后在形成第一介电层 124 的同时形成第二介电层 126 的上部份。请参照图 4,形成栅电极层 118 于介电结构 116 上。

[0061] 请参照图 1,利用掺杂步骤在第一半导体区 104 的第一掺杂区 108 与第二掺杂区 110 中形成顶掺杂区 120。顶掺杂区 120 可利用栅电极层 118 作为掩模而形成。利用掺杂步骤在第一半导体区 104 的第一掺杂区 108 与第二半导体区 112 的第三掺杂区 114 中形成第一重掺杂接触 130 与第二重掺杂接触 132。利用掺杂步骤在第三掺杂区 114 中形成第三重掺杂接触 134。

[0062] 实施例中半导体结构可应用标准的高压(HV)工艺形成,因此不需要额外的掩模,并降低制造成本。

[0063] 图 5 绘示根据一实施例的半导体结构的上视图。于一些实施例中,半导体结构沿 AB 线的剖面图是如图 6 所示。半导体结构沿 CD 线的剖面图是如图 7 所示。请参照图 5 至图 7,图 5 仅显示出半导体结构的介电结构 216、栅电极层 218、第一重掺杂接触 230、第二重掺杂接触 232、第三重掺杂接触 234 与场板掺杂区 228。请参照图 5 与图 7,多个场板掺杂区 228 是通过第一半导体区 204 的第二掺杂区 210 互相分开。此例的场板掺杂区 228 是具

有条纹状（或矩形、长方形），然本发明并不限于此，场板掺杂区 228 亦可具有蜂巢状、六角形、八角形（octagonal）、圆形（circle）、或四方形（square）。图 7 绘示的半导体结构与图 1 绘示的半导体结构的差异在于，是省略了图 1 中的顶掺杂区 120。此外，第一重掺杂接触 230 是邻近第一半导体区 204 的第二掺杂区 210。

[0064] 图 8 绘示根据一实施例的半导体结构的上视图。于一些实施例中，半导体结构沿 EF 线的剖面图是如图 9 所示。半导体结构沿 GH 线的剖面图是如图 10 所示。请参照图 8 至图 10，图 8 仅显示出半导体结构的介电结构 316、栅电极层 318、第一重掺杂接触 330、第二重掺杂接触 332、第三重掺杂接触 334 与场板掺杂区 328。图 8 绘示的半导体结构与图 5 绘示的半导体结构的差异在于，栅电极层 318 是具有多个互相分开的凸出部 338。凸出部 338 是对应场板掺杂区 328。凸出部 338 并不限于图 8 所示的矩形，举例来说，凸出部 338 可具有弧形、三角形、或其他任意的形状。图 10 绘示的半导体结构与图 1 绘示的半导体结构的差异在于，第一重掺杂接触 330 是邻近第一半导体区 304 的第二掺杂区 310。

[0065] 图 11 绘示根据一实施例的半导体结构的上视图。于一些实施例中，半导体结构沿 IJ 线的剖面图是类似于图 9 所示的半导体结构的剖面图。半导体结构沿 LM 线的剖面图是如图 12 所示。请参照图 11 与图 12，图 11 仅显示出半导体结构的介电结构 416、栅电极层 418、第一重掺杂接触 430、第二重掺杂接触 432、第三重掺杂接触 434 与场板掺杂区 428。图 11 与图 12 绘示的半导体结构与图 5 及图 7 绘示的半导体结构的差异在于，场板掺杂区 428 是横向地互相分开。

[0066] 图 13 绘示根据一实施例的半导体结构的上视图。于一些实施例中，半导体结构沿 OP 线的剖面图是类似于图 12 所示的半导体结构的剖面图。半导体结构沿 QR 线的剖面图是类似于图 6 所示的半导体结构的剖面图。图 13 绘示的半导体结构与图 11 绘示的半导体结构的差异在于，场板掺杂区 528 是具有蜂巢状（六角形）。于其他实施例中，场板掺杂区 528 可具有条纹状、矩形（长方形、四方形）、八角形、或圆形。

[0067] 虽然本发明已以较佳实施例揭露如上，然其并非用以限定本发明，任何熟悉此项技艺者，在不脱离本发明是精神和范围内，当可做些许更动与润饰，因此本发明是保护范围当视随附的权利要求范围所界定的为准。

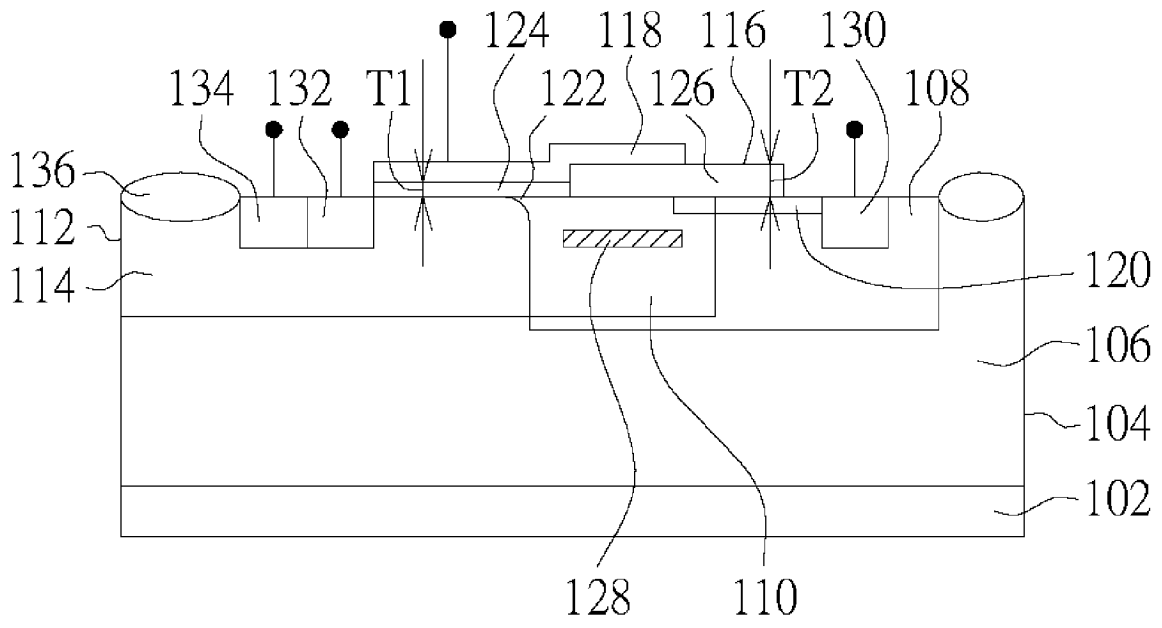


图 1

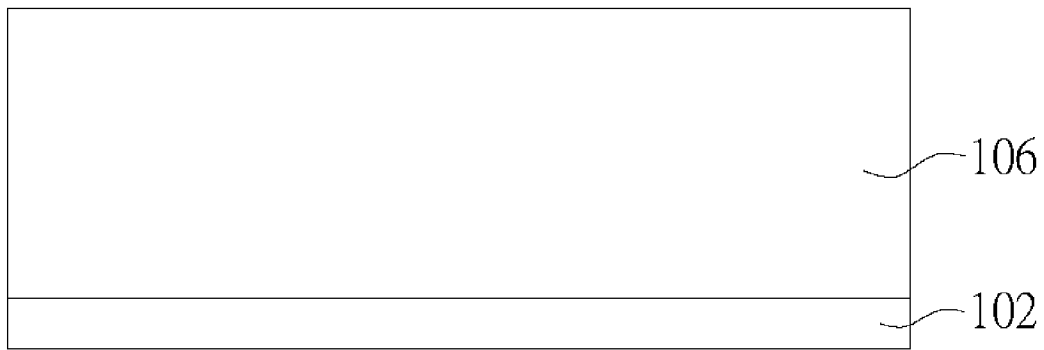


图 2

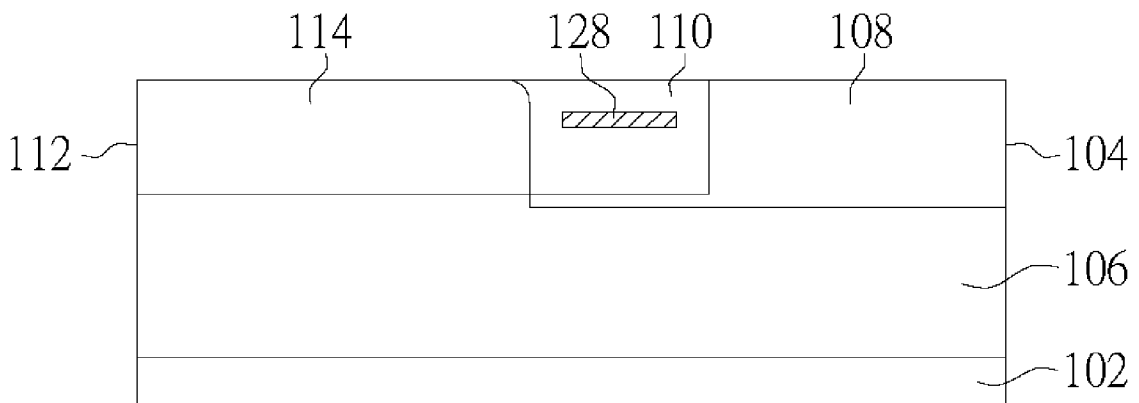


图 3

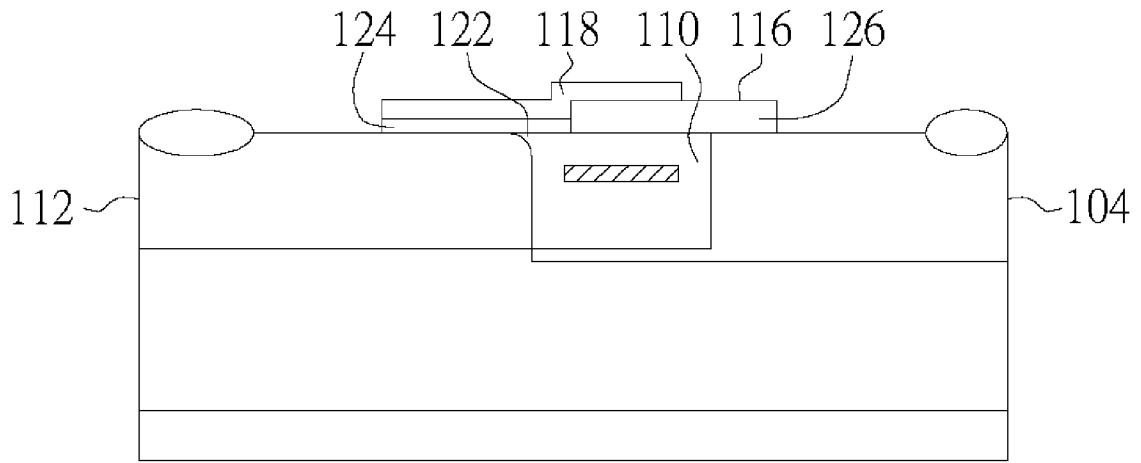


图 4

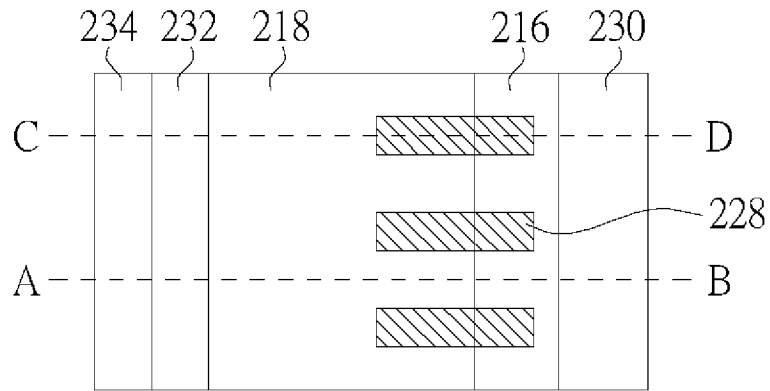


图 5

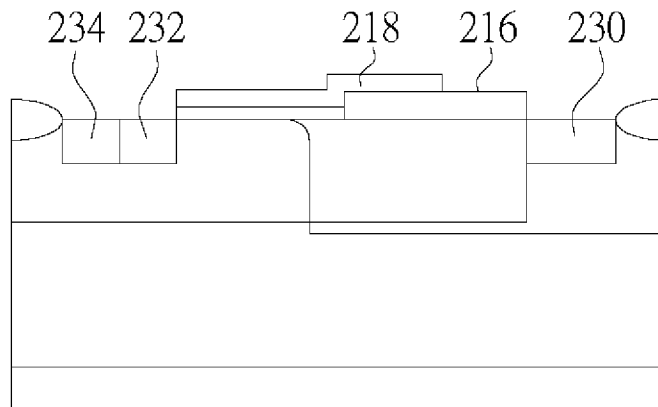


图 6

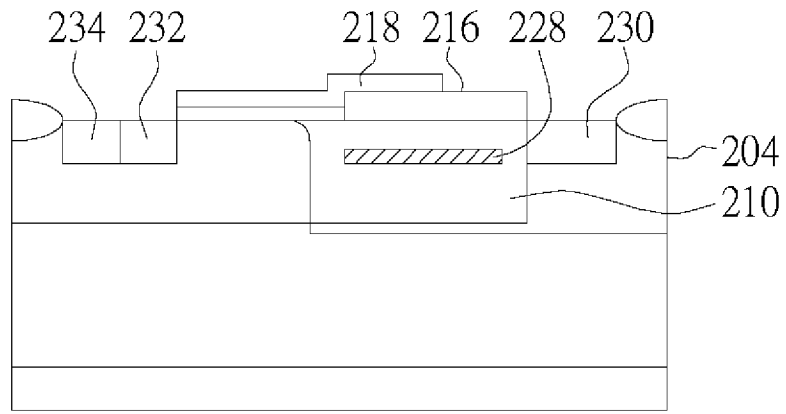


图 7

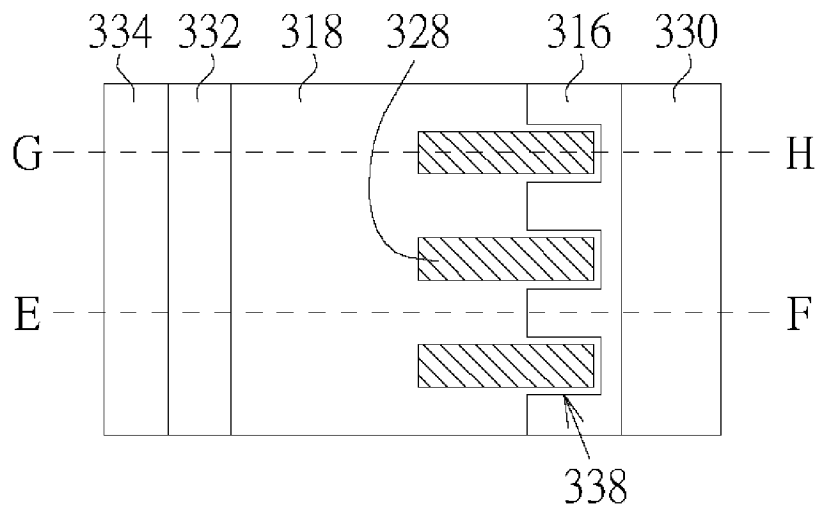


图 8

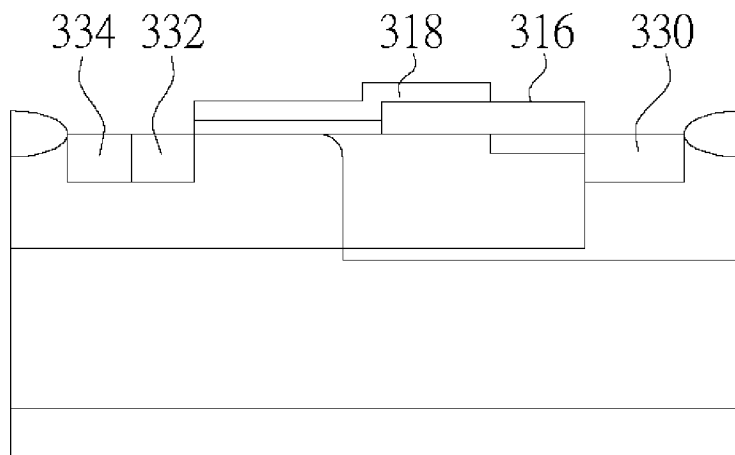


图 9

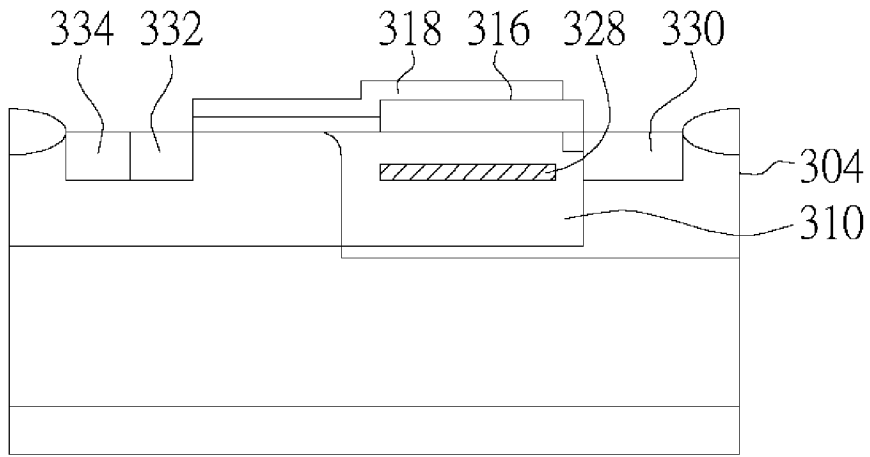


图 10

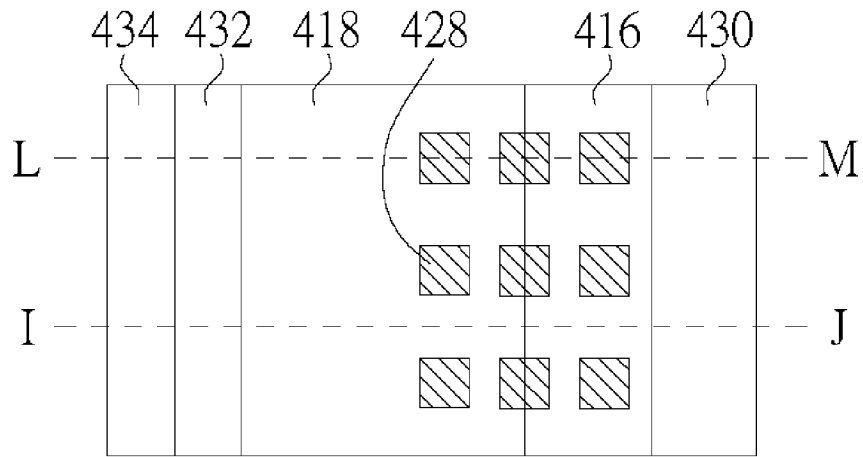


图 11

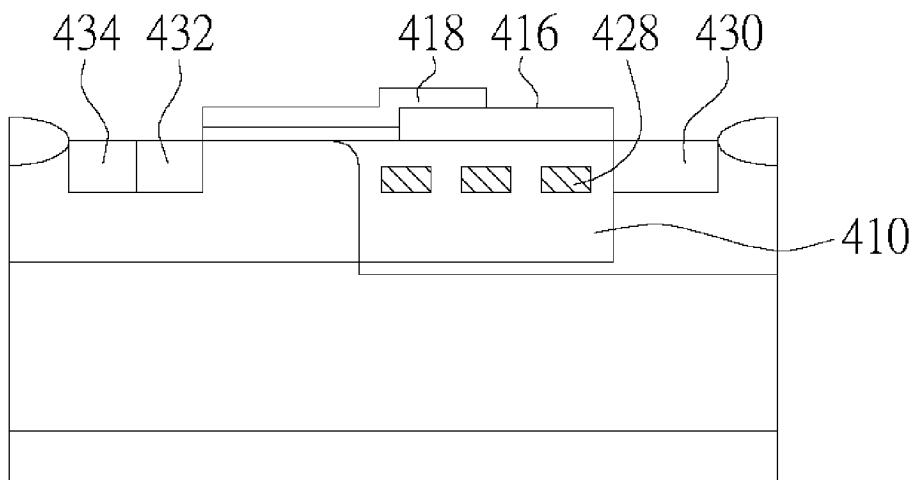


图 12

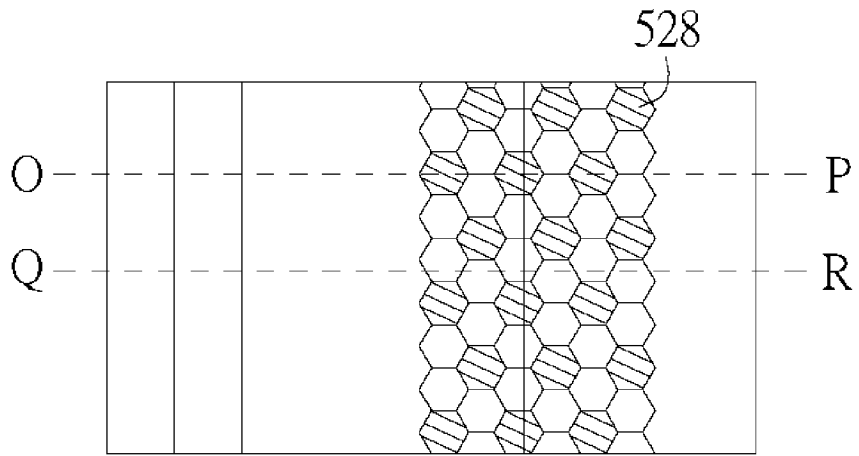


图 13