



(19) 中華民國智慧財產局

(12) 發明說明書公告本

(11) 證書號數：TW I731419 B

(45) 公告日：中華民國 110 (2021) 年 06 月 21 日

(21) 申請案號：108134710

(22) 申請日：中華民國 108 (2019) 年 09 月 25 日

(51) Int. Cl. : *H01L29/41 (2006.01)**H01L29/43 (2006.01)**H01L29/78 (2006.01)*

(30) 優先權：2018/09/27 美國

62/737,317

2019/03/20 美國

16/359,092

(71) 申請人：台灣積體電路製造股份有限公司 (中華民國) TAIWAN SEMICONDUCTOR
MANUFACTURING CO., LTD. (TW)

新竹市新竹科學工業園區力行六路 8 號

(72) 發明人：陳朝陽 CHEN, CHOA YANG (TW)；蔡竣揚 TSAI, CHUN YANG (TW)；黃國欽
HUANG, KUO CHING (TW)；朱文定 CHU, WEN TING (TW)；黃建達 HUANG,
CHIEN TA (TW)；吳承潤 WU, CHENG JUN (TW)

(74) 代理人：李世章；秦建譜

(56) 參考文獻：

US 9142762B1

US 2018/0006215A1

審查人員：趙芝婷

申請專利範圍項數：10 項 圖式數：22 共 62 頁

(54) 名稱

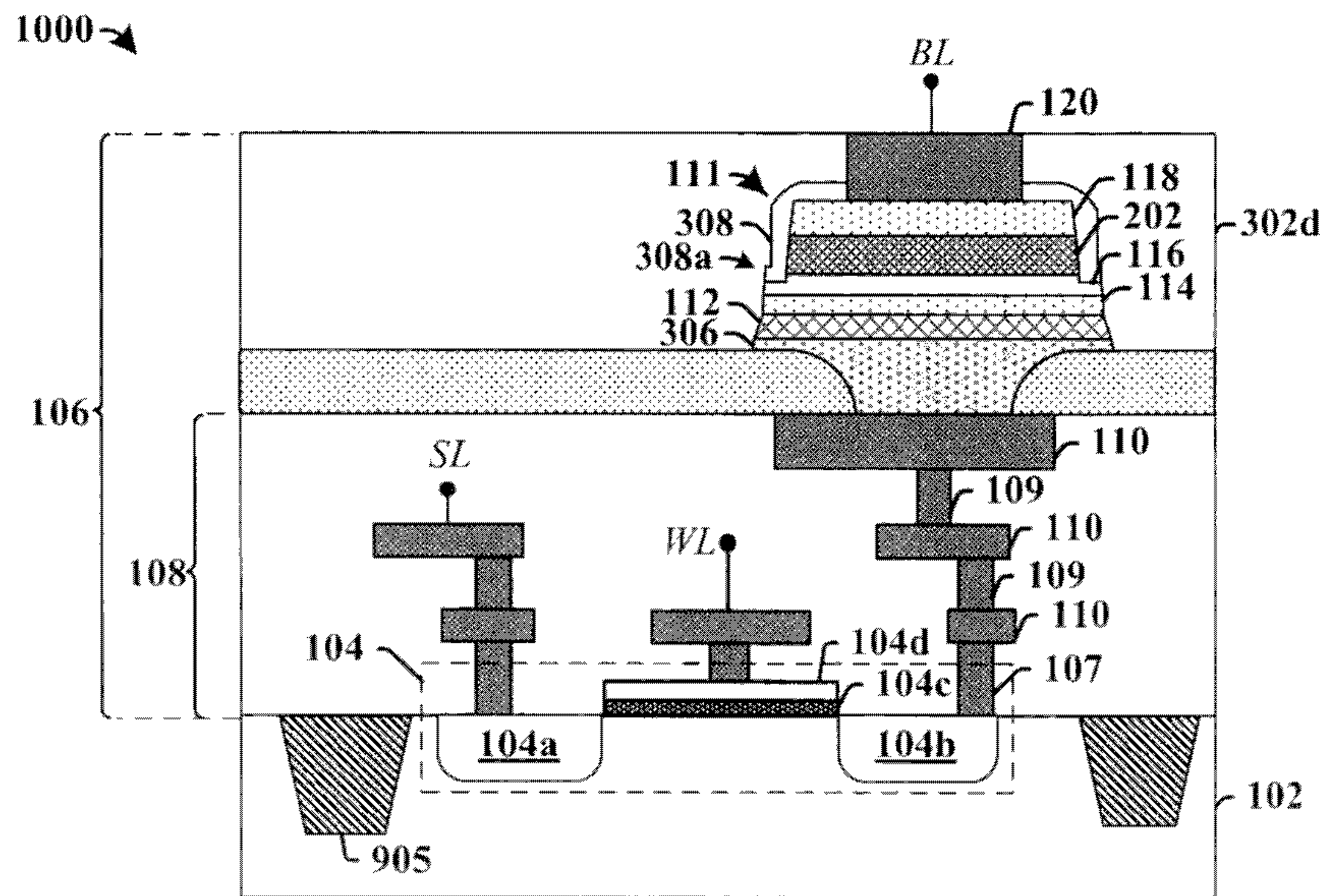
積體晶片及形成積體晶片的方法

(57) 摘要

本揭示的一些實施方式係關於積體晶片。積體晶片包括一或多個下方互連層，下方互連層配置於基板上方的介電結構中。底電極設置於一或多個下方互連層的其中一者上方。底電極的下表面包括具有第一電負性的材料。資料儲存層分隔底電極及頂電極。反應性降低層接觸底電極的下表面。反應性降低層具有第二電負性，第二電負性大於或等於第一電負性。

In some embodiments, the present disclosure relates to an integrated chip. The integrated chip includes one or more lower interconnect layers arranged within a dielectric structure over a substrate. A bottom electrode is disposed over one of the one or more lower interconnect layers. A lower surface of the bottom electrode includes a material having a first electronegativity. A data storage layer separates the bottom electrode from a top electrode. A reactivity reducing layer contacts the lower surface of the bottom electrode. The reactivity reducing layer has a second electronegativity that is greater than or equal to the first electronegativity.

指定代表圖：



第 10 圖

符號簡單說明：

- 102:基板
- 104:存取裝置
- 104a:源極區
- 104b:汲極區
- 104c:閘極介電質
- 104d:閘電極
- 106:介電結構
- 107:導電接觸點
- 108:下方互連層
- 109:互連通孔
- 110:互連線
- 111:RRAM 裝置
- 112:反應性降低層
- 114:底電極
- 116:資料儲存層
- 118:頂電極
- 120:上方互連結構
- 202:覆蓋層
- 302d:堆疊的層間介電層
- 306:底電極擴散屏障
- 308:側壁間隔件
- 308a:水平延伸段
- 905:隔離結構
- 1000:積體晶片
- BL:位元線
- SL:源極線
- WL:字元線

I731419

【發明摘要】**【中文發明名稱】** 積體晶片及形成積體晶片的方法**【英文發明名稱】** INTEGRATED CHIP AND METHOD
FOR FORMING INTEGRATED CHIP**【中文】**

本揭示的一些實施方式係關於積體晶片。積體晶片包括一或多個下方互連層，下方互連層配置於基板上方的介電結構中。底電極設置於一或多個下方互連層的其中一者上方。底電極的下表面包括具有第一電負性的材料。資料儲存層分隔底電極及頂電極。反應性降低層接觸底電極的下表面。反應性降低層具有第二電負性，第二電負性大於或等於第一電負性。

【英文】

In some embodiments, the present disclosure relates to an integrated chip. The integrated chip includes one or more lower interconnect layers arranged within a dielectric structure over a substrate. A bottom electrode is disposed over one of the one or more lower interconnect layers. A lower surface of the bottom electrode includes a material having a first electronegativity. A data storage layer separates the bottom electrode from a top electrode. A reactivity

reducing layer contacts the lower surface of the bottom electrode. The reactivity reducing layer has a second electronegativity that is greater than or equal to the first electronegativity.

【指定代表圖】第10圖

【代表圖之符號簡單說明】

- 102 基板
- 104 存取裝置
 - 104a 源極區
 - 104b 汲極區
 - 104c 閘極介電質
 - 104d 閘電極
- 106 介電結構
- 107 導電接觸點
- 108 下方互連層
- 109 互連通孔
- 110 互連線
- 111 RRAM裝置
- 112 反應性降低層
- 114 底電極
- 116 資料儲存層
- 118 頂電極
- 120 上方互連結構

202 覆蓋層
302d 堆疊的層間介電層
306 底電極擴散屏障
308 側壁間隔件
308a 水平延伸段
905 隔離結構
1000 積體晶片
BL 位元線
SL 源極線
WL 字元線

【特徵化學式】無

【發明說明書】

【中文發明名稱】積體晶片及形成積體晶片的方法

【英文發明名稱】INTEGRATED CHIP AND METHOD
FOR FORMING INTEGRATED CHIP

【技術領域】

【0001】本揭示的實施方式係關於積體晶片及形成積體晶片的方法。

【先前技術】

【0002】許多現代電子設備包含被配置用以儲存數據的電子記憶體。電子記憶體可以是揮發性記憶體或非揮發性記憶體。揮發性記憶體在有電力供應下儲存資料，而非揮發性記憶體在即使移除電力供應後也能夠儲存資料。電阻式隨機存取記憶體(resistive random-access memory, RRAM)裝置是下一代非揮發性記憶體技術的前景之一。這是因為RRAM裝置具有許多優點，包括寫入時間快、高耐用性、低功耗、以及不易受到輻射損害。

【發明內容】

【0003】本揭示的實施方式提供一種積體晶片。積體晶片包括一或多個下方互連層、一底電極、一資料儲存層、及一反應性降低層。一或多個下方互連層配置於一基板上方的一介電結構中。底電極設置於一或多個下方互連層的其中一

者上方，其中底電極的一下表面包含具有第一電負性的材料。資料儲存層分隔底電極及一頂電極。反應性降低層接觸底電極的下表面並具有第二電負性，第二電負性大於或等於第一電負性。

【0004】 本揭示的實施方式亦提供一種積體晶片。積體晶片包括下方絕緣層、底電極擴散屏障、底電極、資料儲存層、及反應性降低層。下方絕緣層配置於一或多個層間介電層上方，其中下方絕緣層包含由側壁所界定的一開口，開口直接位於一或多個互連層上方，一或多個層間介電層環繞一或多個互連層。底電極擴散屏障設置於開口中。底電極位於底電極擴散屏障上方並具有第一電負性。資料儲存層分隔底電極及一頂電極。反應性降低層直接設置於底電極擴散屏障及底電極之間，其中反應性降低層具有第二電負性，第二電負性大於第一電負性。

【0005】 本揭示的實施方式亦提供一種形成積體晶片的方法。方法包括形成反應性降低覆蓋層於基板上方的一或多個下方互連層上方；形成一底電極層於反應性降低覆蓋層上並直接接觸反應性降低覆蓋層，其中底電極層具有第一電負性，第一電負性小於或等於反應性降低覆蓋層的第二電負性；形成一資料儲存元件於底電極層上方；形成頂電極層於資料儲存元件上方；圖案化頂電極層、資料儲存元件、反應性降低覆蓋層、及底電極層，以定義一記憶體裝置。

【圖式簡單說明】

【0006】 本揭示的實施方式的態樣可由以下的詳細敘述結合附圖閱讀來獲得最佳的理解。應強調，根據工業標準實務，各特徵並未按比例繪製，並且僅用於示意的目的。事實上，為了論述的清楚性，各特徵的大小可任意地增加或縮小。

第1圖根據一些實施方式繪示具有電阻式隨機存取記憶體裝置(RRAM, resistive random-access memory)之積體晶片的橫截面圖，其中RRAM裝置包含位於反應性降低層上方的底電極。

第2A圖至第2C圖根據一些附加實施方式繪示RRAM裝置的橫截面圖，其中RRAM裝置包含位於反應性降低層上方的底電極。

第3圖至第7圖根據一些附加實施方式繪示一積體晶片的橫截面圖，其中積體晶片具有位於反應性降低層上方的RRAM裝置。

第8A圖至第8B圖根據一些附加實施方式繪示具有RRAM裝置的一積體晶片，其中RRAM裝置位於反應性降低層上方。

第9A圖至第9B圖根據一些附加實施方式繪示一積體晶片的橫截面圖，其中積體晶片具有位於反應性降低層上方的RRAM裝置。

第10圖根據一些附加實施方式繪示一積體晶片的橫截面圖，其中積體晶片具有位於反應性降低層上方的RRAM裝置。

第11圖根據一些實施方式繪示位於反應性降低層上方

的RRAM裝置的數據循環。

第12圖至第21圖根據一些實施方式繪示形成具有位於反應性降低層上方的RRAM裝置的積體晶片的方法的橫截面圖。

第22圖根據一些實施方式繪示形成積體晶片的方法的流程圖，其中積體晶片具有位於反應性降低層上方的RRAM裝置。

【實施方式】

【0007】 本揭示在此提供的許多不同實施方式或實施方式，用於實現本揭示的實施方式不同特徵。下面描述組件和配置的具體實施例以簡化本揭示的實施方式。當然，這些僅為實施例，並不旨在限制本揭示的實施方式的內容。舉例而言，在隨後的敘述中，在第二特徵上方或在第二特徵上之第一特徵的形成，可包括第一特徵及第二特徵形成為直接接觸之實施方式，亦可包括有另一特徵可形成在第一及第二特徵之間，使得第一及第二特徵可不直接接觸之實施方式。另外，本揭示的實施方式可在各實施例中重複元件符號及/或字母。此重複為出於簡化及清楚之目的，且本身不指示所論述的各實施方式及/或結構之間的關係。

【0008】 此外，本文中可使用空間性相對用詞，例如「下(beneath)」、「之下(below)」、「下方(lower)」、「之上(above)」、「上方(upper)」及其類似用語，係利於敘述圖式中一個元件或特徵與另一個元件或特徵的關係。這些

空間性相對用詞本意上涵蓋除了圖中所繪示的位向之外，也涵蓋使用或操作中之裝置的不同位向。設備也可被轉換成其他位向（旋轉90度或其他位向），因此本文中使用的空間性相對描述以應做類似的解釋。

【0009】 電阻式隨機存取記憶體(Resistive random access memory, RRAM)裝置一般上包含一資料儲存層（例如高k介電材料層），其中資料儲存層配置於後端(back-end-of-the-line, BEOL)互連堆疊中的導電性底電極與頂電極之間。RRAM裝置配置為依照不同電阻狀態之間的可逆切換過程進行操作。這種可逆切換過程是藉由在資料儲存層中選擇性地形成導電絲來達成。舉例而言，資料儲存層一般為絕緣的，能夠藉由在導電電極上施加電壓來形成延伸穿過資料儲存層的導電絲，從而使得資料儲存層變為導電的。RRAM裝置具有第一電阻狀態（例如：高）及第二電阻狀態（例如：低），第一電阻狀態對應於第一數據值（例如：邏輯「0」），第二電阻狀態對應於第二數據值（例如：邏輯「1」）。

【0010】 RRAM裝置是替代現有的非揮發性記憶體(non-volatile memory, NVM)裝置（例如快閃記憶體）的強有力候選者，這是因為它們具有高密度、高速度、良好的耐久性、以及與CMOS製程的兼容性。然而，形成具有良好可靠性（例如：足夠的循環和穩定的數據保留）的RRAM裝置對積體晶片製造商來說是一個挑戰。已知RRAM裝置的可靠性（例如：循環和數據保持）與底電極對資料儲存層

中的氧的反應性具有關聯。舉例而言，對氧具有低反應性的底電極將提供相對較好的可靠性，而對氧具有高反應性的底電極將提供相對較差的可靠性。還已知的是底電極與氧的反應性會受到底電極的材料及直接位於底電極下的材料所影響。

【0011】 本揭示的一些實施方式中涉及一種包含RRAM裝置的積體晶片，RRAM裝置包含位於反應性降低層上方的底電極，反應性降低層配置為降低底電極與氧的反應性。積體晶片包含一RRAM裝置，RRAM裝置具有設置於一或多個下方互連層上方的底電極。底電極的下表面包含具有第一電負性的材料。資料儲存層分隔底電極與頂電極。反應性降低層接觸底電極的下表面並具有第二電負性，第二電負性大於或等於第一電負性。反應性降低層的電負性降低了底電極對資料儲存層中的氧的反應性，從而改善了RRAM裝置的可靠性（例如：數據循環及／或數據保留）。

【0012】 第1圖根據一些實施方式繪示具有位於反應性降低層上方的電阻式隨機存取記憶體裝置(RRAM, resistive random-access memory)之積體晶片100的橫截面圖。

【0013】 積體晶片100包含一RRAM裝置111，其中RRAM裝置111設置於基板102上方的介電結構106內。介電結構106內的一或多個下方互連層108分隔RRAM裝置111與基板102。在一些實施方式中，一或多個下方互連層108可包含導電接觸點107，導電接觸點107耦接至位於

其上方且交替設置的互連通孔109及互連線110。一或多個下方互連層108配置為將RRAM裝置111耦接至基板102內的存取裝置104。在一些實施方式中，存取裝置可包含電晶體裝置（例如：MOSFET、雙極性接面型電晶體(bi-polar junction transistor, BJT)、高電子遷移率電晶體(high electron mobility transistor, HEMT)、或其類似）。

【0014】 RRAM裝置111包含資料儲存層116，資料儲存層116配置於底電極114與頂電極118之間。底電極114耦接至一或多個下方互連層108，而頂電極118耦接至包含互連線或通孔的上方互連結構120。資料儲存層116配置為儲存資料狀態，其中通過在具有第一資料狀態的高電阻狀態（例如：「0」）與具有第二資料狀態的低電阻狀態（例如：「1」）之間進行可逆的切換。舉例而言，在操作時，為了在資料儲存層116內實現低電阻狀態，可以對底電極114及頂電極118施加第一組偏置條件。第一組偏置條件將資料儲存層116中的氧驅動到頂電極118，從而在資料儲存層116中形成具有氧空缺的導電絲117。或者，為了在資料儲存層116內實現高電阻狀態，可以對底電極114及頂電極118施加第二組偏置條件。第二組偏置條件通過將氧從頂電極118驅動到資料儲存層116，從而斷開導電絲117。

【0015】 底電極114包含下表面114b及上表面114t。下表面114b包含具有第一電負性的材料。在一些實施方式中，上述材料在下表面114b及上表面114t之間連續延伸。反應性降低層112接觸底電極114的下表面114b。反應性降

低層112具有第二電負性，第二電負性大於或等於第一電負性。舉例而言，在一些實施方式中，底電極114的材料的第一電負性可以是1.5，而反應性降低層112的第二電負性可大於或等於1.5。反應性降低層112的電負性降低了底電極114對資料儲存層116中的氧的反應性。通過降低底電極114對氧的反應性，RRAM裝置111的可靠度得到改善，從而增加了資料保留時間以及不具有錯誤之讀／寫週期(read/write cycles)的數量。

【0016】 第2A圖至第2C圖根據一些附加實施方式繪示位於反應性降低層上方的RRAM裝置的橫截面圖。

【0017】 如第2A圖的橫截面圖200所示，RRAM裝置111包含底電極114，資料儲存層116分隔底電極114與頂電極118。在一些實施方式中，覆蓋層202配置於資料儲存層116及頂電極118之間。覆蓋層202配置為儲存氧氣，這可以促進資料儲存層116內的電阻變化。

【0018】 在一些實施方式中，頂電極118可包含金屬、金屬氮化物、或摻雜的多晶矽。舉例而言，在多種實施方式中，頂電極118可包含鋁、鈦、鉭、金、鉑、鎢、鎳、銱、氮化鈦、氮化鉭、n型摻雜多晶矽、或p型摻雜多晶矽、或其類似。在一些實施方式中，頂電極118的厚度 t_{TE} 可為約0 nm至約500 nm。在一些附加實施方式中，頂電極118的厚度 t_{TE} 可為約50埃至約200埃。

【0019】 在一些實施方式中，覆蓋層202可包含金屬或金屬氧化物。舉例而言，在一些實施方式中，覆蓋層202可

包含鈣、鈦、鉭、鋁、銦、或其類似。在其他實施方式中，覆蓋層202可包含氧化鈣、氧化鈦、氧化銦、氧化銻、氧化銦、或其類似。在一些實施方式中，覆蓋層202的厚度 T_C 可為約0 nm至約500 nm。在一些實施方式中，覆蓋層202的厚度 T_C 可為約70埃至約200埃。

【0020】 在一些實施方式中，資料儲存層116可包含金屬、金屬氮化物、或金屬氧化物的化合物。舉例而言，在多種實施方式中，資料儲存層116可包含二氧化鈦(TiO_2)、二氧化鈣(HfO_2)、二氧化鈣鋁($Hf_xAl_{1-x}O_2$)、五氧化二鉭(Ta_2O_5)、二氧化鈣鉭($Hf_xTa_{1-x}O_2$)、二氧化鎢(WO_2)、二氧化銦(ZrO_2)、二氧化鋁(Al_2O_3)、氧化錒(StO)、二氧化矽(SiO_2)、或其類似。在一些實施方式中，資料儲存層116的厚度 t_{DS} 可為約1 nm至約100 nm。在一些附加實施方式中，資料儲存層116的厚度可為約30埃至約100埃。

【0021】 在一些實施方式中，底電極114的下表面（例如：底表面）的材料可包括金屬、金屬氮化物、金屬氧化物、摻雜多晶矽、或其類似。舉例而言，在一些實施方式中，上述材料可包含鋁、鈦、鉭、鎢、鎳、氮化鈦、氮化鉭、氧化銻、n型摻雜多晶矽、p型摻雜多晶矽、或其類似。在一些實施方式中，上述材料可包含貴金屬（即惰性金屬），例如銻、鈦、銦、鈾、銀、鐵、銻、鉑、或金。在一些實施方式中，底電極114可以全部為上述材料。在一些實施方式中，底電極114的厚度 T_{BE} 可為約1 nm至約200 nm。

【0022】 反應性降低層112接觸底電極114的下表面（例

如：底表面）。在一些實施方式中，反應性降低層112包含金屬、金屬氮化物、金屬氧化物、摻雜多晶矽、或其類似。舉例而言，在多種實施方式中，反應性降低層112可包含鋁、鈦、鉭、金、鉑、鎢、鎳、銥、氮化鈦、氮化鉭、氧化銥、n型摻雜多晶矽、p型摻雜多晶矽、或其類似。在一些實施方式中，底電極114及反應性降低層112為不同材料。在一些實施方式中，反應性降低層112及一或多個下方互連層108為不同材料。在一些實施方式中，反應性降低層112不為銅。反應性降低層112的厚度 T_{RR} 可為約1 nm至約200 nm。在一些附加實施方式中，反應性降低層112的厚度 T_{RR} 可為約5 nm至約20 nm。

【0023】 在一些實施方式中，反應性降低層112具有第一電負性，而底電極114的下表面的材料具有第二電負性，第二電負性小於或等於第一電負性。具有第一電負性的反應性降低層112的材料沿著一界面接觸具有第二電負性的底電極114的材料。反應性降低層112的電負性降低了底電極114對資料儲存層116中的氧的反應性。舉例而言，若反應性降低層112的電負性大於底電極114的下表面材料的電負性，底電極114及反應性降低層112的鍵結電子會被拉向反應性降低層112。鍵結電子被拉向反應性降低層112可降低底電極114與資料儲存層116中的氧進行反應的能力，從而提高RRAM裝置111的可靠度。

【0024】 在一些實施方式中，反應性降低層112的第一電負性大於或等於約1.5。在一些附加實施方式中，第一電

負性可大於約1.9，以降低底電極114的反應性。在一些附加實施方式中，第一電負性可大於約2.2，以降低底電極114的反應性。在一些實施方式中，第二電負性可等於約1.5。在其他實施方式中，第二電負性可大於1.5。舉例而言，在一些實施方式中，第二電負性可大於約2.0。在一些實施方式中，第一電負性與第二電負性的差值大於約0.1。在其他實施方式中，第一電負性與第二電負性的差值大於約0.2。

【0025】 如第2B圖的橫截面圖204至第2C圖的橫截面圖208所示，在一些實施方式中，一或多個附加材料206可設置於反應性降低層112之下。在一些實施方式中，一或多個附加材料206可設置於反應性降低層112與位於其下且最接近（例如：直接位於其下方）的互連線110之間（例如：直接位於其下方的銅互連線）。在一些實施方式中，一或多個附加材料206可包含底電極擴散屏障、襯墊層、導電層、及／或其類似。在一些實施方式中，一或多個附加材料206與反應性降低層112可包含不同材料。在一些實施方式中，一或多個附加材料206的電負性可小於反應性降低層112的電負性。舉例而言，在一些實施方式中，反應性降低層112的電負性可為約2.5，並可接觸電負性小於2.5的一或多個附加材料206的其中一者。在其他實施方式中，一或多個附加材料206的電負性可大於反應性降低層112。

【0026】 在一些實施方式中，如第2B圖的橫截面圖204所示，一或多個附加材料206可包含第一附加材料206a，第一附加材料206a接觸反應性降低層112的下表面。在一些這

類實施方式中，第一附加材料206a可包含金屬、金屬氮化物、金屬氧化物、摻雜多晶矽、或其類似。舉例而言，第一附加材料206a可包含鋁、鈦、鉭、鎢、金、鉑、鎳、銱、氮化鈦、氮化鉭、氧化銱、n型摻雜多晶矽、或p型摻雜多晶矽。

【0027】 在一些附加實施方式中，如第2C圖的橫截面圖208所示，一或多個附加材料206可包含多個附加材料。舉例而言，一或多個附加材料206可包含第一附加材料206a、第二附加材料206b、及第三附加材料206c，其中第一附加材料206a接觸反應性降低層112的下表面，第二附加材料206b接觸第一附加材料206a的下表面，第三附加材料206c接觸第二附加材料206b的下表面。在一些實施方式中，第一附加材料206a、第二附加材料206b、及／或第三附加材料206c可包含金屬（例如：鋁、鈦、鉭、鎢、金、鉑、鎳、銱）、金屬氮化物（例如：氮化鈦、氮化鉭）、金屬氧化物（例如：氧化銱）、摻雜多晶矽（例如：n型摻雜多晶矽或p型摻雜多晶矽）、或其類似。在一些實施方式中，第一附加材料206a、第二附加材料206b、及／或第三附加材料206c可包含不同材料。舉例而言，第一附加材料206a可包括鈦，第二附加材料206b可包括氧化物（例如：氧化鉭），第三附加材料206c可包括鈷。在一些附加實施方式中（未示出），一或多個附加材料206可包含其他材料（例如：第五附加材料、第六附加材料等）。

【0028】 第3圖根據一些附加實施方式繪示一積體晶片

300的橫截面圖，其中積體晶片300具有位於反應性降低層上方的RRAM裝置。

【0029】 積體晶片300包含RRAM裝置111，其中RRAM裝置111設置於基板102上方的介電結構106內。在一些實施方式中，介電結構106包含多個堆疊的層間介電層302a-302d。多個堆疊的層間介電層302a-302d包含一或多個下方層間介電層302a-302c，一或多個下方層間介電層302a-302c水平地環繞一或多個下方互連層108，其中一或多個下方互連層108包含導電接觸點107、互連通孔109、及互連線110。在一些實施方式中，多個堆疊的層間介電層302a-302d可包含二氧化矽、SiCOH、氟矽酸鹽玻璃、磷酸鹽玻璃（例如：硼磷酸鹽矽酸鹽玻璃）等的一或多者。一或多個下方互連層108配置為將RRAM裝置111耦接至基板102內的存取裝置104。在一些實施方式中，存取裝置104可包含具有閘電極104d的金屬氧化物半導體場效電晶體(MOSFET)裝置，其中閘電極104d水平地配置於源極區104a與汲極區104b之間，且閘極介電質104c垂直地分隔閘電極104d與基板102。

【0030】 RRAM裝置111包含資料儲存層116，資料儲存層116配置於底電極114與頂電極118之間。底電極114配置於一或多個下方互連層108上方。在一些實施方式中，下方絕緣層304可設置於一或多個下方層間介電層302a-302c上方。下方絕緣層304包含側壁，側壁界定出一開口，開口位於底電極114與一或多個下方互連層108之間。在多種實

施方式中，下方絕緣層304可包含氮化矽、二氧化矽、碳化矽、或其類似。在一些實施方式中，底電極擴散屏障306配置於下方絕緣層304的側壁之間。底電極擴散屏障306可具有大致上平坦的一上表面，此上表面覆蓋下方絕緣層304。在一些實施方式中，底電極擴散屏障306可包含氮化鈦、氮化鉬、或其類似。

【0031】 反應性降低層112設置於底電極擴散屏障306上方。在一些實施方式中，底電極擴散屏障306設置於反應性降低層112與一或多個下方互連層108之間。反應性降低層112從底電極擴散屏障306的頂部連續延伸，以接觸底電極114的下表面。在一些實施方式中，反應性降低層112具有一最底層表面，此最底層表面完全位於下方絕緣層304的最頂層表面的上方。在一些實施方式中，反應性降低層112具有側壁，此側壁沿著某條線對齊於底電極114的側壁及底電極擴散屏障306的側壁。

【0032】 在一些實施方式中，資料儲存層116可具有一底表面與一頂表面，底表面與頂表面分別具有第一寬度及第二寬度，第二寬度小於第一寬度。在這些實施方式中，資料儲存層116可具有一下側壁，下側壁通過覆蓋在資料儲存層116上的水平延伸表面耦接至一上側壁。在一些實施方式中，下側壁可以沿著第一線條對齊於底電極114的一側壁，而上側壁可以沿著第二線條對齊於頂電極118的一側壁。

【0033】 在一些實施方式中，反應性降低層112的側壁與下方絕緣層304的上表面之間具有第一角度 α 。第一角度 α

可大於 90° 。在一些實施方式中，反應性降低層112的側壁可以沿著某條線對齊於底電極114的側壁及資料儲存層116的側壁。在一些實施方式中，覆蓋層202的側壁與資料儲存層116的上表面延伸的一水平面之間具有第二角度 β 。第二角度 β 亦可大於 90° 。在一些實施方式中，第一角度 α 不同於（例如：大於）第二角度 β 。

【0034】 在一些實施方式中，側壁間隔件308可沿著覆蓋層202的側壁及頂電極118的側壁而配置。在一些實施方式中，側壁間隔件308也可沿著資料儲存層116的側壁而配置。在一些實施方式中，側壁間隔件308可配置於頂電極118及／或資料儲存層116的水平延伸表面上。在一些實施方式中，側壁間隔件308可包含氮化物（例如：氮化矽）、氧化物（例如：氧化矽）、碳化物（例如：碳化矽）、或其類似。上方層間介電層302d位於RRAM裝置111上方。在一些實施方式中，上方層間介電層302d可包含二氧化矽、SiCOH、氟矽酸鹽玻璃、磷酸鹽玻璃（例如：硼磷酸鹽矽酸鹽玻璃）等的一或多者。

【0035】 第4圖根據一些附加實施方式繪示一積體晶片400的橫截面圖，其中積體晶片400具有位於反應性降低層上方的RRAM裝置。

【0036】 積體晶片400包含一或多個下方互連層108，一或多個下方互連層108設置於基板102上方的一或多個下方層間介電層302a-302c中。下方絕緣層304位於一或多個下方層間介電層302a-302c的上方並包含側壁，側壁界定出延

伸穿過下方絕緣層304的一開口。

【0037】 底電極擴散屏障306沿著下方絕緣層304的側壁而設置，並位於一或多個下方互連層108上方。底電極擴散屏障306可以從下方絕緣層304的第一側壁連續延伸至下方絕緣層304的第二側壁。在一些實施方式中，底電極擴散屏障306的最外側兩側壁之間具有一大致上固定的厚度。在一些實施方式中，底電極擴散屏障306可包含耐熱金屬或耐熱金屬氮化物，例如鈿、氮化鈿、鈦、氮化鈦、或其類似。

【0038】 反應性降低層112配置於底電極擴散屏障306上方，並具有第二電負性。反應性降低層112從下方絕緣層304的側壁直接延伸至下方絕緣層304上方。在一些實施方式中，反應性降低層112可完全覆蓋底電極擴散屏障306。在一些實施方式中，反應性降低層112的中心處厚度可大於外側邊緣的厚度。在一些實施方式中，反應性降低層112可具有大致上平坦且背對著基板102的一上表面。

【0039】 RRAM裝置111設置於反應性降低層112上，其中RRAM裝置111具有底電極114，而資料儲存層116分隔底電極114與頂電極118。底電極114設置於反應性降低層112上。底電極114具有一下表面，下表面的材料具有第一電負性，第一電負性小於或等於反應性降低層112的第二電負性。底電極114的下表面內的材料沿著一界面接觸反應性降低層112。

【0040】 第5圖根據一些附加實施方式繪示一積體晶片500的橫截面圖，其中積體晶片500具有位於反應性降低層

上方的RRAM裝置。

【0041】 積體晶片500包含一或多個下方互連層108，一或多個下方互連層108設置於基板102上方的一或多個下方層間介電層302a-302b中。下方層間介電層302c設置於一或多個下方層間介電層302a-302b上方。下方層間介電層302c水平地環繞反應性降低層112。反應性降低層112具有第二電負性。下方絕緣層304位於下方層間介電層302c及反應性降低層112的上方，使得下方層間介電層302c的上表面及反應性降低層112的上表面位於下方絕緣層304的底部之下。下方絕緣層304包含側壁，側壁界定出一開口，開口延伸穿過下方絕緣層304。下方絕緣層304中的開口直接位於反應性降低層112的上方。

【0042】 RRAM裝置111設置於下方絕緣層304上方。RRAM裝置111具有底電極114，而資料儲存層116分隔底電極114與頂電極118。底電極114從下方絕緣層304的側壁直接延伸至下方絕緣層304上方。底電極114具有一下表面，下表面接觸反應性降低層112。底電極114的下表面的材料具有第一電負性，第一電負性小於或等於第二電負性。

【0043】 第6圖根據一些附加實施方式繪示一積體晶片600的橫截面圖，其中積體晶片600具有位於反應性降低層上方的RRAM裝置。

【0044】 積體晶片600包含一或多個下方互連層108，一或多個下方互連層108設置於基板102上方的一或多個下方層間介電層302a-302c中。下方絕緣層304位於一或多個下

方層間介電層302a-302c上方，並包含側壁，側壁界定出延伸穿過下方絕緣層304的一開口。

【0045】 反應性降低層112配置於一或多個下方互連層108上。反應性降低層112具有第二電負性。反應性降低層112從下方絕緣層304的側壁之間直接延伸至下方絕緣層304上方。在一些實施方式中，反應性降低層112包含一材料（例如：鈦、氮化鈦、或其類似）配置作為擴散屏障。反應性降低層112可具有側壁及直接接觸下方絕緣層304的下表面。在一些實施方式中，反應性降低層112可具有大致上平坦並背對於基板102的一上表面。

【0046】 RRAM裝置111設置於反應性降低層112上方。RRAM裝置111具有底電極114，資料儲存層116分隔底電極114與頂電極118。底電極114具有一下表面，下表面的材料具有第一電負性，第一電負性小於或等於第二電負性。底電極114的下表面可接觸反應性降低層112。

【0047】 第7圖根據一些附加實施方式繪示一積體晶片700的橫截面圖，其中積體晶片700具有位於反應性降低層上方的RRAM裝置。

【0048】 積體晶片700包含下方絕緣層304，下方絕緣層304位於環繞一或多個下方互連層108的一或多個下方層間介電層302a-302c上方。下方絕緣層304包含側壁，側壁界定出延伸穿過下方絕緣層304的一開口。

【0049】 底電極擴散屏障306設置於開口內。底電極擴散屏障306襯墊於下方絕緣層304的側壁上。反應性降低層

112配置為直接位於底電極擴散屏障306上。反應性降低層112的頂表面與底電極擴散屏障306的頂表面大致上互為共平面。反應性降低層112具有第二電負性。

【0050】 RRAM裝置111設置於反應性降低層112上方。RRAM裝置111具有底電極114，資料儲存層116分隔底電極114與頂電極118。底電極114具有一下表面，下表面的材料具有第一電負性，第一電負性小於或等於第二電負性。底電極114的下表面可接觸反應性降低層112及底電極擴散屏障306。

【0051】 第8A圖至第8B圖根據一些附加實施方式繪示一積體晶片的橫截面圖，其中積體晶片具有位於反應性降低層上方的RRAM裝置。

【0052】 如第8A圖的橫截面圖800所示，積體晶片包含一或多個下方互連層108，一或多個下方互連層108設置於基板102上方的一或多個下方層間介電層302a-302c中。下方絕緣層304位於一或多個下方層間介電層302a-302c的上方並包含側壁，側壁界定出一開口，開口直接在一或多個下方互連層108上方延伸穿過下方絕緣層304。

【0053】 底電極擴散屏障306沿著下方絕緣層304的側壁，並位於一或多個下方互連層108。反應性降低層112配置於底電極擴散屏障306上方，並具有第二電負性。RRAM裝置111配置於反應性降低層112上方。RRAM裝置111包含資料儲存層116，資料儲存層116設置於底電極114與頂電極118之間。底電極114具有一下表面，下表面的材料具

有第一電負性，第一電負性小於或等於反應性降低層112的第二電負性。

【0054】 底電極擴散屏障306、反應性降低層112、底電極114、資料儲存層116、覆蓋層202、及頂電極118分別具有內部區域802，外部區域804水平地環繞內部區域802。內部區域802中的多個層分別具有一凹陷的上表面，此凹陷的上表面配置成在水平地位於外部區域804中相對應的層的上表面之間，且垂直地位於外部區域804中相對應的層的上表面之下。舉例而言，反應性降低層112在內部區域802中具有一上表面，此上表面水平地位於外部區域804中的反應性降低層112的上表面之間，且垂直地位於外部區域804中的反應性降低層112的上表面之下。如第8B圖的上視圖806所示，底電極擴散屏障306的外部區域804沿著底電極擴散屏障306的最外周延伸。在一些實施方式中，外部區域804可沿著內部區域802的一無斷開環形連續延伸。

【0055】 在一些實施方式中，底電極擴散屏障306、反應性降低層112、底電極114、資料儲存層116、覆蓋層202、及頂電極118的最外側的側壁之間可分別具有大致上相等的厚度。在一些替代實施例中，資料儲存層116的內部區域802具有第一厚度，而資料儲存層116的外部區域804可具有第二厚度，第二厚度小於第一厚度。

【0056】 第9A圖根據一些附加實施方式繪示一積體晶片900的橫截面圖，其中積體晶片900具有位於反應性降低層上方的RRAM裝置。

【0057】 積體晶片900包含基板102，基板102包括邏輯區902(logic region)及嵌埋式記憶體區904(embedded memory region)。介電結構106配置於基板102上方。介電結構106包含多個堆疊的層間介電層302a-302d，蝕刻停止層906分隔多個堆疊的層間介電層302a-302d。在一些實施方式中，蝕刻停止層906可包含氮化物（例如：氮化矽）、碳化物（例如：碳化矽）、或其類似。

【0058】 邏輯區902包含電晶體裝置908，電晶體裝置908配置於基板102中。電晶體裝置908包含源極區908a、通過通道區與源極區908a分開的汲極區908b、及通道區上方的閘極結構908g。在一些實施方式中，電晶體裝置908可包含高k金屬閘極(high-k metal gate, HKMG)電晶體。在這些實施方式中，閘極結構908g可包含金屬閘極電極（例如：包含鋁、鈦、鈹、或其類似）及包含高k介電質的閘極介電質（例如：包含氧化鋁、氧化鈣、或其類似）。在其他實施方式中，閘極結構908g可包含多晶矽閘極電極及包含氧化物的閘極介電質（例如：二氧化矽）。

【0059】 源極區908a及／或汲極區908b耦接至被介電結構106所環繞的多個互連層。互連層包含導電接觸點910、互連線912、及互連通孔914。在一些實施方式中，互連層可包含銅、鎢、鋁、及／或其類似。

【0060】 嵌埋式記憶體區904包含存取裝置104（例如：存取電晶體），存取裝置104配置於基板102中。存取裝置104耦接至RRAM裝置111，RRAM裝置111具有底電極

114，資料儲存層116分隔底電極114與頂電極118。底電極114接觸反應性降低層112。反應性降低層112沿著與邏輯區902內的多個互連通孔914之一的側壁相交的水平面而配置。在一些實施方式中，一或多個隔離結構905可配置於基板102內，並位於存取裝置104的相對兩側。隔離結構905可包含一或多個介電材料，配置於基板102的內表面所界定出的溝槽中。在一些實施方式中，隔離結構905可包含淺溝槽隔離(shallow trench isolation, STI)結構。在一些這類實施方式中，隔離結構905可包含相同的隔離結構，隔離結構在圍繞存取裝置104的周邊的一封閉環中連續延伸。

【0061】 第9B圖根據一些替代實施方式繪示一積體晶片916的橫截面圖，其中積體晶片916具有位於反應性降低層上方的RRAM裝置。

【0062】 積體晶片916包括基板102，基板102包括邏輯區902及嵌埋式記憶體區904。嵌埋式記憶體區904包含存取裝置104（例如：存取電晶體），存取裝置104配置於基板102中。存取裝置104耦接至RRAM裝置111，RRAM裝置111具有底電極114，資料儲存層116分隔底電極114與頂電極118。底電極114接觸反應性降低層112。反應性降低層112沿著與邏輯區902內的多個互連線912之一的側壁相交的水平面而配置。

【0063】 第10圖根據一些附加實施方式繪示一積體晶片1000的橫截面圖，其中積體晶片1000具有位於反應性降低層上方的RRAM裝置。

【0064】 積體晶片1000包含一電晶體一電容(1T1R)式的RRAM單元架構，其中具有連接到RRAM裝置111的存取裝置104。存取裝置104配置於基板102內。在一些實施方式中，存取裝置104可包含一MOSFET裝置，MOSFET裝置具有設置於源極區104a與汲極區104b之間的閘電極104d，閘極介電質104c分隔閘電極104d與基板102。在其他實施方式中，存取裝置104可包含高電子遷移率電晶體(HEMT)、雙極性接面型電晶體(BJT)、或其類似。

【0065】 介電結構106配置於基板102上方。一或多個下方互連層108包括導電接觸點107、互連通孔109、及互連線110，並被介電結構106環繞。互連線110包括源極線SL，源極線SL包含電性耦接至源極區104a的第一互連線。在一些實施方式中，源極線SL可配置於第二互連線層中，第二互連線層通過導電接觸點、第一互連線、及第一互連通孔連接至源極區104a。互連線110更包含字元線WL，字元線WL包含電性耦接至閘電極104d的第二互連線。在一些實施方式中，字元線WL可配置於第一互連線層中，並通過導電接觸點連接到閘電極104d。

【0066】 RRAM裝置111配置於反應性降低層112上方的介電結構106內。RRAM裝置111包含底電極114，資料儲存層116分隔底電極114與頂電極118。底電極114通過反應性降低層112及一或多個下方互連層108直接連接到汲極區104b。頂電極118進一步通過上方互連結構120耦接至位元線BL。

【0067】 在一些實施方式中，側壁間隔件308沿頂電極118的相對側而配置。在一些實施方式中，側壁間隔件308可具有從側壁間隔件308的側壁向外突出的水平延伸段308a。在一些實施方式中，水平延伸段308a可從側壁間隔件308的相對側向外突出。在其他實施方式中（未示出），水平延伸段308a可從側壁間隔件308的一側向外突出，而不是從側壁間隔件308的相對側向外突出。

【0068】 雖然積體晶片1000繪示字元線WL、源極線SL、位元線BL、及RRAM裝置111是位於後端(back-end-of-the-line, BEOL)互連堆疊中的特定位置，但應理解的是，這些元件的位置並不限於圖中所示的位置。在後端(BEOL)互連堆疊中，這些元件的位置可以位於不同的位置。舉例而言，在一些替代實施例中，RRAM裝置111可以位於第二金屬互連線及第三金屬互連線之間。

【0069】 第11圖繪示圖表1100，其示出了根據一些實施方式所揭示之位於反應性降低層上方的RRAM裝置的數據循環。圖表1100示出了沿y軸的讀取電流和沿x軸的循環計數（即多個讀／寫週期）。

【0070】 如圖表1100所示，讀取電流在具有第一數值的儲存資料狀態下（例如：具有「1」的資料狀態）具有第一電流範圍1102，而在具有第二數值的儲存資料狀態下（例如：具有「0」的資料狀態）具有第二電流範圍1104。讀取窗口1106是在「1」及「0」之間從RRAM裝置所讀出的訊號（例如：電流）差異。在RRAM裝置（例如：第1圖的RRAM

裝置111)操作時，要保持足夠大的讀取窗口，因為較大的讀取窗口1106使得在讀取操作期間更容易區分彼此不同的資料狀態。

【0071】 在多次讀取及／或寫入操作之後，不具有反應性降低層（例如：第1圖的反應性降低層112）的RRAM裝置的讀取窗口（以線1108來表示）將變得太小且不可靠。然而，反應性降低層（例如：第1圖的反應性降低層112）提供了能夠為相對大量的讀取及／或寫入操作維持足夠讀取窗口的RRAM裝置（例如：其所能執行的多個讀取及／或寫入操作相較於不具有反應性降低層的RRAM裝置多出三倍或以上）。

【0072】 第12圖至第21圖根據一些實施方式繪示形成具有位於反應性降低層上方的RRAM裝置的積體晶片的方法的橫截面圖1200至橫截面圖2100。雖然第12圖至第21圖是敘述一種方法，但應當理解的是，第12圖至第21圖中揭示的結構不限於此方法，而也可以單獨作為獨立於此方法的結構。

【0073】 如第12圖的橫截面圖1200所示，存取裝置104形成在基板102內。在多種實施方式中，基板102可以是任何類型的半導體本體（例如：矽、SiGe、SOI等），例如半導體晶圓及／或一或多個晶圓上的晶粒，以及其相關聯的任何其他類型的半導體及／或外延層。在一些實施方式中，存取裝置104可包含電晶體裝置，此電晶體裝置係藉由在基板102上方沉積閘極介電質層及閘極電極層而形成。隨後對

閘極介電質層及閘極電極層進行圖案化以形成閘極介電質104c及閘電極104d。接著可對基板102進行植入，以在基板102內形成位於閘電極104d之相反側的源極區104a及汲極區104b。

【0074】 在一些實施方式中，一或多個隔離結構905可以形成在基板102內的存取裝置104的相對側。在一些實施方式中，一或多個隔離結構905的形成方式可包括通過選擇性地蝕刻基板102以形成一個或多個淺溝槽1202，接著在一個或多個淺溝槽1202內形成一個或多個介電材料。在一些實施方式中，蝕刻製程可包含乾蝕刻製程。舉例而言，蝕刻製程可包含耦合電漿蝕刻製程，例如電感耦合電漿(inductively coupled plasma, ICP)蝕刻製程或電容耦合電漿(capacitively coupled plasma, CCP)蝕刻製程。在其他實施方式中，蝕刻製程可包含濕蝕刻製程。

【0075】 如第13圖的橫截面圖1300所示，一或多個下方互連層108形成於基板102上方的一或多個下方層間介電層302a-302c中。一或多個下方互連層108可包含導電接觸點107、互連通孔109、及互連線110。一或多個下方互連層108的形成方式可以通過在基板102上方形成一或多個層間介電層302a-302c，選擇性地蝕刻層間介電層（例如：氧化物、低k介電質、或超低k電介質），以在層間介電層中界定出通孔及／或溝槽，接著在通孔及／或溝槽內形成導電材料（例如：銅、鋁等）以填充開口，並執行平坦化製程（例如：化學機械平坦化製程）。

【0076】 如第14圖的橫截面圖1400所示，下方絕緣層304形成在一或多個下方互連層108及一或多個下方層間介電層302a-302c上。在一些實施方式中，下方絕緣層304可包含氮化矽、碳化矽等。在一些實施方式中，可以通過沉積技術來形成下方絕緣層304（例如：物理氣相沉積(PVD)、化學氣相沉積(CVD)、電漿化學氣相沉積(PE-CVD)、原子層沉積(ALD)、濺射等），其厚度可為約200埃至約300埃。在沉積後，對下方絕緣層304進行選擇性地圖案化以界定出開口1404，開口1404延伸穿過下方絕緣層304至一或多個下方互連層108。在一些實施方式中，可使用蝕刻劑1402對下方絕緣層304進行選擇性地圖案化（例如：乾蝕刻劑或濕蝕刻劑）。

【0077】 如第15圖的橫截面圖1500所示，在一些實施方式中，底電極擴散屏障層1502形成在下方絕緣層304及一或多個下方互連層108上方。底電極擴散屏障層1502從開口1404中延伸到覆蓋下方絕緣層304的位置。在一些實施方式中，底電極擴散屏障層1502可包含氮化鋇、氮化鈦等。接著可執行平坦化製程（例如化學機械平坦化製程）。在一些實施方式中，平坦化製程使得下方絕緣層304上方的底電極擴散屏障層1502具有約100埃至約300埃的厚度。在一些實施方式中，可以通過沉積製程來形成底電極擴散屏障層1502（例如：CVD、PVD、ALD、PE-CVD等）。

【0078】 反應性降低覆蓋層1504形成在底電極擴散屏障層1502上方。反應性降低覆蓋層1504具有第二電負性。

在一些實施方式中，第二電負性可大於或等於1.5。在其他實施方式中，第二電負性可大於或等於2.0。在一些實施方式中，可以通過沉積製程來形成反應性降低覆蓋層1504（例如：CVD、PVD、ALD、PE-CVD等）。在一些實施方式中，反應性降低覆蓋層1504的厚度可為約1 nm至約200 nm。

【0079】 如第16圖的橫截面圖1600所示，底電極層1602形成於反應性降低覆蓋層1504上。在一些實施方式中，底電極層1602的下表面材料具有第一電負性，第一電負性小於或等於反應性降低覆蓋層1504的第二電負性。在一些實施方式中，底電極層1602可以完全是上述材料。在一些實施方式中，第一電負性可為約1.5。在其他實施方式中，第一電負性可大於1.5。在一些實施方式中，底電極層1602可包含通過沉積製程（例如：PVD、CVD等）所形成的金屬、金屬氮化物、金屬氧化物、或摻雜多晶矽。

【0080】 在一些實施方式中，可原位形成底電極層1602及反應性降低覆蓋層1504（例如：在進行沉積時，不破壞製程室中的真空）。在這些實施方式中，具有第二電負性的反應性降低覆蓋層1504的材料沿著一界面直接接觸具有第一電負性的底電極層1602的材料。在一些實施方式中，底電極層1602的厚度 T_{BE} 可為約1 nm至約200 nm。在其他實施方式中，底電極層1602與反應性降低覆蓋層1504可以是非原位形成。在一些這類實施方式中，可執行另外的蝕刻製程，以在形成底電極層1602之前，從反應性降低覆蓋層

1504的頂部移除任何原有的氧化物，使得具有第二電負性的反應性降低覆蓋層1504的材料沿著一界面直接接觸具有第一電負性的底電極層1602的材料。

【0081】 如第17圖的橫截面圖1700所示，資料儲存元件1702形成於反應性降低覆蓋層1504上。在一些實施方式中，資料儲存元件1702可包含具有可變電阻值的高k介電質材料。舉例而言，在一些實施方式中，資料儲存元件1702可包含氧化鈺(HfO_x)、氧化鋯(ZrO_x)、氧化鋁(AlO_x)、氧化鎳(NiO_x)、氧化鉭(TaO_x)、氧化鈦(TiO_x)等。在一些實施方式中，可以通過沉積技術（例如：PVD、CVD、PE-CVD、濺射、ALD等）來形成資料儲存元件1702，其厚度可為約25埃至約75埃。

【0082】 在一些實施方式中，可形成覆蓋膜1704(capping film)於資料儲存元件1702上方。在多種實施方式中，覆蓋膜1704可包含金屬或金屬氧化物。在一些實施方式中，可以通過沉積技術（例如：PVD、CVD、PE-CVD、濺射、ALD等）來形成覆蓋膜1704。

【0083】 頂電極層1706形成在資料儲存元件1702上方。頂電極層1706可包含金屬，例如鈦、鉭等。在一些實施方式中，可以通過沉積技術（例如：PVD、CVD、PE-CVD、濺射、ALD等）來形成頂電極層1706。在一些實施方式中，頂電極層1706的厚度可為約100埃至約400埃。

【0084】 如第18圖的橫截面圖1800所示，對頂電極層

(第17圖的頂電極層1706)執行第一圖案化製程。在一些實施方式中，第一圖案化製程包含形成遮蔽層1804於頂電極層上方(第17圖的頂電極層1706)，隨後將頂電極層(第17圖的頂電極層1706)暴露於第一蝕刻劑1802，第一蝕刻劑1802被配置成通過選擇性地移除頂電極(第17圖的頂電極層1706)的未遮蔽部分來界定出頂電極118。在一些實施方式中，第一蝕刻劑1802也可以移除覆蓋膜1704的未遮蔽部分以界定出覆蓋層202。

【0085】 在多種實施方式中，第一蝕刻劑1802可包含具有包含氟物質之蝕刻化學物質(例如： CF_4 、 CHF_3 、 C_4F_8 等)的乾蝕刻劑或包含氫氟酸(hydrofluoric acid, HF)的濕蝕刻劑。在一些實施方式中，第一圖案化製程可以減小遮蔽層1804的厚度。舉例而言，在一些實施方式中，第一圖案化製程可以減小遮蔽層1804的厚度約70%至約85%(例如：約550埃至約100埃)。

【0086】 在一些實施方式中，頂電極層(第17圖的頂電極層1706)的過度蝕刻(over-etching)可能導致一部分資料儲存元件1702被蝕刻。舉例而言，在一些實施方式中，資料儲存元件1702的一部分可能被蝕刻，使得資料儲存元件1702的側壁水平地從最外側的側壁向後退縮。

【0087】 如第19圖的橫截面圖1900所示，側壁間隔件308可以形成在頂電極118的相對側上。在一些實施方式中，可以通過使用沉積技術(例如： PVD ， CVD ， PE-CVD ， ALD ，濺射等)在基板102上方沉積一間隔件層來形成側壁

間隔件308。隨後蝕刻間隔件層，以移除水平面上的間隔件層，留下位於頂電極118的相對側上的間隔件層來作為側壁間隔件308。在多種實施方式中，間隔件層可包含氮化矽、二氧化矽(SiO_2)、氮氧化矽（例如： SiON ）等。在多種實施方式中，間隔件層的厚度可為約400埃至約600埃。

【0088】 在形成側壁間隔件308後，執行第二圖案化製程以界定出資料儲存層116、底電極114、反應性降低層112、及底電極擴散屏障306。在一些實施方式中，第二圖案化製程選擇性地暴露資料儲存元件（第18圖的資料儲存元件1702）、底電極層（第18圖的底電極層1602）、反應性降低覆蓋層（第18圖的反應性降低覆蓋層1504）、及底電極擴散屏障層（第18圖的底電極擴散屏障層1502）至第二蝕刻劑1902，並使用包含遮蔽層1804及側壁間隔件308的一遮罩。第二蝕刻劑1902配置為移除資料儲存元件（第18圖的資料儲存元件1702）、底電極層（第18圖的底電極層1602）、反應性降低覆蓋層（第18圖的反應性降低覆蓋層1504）、及底電極擴散屏障（第18圖的底電極擴散屏障層1502）的未遮蔽部分。在多種實施方式中，第二蝕刻劑1902可包含乾蝕刻劑或濕蝕刻劑。

【0089】 在一些實施方式中，第二圖案化製程可減小下方絕緣層304的未遮蔽區域的厚度。舉例而言，在一些實施方式中，第二圖案化製程可減小下方絕緣層304的未遮蔽區域的厚度之約20%至約35%（例如：約270埃至約220埃）。減小下方絕緣層304的未遮蔽區域的厚度使得位於反應性

降低層112的正下方之下方絕緣層304的厚度大於位於反應性降低層112外部之下方絕緣層304的厚度。

【0090】 如第20圖的橫截面圖2000所示，上方介電層2002形成在基板102上方。上方層間介電層302d接著形成在上方介電層2002上方。上方介電層2002具有第一側邊及第二側邊，第一側邊鄰接下方絕緣層304，第二側邊鄰接上方層間介電層302d。

【0091】 如第21圖的橫截面圖2100所示，上方互連結構120形成在與頂電極118鄰接的位置處。在多種實施方式中，上方互連結構120可包含一互連通孔或一互連線。在一些實施方式中，上方互連結構120的形成方式可以通過蝕刻上方層間介電層302d以形成開口2102，開口2102延伸穿過上方層間介電層302d、上方介電層2002、及遮蔽層1804至頂電極118，接著以導電材料填充開口2102（例如：銅及／或鋁），以形成上方互連結構120。

【0092】 第22圖根據一些實施方式繪示形成積體晶片的方法2200的流程圖，積體晶片具有位於反應性降低層上方的RRAM裝置。

【0093】 雖然下文將方法2200繪示及敘述為一系列操作或事件，但是應當理解，這些操作或事件的所示順序不應被解釋為限制意義。舉例而言，某些操作可能發生除了本文所示及／或描述的那些之外的其他操作或事件，可以以不同的順序及／或與其他操作或事件同時發生。此外，並非所有示出的操作都可能需要實現本文描述的一個或多個方面或

實施例。此外，一或本文描述的多個操作可以在一個或多個單獨的操作及／或階段中執行。

【0094】 在操作2202處，在基板內形成存取裝置。第12圖示出了對應於執行操作2202的一些實施方式的橫截面圖1200。

【0095】 在操作2204處，在基板上方的一個或多個下方層間介電層內形成一個或多個下方互連層。第13圖示出了對應於執行操作2204的一些實施方式的橫截面圖1300。

【0096】 在操作2206處，在一個或多個下方層間介電層上方形成下方絕緣層。第14圖示出了對應於執行操作2206的一些實施方式的橫截面圖1400。

【0097】 在操作2208處，在一些實施方式中，底部電極擴散屏障層可形成在下方絕緣層及一個或多個下方互連層上方。第15圖示出了對應於執行操作2208的一些實施方式的橫截面圖1500。

【0098】 在操作2210處，具有第二電負性的反應性降低覆蓋層形成在底電極擴散屏障層上方。第15圖示出了對應於執行操作2210的一些實施方式的橫截面圖1500。

【0099】 在操作2212處，形成具有第一電負性的底電極層於反應性降低覆蓋層上，其中第二電負性大於或等於第一電負性。第16圖示出了對應於執行操作2212的一些實施方式的橫截面圖1600。

【0100】 在操作2214處，形成資料儲存元件於底電極層上方。第17圖示出了對應於執行操作2214的一些實施方式

的橫截面圖1700。

【0101】 在操作2216處，形成覆蓋膜於資料儲存元件上方。第17圖示出了對應於執行操作2216的一些實施方式的橫截面圖1700。

【0102】 在操作2218處，形成頂電極層於資料儲存元件上方。第17圖示出了對應於執行操作2218的一些實施方式的橫截面圖1700。

【0103】 在操作2220處，對頂電極層進行選擇性圖案化以界定出頂電極。第18圖示出了對應於執行操作2220的一些實施方式的橫截面圖1800。

【0104】 在操作2222處，形成側壁間隔件於頂電極的相對側上。第19圖示出了對應於執行操作2222的一些實施方式的橫截面圖1900。

【0105】 在操作2224處，對資料儲存元件、底電極層、反應性降低覆蓋層、及底電極擴散屏障層進行選擇性圖案化，以分別定義出資料儲存層、底電極、反應性降低層、及底電極擴散屏障。第19圖示出了對應於執行操作2224的一些實施方式的橫截面圖1900。

【0106】 在操作2226處，形成上方層間介電層在頂電極上方。第20圖示出了對應於執行操作2226的一些實施方式的橫截面圖2000。

【0107】 在操作2228處，形成上方互連結構於頂電極上。第21圖示出了對應於執行操作2228的一些實施方式的橫截面圖2100。

【0108】 儘管所揭示的附圖和描述是關於電阻式隨機存取記憶體(RRAM)裝置，但是應當理解，所揭示的反應性降低層不限於這種記憶體裝置。在一些替代實施例中，所揭示的反應性降低層也可以應用於其他類型的記憶體裝置，例如但不限於相變隨機存取記憶體(phase change random access memory, PCRAM)、磁阻隨機存取記憶體(magnetoresistive random access memory, MRAM)、鐵電隨機存取記憶體(ferroelectric random access memory, FRAM)、可編程金屬化記憶體、碳納米管記憶體等。

【0109】 因此，本揭示的一些實施方式涉及一種包含RRAM裝置的積體晶片，此RRAM裝置具有位於反應性降低層上方的底電極，而底電極被配置為降低底電極與氧的反應性。通過降低底電極與氧的反應性，反應性降低層改善了RRAM裝置的可靠性（例如：可以可靠地執行的多個讀取及／或寫入循環）。

【0110】 在一些實施方式中，本揭示係關於一種積體晶片。積體晶片包括一或多個下方互連層、一底電極、一資料儲存層、及一反應性降低層。一或多個下方互連層配置於一基板上方的一介電結構中。底電極設置於一或多個下方互連層的其中一者上方，其中底電極的一下表面包含具有第一電負性的材料。資料儲存層分隔底電極及一頂電極。反應性降低層接觸底電極的下表面並具有第二電負性，第二電負性大於或等於第一電負性。在一些實施方式中，積體晶片更包括

一底電極擴散屏障，配置於反應性降低層及一或多個下方互連層之間。在一些實施方式中，積體晶片更包括一下方絕緣層，下方絕緣層配置於介電結構上並包含由複數個側壁所界定的一開口，開口直接位於底電極之下，其中下方絕緣層環繞反應性降低層。在一些實施方式中，積體晶片更包括一或多個附加材料，一或多個附加材料設置於反應性降低層及直接位於其下方的一互連線之間。在一些實施方式中，一或多個附加材料包含一或多個不同於反應性降低層的材料；以及一或多個附加材料包含一金屬、一金屬氮化物、一金屬氧化物、或一摻雜多晶矽。在一些實施方式中，第二電負性大於約2.2。在一些實施方式中，底電極的下表面包含貴金屬。在一些實施方式中，第一電負性小於第二電負性。在一些實施方式中，反應性降低層具有側壁，側壁沿著某條線對齊於底電極的側壁。在一些實施方式中，反應性降低層包含金屬、金屬氮化物、金屬氧化物、或摻雜多晶矽。在一些實施方式中，反應性降低層包括鋁、鈦、鉭、鎢、金、鉑、鎳、銱、氮化鈦、氮化鉭、氧化銱、n型摻雜多晶矽、或p型摻雜多晶矽。

【0111】 在其他實施方式中，本揭示係關於一種積體晶片。積體晶片包括下方絕緣層、底電極擴散屏障、底電極、資料儲存層、及反應性降低層。下方絕緣層配置於一或多個層間介電層上方，其中下方絕緣層包含由複數個側壁所界定的一開口，開口直接位於一或多個互連層上方，一或多個層間介電層環繞一或多個互連層。底電極擴散屏障設置於開口

中。底電極位於底電極擴散屏障上方並具有第一電負性。資料儲存層分隔底電極及一頂電極。反應性降低層直接設置於底電極擴散屏障及底電極之間，其中反應性降低層具有第二電負性，第二電負性大於第一電負性。在一些實施方式中，反應性降低層包含金屬氮化物或金屬氧化物。在一些實施方式中，反應性降低層完全覆蓋底電極的一下表面。在一些實施方式中，反應性降低層完全位於下方絕緣層上方。在一些實施方式中，底電極包含貴金屬，貴金屬從反應性降低層連續地延伸至資料儲存層。在一些實施方式中，反應性降低層不為銅。在一些實施方式中，底電極由貴金屬組成。在一些實施方式中，積體晶片更包含：一或多個附加材料，設置於反應性降低層的一下表面及位於其下且最接近的一互連線的一上表面之間。

【0112】 在另一些其他實施方式中，本揭示係關於一種形成積體晶片的方法。方法包括形成反應性降低覆蓋層於基板上方的一或多個下方互連層上方；形成一底電極層於反應性降低覆蓋層上並直接接觸反應性降低覆蓋層，其中底電極層具有第一電負性，第一電負性小於或等於反應性降低覆蓋層的第二電負性；形成一資料儲存元件於底電極層上方；形成頂電極層於資料儲存元件上方；圖案化頂電極層、資料儲存元件、反應性降低覆蓋層、及底電極層，以定義一記憶體裝置。在一些實施方式中，方法更包括形成底電極擴散屏障層於一或多個下方互連層上方；以及形成反應性降低覆蓋層於底電極擴散屏障層上。在一些實施方式中，方法更包括形

成下方絕緣層於介電結構上方，介電結構環繞一或多個下方互連層；以及圖案化下方絕緣層以形成下方絕緣層的複數個側壁，側壁定義出一開口，開口直接位於底電極層之下，其中反應性降低覆蓋層具有最底層表面，最底層表面位於下方絕緣層的最底層表面上方。

【0113】 前述內容概述若干實施例或實例之特徵，以使得熟習此項技術者可較佳理解本揭示的實施方式之態樣。熟習此項技術者應理解，他們可容易地使用本揭示的實施方式作為設計或修改用於執行本文所介紹之實施方式相同目的及/或達成相同優點的其他製程及結構之基礎。熟習此項技術者應同時認識到，這些的等效構造並不偏離本揭示的實施方式之精神及範疇，且其可在不偏離本揭示的實施方式之精神及範疇之情況下於本文中進行各種變化、替換及變更。

【符號說明】

【0114】

- 100 積體晶片
- 102 基板
- 104 存取裝置
- 104a 源極區
- 104b 汲極區
- 104c 閘極介電質
- 104d 閘電極
- 106 介電結構

- 107 導電接觸點
- 108 下方互連層
- 109 互連通孔
- 110 互連線
- 111 RRAM裝置
- 112 反應性降低層
- 114 底電極
 - 114t 上表面
 - 114b 下表面
- 116 資料儲存層
- 118 頂電極
- 120 上方互連結構
- 200 橫截面圖
- 202 覆蓋層
- 204 橫截面圖
- 206 附加材料
 - 206a 第一附加材料
 - 206b 第二附加材料
 - 206c 第三附加材料
- 208 橫截面圖
- 300 積體晶片
 - 302a~302d 堆疊的層間介電層
- 304 下方絕緣層
- 306 底電極擴散屏障

- 308 側壁間隔件
- 308a 水平延伸段
- 400 積體晶片
- 500 積體晶片
- 600 積體晶片
- 700 積體晶片
- 800 橫截面圖
- 802 內部區域
- 804 外部區域
- 806 上視圖
- 900 積體晶片
- 904 嵌埋式記憶體區
- 905 隔離結構
- 906 蝕刻停止層
- 908a 源極區
- 908b 汲極區
- 908g 閘極結構
- 910 導電接觸點
- 912 互連線
- 914 互連通孔
- 916 積體晶片
- 1000 積體晶片
- 1100 圖表
- 1102 第一電流範圍

- 1104 第二電流範圍
- 1106 讀取窗口
- 1108 線
- 1200 橫截面圖
- 1202 淺溝槽
- 1300 橫截面圖
- 1400 橫截面圖
- 1402 蝕刻劑
- 1404 開口
- 1500 橫截面圖
- 1502 底電極擴散屏障層
- 1504 反應性降低覆蓋層
- 1600 橫截面圖
- 1602 底電極層
- 1700 橫截面圖
- 1702 資料儲存元件
- 1704 覆蓋膜
- 1706 頂電極層
- 1800 橫截面圖
- 1802 第一蝕刻劑
- 1804 遮蔽層
- 1900 橫截面圖
- 1902 第二蝕刻劑
- 2000 橫截面圖

2002 上方介電層

2100 橫截面圖

2102 開口

2200 方法

2202~2228 操作

BL 位元線

t_{TE} 厚度

T_C 厚度

t_{DS} 厚度

T_{BE} 厚度

T_{RR} 厚度

t_1 厚度

SL 源極線

WL 字元線

【發明申請專利範圍】

【第 1 項】一種積體晶片，包含：

一或多個下方互連層，配置於一基板上方的一介電結構中；

一底電極，設置於該一或多個下方互連層的其中一者上方，其中該底電極的一下表面包含具有一第一電負性的一材料；

一資料儲存層，分隔該底電極及一頂電極；

一反應性降低層，接觸該底電極的該下表面並具有一第二電負性，該第二電負性大於或等於該第一電負性；以及

一介電層，接觸該底電極的一側壁與該反應性降低層的一側壁，且與該底電極的該下表面分離。

【第 2 項】如請求項 1 所述的積體晶片，更包含：

一下方絕緣層，配置於該介電結構上，並包含由複數個側壁所界定的一開口，該開口直接位於該底電極之下，其中該下方絕緣層環繞該反應性降低層。

【第 3 項】如請求項 1 所述的積體晶片，其中該第一電負性小於該第二電負性。

【第 4 項】一種積體晶片，包含：

一下方絕緣層，配置於一或多個層間介電層上方，其中該下方絕緣層包含由複數個側壁所界定的一開口，該開

口直接位於一或多個互連層上方，該一或多個層間介電層環繞該一或多個互連層；

一底電極擴散屏障，設置於該開口中；

一底電極，位於該底電極擴散屏障上方，並具有一第一電負性；

一資料儲存層，分隔該底電極及一頂電極；以及

一反應性降低層，直接設置於該底電極擴散屏障及該底電極之間，其中該反應性降低層具有一第二電負性，該第二電負性大於該第一電負性；以及

一介電層，接觸該底電極的一側壁與該反應性降低層的一側壁，且與該底電極的一下表面分離。

【第 5 項】如請求項 4 所述的積體晶片，其中該反應性降低層包含一金屬氮化物或一金屬氧化物。

【第 6 項】如請求項 4 所述的積體晶片，其中該底電極包含一貴金屬，該貴金屬從該反應性降低層連續地延伸至該資料儲存層。

【第 7 項】如請求項 4 所述的積體晶片，更包含：
一或多個附加材料，設置於該反應性降低層的一下表面及位於其下且最接近的一互連線的一上表面之間。

【第 8 項】一種形成積體晶片的方法，包含：
形成一反應性降低覆蓋層於一基板上方的一或多個下

方互連層上方；

形成一底電極層於該反應性降低覆蓋層上並直接接觸該反應性降低覆蓋層，其中該底電極層具有一第一電負性，該第一電負性小於或等於該反應性降低覆蓋層的一第二電負性；

形成一資料儲存元件於該底電極層上方；

形成一頂電極層於該資料儲存元件上方；

圖案化該頂電極層、該資料儲存元件、該反應性降低覆蓋層、及該底電極層，以定義包含一頂電極、一資料儲存層、一反應性降低層及一底電極的一記憶體裝置；以及

形成一介電層於該基板上方，使得該介電層接觸該底電極的一側壁與該反應性降低層的一側壁，且該介電層與該底電極的一下表面分離。

【第 9 項】如請求項 8 所述的方法，更包含：

形成一底電極擴散屏障層於該一或多個下方互連層上方；以及

形成該反應性降低覆蓋層於該底電極擴散屏障層上。

【第 10 項】如請求項 9 所述的方法，更包含：

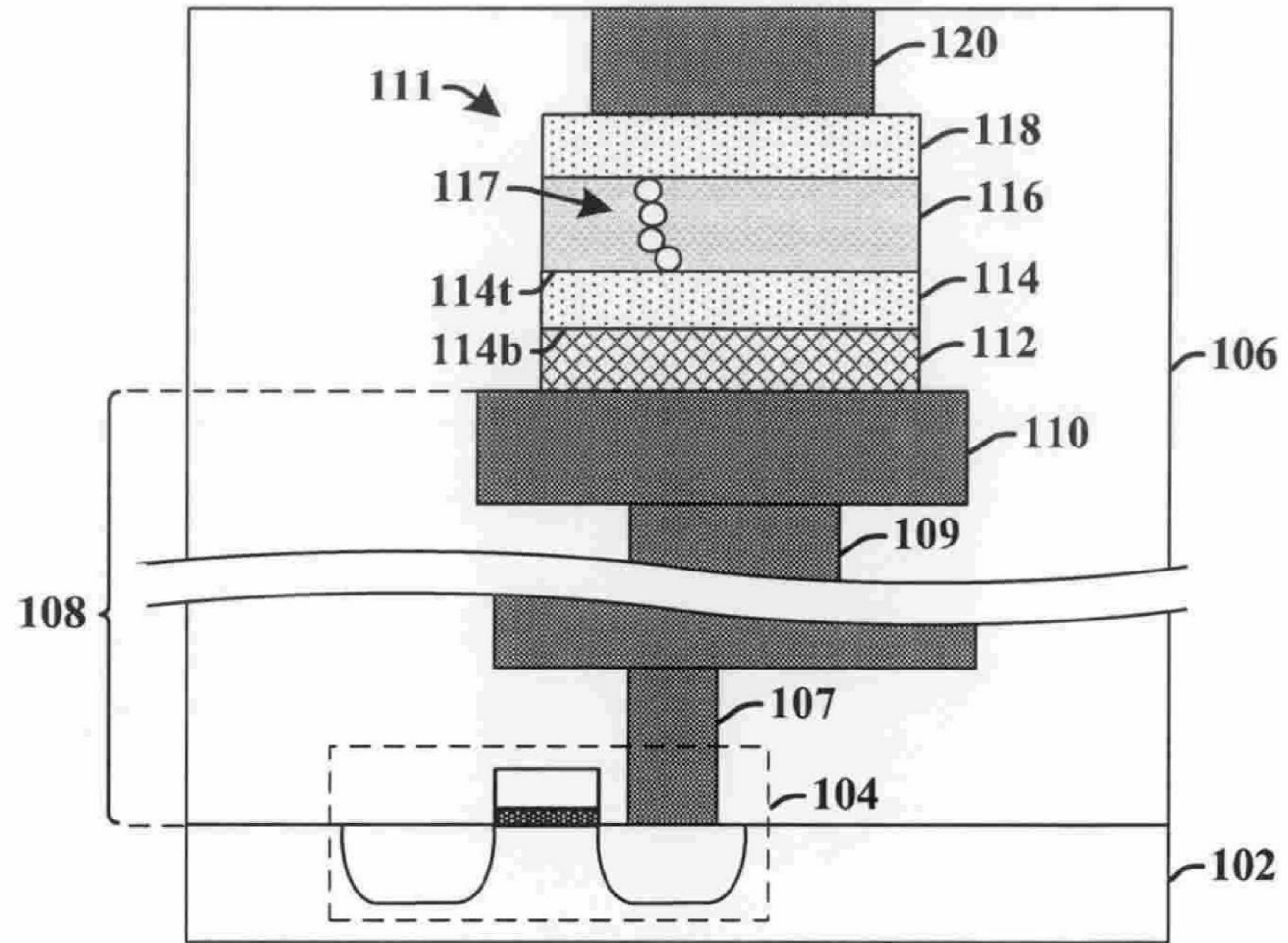
形成一下方絕緣層於一介電結構上方，該介電結構環繞該一或多個下方互連層；以及

圖案化該下方絕緣層以形成該下方絕緣層的複數個側壁，該些側壁定義出一開口，該開口直接位於該底電極層之下，其中該反應性降低覆蓋層具有一最底層表面，該最

底層表面位於該下方絕緣層的一最底層表面上方。

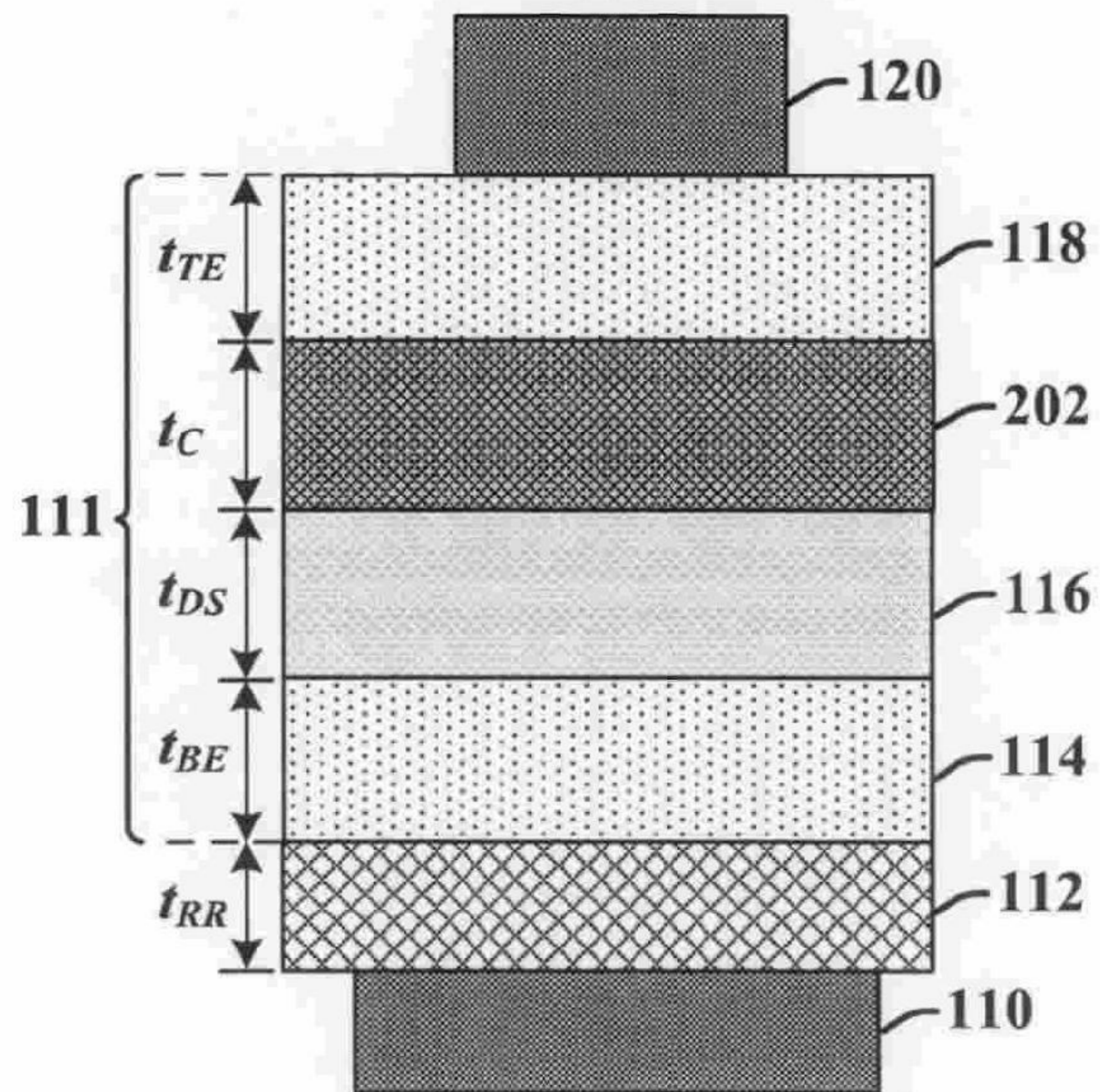
圖式

100 →



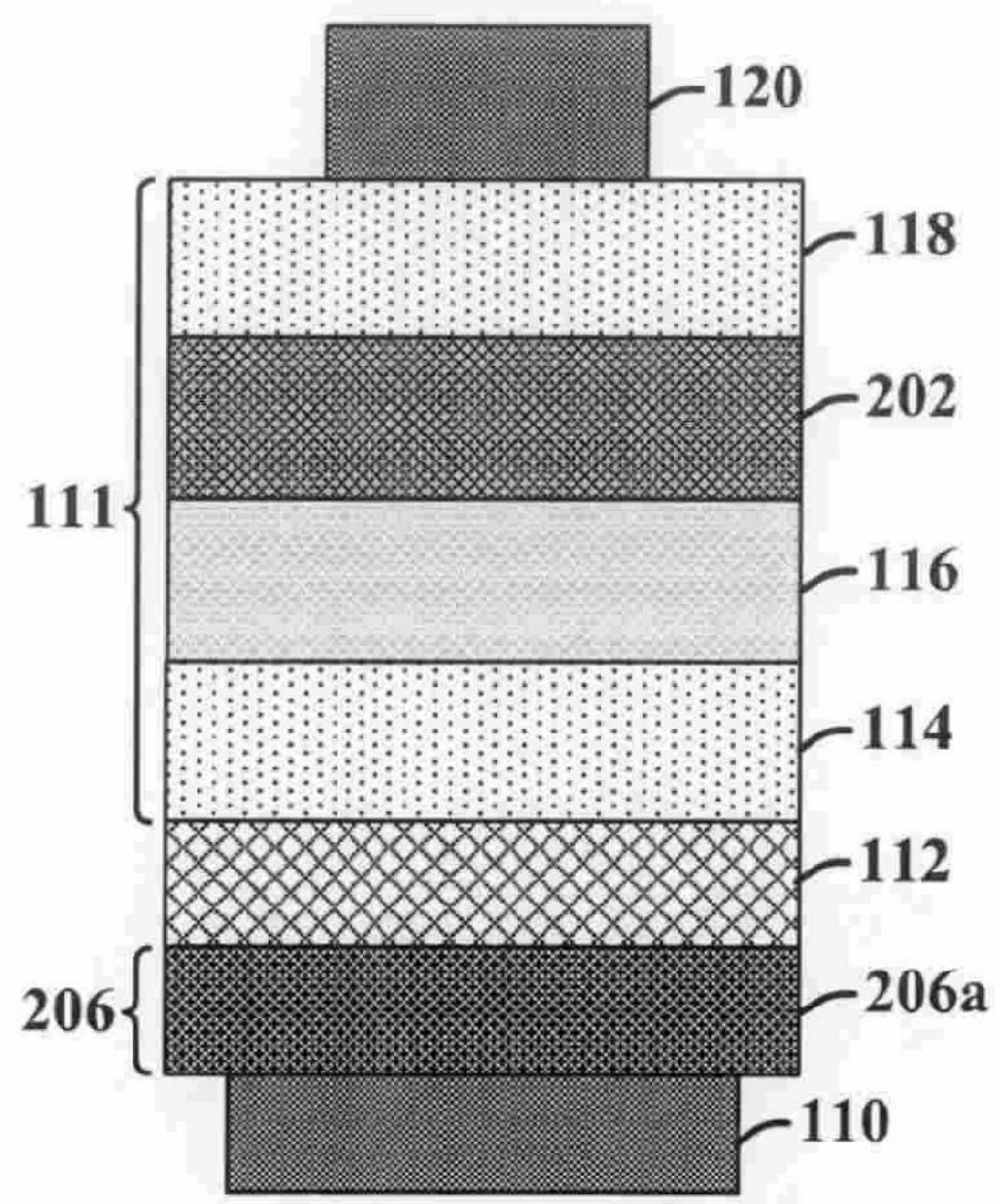
第 1 圖

200 →



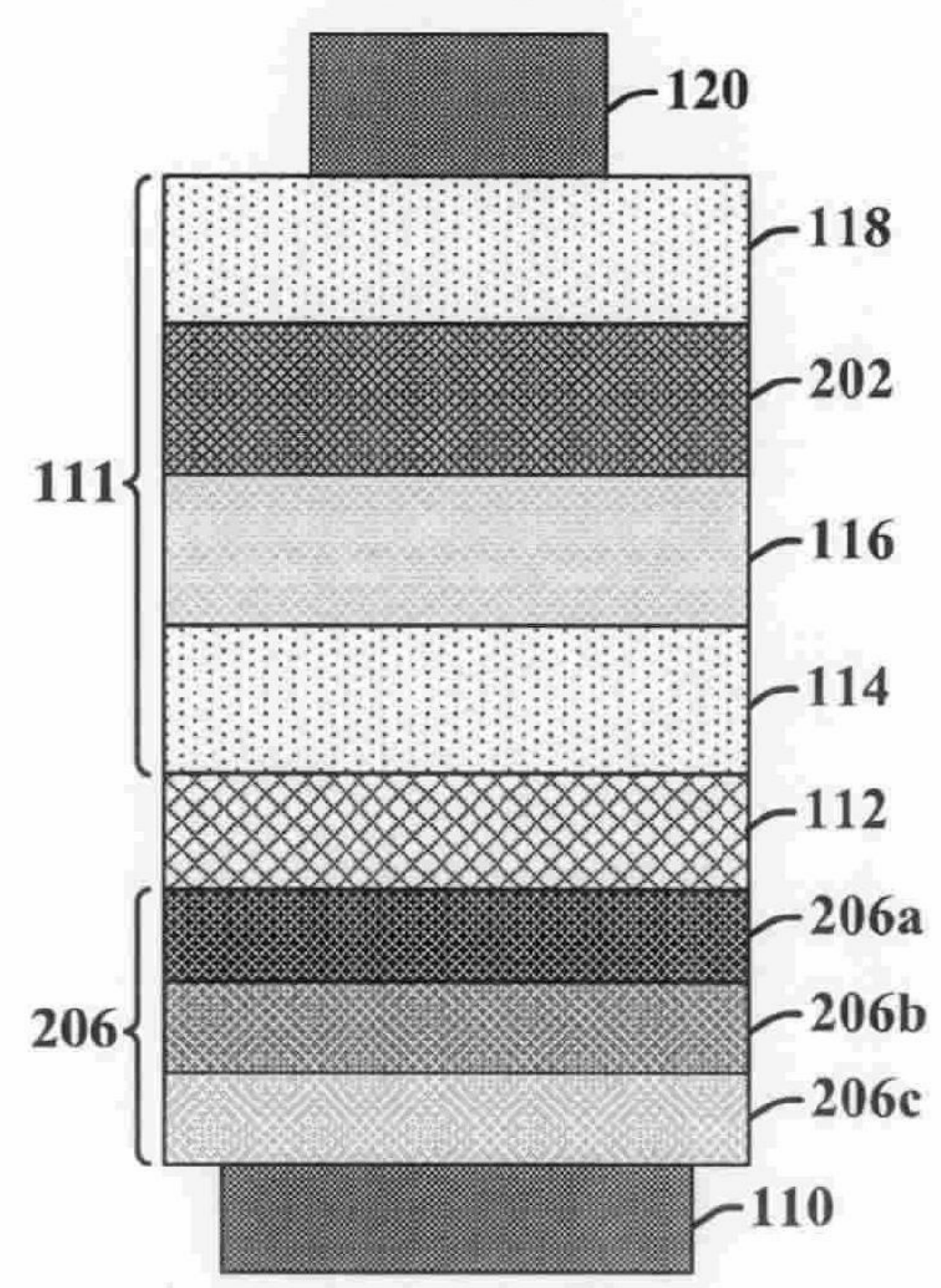
第 2A 圖

204 →

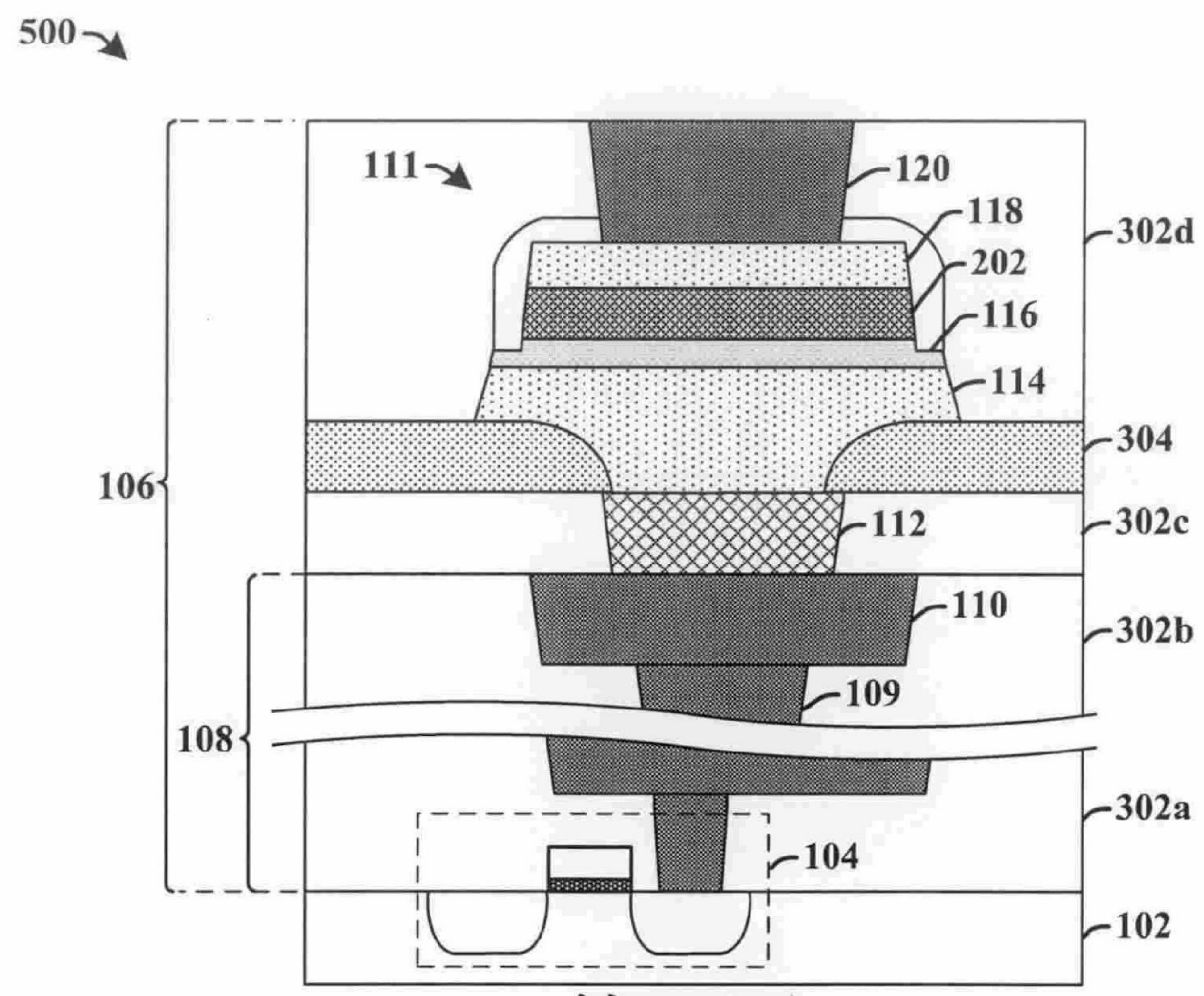


第 2B 圖

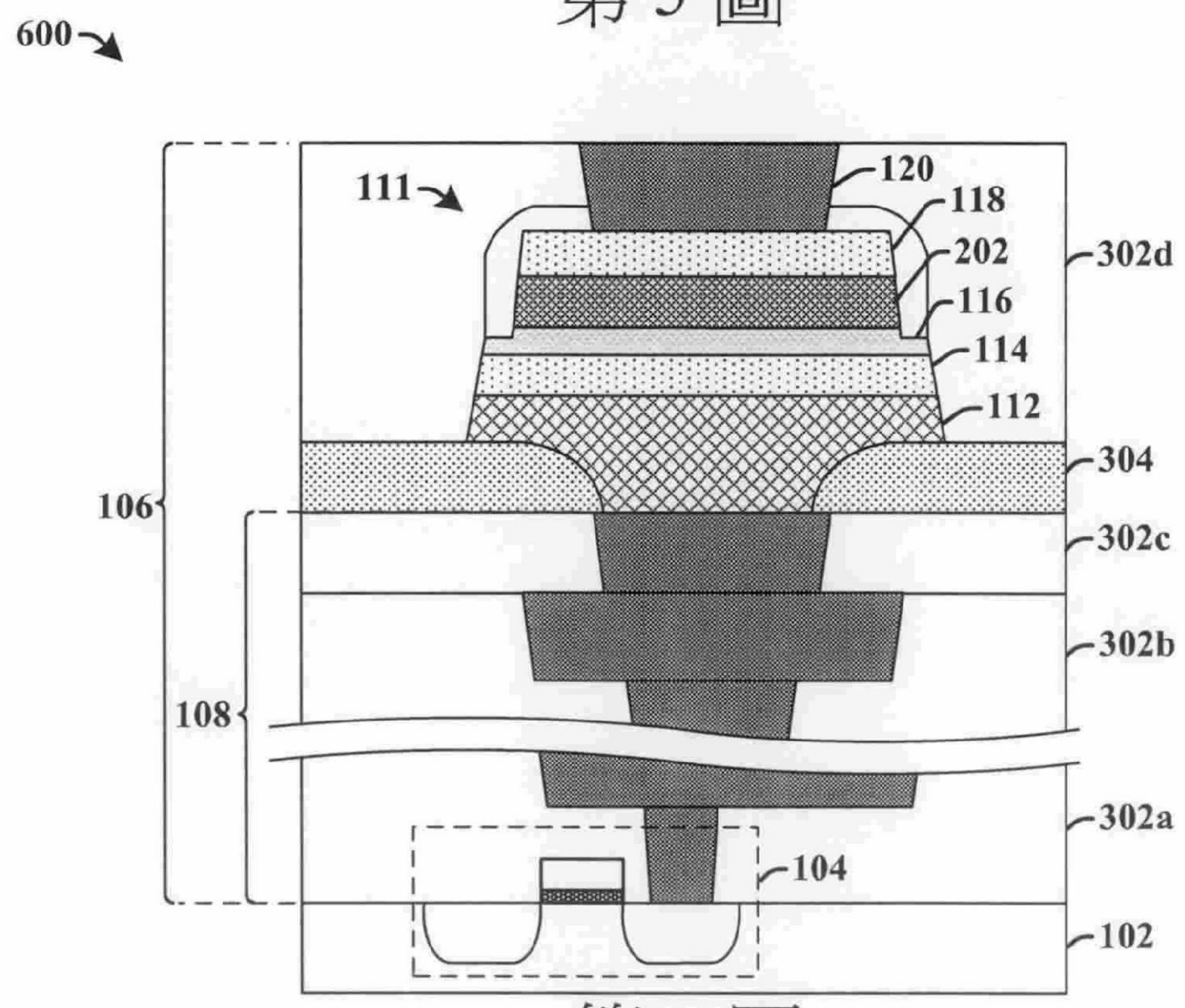
208 →



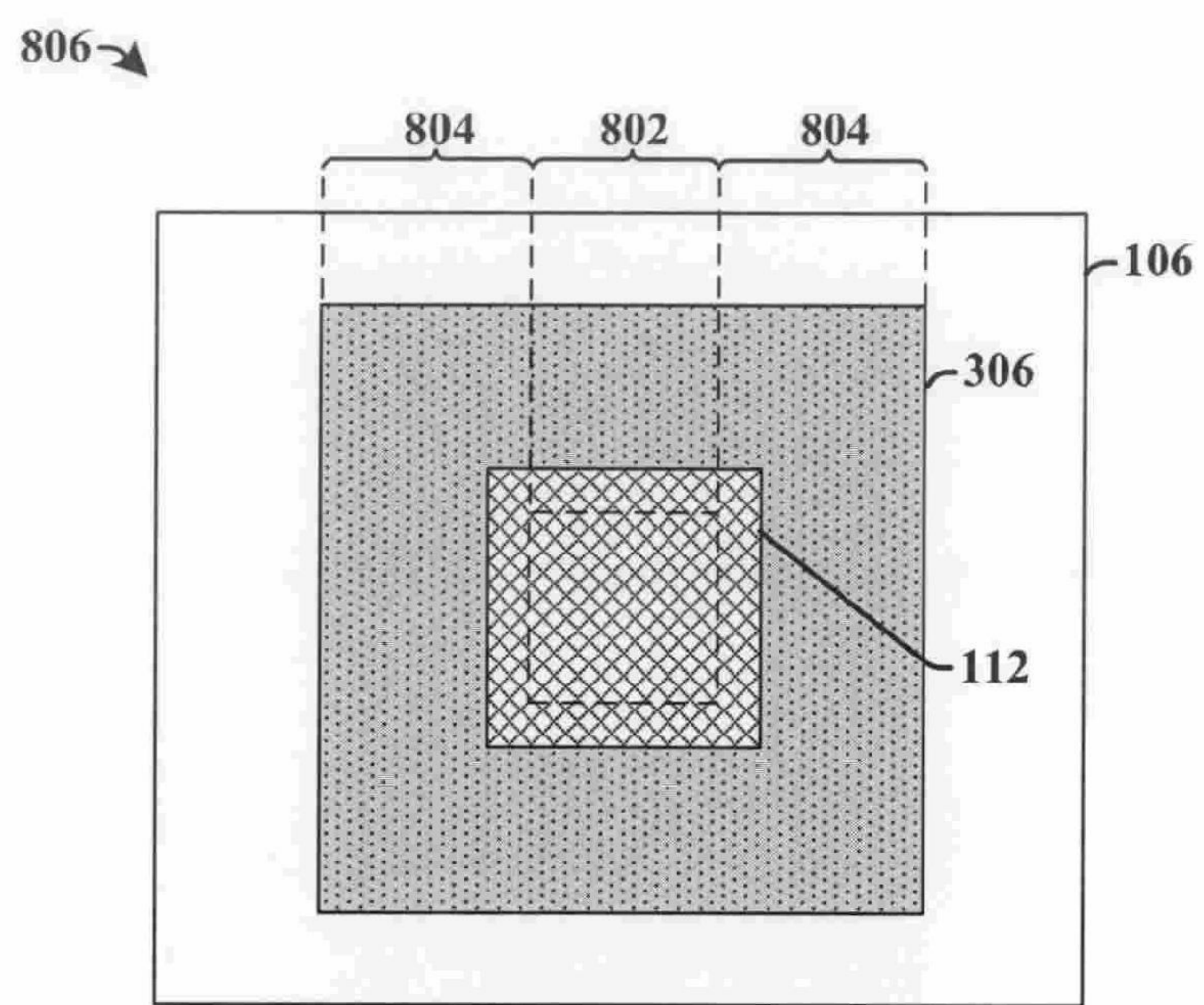
第 2C 圖



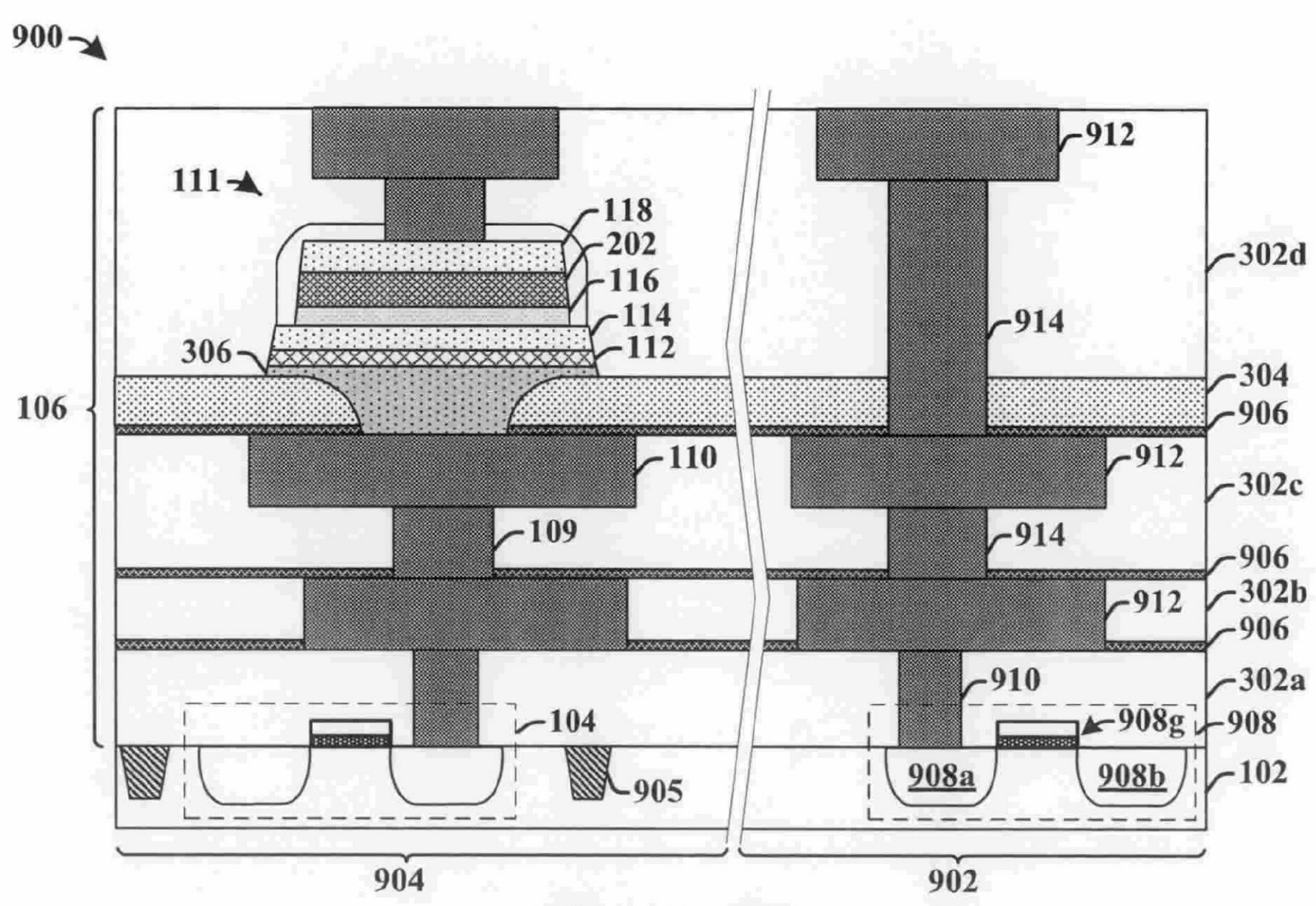
第 5 圖



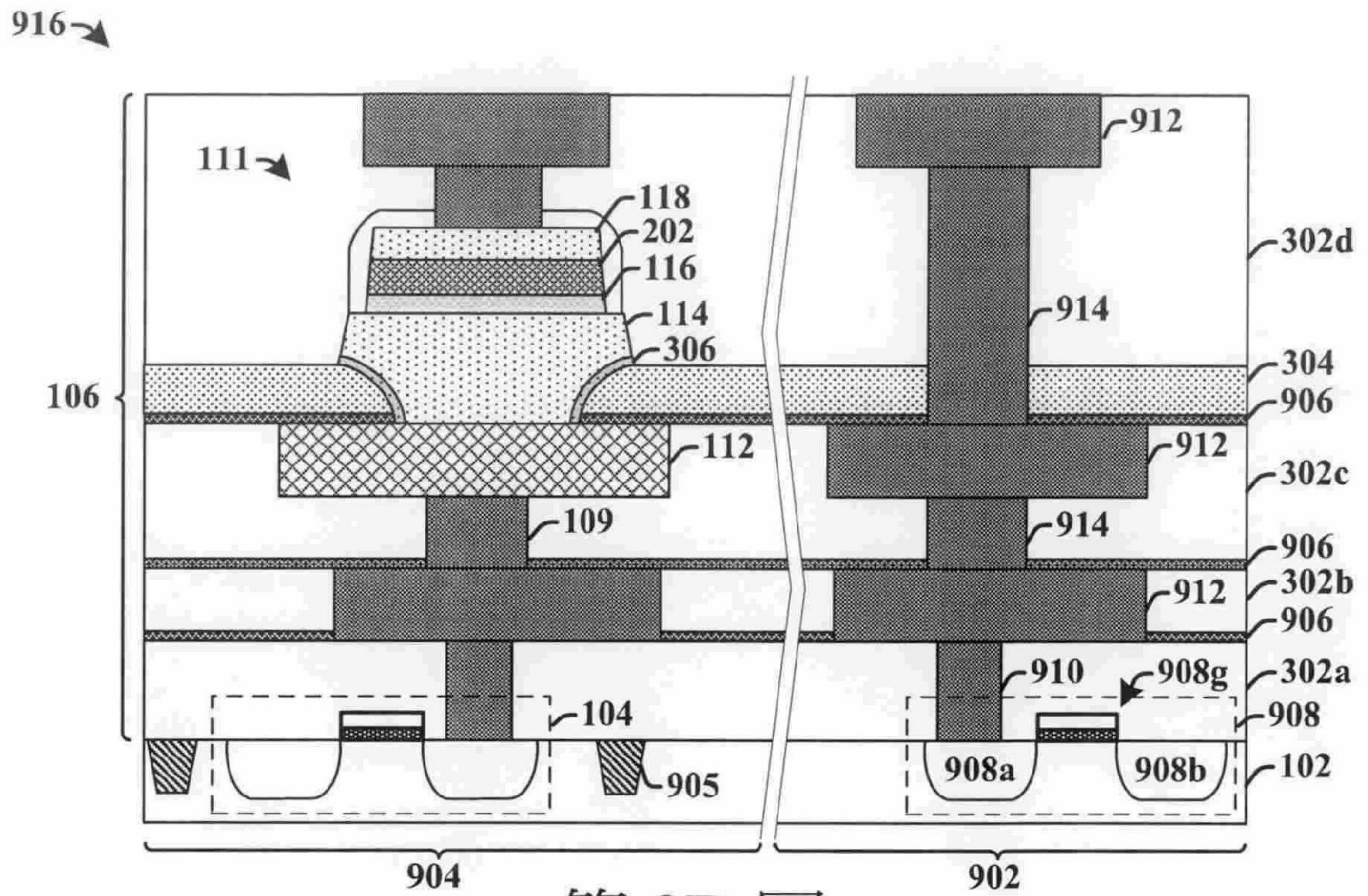
第 6 圖



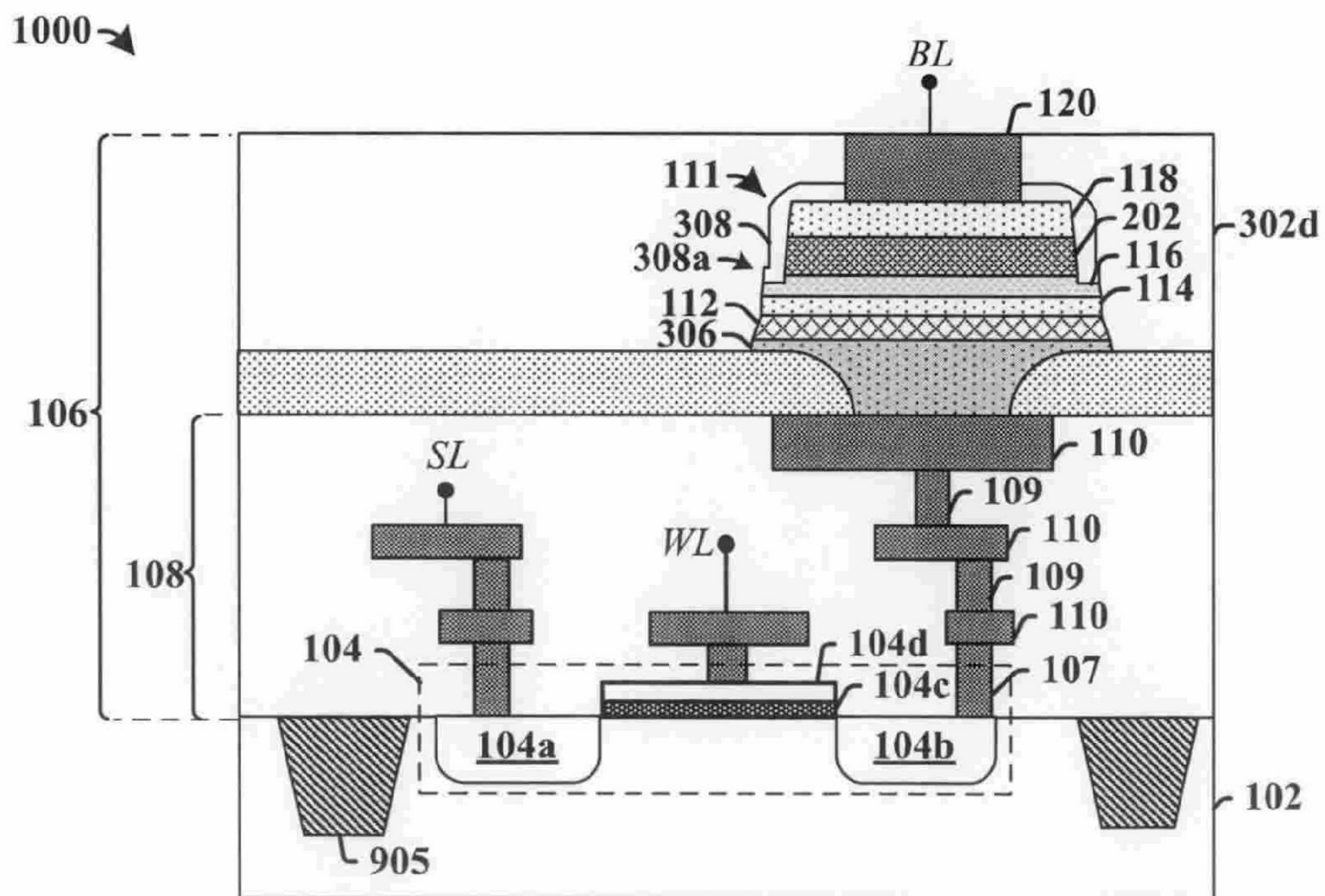
第 8B 圖



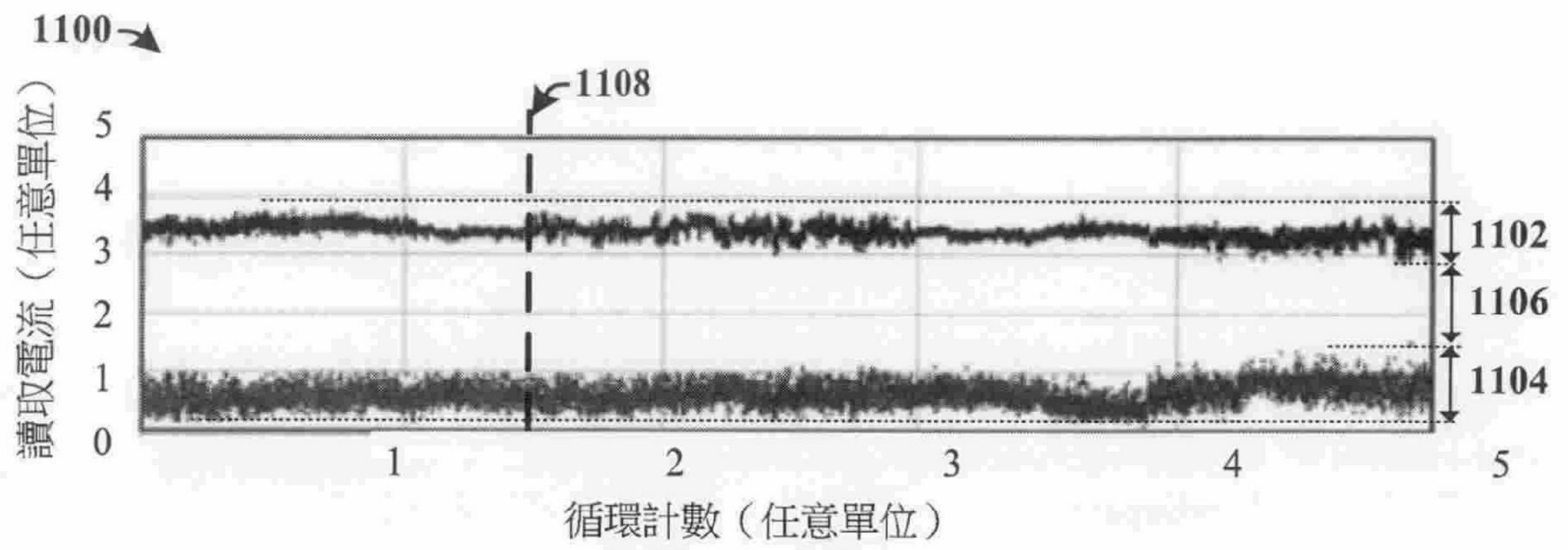
第 9A 圖



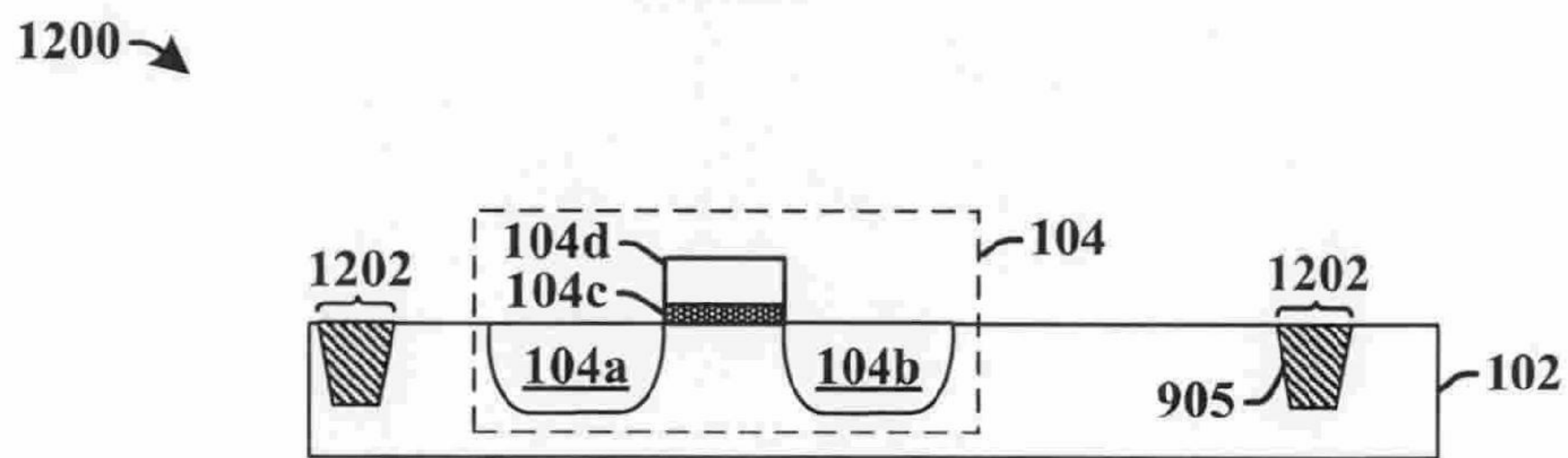
第 9B 圖



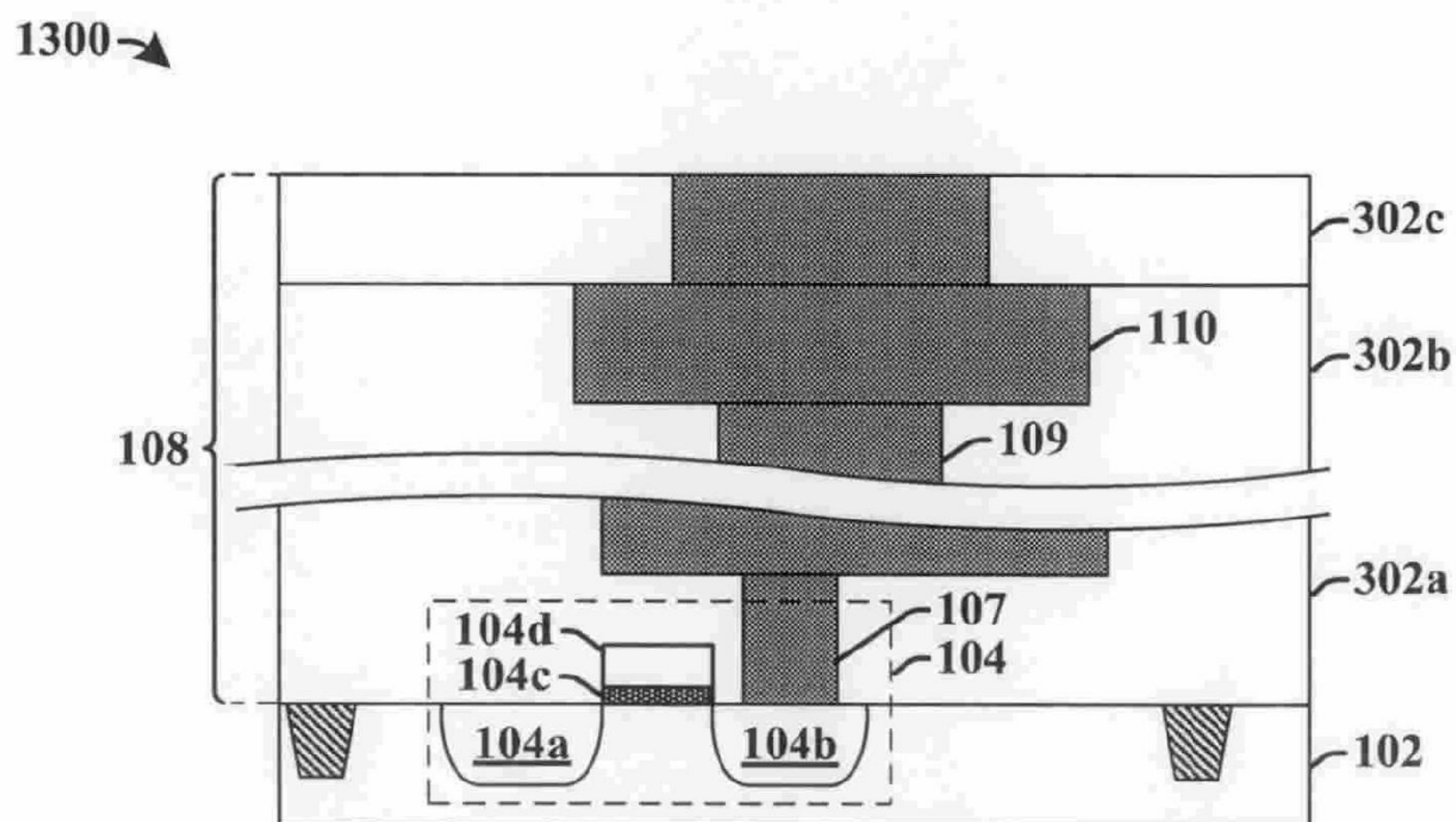
第 10 圖



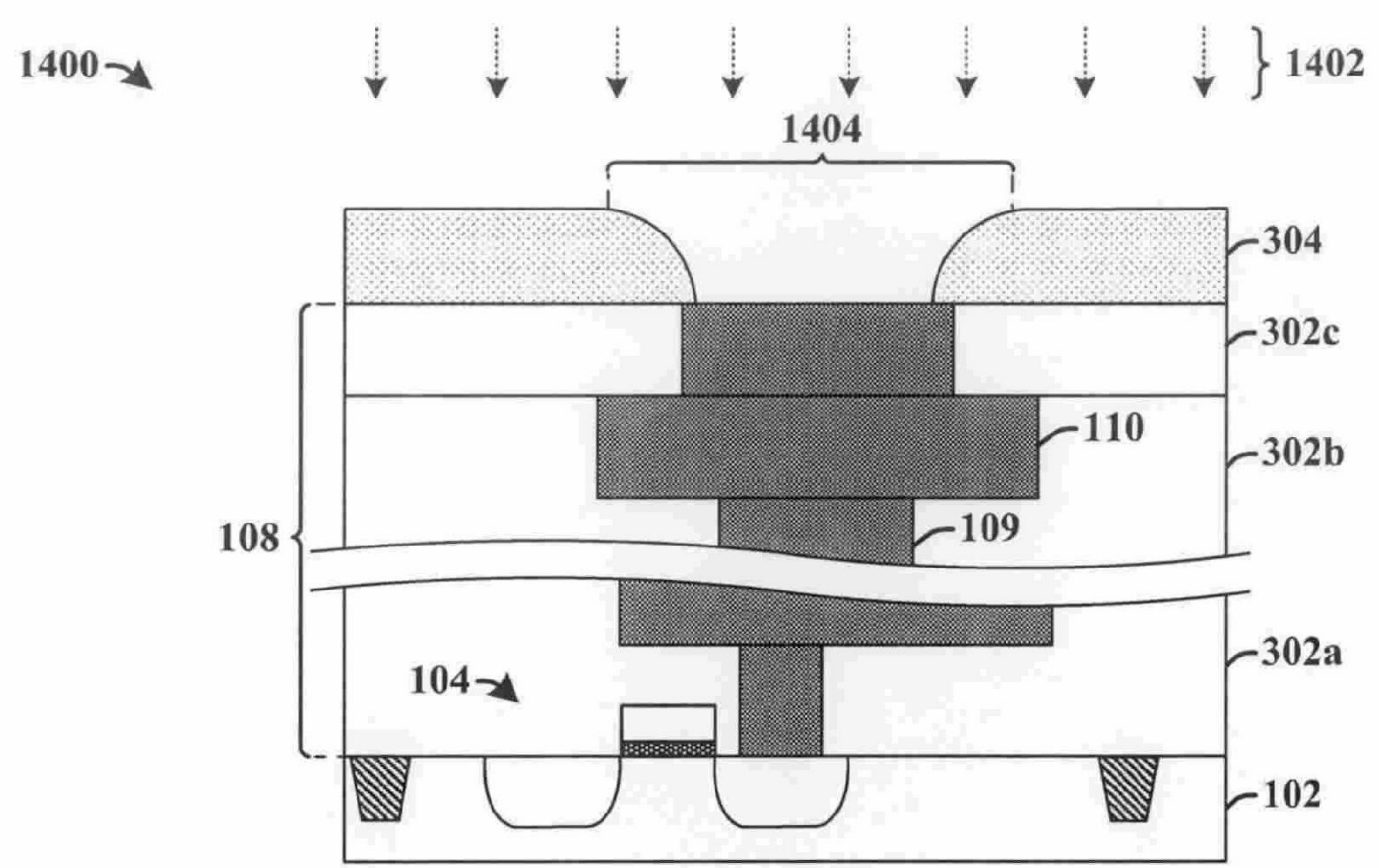
第 11 圖



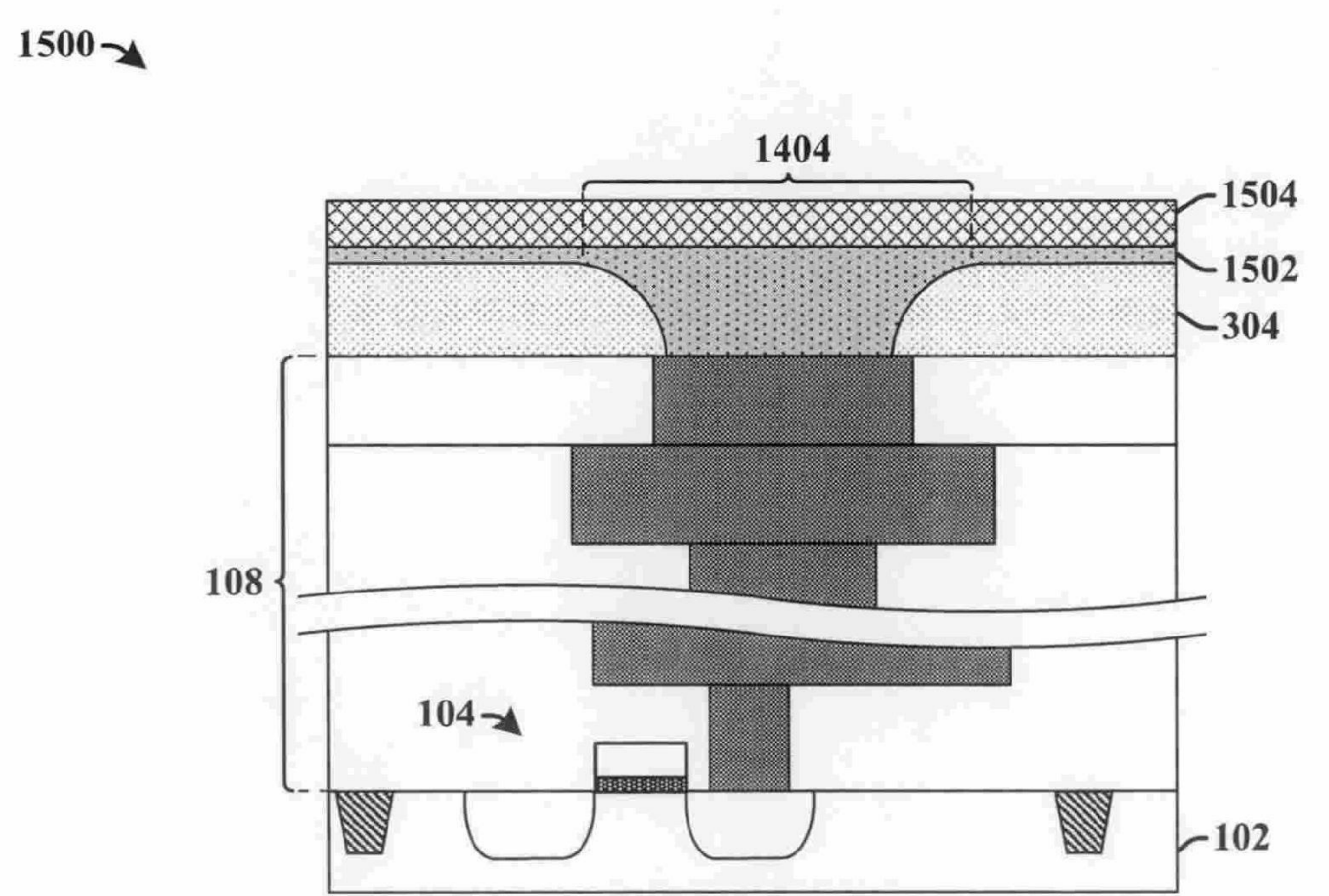
第 12 圖



第 13 圖

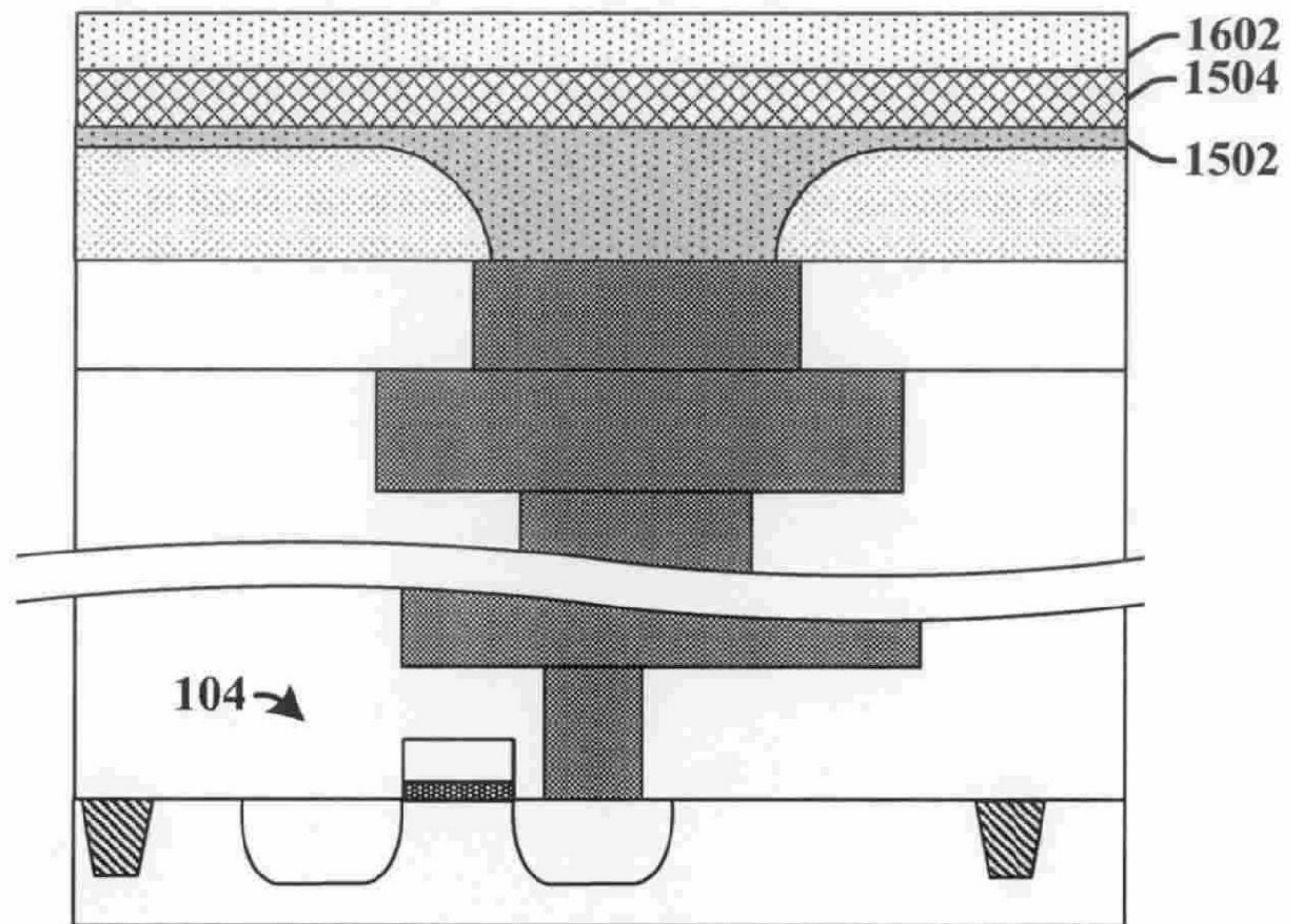


第 14 圖



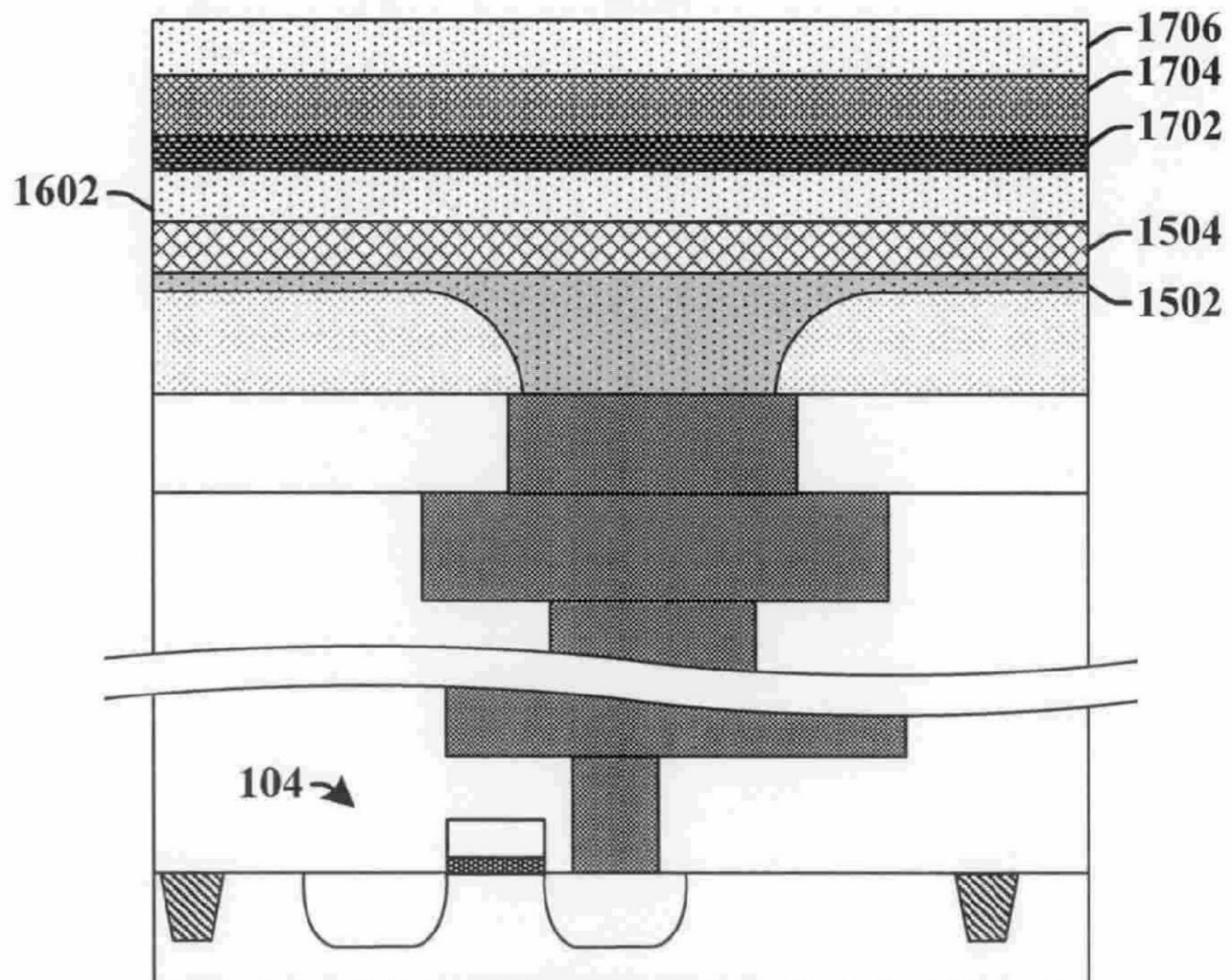
第 15 圖

1600 →

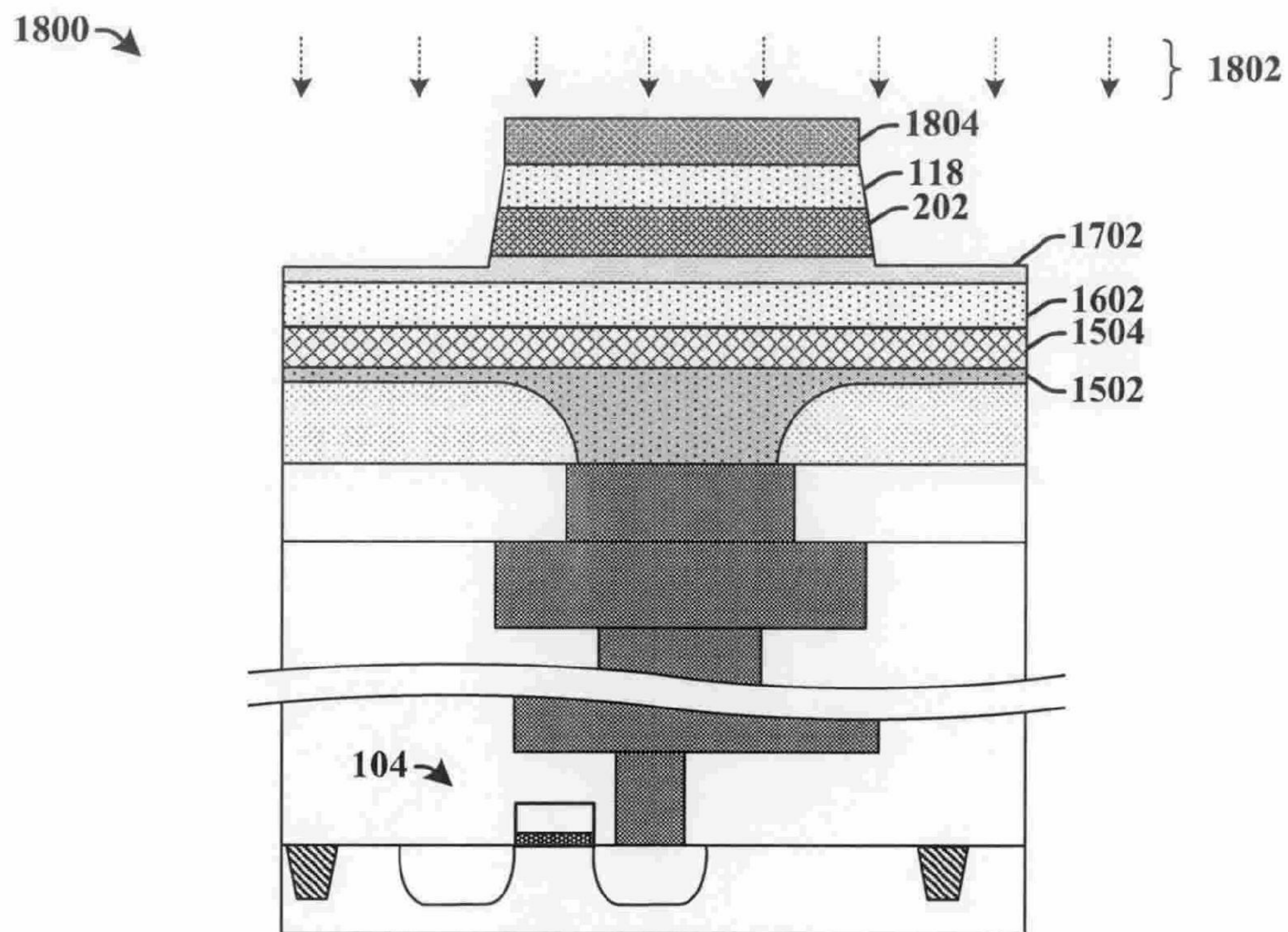


第 16 圖

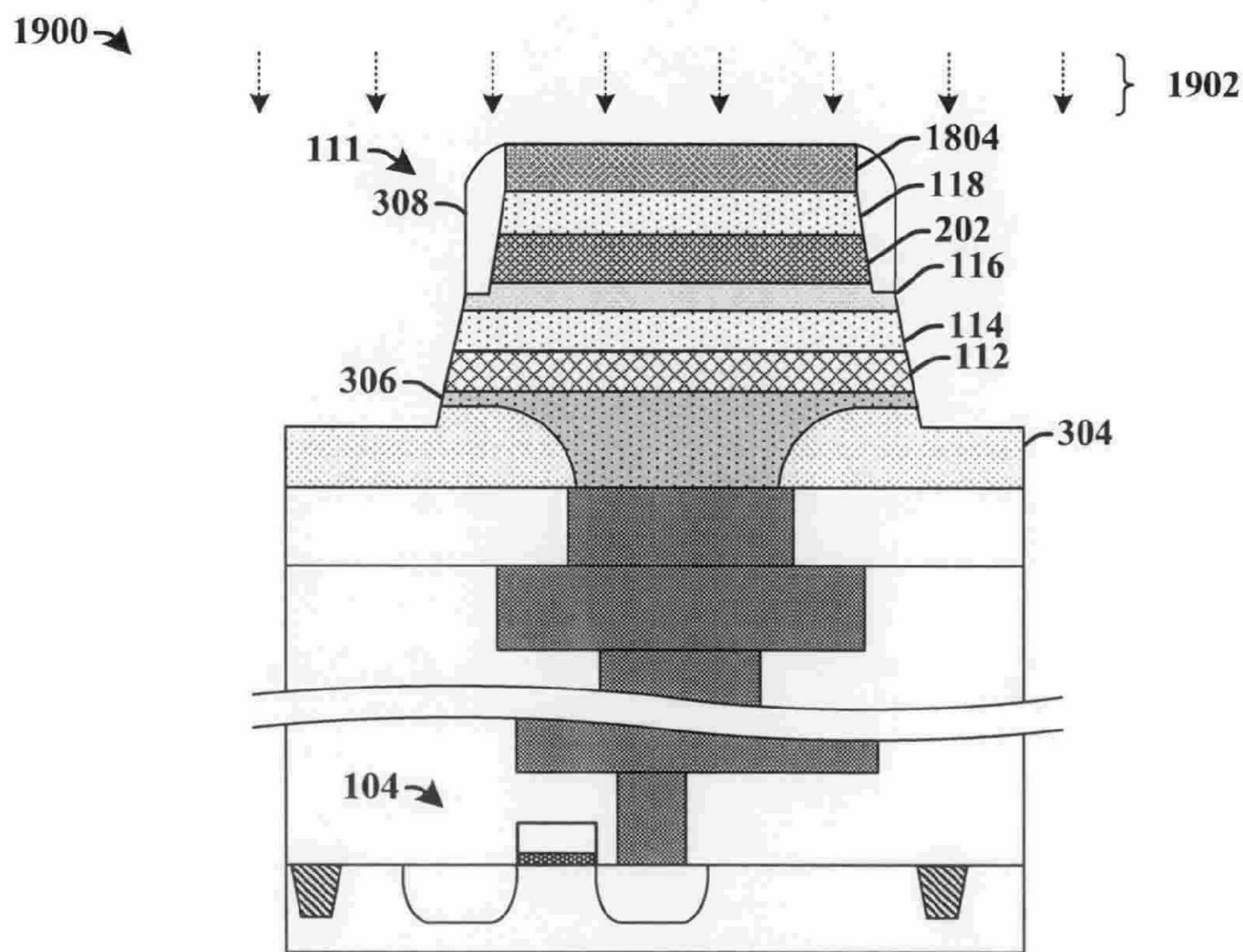
1700 →



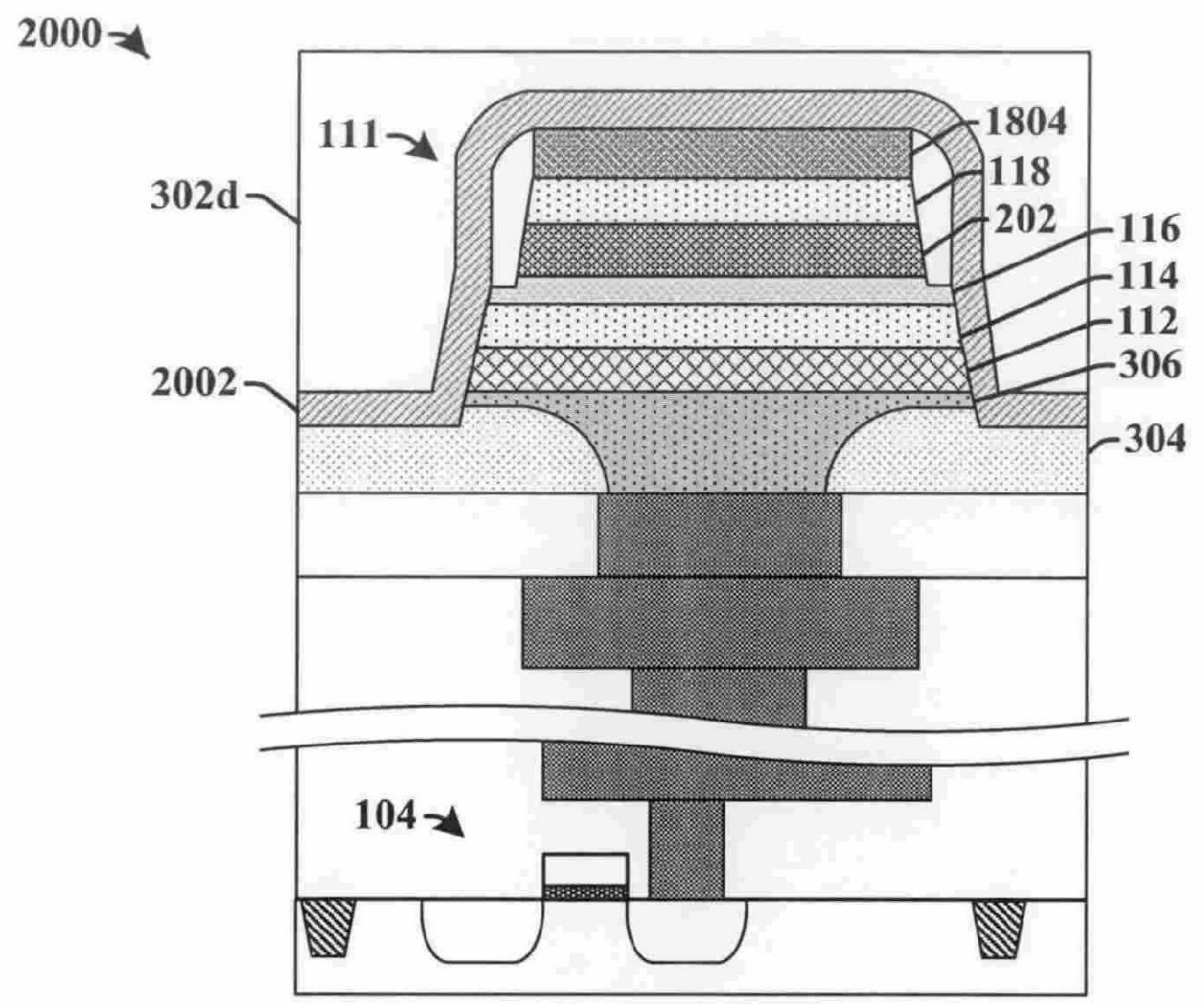
第 17 圖



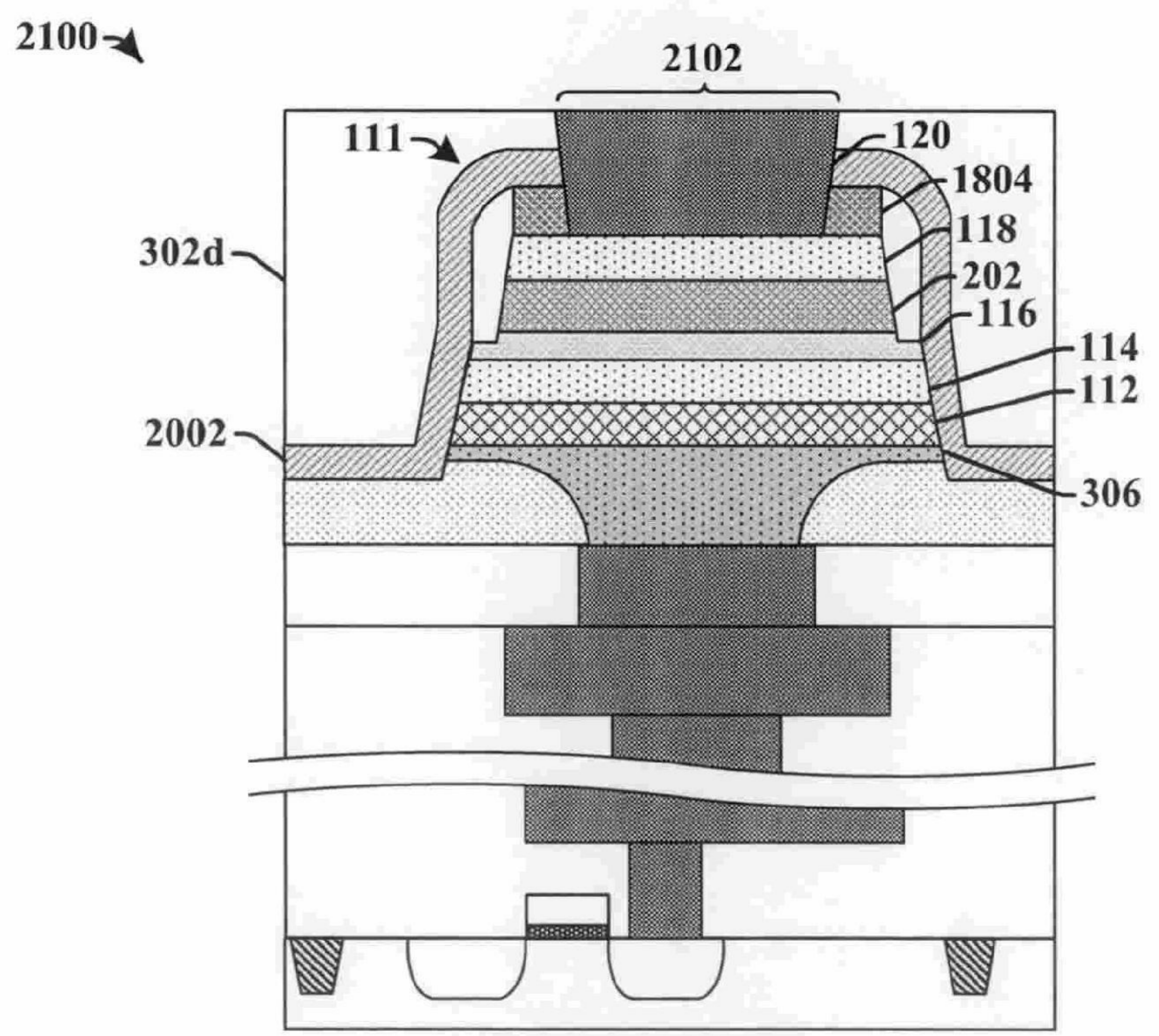
第 18 圖



第 19 圖

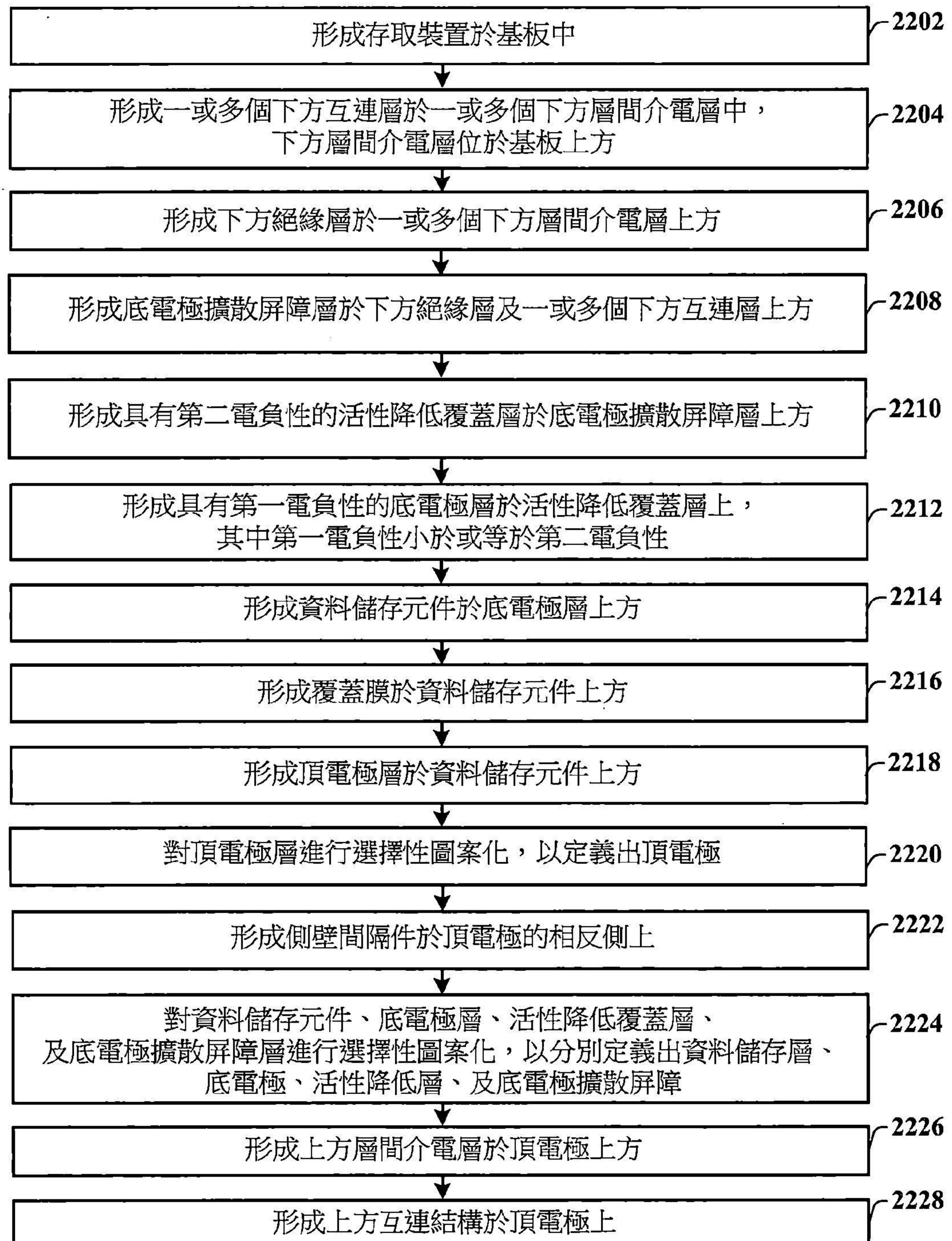


第 20 圖



第 21 圖

2200 →



第 22 圖