# (19) 대한민국특허청(KR)
# (12) 등록특허공보(B1)

(51) 。Int. Cl. 6
H01L 25/00

(45) 공고일자 2001년11월15일
(11) 등록번호 10-0311356
(24) 등록일자 2001년09월25일

(21) 출원번호 10-1998-0042014
(22) 출원일자 1998년10월08일
(65) 공개번호 특1999-0036940
(43) 공개일자 1999년05월25일

(30) 우선권주장 08/946,980 1997년10월08일 미국(US)

(73) 특허권자 루센트 테크놀러지스 인크
미합중국 뉴저지 머레이 힐 마운틴 애비뉴 600 (우편번호 : 07974-0636)

(72) 발명자 프레이 로버트 찰스
미국 뉴저지주 미들섹스 카운티 피스커터웨이 칼튼 애비뉴 334비
로우 이 렝
미국 뉴저지주 유니온 카운티 버클리 하이츠 버클리 스퀘어 11
오코너 케빈 존
미국 뉴저지주 헌터든 카운티 레바논 크리스탈 드라이브 1

(74) 대리인 김창세
장성구

심사관 : 유환철

## (54) 집적회로패키지

## 요약

본 발명에서는 하부 지지 IC 칩 상의 단일 레벨 금속 상호 접속 패턴(interconnection pattern)과 상부 IC 칩(upper IC chip) 상의 또 다른 단일 레벨 상호 접속 패턴 간의 비아(via)들로서 땜납 범프(solder bump) 칩간 접속에 의한 칩-온-칩 패키지(chip-on-chip package)의 상호 접속 레이아웃(layout)을 설명하고 있다. 이 구조에 의해, 양 쪽의 칩 상에서 피처가 공기에 의해 절연된 크로스오버(air isolated crossover) 구조로 형성될 수 있다.

## 대표도

도 5

## 명세서

## 도면의 간단한 설명

도 1은 통상적인 칩-온-칩 상호 접속 구조의 개략도,

도 2는 통상적인 칩-온-칩 상호 접속 구조의 평면도,

도 3은 통상적인 칩-온-칩 어셈블리에서 상호 접속부 부분을 도시한 개략도,

도 4는 통상적인 칩-온-칩 어셈블리에서 구현된 2 레벨의 상호 접속 구조를 도시한 개략도,

도 5는 본 발명에 따른 단일 레벨의 상호 접속 회로를 도 3 및 도 4와 비교하기 위하여 도시한 개략도,

도 6은 도 5에 도시된 단일 레벨 상호 접속 구조의 부분을 도시한 평면도,

도 7은 본 발명에 따른, 단일 레벨 상호 접속 회로에서 구현된 다중 크로스오버를 도시한 개략도,

도 8은 본 발명에 따른, 전형적인 레이아웃의 부분을 형성하는 " 뒷면 통로(wrong way)" 의 상호 접속의 개략도,

도 9는 상부 칩들 중의 소정의 상부 칩을 가로질러 지지용 칩의 뒷면 쪽 사이트에 다른 상부 칩을 연결하는 상호 접속 경로를 도시하는 칩-온-칩 패키지의 개략도.

도면의 주요 부분에 대한 부호의 설명

62, 87, 88, 91, 92, 106, 114, 115 : 접합 패드

63, 64, 65, 72, 73, 74, 93, 94, 95, 96, 97, 98, 101, 105, 116, 118,

121, 123 : 러너

67 : 상부 칩68, 69, 104 : 땜납 범프

71 : 하부 범프 금속화물75 : 갭

81, 103, 111 : 지지용 칩82, 112, 113 : 상부 칩

83, 84, 85, 86 : 땜납 볼 접합

102 : 에지 패드117, 119, 122 : 비아 범프

## 발명의 상세한 설명

### 발명의 목적

#### 발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 칩-온-칩 어셈블리(chip-on-chip assembly)의 집적회로 패키지 제조에 관한 것이다.

수년 동안 반도체 소자 및 패키지 디자인(package design)에서는 고 레벨의 집적도를 지향하는 추세에 있었기에, 메모리 기술은, 동일한 칩 상에 메모리와 로직(논리)(logic) 회로를 집적하는 형태를 취하게 되었다. 통상적으로, 전원 모듈(power module) 및 드라이버 회로는 DRAM(dynamic random access memory) 및 SRAM(static random access memory) 디바이스의 일부로 되고, 많은 메모리 소자(device)의 디자인들은 공통의 칩 상에 메모리 어레이(mem ory array)를 내장한 특정한 응용 로직을 가지고 있다. 그러나, 로직과 메모리 반도체 소자가 많은 공통의 특징들을 공유하는 반면에, 거기에는 상이점도 존재한다. 예들 들어, DRAM 메모리 소자의 중요한 특징은 축적 캐패시터(storage capacitor)이다. 이 소자는 최적으로 작게 만들어져야 하며, 실질적으로 결함 또는 누설(leakage)이 없어야 한다. 논리 소자들은 필적할 만한 소자를 가지고 있지 않으며, 다양한 소자 양태로 허용된다. 따라서, 메모리 소자가 최적화되도록 설계된 웨이퍼 제조 공정은 논리 소자에 대해서는 일반적으로 최적화되지 않는다. 따라서, 동일한 반도체 칩 상에 상이한 소자류(device species)를 갖도록 하기 위하여 절충안이 만들어졌다.

" 집적 또는 매립(embedding)" 에 대한 또 다른 개발의 개념으로서 " 분해(disintegration)" 의 개념이 있는데, 여기서는 메모리 소자가 주로 메모리 셀로 구성되며, 그들이 필요로 하는 지지 회로가 하나의 칩 내에 유지되는 반면에, " 응용(application)" 논리 회로 및 다른 트랜지스터들은 또 다른 칩 상에 집적된다. 이들 칩은 그들 구성 요소의 크기 및 성질(size and nature)에 대하여 최적으로 처리될 수 있다. 본 기술에서, " 집적(integration)" 은 패키지 레벨에서 수행되며, 이 기술이 성공하기 위해 중요한 것은 성능 및 비용 면에서, 그리고, 최소한 필적할 만한 크기 면에서, 칩 집적 시스템보다 우수한 최종 제품을 생산해 내는 패키징 기술이다.

이 패키징 기술에 사용될 유망한 후보로는 플립 칩 접합(flip chip bonding) 및 어셈블리(assembly)가 있다. 플립 칩 접합은 잘 발달된 기술이며, 인쇄 배선 기판(printed wiring board) 등의 상호 접속 기판(interconnection pattern) 상에 베어 실리콘(bare silicon) IC 다이(die)를 거꾸로 접합하는 것에 특징이 있다. 몇몇 접합 기법들, 예를 들어, 볼 접합(ball bonding), 볼 그리드 어레이(ball grid array, BGA - 볼 접합의 한 형태) 및 땜납 범프(solder bump) 접합이 개발되었다. 이들 기법들은 더 작은 접촉면을 통하여, 또한 칩 상호 접속 사이트에 대해 주변 어레이(perimeter array)가 아니라 영역 어레이(area array)를 통하여 I/O 피치(pitch)를 완화(relax)하게 되었다. 또한, 도선 길이가 줄어들기 때문에 전기적인 성능은 향상된다. 전형적으로, 이 기법에서의 접합 방법은 땜납 접합이다.

이들 기술 개발의 초기 충족 조건은, 그 내부에 두 개 또는 그 이상의 능동 소자 칩이 공통의 상호 접속 기판에 접합된 다중 칩 모듈(multi-chip-module)이라는 것이었다. 상호 접속 기판은 표준적인 인쇄 배선 기판(printed wiring board)이거나, 또는, 더 정교한 패키징 설계에서는 실리콘 웨이퍼(silicon wafer)이다. 칩 내부(intra chip)에서의 상호 접속, 즉, 칩들 간을 연결하는 대부분의 회로는 상호 접속 기판 상에 형성된다. 이 칩들은 칩 내부에 회로(금속화물(metalization))의 형태로 칩간(inter chip) 상호 접속을 포함한다. 금속화물은 I/O 접합 사이트의 어레이에서 끝나며, I/O 접합 사이트는 칩 내부에서의 상호 접속을 위한 상호 접속 사이트이다. 상호 접속을 위해 수십 또는 수백 개의 I/O 사이트를 가지는 현재의 기술 수준의 로직 및 메모리 칩으로는, 상호 접속 기판 상의 칩 내부에서의 상호 접속은 매우 복잡하게 된다. 현재의 설계에서는, 이 회로가 크로스오버(crossover) 상호 접속을 필요로 한다. 칩 내부에서의 상호 접속에 있어서 크로스오버를 제공하기 위하여, 전형적으로 제 2 레벨의 인쇄 회로가 제공된다. 다중 레벨 인쇄 회로 기판(multi-level printed circuit board) 및 다중 레벨 실리콘 상호 접속 기판은 잘 알려져 있으며 널리 사용되고 있지만, 이는 단일 레벨 상호 접속 구조보다 여전히 매우 비싸며 다양하지 못하다.

더 최근의 다중 칩 모듈 기술에서 발전된 방법은 칩-온-칩(chip-on-chip) 방법인데, 여기서는, 능동 칩이 상호 접속 기판이 아니라 또 다른 능동 칩에 플립 칩 접합된다. 칩의 적절한 크기를 고려하면, 둘 또는 그 이상의 작은 칩이 보다 큰 소정의 칩에 접합될 수 있다. 논리 칩, 예를 들어, 디지털 신호 프로세서(digital signal processor)들은 적어도 두 개의 표준 메모리 칩을 포함하여도 충분한 점유 면적(area)을 가질 정도로 매우 크다. 논리 칩, 즉 지지 칩(support chip)은 리드 프레임 패키지(lead frame package) 내에 패키징됨으로써, 더 진부한 MCM 패키지의 상호 접속 기판(interconnection substrate) 또는 기판(board)을 제거한다. 칩-온-칩 패키지에서의 칩 내부에서의 상호 접속 회로는 전형적으로 지지 칩의 표면 상에 구성된다. 그러나, 상술한 바와 같은 크로스오버 접속이 자주 필요하며, 지지 칩은 반드시 두 레벨의 상호 접속으로 제공되어야만 한다.

다중 레벨 상호 접속 어셈블리는 잘 알려져 있으며, 널리 사용되지만, 단일 레벨 상호 접속 구조보다 여전히 비용이 비싸며, 다양하지 못하다.

## 발명이 이루고자 하는 기술적 과제

본 발명의 발명자들은, 모든 칩 내부에서의 상호 접속이 각 칩 상에서 단일 레벨의 상호 접속으로 되는 칩-온-칩 어셈블리를 개발하였다. 본 발명에 따르면, 이는, 적어도 몇몇의 칩 내부에서의 상호 접속 회로를 더 작은 (상부(top)) 칩으로 시프트함으로써 성취된다. 두 개 또는 그 이상의 상부 칩이 있는 경우, 이 칩 내부에서의 회로는, 마치 두 개의 칩 상의 상호 접속 회로가 공통의 상호 접속 레벨을 포함하는 것처럼, 즉, 상부 칩들 중 소정의 상부 칩으로의 상호 접속이 다른 상부 칩 상의 러너(runner)들을 포함할 수 있는 것처럼 설계될 수 있다. 이 구조의 중요한 특징은 칩-온-칩 접합에 이미 존재하는 갭을 사용하여서 공기에 의해 분리된 크로스오버 접속부(air isolated crossover connection)를 제공한다는 점이다.

## 발명의 구성 및 작용

도 1을 참조하여 보면, 칩(12, 13)을 지지하는 기판 칩으로서 작용하는 칩(11)을 가진 통상적인 칩-온-칩 구조가 도시된다. 전형적인 구조로부터 알 수 있듯이, 기판 칩(11)은 칩(12, 13)들 보다 크다. 특징적으로는, 보다 큰 칩이 마이크로 프로세서 칩 또는 주문형 집적 회로(Application Specific Integrated Circuit : ASIC)이며, 보다 작은 칩이 메모리 칩이다. 도시된 이 구조에서, 칩-온-칩 구조의 전체적인 패키지 사이즈는 실질적으로 커다란 마이크로 칩과 칩 상의 모든 메모리를 합친 것보다는 더 작은 점유 면적(footprint)을 가진다는 것을 알 수 있을 것이다.

땜납 범프의 칩 간 상호 접속, 즉, 칩(12, 13)들 및 기판 칩(11) 사이의 상호 접속이 도 1에서 도면 참조 부호 (14)로 표시된다. 간략성을 도모하기 위하여, 오직 네 개의 땜납 범프의 상호 접속만이 존재하는 것으로 도시되어 있지만, 실제의 경우에는 전형적으로 에지 어레이(edge array)로서 이와 같은 범프들의 어레이가 더 많이 존재한다.

이 기술 분야에서 칩-온-칩 구조는 상호 접속 경로 배정(routing)을 위하여 지지 칩의 표면 영역을 사용하는 장점을 제공한다고 인지되고 있다. 또다른 칩 간 접합 사이트로의 도달을 위해, 기판 표면 상에서 상호 접속을 경로 배정하는 능력은, 상호 접속을 회로 설계하는 자들에게 많은 융통성(flexbility)을 제공해 준다. 따라서, 도 2에 도시된 바와 같이, 칩(11)에 의해 지지되는 칩(12, 13)들을 가지는 통상적인 칩-온-칩 어셈블리는 지지 칩(11) 상에 상호 접속 회로를 가진다. 도 3에는 상호 접속 구조의 부분이 더 상세하게 도시된다. 도 3에서 기판(31)은 전형적으로 폴리이미드(polyimide)인 후막 절연층(thick insulting layer)(32)으로 덮여진 것으로 도시된 지지 칩이다. 절연층(32)은 IC의 캡(capping) 층일 수도 있지만, 전형적으로는 캡 층, 예를 들어, SINCAPS(도시되지 않음) 상에 부착된다. 층(32)은 바람직하게는 광 한정 가능한 폴리머(photodefinable polymer)로서, 이는 그중 하나를 도면 참조 부호 (33)으로 도시한 IC 접합 패드 상에 윈도우(window)의 형성을 용이하게 한다. 바람직한 상호 접속 금속화물은 층(32) 상에 형성되며, 러너(35, 36, 37)로써 표현된다. 러너(35)는 접합 패드(33)에 접촉하고, 도시된 바와 같이 층(32)의 표면을 따라서 측면으로 뻗어 나가지만, 러너(36, 37)들은 관찰자에 대하여 y-축 방향으로 뻗어 나간다. 금속층을 부착하고 패터닝한 이후에는, 절연층(38)으로 덮으며, 윈도우가 절연층(38) 내에서 러너(35)의 일부분(39) 상에 형성된다. IC 접합 패드(42)를 가진 상부 칩(41)이 도시되며, 이 접합 패드를 위해 형성된 윈도우를 가지는 절연층이 도시된다. 이 칩 간의 상호 접속은 땜납 범프(44)로 만들어 지며, 여기에서는 하부 범프 금속화물(under bump metallization)(지지 칩 상의 45, 상부칩 상의 46)과 함께 도시된다.

지지 칩에 의하여 지탱되는 칩들보다 지지 칩이 실질적으로 큰 칩-온-칩 구조의 중요한 장점은, 지지 칩 상의 금속화물 레벨이 상부 칩의 주변 영역 너머까지 연장되는 지지 칩 상의 영역을 효과적으로 이용할 수 있다는 것이다. 직접적인(direct) 상호 접속 구조에서, 즉, 칩을 접합 패드에서 접합 패드로 상호 접속한 구조에서, 지지 기판 상의 접합 패드들은 지지 칩의 에지의 내측(in-board)에 위치될 것이며, 여기에서, 접합 패드들은 상부 칩 상의 패드의 에지 어레이와 직접적으로 결합될 수 있을 것이다. 상기 구조의 장점은 도 2로부터 명확히 알 수 있는데, 여기서는 상부 칩 점유 영역의 외부에서 실질적인 경로 배정이 실행되며, 지지 기판에 대한 I/O 접합 패드 사이트에 대해 넓은 면적도 사용할 수 있다.

칩-온-칩 어셈블리가 발전하는 동안, 크로스오버 상호 접속에 대한 필요성이 인지되어 왔으며, 크로스오버 구조는 도 4에 도시된 바와 같은 두 개의 레벨의 금속 구조에서 수행되어 왔다. 여기에서, 금속 러너(51, 52, 53, 54)는 제 1 레벨 금속을 포함하며, 그리고 러너(55, 56)들은 제 2 레벨 금속을 포함한다. 명백한 바와 같이, 두 레벨의 금 속이 교차할 가능성을 제공한다. 예를 들어, 러너(55, 56)는 각각 러너(51, 53)와 교차한다.

2 레벨 금속(level metal)에 의한 해결 방법이 유용하긴 하지만, 본 발명에 따른 향상된 설계가 도 5에 도시된다. 도 5의 상호 접속 구조(interconnection arrangement)에서, 한 레벨의 금속이 지지 칩(support chip) 상에 형성되며, 또 다른 레벨이 상부 칩(upper chip) 상에 형성된다. 도 5에서 접촉 패드(contact pad)(62)를 가진 지지 칩 기판(61)이 도시되며, 그리고 단일 레벨 상호 접속 회로가 러너(runner)(63, 64, 65)로 나타나 있다. 땜납 범프(solder bump)(68, 69)에 의하여 상부 칩(67)이 지지 칩(61)에 플립-칩 접합(flip chip bond)되어 도시된다. 하부 범프 금속화물(under bump metallization)(71)은 땜납 범프와 칩 표면 사이에 위치한다. 단일 레벨의 금속 상호 접속은 상부 칩(67) 상에 형성되며, 러너(72, 73, 74)에 의해 표현된다. 도시된 상호 접속 구조에서, 상부 칩 표면 상의 러너(73)는 땜납 범프 상호 접속(68, 69)을 통하여 지지 칩 표면 상의 러너(64)와 교차한다. 크로스오버는 갭(75)에 의해 공기 절연(air isolated)된다. 본 발명에 따른 상호 접속 어셈블리(interconnection assembly)에서의 공기 절연 크로스오버는 경로 배정 설계에서 본질적으로 완벽한 융통성을 허락해 준다. " 공기 절연(air isolation)" 이라는 용어는 충진 재료(filler material), 예를 들어, 열 확산 효과(thermal expansion effect)를 관리하기 위해 에폭시(epoxy)로 채워지거나 또는 채워지지 않을 수도 있는 수동 갭(passive gap)을 의미하는 기술 용어로서 사용된다.

도 5에서의 하부 범프 금속화물(71)은 다수의 알려진 금속들 중 하나일 수도 있다. 이들 금속들은 러너 재료, 또는 접촉 패드 재료에 잘 부착되어야만 하고, 전형적인 주석(tin) 땜납의 계통적 서술(fomulation)에 의하여 가용적(wettable)이여야만 하며, 높은 전도성(conductivity)을 지녀야만 한다. 이들 요구를 만족시키는 소정의 구조는 크롬(chromium)과 구리(copper)의 합성물(composite)이다. 크롬이 먼저 증착되어 접촉 패드에 부착되고, 구리는 크롬 상에 도포되어 땜납 가용성 표면을 제공한다. 크롬은 다양한 금속, 즉, 유기물(organic) 뿐만 아니라 무기물(inorganic)에도 양호하게 부착하는 것으로 알려져 있다. 따라서, 크롬은 일반적으로 IC 공정에 사용되는 유전체 재료, 예를 들어, $SiO_2$, SINCAPS, 폴리이미드(polyimide)등에 양호하게 부착하며, 또한, 구리 및 알루미늄(aluminum) 등의 금속에도 양호하게 부착한다. 그러나, 땜납 합금(solder alloy)은 구리를 용융시키며, 크롬으로부터 수분을 제거한다. 따라서, 크롬 바로 위의 박막 구리(thin layer of copper)는 녹은 땜납으로 용해되며, 그리고 나서, 땜납은 크롬층으로부터 수분을 제거할 것이다. 땜납과 UBM 사이의 인터페이스 완전성(interface integrity)을 확실하게 하기 위하여, 크롬 및 구리의 합성물 또는 합금층은 전형적으로 크롬과 구리층 사이에 사용될 것이다.

통상적으로 전술한 층들을 스퍼터링(sputtering)함으로써, 이들 층을 증착하는 몇몇 선택 사항들을 편리하게 사용할 수 있다. 이 층은 합금 타겟(alloy target)으로부터 스퍼터링 될 수 있다. 이 층은 크롬 타겟으로 스퍼터링 될 수 있으며, 다음으로 구리 타겟으로 변화될 수 있다. 또는, 이 층을 개별적인 크롬과 구리 타겟, 그리고, 이 둘 사이에서 옮겨가며 사용하여 스퍼터링 할 수 있다. 후자의 선택 사항은 점진적으로 변화된 조성(graded composition)을 가지는 소정의 층을 생산해 내어, 바람직한 기술이다.

본 발명의 바람직한 실시예에서, 하부 범프 금속화물은 500 - 5000Å 차수의 두께, 바람직하게는 1000 - 3000Å의 두께를 가진 제 1 크롬층을 포함한다. 크롬은 알루미늄 러너에 양호하게 접합되고, 티타늄 - 팔라듐 - 금(Ti - Pd - Au) 접촉 패드 표면에도 잘 부착하며, 또한, 이 구조에 나타난 유전층(dielectric layer)에도 양호하게 부착한다. 크롬은 또한 내화성(refractory)을 가지며, 알루미늄과의 접촉부에서 충돌 저항 인터페이스(crossion resistant interface)를 형성한다. 제 2의 Cr/Cu층은 전이층으로서, 크롬층과 연속적으로 형성된 구리층 사이에 땜납이 가용적으로 되도록 하며, 금속적으로 안전한 인터페이스를 제공한다. 전이층(transition layer)은 바람직하게는 크롬과 구리 타겟을 모두 구비하는 장치 내에서 스퍼터링을 실행하고, 이 타겟들 사이에서 전이를 실행함으로써 형성된다. 이로 인해, 순수한 크롬과 순수한 동 사이에서 조성이 변하는 공통 스퍼터링 층(co - spatter layer)이 만들어진다. 전이층의 두께는 1000 - 5000Å이며, 바람직하게는 2000 - 3000Å이다.

다음으로, 1000 - 10000Å의 두께를 가진 구리층, 바람직하게는 2000 - 6000Å 두께의 구리층이 전이층 상에 증착된다. 구리층(46)은 일반적으로 땜납 범프에 사용되는 땜납 재료에 대해 가용적이다. 박막 땜납을 가지는 대부분의 구리 공융(eutectic)의 용융점(melting point)은 비교적 낮으며, 땜납 온도에서 구리 층의 표면은 땜납 범프 내로 용융되어 물리적으로 그리고 전기적으로 안전한 결합점을 형성한다. 심지어 모든 구리가 땜납 층으로 용융되더라도 땜납은 여전히 부착되어 Cr/Cu 층을 적실(wet) 것이다. 구리층의 표면에 부착될 수도 있는 선택사양적인 금층(gold layer)은 구리 표면의 산화(oxidation)를 방지할 것이다. 선택사양적인 금층의 두께는 500 - 3000Å이며, 바람직하게는 1000 - 2000Å이다.

이 다중 레벨의 하부 범프 금속화물 시스템을 처리하는 추가적인 상세 설명은, 공동 계류중인 미국 특허 출원 번호 제 08/825,923 호(1997년 4월 2일 출원)로부터 알수 있으며, 이를 참조하여 본 명세서가 구체화된다. 이 금속화물 시스템은 특히, 기술된 상호 접속 공정에 효과적이며, 이 기술 분야에서 알려진 다른 대안들도 사용될 수 있다.

도 5의 상호 접속 어셈블리를 도 6에서 평면도로 도시하고 있는데, 여기서, 지지 칩 상의 금속화물은 덜 어두운 그늘을 가지는 것으로 도시되며, 상부 칩 부분 상의 금속화물은 더 어두운 그늘을 가지는 것으로 도시된다. 러너(64) 위의 러너(73) 및 러너(74) 밑의 러너(65)의 크로스오버는 도 6에서 보다 명백하게 알 수 있다. 이 도면에 도시된 개략도에서, 러너들은 x축 및 y축 방향으로 배선된다. 그러나, 이 기술 분야의 당업자라면 이해할 수 있는 바와 같이, 이들은 직각 이외의 각도, 예를 들어, 45 ° 의 각도를 따라 배선될 수도 있다.

땜납 범프 비아 상호 접속을 이용하는 크로스오버 상호 접속의 조합은 도 7의 개략도에 도시된다. 지지 칩은 도면 참조 부호 (81)로 도시되고 이 지지 칩의 상부의 " 플립 - 칩 접합" 된 칩은 도면 참조 부호 (82)로 도시된다. 이 칩은 땜납 볼 접합(83, 84, 85, 86)으로 접합된다. 이 목적은 지지 칩(81) 상에 있는 접촉 패드(87, 88)를 도시된 바와 같은 상부 칩(82) 상의 접촉 패드(91, 92)와 상호 접속하는 것이다. 금속 러너(93, 94, 95)는 기판 칩(81) 상에 위치하며, 러너(96, 97, 98)들은 상부 칩(82) 상에 위치한다. 러너들은 도시된 바와 같은 땜납 볼 상호 접속을 통하여 접합 패드들을 상호 접속하며, 러너(96)는 러너(94)와 교차하고, 러너(97)는 러너(95)와 교차한다.

본 발명의 상호 접속 구조에서, 적어도 몇몇의 땜납 볼 접합은 소위 비아(via)인데, 이는 즉, 칩 기판 상의 접합 패드들을 상호 접속하는, 전형적으로 이전 기술의 땜납 볼 접합과 대비되는 것으로서 금속 레벨들 간을 상호 접속하는 것이다. 이들 비아 땜납 볼 상호 접속의 배치는 임의로 할 수 있다. 즉, 상부 칩들의 점유 면적(footprint) 내의 어떤 사이트에도 배치할 수 있다. 비아 상호 접속으로서 땜납 볼 접합을 사용한다는 것은 전형적으로 땜납 볼 접합의 수가 통상적인 칩 - 온 - 칩 어셈블리 내에서 보다 더 많다는 것을 의미한다. 땜납 볼 접합의 수가 증가하면 어셈블리의 기계적인 완전성이 증대되기도 하지만, 열 분산(thermal distribution)과 방열(heat sinking) 선택 사항들이 더욱 양호하게 된다.

다수의 땜납 범프의 상호 접속 사이트가 칩 에지(chip edge)의 " 내측(in-board)" 에 배치되며, 종단(termination)이 전형적으로 칩 에지에 또는 부근에 있기 때문에, 몇몇 상호 접속들은 " 뒷면 통로(worng way)" 에 의한 상호 접속일 수도 있다. 그 예가 도 8에 도시된다. 러너(101)는 비아 땜납 범프 상호 접속(104)과 지지 칩(103) 상의 에지 패드(102)를 상호 접속한다. 상부 칩(100) 상의 러너(105)는 땜납 범프(104)와 접합 패드(106)를 상호 접속한다. 이 경로는 직선(direct)이 아니기 때문에, 몇몇 자동 경로 배정 프로그램은 이 경로를 방해하고, 상호 접속에 과도한 불리함을 줄 것이다. 그러나, 땜납 범프 비아를 사용하여 발생한 효율적인 크로스오버 레이아웃(layout)으로 인하여, 실질적으로 다수의 이면 통로의 경로를 가지고서도, 전체적인 상호 접속 레이아웃은 매우 효율적으로 될 수 있다.

본 발명의 또 다른 특징은, 지지 칩 사이트와 소정의 상부 칩 상의 사이트를 상호 접속하는 러너들이 또 다른 상부 칩을 가로질러 배선되어 상호 접속 레이아웃에 융통성을 부가할 수 있다는 것이다. 이 대안은 도 9에 도시되며, 여기서, 지지 칩(111)은 두 개의 상부 칩(112, 113)을 지지한다. 지지 칩(111) 상의 접합 패드(114)를 접합 패드(115)와 연결시키기 위하여, 도 9에 도시된 바와 같은 경로 배정이 본 발명에 따른 비아 범프에 의하여 사용될 수 있다. 경로는 패드(114)로부터 지지 칩 러너(116)를 따라 비아 범프(117)로, 상부 칩 금속화물 및 상부 칩 상의 러너(118)로, 비아 범프(119)로, 지지 칩 금속화물의 후면 및 러너(121)로, 다음에 비아 범프(122)로, 상부 칩 금속화물 러너(123)로 및 마지막으로 상부 칩 패드(115)까지 존재한다. 러너(118)와 러너(123)의 두 개의 크로스오버, 그리고 러너(121)의 하나의 " 크로스언더(crossunder)" 가 이 경로에 포함된다.

상술한 상호 접속 기법은 상호 접속 금속화물 레벨들과 IC 칩들 간의 용량성 상호 작용(capative interaction) 정도를 조사하기 위해 구현되어 테스트된다. 상술한 구조 내에서 이와 같이 능동 소자에 근접하여 위치한 상호 접속 회로들 간의 용량성 결합은, 하부(underlying) 소자의 기능을 지나치게 간섭할 것이라는 것을 예상할 수 있다. 그래서, 소자 성능은 손상 받지 않도록 만들어 졌다.

비아 상호 접속에 사용되는 땜납 범프들은 통상적인 기법, 예를 들어, 증발(evaporation) 또는 스크린 인쇄(screen printing) 기법을 사용하여 접합될 수 있다. 이 발명에 사용될 수 있는 구조에 있어서, 모든 칩 영역은 잠재적으로 땜납 범프 상호 접속을 위해 사용될 수 있다. 따라서, 레이아웃은 땜납 범프 상호 접속들 간의 통상적인 공간보다 더 크게 제조될 수 있다. 작은 피치(pitch)의 칩은 상대적으로 큰 땜납 범프에 상호 접속될 수 있다. 그러므로, 전형적으로 상대적으로 큰 피치 패드 어레이에 사용되도록 제한된 땜납 페이스트 기법(solder paste technique)은, 도 8에 예시적으로 도시되는 바와 같이, 종단을 칩의 점유 영역의 안쪽 부분의 땜납 범프 사이트에 경로 배정함으로써 미세한 피치 패드 어레이들을 상호 접속하는 데에 사용될 수 있다.

이 설명에서, 그리고 다음의 특허청구범위에서 집적회로 칩과 관련하여 사용되는 " 능동(active)" 이라는 용어는 다수의 트랜지스터(transistor) 및/또는 다이오드(diode) 소자를 포함하는 반도체 칩을 의미한다. 칩-온-칩 상호 접속 구조에서는, 능동이라는 이 용어가 이 기술 분야에서 알려져 있으므로, 지지 칩 및 지지 칩에 의해 지지되는 두 칩 모두 능동 칩이다. 이것은, 상호 접속 기판(실리콘일 수도 있음)이, 다른 능동 칩, 또는 수동 소자 예를 들어, 인덕터 또는 캐패시터에 대해 순수한 지지 구조로 되어 있는 구조와는 뚜렷이 구별된다.

또한, 상술한 설명 및 다음의 특허청구범위에 사용된 땜납 " 범프" 라는 용어는, 평면 구조체(planar structures)를 함께 접합하며, 또한 이들 구조체들을 전기적으로 상호 접속 하는 데에 모두 사용되는 실질적인 크기의 땜납 구조(solder formations)를 포함하는 것을 의미한다. 또한, 이러한 땜납 범프들은, 하부 부품(element) 상의 상부 평탄 표면과 상부 부품의 하부 평탄 표면 사이의 공백 또는 공간을 남겨둔 채로, 전형적으로 이들 구조체들을 오프셋 관계로 접합한다. 이 유형의 땜납 구조를 주형(piller-shaped) 또는 구형(ball shaped)으로 제조할 수 있다. 본 발명의 특징은, 이

들 땜납 범프들을, 상부와 하부 칩 사이의 사이트들을 상호 접속(칩간 접속)하는데, 그리고, 상부 칩 상에 위치한 둘 또는 그 이상의 사이트 및/또는 하부 칩 상에 위치한 둘 또는 그 이상의 사이트들을 상호 접속(칩 내부에서의 접속)하는 두 경우 모두에 사용하는 것이다.

본 명세서에 사용된 " 러너" 라는 용어는 지지 칩 표면의 상부 표면 또는 상부 칩의 하부 (마주한) 표면 중의 하나 상에 있는 상호 접속 점들 사이를 연장하는 상호 접속 회로 부분을 의미한다.

전기적인 상호 접속 기법에서의 " 크로스오버" 라는 용어는 잘 알려져 있는데, 본 발명의 내용에서는, 소정의 칩 상의 상호 접속 회로의 회로 러너가 소정의 제 1 방향으로 뻗어 나가고, 마주한 칩 상의 상호 접속 회로 중 적어도 하나의 러너가 제 2 방향으로 뻗어 나가며, 칩의 평면에 수직인 시점에서 보았을 때, 상기 제 1, 제 2 방향이 교차하고 있는 상황을 말한다. 크로스오버 상호 접속은 하부 칩 또는 하나 이상의 상부 칩 중의 하나에서 러너들이 교차되도록 제조될 수 있다. 후자의 경우에서는, 상호 접속이 " 크로스언더" 로 생각될 수도 있지만, 이는 일반적인 의미에서 크로스오버라는 용어에 포함되는 것으로 생각된다.

본 발명의 원리, 즉, 상호 접속 회로에 대한 칩-온-칩 구조에서 마주보는 평탄 표면들 둘 다를 사용하면, 상호 접속 회로의 이용가능한 영역을 크게 확장할 수 있다. 마주하는 평탄 표면들을 사용하는 것은 공기에 의해 절연된 크로스오버를 위해 칩들 사이에 이미 존재하는 공기 갭을 사용할 기회를 제공하고, 또한, 비교적 짧은 상호 접속 경로 길이를 제공하지만, 상부 칩의 평탄 표면을 이용하여 상호 접속 영역을 더 확장하는 것도 가능하다. 예를 들어, 인덕터, 캐패시터 등의 수동 소자가 칩-온-칩 어셈블리의 상부 표면 상에도 배치될 수 있다. 또한, 회로의 캐퍼시티(capacity)는 지지 칩 또는 상부 칩 중 하나 또는 둘 모두 상에서 다중 레벨 금속 패턴을 이용하여 유효하게 제조될 수 있다.

이상, 본 발명자에 의해 이루어진 발명을 상기 실시예에 따라 구체적으로 설명하였지만, 본 발명은 상기 실시예에 한정되는 것은 아니고, 그 요지를 벗어나지 않는 범위내에서 여러 가지로 변경 가능한 것은 물론이다.

## 발명의 효과

본 발명에 의하면, 모든 칩 내부에서의 상호 접속이 각 칩 상에서 단일 레벨의 상호 접속으로 될 수 있다.

## (57) 청구의 범위

### 청구항 1.

집적 회로 패키지(integrated circuit package)에 있어서,

a. 다수의 능동 반도체 소자(active semiconductor device)를 포함하는 제 1 집적 회로 칩으로서, 길이(length) $L_1$, 폭(width) $W_1$을 갖고, $L_1 x W_1$의 면적(area)과 동일한 면적 $A_1$을 가진 상부 평탄 표면(upper planar surface) 및 면적 $A_1$을 가진 하부 평탄 표면(lower planar surface)을 갖는 상기 제 1 집적 회로 칩과,

b. 상기 제 1 집적 회로 칩과 상호 연결하는 상기 제 1 집적 회로 칩의 상기 상부 평탄 표면 상에 있는 제 1 상호 접속 회로(interconncet circuit)와,

c. 상기 제 1 칩에 의해 지지되는 제 2 집적 회로 칩으로서, 다수의 능동 반도체 소자를 포함하고, 길이 $L_2$, 폭 $W_2$를 갖고, $L_2 x W_2$의 면적과 동일한 면적 $A_2$를 가진 상부 평탄 표면 및 면적 $A_2$ ($A_2$ < A1)를 가진 하부 평탄 표면을 갖는 상기 제 2 집적 회로 칩과,

d. 상기 제 2 집적 회로 칩의 상기 하부 평탄 표면을 상기 제 1 집적 회로 칩의 상기 상부 평탄 표면에 접합하되, 상기 제 2 집적 회로 칩의 상기 하부 평탄 표면과 상기 제 1 집적 회로 칩의 상기 상부 평탄 표면 사이에 공간(space)을 두는 다수의 접합 수단과,

e. 상기 제 2 집적 회로 칩―상기 제 2 집적 회로 칩은 다수의 접합 수단중 하나의 접합 수단에서 다른 접합 수단으로만 연장하는 적어도 하나의 크로스오버를 포함함―과 상호 연결하는 상기 제 2 집적 회로 칩의 하부 평탄 표면 상에 있는 제 2 상호 접속 회로

를 포함하는 집적 회로 패키지.

## 청구항 2.

제 1 항에 있어서,

상기 각각의 제 1 및 제 2 상호 접속 회로 내에 다수의 러너(runner)들을 포함하되, 상기 제 1 상호 접속 회로 내의 적어도 몇몇의 러너들은 상기 다수의 접합 수단 중 두 개의 접합 수단을 전기적으로 접속하며, 상기 제 2 상호 접속 회로 내의 적어도 몇몇의 러너들은 상기 다수의 접합 수단 중 두 개의 접합 수단을 전기적으로 접속하는 집적 회로 패키지.

## 청구항 3.

제 1 항에 있어서,

상기 다수의 접합 수단은 땜납 범프(solder bump)들을 포함하는 집적 회로 패키지.

## 청구항 4.

제 2 항에 있어서,

상기 제 1 상호 접속 회로 내의 제 1 러너는 제 1 땜납 범프와 전기적으로 접속되고, 상기 제 1 땜납 범프는 상기 제 2 상호 접속 회로 내의 제 1 러너에 전기적으로 접속되며, 상기 제 2 상호 접속 회로 내의 상기 제 1 러너는 제 2 땜납 범프에 전기적으로 접속되고, 상기 제 2 땜납 범프는 상기 제 1 상호 접속 회로 내의 제 2 러너에 전기적으로 접속되는 집적 회로 패키지.

## 청구항 5.

제 4 항에 있어서,

상기 제 1 집적 회로 칩의 상기 상부 평탄 표면을 따라 제 1 방향으로 뻗어 나가는 상기 제 1 상호 접속 회로 내의 제 3 러너를 더 포함하고, 상기 제 2 상호 접속 회로 내의 상기 제 1 러너는 상기 제 2 집적 회로 칩의 상기 하부 평탄 표면을 따라 제 2 방향으로 뻗어 나가며, 상기 제 1 방향과 제 2 방향은, 상기 평탄 표면에 수직인 방향에서 보았을 때, 교차하고 있는 집적 회로 패키지.

## 청구항 6.

제 2 항에 있어서,

상기 제 2 상호 접속 회로 내의 제 1 러너는 제 1 땜납 범프와 전기적으로 접속되고, 상기 제 1 땜납 범프는 상기 제 1 상호 접속 회로 내의 제 1 러너와 전기적으로 접속되며, 상기 제 1 상호 접속 회로 내의 상기 제 1 러너는 제 2 땜납 범프에 전기적으로 접속되고, 상기 제 2 땜납 범프는 상기 제 2 상호 접속 회로 내의 제 2 러너에 전기적으로 접속되는 집적 회로 패키지.

## 청구항 7.

제 6 항에 있어서,

상기 제 2 집적 회로 칩의 상기 하부 평탄 표면을 따라 제 1 방향으로 뻗어 나가는 상기 제 2 상호 접속 회로 내의 제 3 러너를 더 포함하고, 상기 제 1 상호 접속 회로 내의 상기 제 1 러너는 상기 제 1 집적 회로 칩의 상부 평탄 표면을 따라 제 2 방향으로 뻗어 나가며, 상기 제 1 방향과 제 2 방향은, 상기 평탄 표면에 수직인 방향에서 보았을 때, 교차하고 있는 집적 회로 패키지.

## 청구항 8.

제 3 항에 있어서,

상기 땜납 범프와 상기 제 1 및 제 2 상호 접속 회로 사이에 하부 범프 금속화물(under bump metallization)을 더 포함하는 집적 회로 패키지.

## 청구항 9.

제 8 항에 있어서,

상기 하부 범프 금속화물은 크롬층(layer of chromium)과 구리층(layer of copper)을 포함하는 집적 회로 패키지.

## 청구항 10.

제 9 항에 있어서,

상기 제 1 및 제 2 상호 접속 회로는 알루미늄(aluminum)을 포함하는 집적 회로 패키지.

## 청구항 11.

제 2 항에 있어서,

상기 제 1 집적 회로 칩은 적어도 두 개의 집적 회로 칩을 지지하는 집적 회로 패키지.

## 청구항 12.

집적 회로 패키지에 있어서,

a. 다수의 능동 반도체 소자를 포함하며, 길이 $L_1$, 폭 $W_1$ 을 갖고, $L_1 x W_1$ 의 면적과 동일한 면적 $A_1$ 를 가진 상부 평탄 표면 및 면적 $A_1$ 을 가진 하부 평탄 표면을 갖는 상기 제 1 집적 회로 칩과,

b. 상기 제 1 집적 회로 칩의 상기 상부 평탄 표면 상에 있는 제 1 상호 접속 회로와,

c. 상기 제 1 칩에 의해 지지되는 제 2 집적 회로 칩으로서, 다수의 능동 반도체 소자를 포함하고, 길이 $L_2$, 폭 $W_2$ 를 갖고, $L_2 x W_2$ 의 면적과 동일한 면적 $A_2$ 를 가진 상부 평탄 표면 및 면적 $A_2$ ($A_2 < A1$)를 가진 하부 평탄 표면을 갖는 상기 제 2 집적 회로 칩과,

d. 상기 제 1 칩에 의해 지지되는 제 3 집적 회로 칩으로서, 다수의 능동 반도체 소자를 포함하고, 길이 $L_3$, 폭 $W_3$ 를 갖고, $L_3 x W_3$ 의 면적과 동일한 면적 $A_3$ 를 가진 상부 평탄 표면 및 면적 $A_3$ 를 가지는 하부 평탄 표면을 갖되, $A_3 < A1$이며, 또한, $A2+ {}_{A}3< {}_{A}1$, $L2+ L3< L1$이며, $W2$및 ${}_{W}3< W1$인 상기 제 3 집적 회로 칩과,

e. 상기 제 2 및 제 3 집적 회로 칩의 상기 하부 평탄 표면을 상기 제 1 집적 회로 칩의 상기 상부 평탄 표면에 접합하되, 상기 제 2 및 제 3 집적 회로 칩의 상기 하부 평탄 표면과 상기 제 1 집적 회로 칩의 상기 상부 평탄 표면 간에 공간을 두는 다수의 접합 수단과,

f. 상기 다수의 접합 수단중 하나의 접합 수단에서 다른 접합 수단으로만 연장하는 적어도 하나의 크로스오버를 포함하는 상기 제 2 집적 회로 칩의 하부 평탄 표면 상에 있는 제 2 상호 접속 회로와,

g. 상기 다수의 접합 수단 중 하나의 접합 수단에서 다른 접합 수단으로만 연장하는 적어도 하나의 크로스오버를 포함하는 상기 제 3 집적 회로 칩의 하부 평탄 표면 상에 있는 제 3 상호 접속 회로

를 포함하는 집적 회로 패키지.

## 청구항 13.

제 12 항에 있어서,

상기 다수의 접합 수단은 땜납 범프들을 포함하는 집적 회로 패키지.

## 청구항 14.

제 12 항에 있어서,

상기 제 1 상호 접속 회로 내의 제 1 러너는 제 1 땜납 범프와 전기적으로 접속되고, 상기 제 1 땜납 범프는 상기 제 2 상호 접속 회로 내의 제 1 러너에 전기적으로 접속되며, 상기 제 2 상호 접속 회로 내의 상기 제 1 러너는 제 2 땜납 범프에 전기적으로 접속되고, 상기 제 2 땜납 범프는 상기 제 1 상호 접속 회로 내의 제 2 러너에 전기적으로 접속되며, 상기 제 1 상호 접속 회로 내의 상기 제 2 러너는 제 3 땜납 범프에 전기적으로 접속되고, 상기 제 3 땜납 범프는 상기 제 3 상호 접속 회로 내의 제 1 러너에 전기적으로 접속되는 집적 회로 패키지.

## 청구항 15.

제 14 항에 있어서,

상기 제 1 집적 회로 칩의 상기 상부 평탄 표면을 따라 제 1 방향으로 뻗어 나가는 상기 제 1 상호 접속 회로 내의 제 3 러너를 더 포함하고, 상기 제 2 상호 접속 회로 내의 상기 제 1 러너는 상기 제 2 집적 회로 칩의 상기 하부 평탄 표면을 따라 제 2 방향으로 뻗어 나가며, 상기 제 1 방향과 제 2 방향은, 상기 평탄 표면에 수직인 방향에서 보았을 때, 교차하고 있는 집적 회로 패키지.

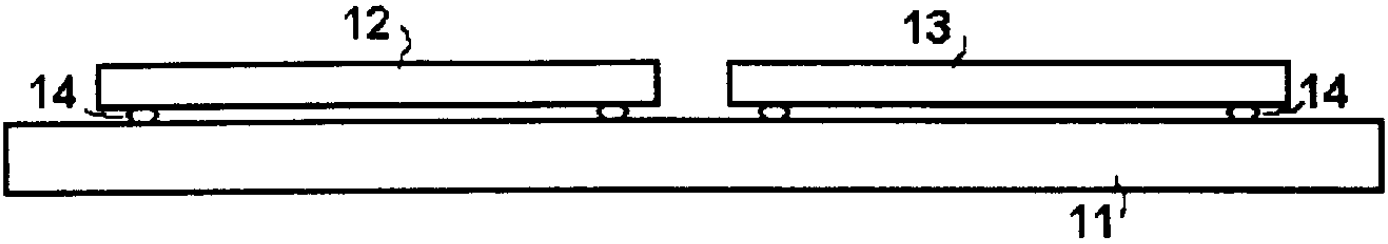
## 청구항 16.

제 12 항에 있어서,

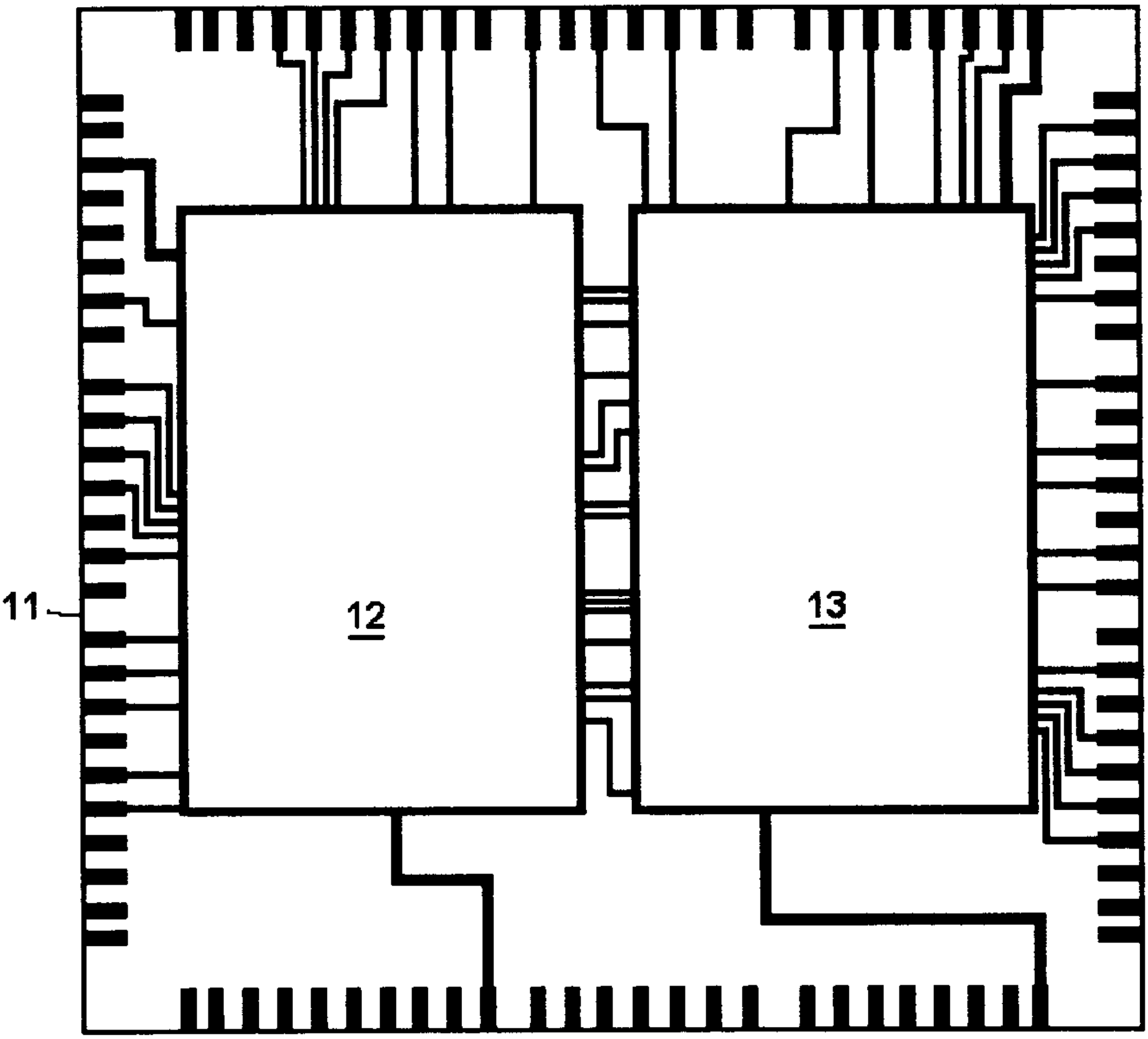
상기 제 2 상호 접속 회로 내의 제 1 러너는 제 1 땜납 범프와 전기적으로 접속되고, 상기 제 1 땜납 범프는 상기 제 1 상호 접속 회로 내의 제 1 러너와 전기적으로 접속되며, 상기 제 1 상호 접속 회로 내의 상기 제 1 러너는 제 2 땜납 범프에 전기적으로 접속되고, 상기 제 2 땜납 범프는 상기 제 3 상호 접속 회로 내의 제 1 러너와 전기적으로 접속되는 집적 회로 패키지.

## 도면

### 도면 1

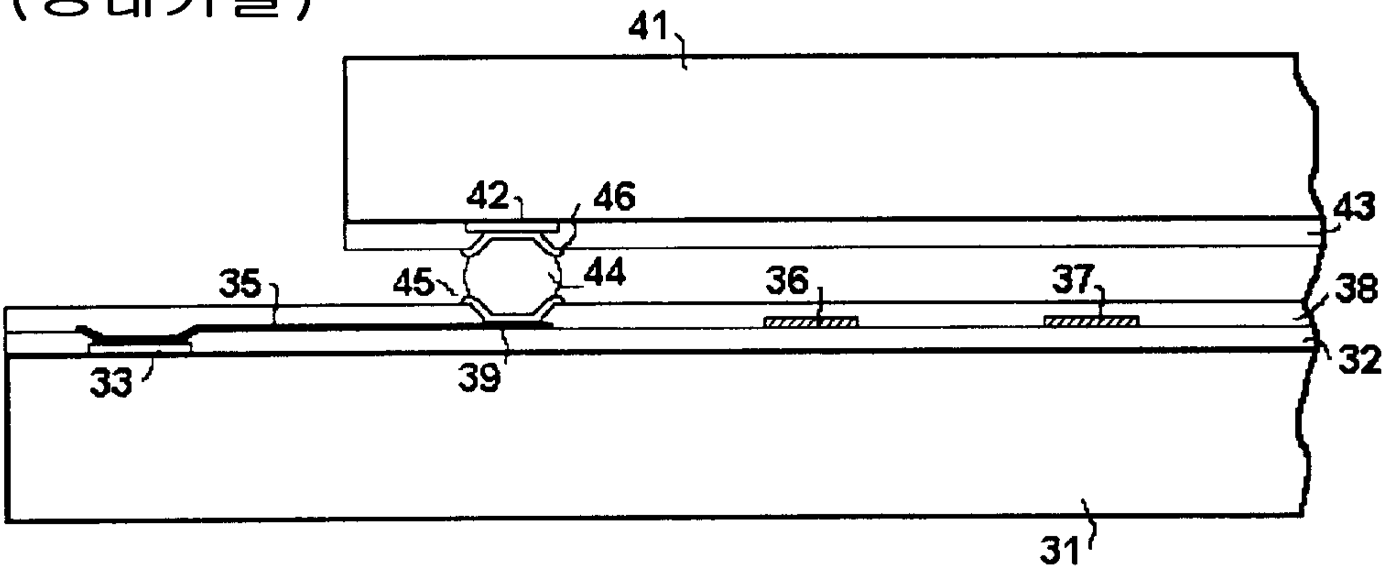


### 도면 2



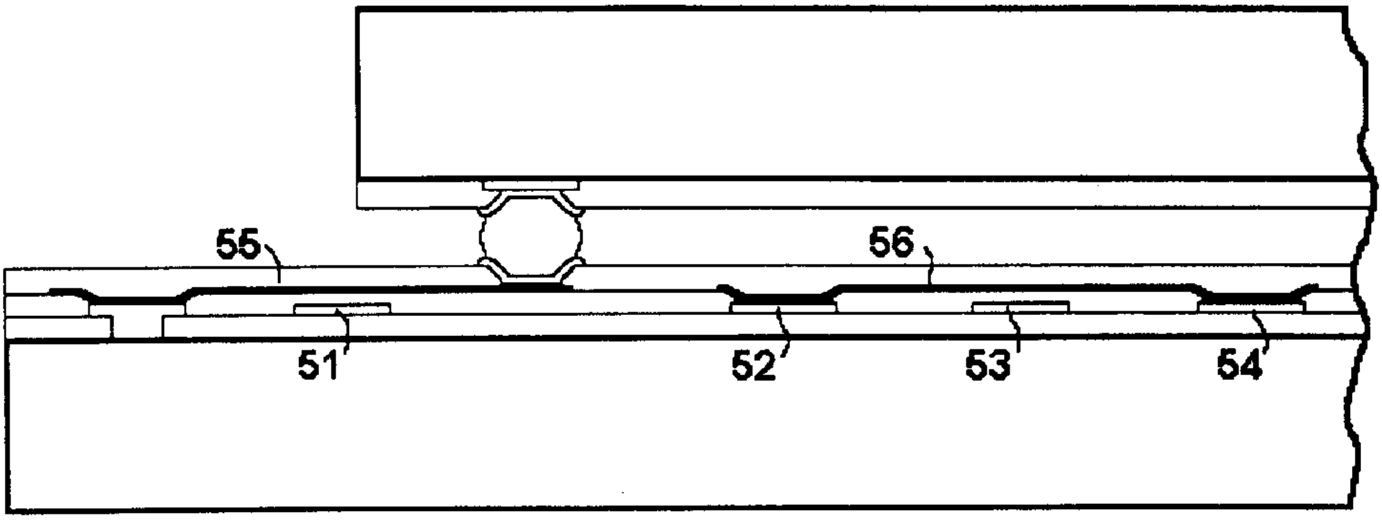
도면 3

(종래기술)

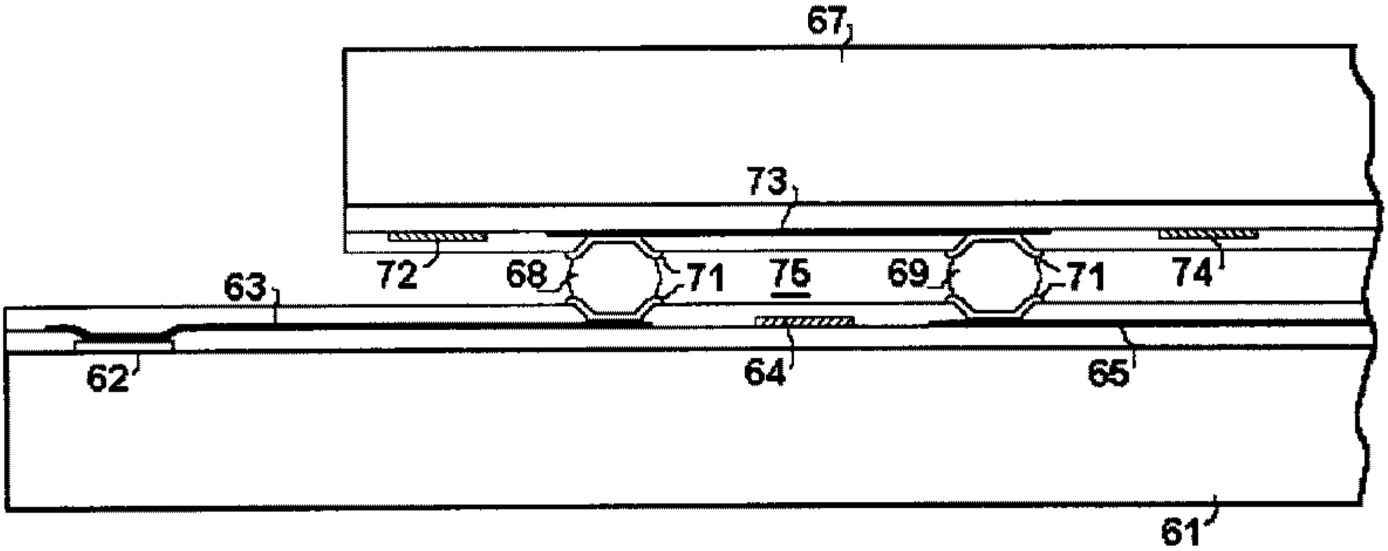


도면 4

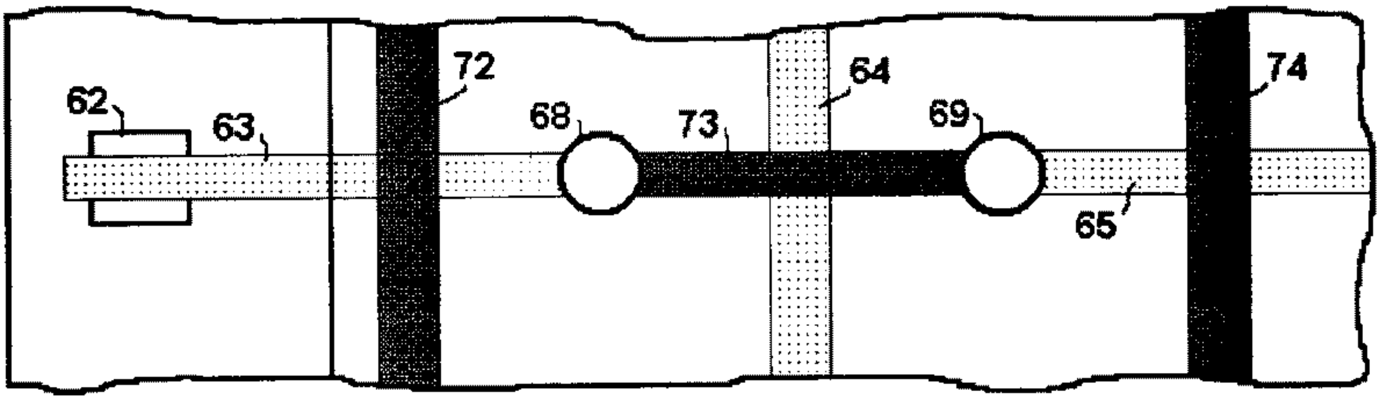
(종래기술)



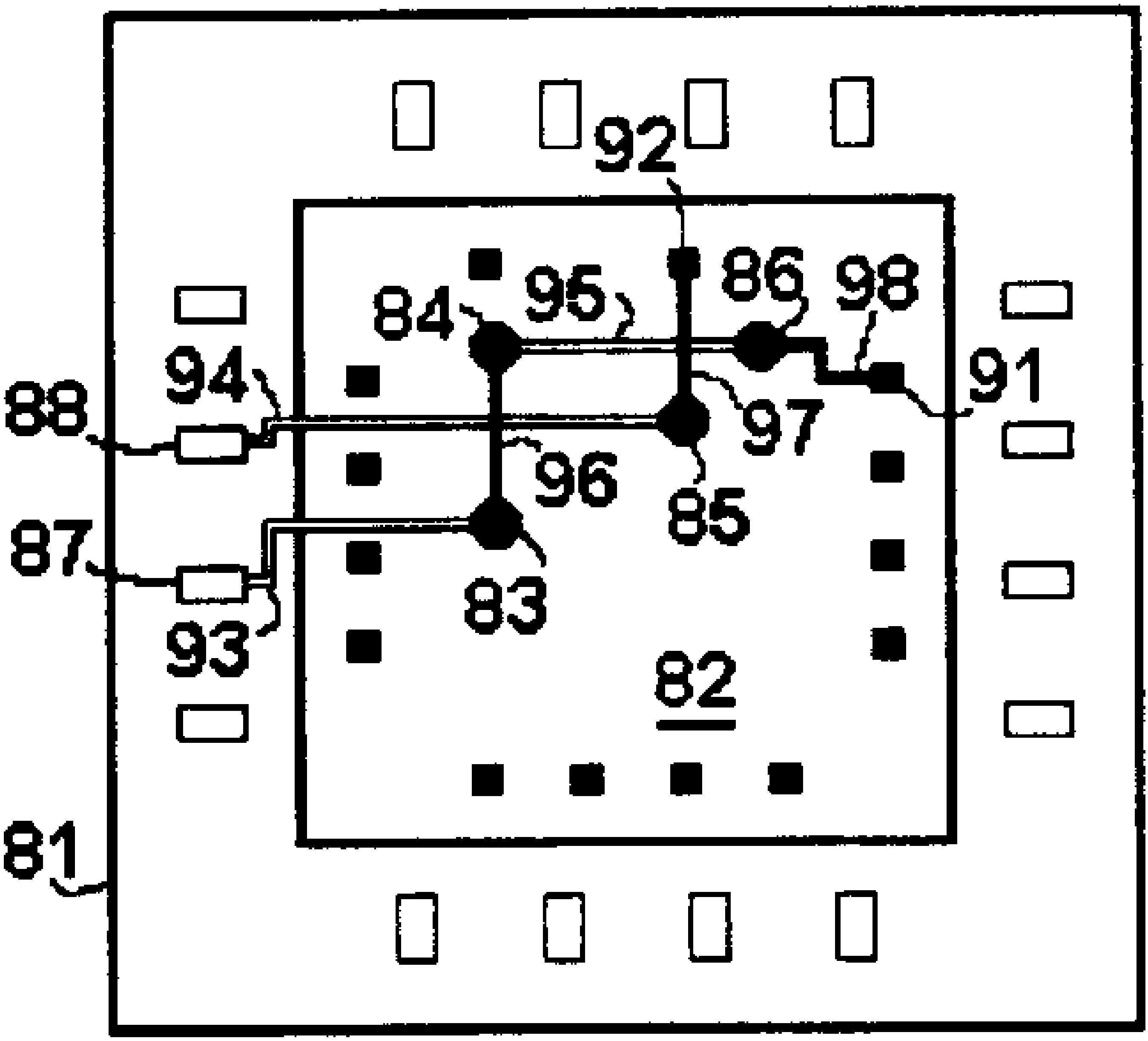
도면 5



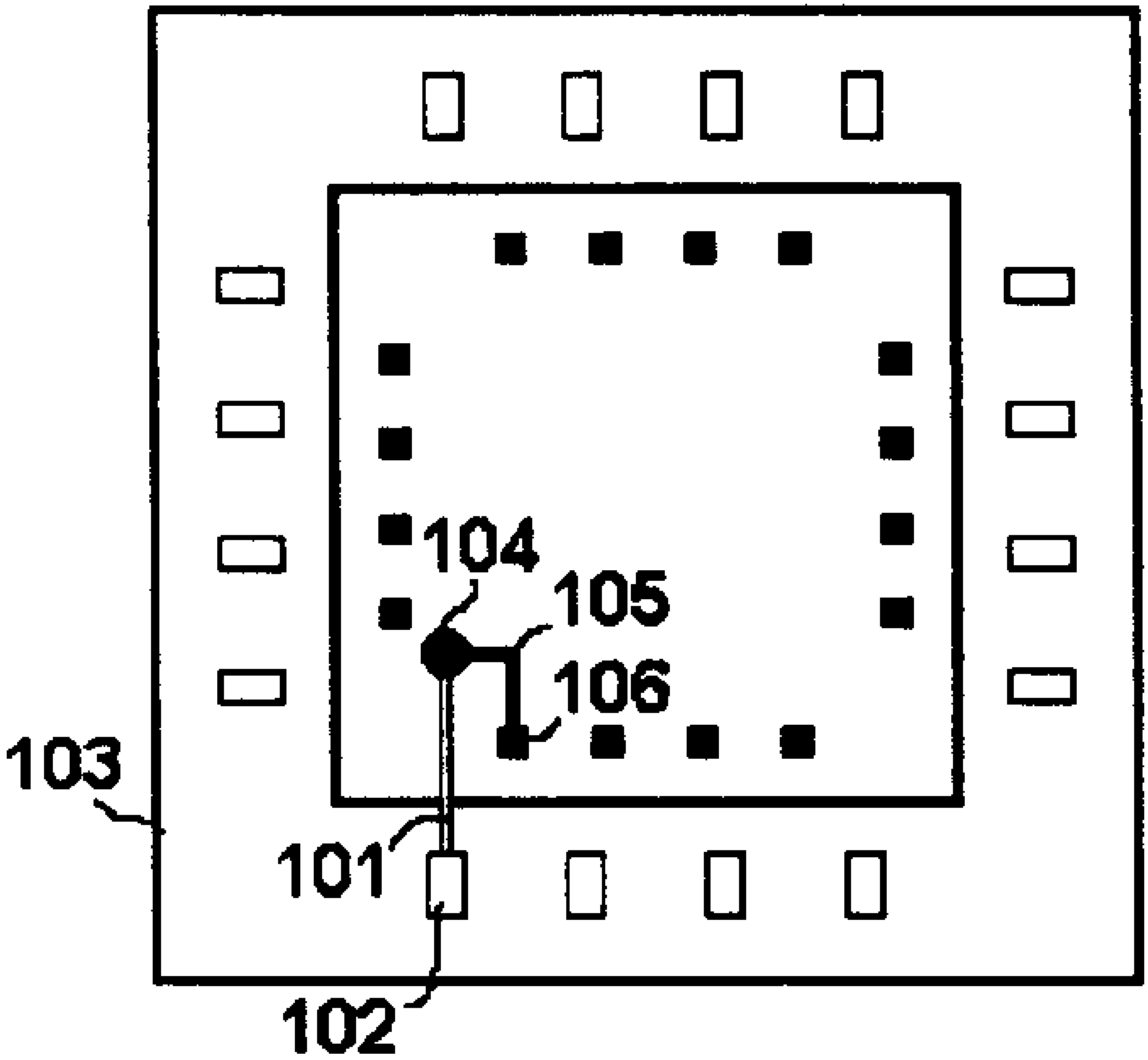
도면 6



도면 7



도면 8



도면 9