



(12)发明专利申请

(10)申请公布号 CN 113823596 A

(43)申请公布日 2021.12.21

(21)申请号 202010562009.7

(22)申请日 2020.06.18

(71)申请人 中芯国际集成电路制造(上海)有限公司

地址 201203 上海市浦东新区中国(上海)自由贸易试验区张江路18号

申请人 中芯国际集成电路制造(北京)有限公司

(72)发明人 涂武涛 陈建 王彦 张海洋

(74)专利代理机构 上海知锦知识产权代理事务所(特殊普通合伙) 31327

代理人 汤陈龙

(51)Int.Cl.

H01L 21/8234(2006.01)

H01L 27/088(2006.01)

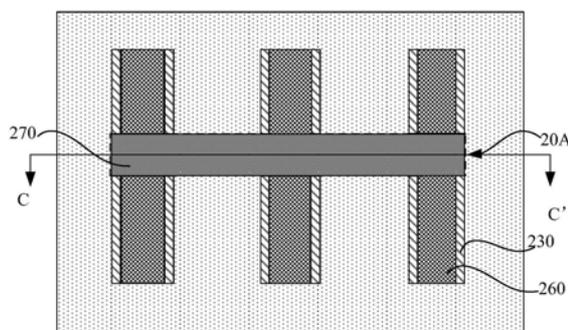
权利要求书2页 说明书8页 附图12页

(54)发明名称

半导体结构及其形成方法

(57)摘要

一种半导体结构及其形成方法,所述形成方法包括:提供基底,所述基底包括衬底、位于所述衬底上的多个并行的伪栅极,以及位于所述伪栅极两侧的侧部结构,其中,所述基底包括隔离区,所述隔离区的延伸方向与所述多个并行的伪栅极相交;去除相交于所述隔离区内的伪栅极,形成横切所述多个并行的伪栅极的初始横切隔离沟槽;去除所述隔离区内的侧部结构,形成目标横切隔离沟槽;形成填充所述目标横切隔离沟槽的横切隔离结构。所述方法提高了器件的性能。



1. 一种半导体结构的形成方法,其特征在于,包括:

提供基底,所述基底包括衬底、位于所述衬底上的多个并行的伪栅极,以及位于所述伪栅极两侧的侧部结构,其中,所述基底包括隔离区,所述隔离区的延伸方向与所述多个并行的伪栅极相交;

去除相交于所述隔离区内的伪栅极,形成横切所述多个并行的伪栅极的初始横切隔离沟槽;

去除所述隔离区内的侧部结构,形成目标横切隔离沟槽;

形成填充所述目标横切隔离沟槽的横切隔离结构。

2. 如权利要求1所述的半导体结构的形成方法,其特征在于,所述侧部结构至少包括形成在所述伪栅极侧部的侧墙。

3. 如权利要求2所述的半导体结构的形成方法,其特征在于,所述侧部结构还包括位于所述侧墙之间的层间介质层。

4. 如权利要求1所述的半导体结构的形成方法,其特征在于,所述隔离区覆盖所述多个并行的伪栅极的部分结构,以及所述多个并行的伪栅极之间的部分侧部结构。

5. 如权利要求4所述的半导体结构的形成方法,其特征在于,所述隔离区还覆盖位于所述隔离区边缘的伪栅极靠近所述隔离区边缘一侧的侧墙。

6. 如权利要求1所述的半导体结构的形成方法,其特征在于,同时执行所述去除相交于所述隔离区内的伪栅极和所述去除所述隔离区内的侧部结构。

7. 如权利要求6所述的半导体结构的形成方法,其特征在于,同时执行所述去除相交于所述隔离区内的伪栅极和所述去除所述隔离区内的侧部结构,包括:

在所述基底上形成图形化的隔离掩膜层,所述隔离掩膜层暴露所述隔离区;

以所述隔离掩膜层为掩膜,刻蚀去除相交于所述隔离区内的伪栅极和所述隔离区内的侧部结构。

8. 如权利要求7所述的半导体结构的形成方法,其特征在于,采用干法刻蚀工艺刻蚀去除相交于所述隔离区内的伪栅极和所述隔离区内的侧部结构。

9. 如权利要求8所述的半导体结构的形成方法,其特征在于,所述干法刻蚀工艺中,刻蚀去除伪栅极采用的工艺气体为含氯气体,压力为50mt~100mt;刻蚀去除侧部结构采用的工艺气体为含氟气体,压力为0mt~20mt。

10. 如权利要求9所述的半导体结构的形成方法,其特征在于,所述含氯气体包括氯气,所述氯气的流量为0sccm~300sccm;所述含氟气体包括 CH_2F_2 和 CF_4 , CH_2F_2 的流量为0sccm~50sccm, CF_4 的流量为60sccm~100sccm。

11. 如权利要求1所述的半导体结构的形成方法,其特征在于,所述伪栅极上还形成有硬掩膜层,所述侧部结构与所述硬掩膜层齐平;所述提供基底的步骤之后,所述去除相交于所述隔离区内的伪栅极的步骤之前,还包括:去除所述隔离区内的硬掩膜层和部分厚度的侧部结构,暴露出所述伪栅极。

12. 如权利要求1所述的半导体结构的形成方法,其特征在于,所述形成填充所述目标横切隔离沟槽的横切隔离结构,包括:

形成完全覆盖所述基底具有所述横切隔离沟槽一侧的横切隔离材料;

研磨去除所述基底表面的隔离材料,保留所述目标横切隔离沟槽内的横切隔离材料作

为所述横切隔离结构。

13. 如权利要求1所述的半导体结构的形成方法,其特征在于,所述形成填充所述目标横切隔离沟槽的横切隔离结构之后,还包括:

采用湿法刻蚀去除所述基底上剩余的伪栅极,形成栅极沟槽;

在所述栅极沟槽中形成金属栅极;

采用湿法刻蚀去除所述金属栅极中的隔离栅极,形成截断隔离沟槽;

形成填充所述截断沟槽的截断隔离结构。

14. 如权利要求13所述的半导体结构的形成方法,其特征在于,所述基底还包括凸立于所述衬底上分立的鳍部,所述多个并行的伪栅极横跨所述鳍部;所述去除所述金属栅极中的隔离栅极之后,所述形成填充所述截断沟槽的截断隔离结构之前,还包括:

去除位于所述隔离栅极下方的鳍部,使所述截断隔离沟槽延伸至所述衬底。

15. 如权利要求1所述的半导体结构的形成方法,其特征在于,所述横切隔离结构的材料包括:氮化硅、氧化硅、碳化硅、碳氮化硅、碳氮氧化硅、氮氧化硅、氮化硼和碳氮化硼中的一种或多种。

16. 一种半导体结构,其特征在于,包括:

基底,所述基底包括衬底、位于所述衬底上的多个并行的伪栅极,以及位于所述伪栅极两侧的侧部结构,其中,所述基底包括隔离区,所述隔离区的延伸方向与所述多个并行的伪栅极相交;

位于所述隔离区内的横切隔离结构,所述横切隔离结构隔离所述多个并行的伪栅极和所述多个并行的伪栅极之间的侧部结构。

17. 如权利要求16所述的半导体结构,其特征在于,所述侧部结构至少包括形成在所述伪栅极侧部的侧墙。

18. 如权利要求17所述的半导体结构,其特征在于,所述侧部结构还包括位于所述侧墙之间的层间介质层。

19. 如权利要求16所述的半导体结构,其特征在于,所述隔离区覆盖所述多个并行的伪栅极的部分结构,以及所述多个并行的伪栅极之间的部分侧部结构。

20. 如权利要求19所述的半导体结构,其特征在于,所述隔离区还覆盖位于所述隔离区边缘的伪栅极靠近所述隔离区边缘一侧的部分侧墙。

半导体结构及其形成方法

技术领域

[0001] 本发明实施例涉及半导体制造领域,尤其涉及一种半导体结构及其形成方法。

背景技术

[0002] 在半导体制造中,随着超大规模集成电路的发展趋势,集成电路特征尺寸持续减小,为了适应更小的特征尺寸,金属-氧化物-半导体场效应晶体管(Metal-Oxide-Semiconductor Field-Effect Transistor,MOSFET)的沟道长度不断缩短。然而,随着器件沟道长度的缩短,器件源极与漏极间的距离也随之缩短,因此栅极结构对沟道的控制能力随之变差,栅极电压夹断(pinch off)沟道的难度也越来越大,使得亚阈值漏电(subthreshold leakage)现象,即所谓的短沟道效应(Short Channel Effects,SCE)更容易发生。

[0003] 因此,为了减小短沟道效应的影响,半导体工艺逐渐开始从平面MOSFET向具有更高功效的三维立体式的晶体管过渡,如鳍式场效应晶体管(Fin Field-Effect Transistor,FinFET)。FinFET中,栅极结构至少可以从两侧对超薄体(鳍部)进行控制,与平面MOSFET相比,栅极结构对沟道的控制能力更强,能够很好的抑制短沟道效应,且与现有集成电路制造具有更好的兼容性。

[0004] 然而,现有的半导体工艺形成的器件性能不佳。

发明内容

[0005] 本发明实施例解决的问题是提供一种半导体结构及其形成方法,优化半导体结构的性能。

[0006] 为解决上述问题,本发明实施例提供一种半导体结构的形成方法,包括:

[0007] 提供基底,所述基底包括衬底、位于所述衬底上的多个并行的伪栅极,以及位于所述伪栅极两侧的侧部结构,其中,所述基底包括隔离区,所述隔离区的延伸方向与所述多个并行的伪栅极相交;

[0008] 去除相交于所述隔离区内的伪栅极,形成横切所述多个并行的伪栅极的初始横切隔离沟槽;

[0009] 去除所述隔离区内的侧部结构,形成目标横切隔离沟槽;

[0010] 形成填充所述目标横切隔离沟槽的横切隔离结构。

[0011] 相应的,本发明实施例还提供一种半导体结构,包括:

[0012] 基底,所述基底包括衬底、位于所述衬底上的多个并行的伪栅极,以及位于所述伪栅极两侧的侧部结构,其中,所述基底包括隔离区,所述隔离区的延伸方向与所述多个并行的伪栅极相交;

[0013] 位于所述隔离区内的横切隔离结构,所述横切隔离结构隔离所述多个并行的伪栅极和所述多个并行的伪栅极之间的侧部结构。

[0014] 与现有技术相比,本发明实施例的技术方案具有以下优点:

[0015] 本发明实施例中,在形成目标横切隔离沟槽时,去除相交于所述隔离区内的伪栅极的同时,还去除所述隔离区内的侧部结构,以去除可能位于伪栅极侧面的突起,避免后续工艺中所述突起造成的金属栅极的损伤,进而提高器件的性能。

附图说明

[0016] 图1至图8是一种半导体结构的形成方法中各步骤对应的结构示意图;

[0017] 图9至图21是本发明实施例半导体结构的形成方法一实施例中各步骤对应的结构示意图;

[0018] 图22至图24为本发明实施例半导体结构的结构示意图。

具体实施方式

[0019] 由背景技术可知,现有工艺所形成的器件仍有性能不佳的问题。现结合一种半导体结构的形成方法分析器件性能不佳的原因。

[0020] 参考图1至图8,示出了一种半导体结构的形成方法中各步骤对应的结构示意图。

[0021] 如图1至图2所示,提供基底100,所述基底包括衬底101、位于所述衬底上的多个并行的伪栅极120,其中,所述基底100包括隔离区10A,所述隔离区10A的延伸方向与所述多个并行的伪栅极120相交。其中,图2为图1沿AA'方向的剖视图。

[0022] 如图3所示,采用各向异性的刻蚀工艺刻蚀去除相交于所述隔离区10A内的伪栅极,形成横切所述多个并行的伪栅极的横切隔离沟槽121。

[0023] 如图4所示,在所述横切隔离沟槽121中沉积形成横切隔离结构140。

[0024] 如图5所示,在剩余的伪栅极位置形成金属栅极150。

[0025] 如图5至图7所示,湿法刻蚀去除所述金属栅极150中的隔离栅极151,形成截断隔离沟槽161。其中,图7为图6沿BB'方向的剖视图。

[0026] 如图8所示,形成填充所述截断隔离沟槽161的截断隔离结构160。

[0027] 发明人发现,上述方法形成的器件性能不佳,这是因为,所述伪栅极结构的形成过程中或形成后的工艺过程中,可能会使伪栅极结构基于环境影响(如温度、压力等)形成突起,如图2~4中所示的黑色阴影区,例如,伪栅极为多晶硅时,在高温环境下(例如侧墙沉积工艺过程中的高温环境),容易出现结晶化,从而突出于原工艺空间,侵入至伪栅极两侧的侧部结构;进一步的,在横切隔离沟槽的形成过程中,各向异性的刻蚀工艺仅在垂直于衬底表面的方向进行刻蚀,而不会向其他方向刻蚀,以避免损伤其他部分的伪栅极,这就导致突出于原工艺空间的突起部分无法去除,这部分无法去除的突起如果与剩余的伪栅极相连,会使得后续形成在伪栅极工艺空间的金属栅极同时延伸至该突起位置,从而在湿法刻蚀去除金属栅极中的隔离栅极的步骤时,刻蚀液极易刻蚀该突起位置的材料,并通过该突起位置(如图7中所示),浸入至本不需要刻蚀的金属栅极中(如图6中虚线箭头所示),造成器件的栅极结构的损伤。

[0028] 基于此,在本发明实施例中,在形成目标横切隔离沟槽时,去除相交于所述隔离区内的伪栅极的同时,还去除所述隔离区内的侧部结构,以去除可能位于伪栅极侧面的突起,避免后续工艺中所述突起造成的金属栅极的损伤,进而提高器件的性能。

[0029] 为使本发明实施例的上述目的、特征和优点能够更为明显易懂,下面结合附图对

本发明实施例的具体实施例做详细的说明。

[0030] 图9至图21是本发明实施例半导体结构的形成方法一实施例中各步骤对应的结构示意图。

[0031] 参考图9-图10,提供基底200,所述基底包括衬底201、位于所述衬底上的多个并行的伪栅极220,以及位于所述伪栅极两侧的侧部结构。

[0032] 其中,图10是沿图9中CC'方向的剖视图。

[0033] 其中,所述基底包括隔离区20A,所述20A的延伸方向与所述多个并行的伪栅极相交,可选的,所述隔离区的延伸方向垂直于所述多个并行的伪栅极的延伸方向。所述隔离区20A为所述基底200用于形成目标横切隔离沟槽的区域,该区域覆盖所述多个并行的伪栅极的部分结构,以及所述多个并行的伪栅极之间的侧部结构的部分结构,以通过后续对隔离区的刻蚀,形成目标横切隔离沟槽。

[0034] 所述隔离区的宽度不宜过大也不宜过小,若所述隔离区的过大,后续形成的目标横切隔离沟槽的宽度也会对应过大,会占用过多的空间,不利于缩小半导体结构的尺寸;若所述隔离区的宽度过小,后续形成的目标横切隔离沟槽的宽度也会对应过小,不利于起到隔离器件的作用。相应的,隔离区的宽度可以为10纳米至30纳米。

[0035] 所述衬底201用于为其他结构提供支撑。在本发明实施例中,所述衬底201的材料可以为硅。在其他实施例中,所述衬底的材料还可以为锗、碳化硅、砷化镓或镓化铟,所述衬底还能够为绝缘体上的硅衬底或者绝缘体上的锗衬底。所述衬底的材料可以是适宜于工艺需要或易于集成的材料。所述衬底201表面还能够形成有界面层,所述界面层的材料为氧化硅、氮化硅或氮氧化硅等。

[0036] 所述伪栅极220为后续制程中形成的金属栅极结构占据空间位置。所述伪栅极220可以为多晶硅,在其他实施例中,所述伪栅极220的材料还可以为氧化硅、氮化硅、氮氧化硅、碳化硅、碳氮化硅、碳氮氧化硅或非晶碳。

[0037] 其中,在进行器件结构的形成工艺中,为便于同时形成多个器件结构,通常在所述衬底上同时形成多个并行的伪栅极,从而便于在器件形成工艺中同时进行对应的处理,从而简化工艺流程。

[0038] 在本发明实施例中,所述基底还包括凸立于所述衬底上分立的鳍部,所述多个伪栅极横跨所述鳍部。所述鳍部的材料可以与所述衬底的材料相同,也可以与所述衬底的材料不同。所述伪栅极横跨在所述分立的鳍部上,从而以所述鳍部为沟道结构,进行器件的控制。

[0039] 所述伪栅极220两侧形成有侧部结构,所述侧部结构用于为所述伪栅极220提供隔离、支撑、工艺空间的定义等作用,以形成对应的器件结构。

[0040] 在本发明实施例中,所述侧部结构可以包括位于伪栅极两侧的侧墙230,所述侧墙230可以定义源漏掺杂层的形成区域。进一步的,在本发明实施例中,所述侧部结构还可以进一步包括位于相邻侧墙之间的层间介质层240,所述层间介质层用于隔离不同的器件结构,并进一步为器件定义工艺空间。

[0041] 所述侧墙的材料可以为氮化硅。在本发明的其他实施例中,所述侧墙也可以为氧化硅、氮化硅、碳化硅、碳氮化硅、碳氮氧化硅、氮氧化硅、氮化硼和碳氮化硼中的一种或多种。

[0042] 所述层间介质层240的材料为绝缘材料。本实施例中,所述层间介质层240的材料为氧化硅。在其他实施例中,所述层间介质层240的材料还可以为氮化硅或氮氧化硅等其他介质材料。

[0043] 在本发明实施例中,所述伪栅极220上还可以形成有硬掩膜层250,所述侧部结构(包括侧墙230和层间介质层240)与所述硬掩膜层250齐平。其中,所述硬掩膜层250用于保护所述伪栅极,所述硬掩膜层250的材料可以为氮化硅,其他实施例中,所述硬掩膜层的材料还可以为氮氧化硅。

[0044] 在本发明实施例中,为进行后续相交于所述隔离区内的伪栅极的去除,参考图11至图12,本发明实施例首先去除所述隔离区20A内的硬掩膜层和部分厚度的层间介质层,暴露出所述伪栅极。

[0045] 具体的,可以通过光刻、刻蚀等一系列的半导体工艺,去除所述隔离区内的硬掩膜层和部分厚度的侧部结构。例如,可以形成图形化的第一掩膜层(如图11所示的260),所述第一掩膜层具有暴露所述隔离区的开口,并进一步以该第一掩膜层260为掩膜,去除对应区域的硬掩膜层250和部分厚度的侧部结构(如图12所示),进而暴露所述伪栅极。

[0046] 接着,去除相交于所述隔离区内的伪栅极,形成横切所述多个并行的伪栅极的初始横切隔离沟槽。

[0047] 具体的,可以通过光刻、刻蚀等一系列的半导体工艺,形成横切所述多个并行的伪栅极的初始横切隔离沟槽。例如,可以形成图形化的第二掩膜层,所述第二掩膜层具有暴露所述隔离区的开口,并进一步以该第二掩膜层为掩膜,去除对应部分的伪栅极,进而形成横切所述多个并行的伪栅极的初始横切隔离沟槽。

[0048] 可以理解的是,在去除伪栅极的过程中,基于伪栅极的材料与其他部分的材料不同,可以根据材料的特性,选择对伪栅极材料的选择刻蚀比较高的刻蚀工艺刻蚀形成所述初始横切隔离沟槽,从而可以减少对器件结构的其他部分造成损伤。

[0049] 接着,去除所述隔离区内的侧部结构,形成目标横切隔离沟槽。

[0050] 所述目标横切隔离沟槽用于在伪栅极延伸方向上截断所述伪栅极,以在伪栅极延伸方向上隔离出的多个对应的器件结构。需要说明的是,为便于半导体集成工艺的进行,所述目标横切隔离沟槽在沿垂直于伪栅极延伸方向上对多个并行的伪栅极同时进行切断,以同时隔离出多个器件结构。对应的,所述隔离区的延伸方向垂直于所述多个并行的伪栅极的延伸方向,且与所述伪栅极相交。

[0051] 在本发明实施例中,通过去除所述隔离区内的侧部结构,从而可以同时去除可能位于伪栅极之间的侧部结构内的突起,避免后续工艺中所述突起造成的金属栅极的损伤,进而提高器件的性能。

[0052] 需要说明的是,在所述侧部结构仅包括形成在所述伪栅极侧部的侧墙时,可以通过仅删除所述隔离区内的侧墙,以形成目标横切隔离沟槽。在进一步的实施例中,还可以定义所述侧部结构进一步包括位于侧墙之间的,用于隔离器件结构的层间介质层,从而可以完全去除位于伪栅极侧部的器件结构,从而使得形成在所述隔离区的目标横切结构为一个贯通的通槽,进一步彻底清除可能出现突起的结构,且便于后续横切隔离结构的完全填充。

[0053] 其中,为进一步彻底清除位于伪栅极侧部的突起,本发明实施例中进一步设定隔离区还覆盖位于所述隔离区边缘的伪栅极靠近所述隔离区边缘一侧的侧墙,从而在本步骤

中,进一步完全清除可能具有突起的侧部结构。

[0054] 在本发明实施例中,所述去除相交于所述隔离区内的伪栅极和所述去除所述隔离区内的侧部结构可以同时执行,从而可以简化工艺流程,降低工艺成本。

[0055] 具体的,同时执行所述去除相交于所述隔离区内的伪栅极和所述去除所述隔离区内的侧部结构,可以包括:

[0056] 参考图12,在所述基底上形成图形化的隔离掩膜层,所述隔离掩膜层暴露所述隔离区。

[0057] 所述隔离掩膜层可以为硬掩膜层或光刻胶掩膜层,可以通过光刻加刻蚀,或光刻工艺形成,通过隔离掩膜层暴露所述隔离区,以便于对所述隔离区内的结构进行对应的工艺流程。

[0058] 在本发明实施例中,所述隔离掩膜层可以为第一掩膜层260,对应的隔离掩膜层的形成步骤可以在去除所述隔离区内的硬掩膜层和部分厚度的层间介质层,暴露出所述伪栅极的步骤中执行,从而简化本实施例中的工艺流程。

[0059] 参考图13,以所述隔离掩膜层260为掩膜,刻蚀去除相交于所述隔离区20A内的伪栅极220和所述隔离区内的侧部结构。

[0060] 通过同时去除相交于所述隔离区20A内的伪栅极220和所述隔离区内的侧部结构,以简化工艺流程。

[0061] 具体的,在本发明实施例中,可以采用干法刻蚀工艺刻蚀去除相交于所述隔离区20A内的伪栅极220和所述隔离区内的侧部结构。基于伪栅极220和侧部结构的材料不同,对在所述干法刻蚀工艺中采用不同的工艺气体。具体的,所述干法刻蚀工艺中,刻蚀去除伪栅极采用的工艺气体为含氯气体,压力为50mt~100mt;刻蚀去除侧部结构采用的工艺气体为含氟气体,压力为0mt~20mt。其中,所述含氯气体包括氯气,所述氯气的流量为0sccm~300sccm;所述含氟气体包括 CH_2F_2 和 CF_4 , CH_2F_2 的流量为0sccm~50sccm, CF_4 的流量为60sccm~100sccm。

[0062] 需要说明的是,为保证刻蚀工艺具有良好的各向异性特征,从而避免对基底中的其他结构造成损伤,本发明实施例中的气体压力普遍较小,以使对应的刻蚀离子具有较高的垂性。

[0063] 在去除隔离区20A内的伪栅极220和所述隔离区内的侧部结构之后,还进一步去除所述隔离掩膜层,为后续形成工艺提供工艺空间。

[0064] 接着,参考图14-15,形成填充所述目标横切隔离沟槽的横切隔离结构270。15为图14沿CC'方向的剖视图。

[0065] 通过形成填充所述目标横切隔离沟槽的横切隔离结构270,以实现器件结构的隔离。其中,所述横切隔离结构270的材料可以为绝缘材料,以使器件结构之间电性隔离。

[0066] 其中,所述横切隔离结构270的材料可以为氮化硅、氧化硅、碳化硅、碳氮化硅、碳氮氧化硅、氮氧化硅、氮化硼和碳氮化硼中的一种或多种。在本发明实施例中,所述横切隔离结构270的材料可以为氮化硅。

[0067] 在本发明实施例中,形成填充所述目标横切隔离沟槽的横切隔离结构的流程可以包括:形成完全覆盖所述基底具有所述横切隔离沟槽一侧的横切隔离材料;研磨去除所述基底表面的横切隔离材料,保留所述目标横切隔离沟槽内的横切隔离材料作为所述横切隔

离结构270。

[0068] 其中,形成横切隔离材料的工艺可以为流动化学气相沉积工艺(Flowable Chemical Vapor Deposition,FCVD)。所述研磨工艺可以为化学机械研磨,以使所述横切隔离结构形成良好的形貌特征。

[0069] 在本发明实施例中,在形成填充所述目标横切隔离沟槽的横切隔离结构之后,还可以包括以下流程:

[0070] 参考图16,采用湿法刻蚀去除所述基底上剩余的伪栅极,形成栅极沟槽281。

[0071] 其中,去除所述伪栅极,形成栅极沟槽281,用于为后续形成金属栅极提供工艺空间。

[0072] 为彻底去除所述基底上剩余的伪栅极和隔离掩膜层,本步骤采用湿法刻蚀工艺,对所述伪栅极和隔离掩膜层进行去除。具体的,可以采用酸性氧化刻蚀液如硝酸(HN)和氢氟酸(HF)的混合溶液进行所述伪栅极的刻蚀。

[0073] 需要说明的是,在进行伪栅极的去除过程中,所述伪栅极上还形成有硬掩膜层,对应的,在本步骤中,先去除所述硬掩膜层,暴露出所述伪栅极,进而进行所述伪栅极的去除。

[0074] 其中,基于本发明实施例中已经去除了可能形成有突起的侧部结构,从而使得本步骤形成栅极沟槽的过程不会基于侧部结构中的突起形成对应突起部分的空隙。

[0075] 参考图16-图18,在所述栅极沟槽281中形成金属栅极280;其中,图18位图17沿DD'方向的剖视图。

[0076] 具体的,在形成所述栅极沟槽281后,可以采用沉积、电镀等工艺,在所述栅极沟槽281中形成金属材料,并进一步通过研磨工艺去除所述栅极沟槽以外的金属材料,以在所述栅极沟槽281中形成金属栅极280。

[0077] 需要说明的是,在本发明实施例的形成工艺中,形成的所述金属栅极280除包括用于作为器件结构中的栅极结构的金属导电栅极,还包括用于作为隔离栅极的隔离栅极282。所述隔离栅极282用于在后续步骤中刻蚀去除,并在对应的空间位置处形成截断隔离结构,从而用于实现器件结构之间的隔离。

[0078] 其中,基于本发明实施例中已经去除了可能形成有突起的侧部结构,对应形成栅极沟槽的过程不会基于侧部结构中的突起形成对应突起部分的空隙,进而在本步骤中也不会出现形成在空隙中的金属材料。

[0079] 进一步的,参考图18-图20,采用湿法刻蚀去除所述金属栅极280中的隔离栅极282,形成截断隔离沟槽291。其中,图20是沿图19中DD'方向切割得到的剖视图。

[0080] 对应的,在本步骤中,可以通过湿法刻蚀或湿法刻蚀与干法刻蚀的结合工艺进行所述隔离栅极的去除,本发明在此不做赘述。

[0081] 其中,基于本发明实施例中已经去除了可能形成有突起的侧部结构,对应形成栅极沟槽的过程不会基于侧部结构中的突起形成对应突起部分的空隙,进而在形成金属栅极过程中也不会出现形成在空隙中的金属材料,使得本步骤也不会出现刻蚀液通过对应的空隙浸入至本不需要刻蚀的金属栅极中,或刻蚀液通过刻蚀去除空隙中的金属材料后进一步浸入至本不需要刻蚀的金属栅极中,避免了对器件的栅极结构造成损伤。

[0082] 进一步的,参考图21,形成填充所述截断隔离沟槽的截断隔离结构290。

[0083] 通过形成填充所述截断隔离沟槽的截断隔离结构290,以实现器件结构的隔离。

其中,所述截断隔离结构290的材料可以为绝缘材料,以使器件结构之间电性隔离。

[0084] 其中,所述截断隔离结构290可以为氮化硅、氧化硅、碳化硅、碳氮化硅、碳氮氧化硅、氮氧化硅、氮化硼和碳氮化硼中的一种或多种。在本发明实施例中,所述截断隔离结构290可以为氮化硅。

[0085] 在本发明实施例中,形成填充所述截断隔离沟槽的截断隔离结构290的流程可以包括:形成完全覆盖所述基底具有所述截断隔离沟槽一侧的截断隔离材料;研磨去除所述基底表面的截断隔离材料,保留所述截断隔离沟槽内的截断隔离材料作为所述截断隔离结构290。

[0086] 形成截断隔离材料的工艺可以为流动化学气相沉积工艺(Flowable Chemical Vapor Deposition,FCVD)。所述研磨工艺可以为化学机械研磨,以使所述截断隔离结构形成良好的形貌特征。

[0087] 本发明实施例还提供了一种半导体结构,参见图22-图24,其中,图23为图22中EE'方向的剖面图,图24为图22中FF'方向的剖面图,包括:

[0088] 基底300,所述基底300包括衬底301、位于所述衬底上的多个并行的伪栅极320,以及位于所述伪栅极两侧的侧部结构330,其中,所述基底300包括隔离区30A,所述隔离区30A的延伸方向与所述多个并行的伪栅极320相交。

[0089] 所述隔离区30A为所述基底300设置目标横切隔离沟槽的区域,该区域横切所述多个并行的伪栅极320的部分结构,以及所述多个并行的伪栅极之间的侧部结构的部分结构。

[0090] 需要说明的是,所述目标横切隔离沟槽370用于在伪栅极延伸方向上截断所述伪栅极,以在伪栅极延伸方向上隔离出的多个对应的器件结构。需要说明的是,为便于半导体集成工艺的进行,所述目标横切隔离沟槽在沿垂直于伪栅极延伸方向上对多个并行的伪栅极同时进行切断,以同时隔离出多个器件结构。对应的,所述隔离区的延伸方向垂直于所述多个并行的伪栅极的延伸方向,且与所述伪栅极相交。

[0091] 所述隔离区30A的宽度不宜过大也不宜过小,若所述隔离区30A的过大,后续形成的目标横切隔离沟槽的宽度也会对应过大,会占用过多的空间,不利于缩小半导体结构的尺寸;若所述隔离区30A的宽度过小,则对应设置的目标横切隔离沟槽的宽度也会对应过小,不利于起到隔离器件的作用。相应的,隔离区的宽度可以为10纳米至30纳米。

[0092] 所述衬底301用于为其他结构提供支撑。在本发明实施例中,所述衬底301的材料可以为硅。在其他实施例中,所述衬底的材料还可以为锗、碳化硅、砷化镓或镓化铟,所述衬底还能够为绝缘体上的硅衬底或者绝缘体上的锗衬底。所述衬底的材料可以是适宜于工艺需要或易于集成的材料。所述衬底301表面还能够形成有界面层,所述界面层的材料为氧化硅、氮化硅或氮氧化硅等。

[0093] 所述伪栅极320为后续制程中形成的金属栅极结构占据空间位置。所述伪栅极320可以为多晶硅,在其他实施例中,所述伪栅极320的材料还可以为氧化硅、氮化硅、氮氧化硅、碳化硅、碳氮化硅、碳氮氧化硅或非晶碳。

[0094] 其中,在进行器件结构的形成工艺中,为便于同时形成多个器件结构,通常在所述衬底上同时形成多个并行的伪栅极,从而便于在器件形成工艺中同时进行对应的处理,从而简化工艺流程。

[0095] 在本发明实施例中,所述基底还包括凸立于所述衬底上分立的鳍部,所述多个伪

栅极横跨所述鳍部。所述鳍部的材料可以与所述衬底的材料相同,也可以与所述衬底的材料不同。所述伪栅极横跨在所述分立的鳍部上,从而以所述鳍部为沟道结构,进行器件的控制。

[0096] 所述伪栅极320两侧形成有侧部结构,所述侧部结构用于为所述伪栅极320提供隔离、支撑、工艺空间的定义等作用。

[0097] 在本发明实施例中,所述侧部结构可以包括位于伪栅极两侧的侧墙330,所述侧墙330可以定义源漏掺杂层的形成区域。进一步的,在本发明实施例中,所述侧部结构还可以进一步包括位于相邻侧墙330之间的层间介质层340,所述层间介质层340用于隔离不同的器件结构,并进一步为器件定义工艺空间。

[0098] 所述侧墙330的材料可以为氮化硅。在本发明的其他实施例中,所述侧墙也可以为氧化硅、氮化硅、碳化硅、碳氮化硅、碳氮氧化硅、氮氧化硅、氮化硼和碳氮化硼中的一种或多种。

[0099] 所述层间介质层340的材料为绝缘材料。本实施例中,所述层间介质层340的材料为氧化硅。在其他实施例中,所述层间介质层340的材料还可以为氮化硅或氮氧化硅等其他介质材料。

[0100] 在本发明实施例中,所述伪栅极320上还可以形成有硬掩膜层350,所述侧部结构(包括侧墙330和层间介质层340)与所述硬掩膜层350齐平。其中,所述硬掩膜层350用于保护所述伪栅极,所述硬掩膜层350的材料可以为氮化硅,其他实施例中,所述硬掩膜层350的材料还可以为氮氧化硅。

[0101] 进一步的,所述半导体结构还包括:位于所述隔离区30A内的横切隔离结构370,所述横切隔离结构370隔离所述多个并行的伪栅极320和所述多个并行的伪栅极320之间的侧部结构。

[0102] 可选的,所述横切隔离结构370,用于实现对器件结构的隔离。其中,所述横切隔离结构370的材料可以为绝缘材料,以使器件结构之间电性隔离。

[0103] 其中,所述横切隔离结构370的材料可以为氮化硅、氧化硅、碳化硅、碳氮化硅、碳氮氧化硅、氮氧化硅、氮化硼和碳氮化硼中的一种或多种。在本发明实施例中,所述横切隔离结构370的材料可以为氮化硅。

[0104] 基于本发明实施例中已经去除了可能形成有突起的侧部结构,对应形成栅极沟槽的过程不会基于侧部结构中的突起形成对应突起部分的空隙,进而在形成金属栅极过程中也不会出现形成在空隙中的金属材料,使得本步骤也不会出现刻蚀液通过对应的空隙浸入至本不需要刻蚀的金属栅极中,或刻蚀液通过刻蚀去除空隙中的金属材料后进一步浸入至本不需要刻蚀的金属栅极中,避免了对器件的栅极结构造成损伤。

[0105] 所述半导体结构可以采用前述实施例所述的形成方法所形成,也可以采用其他形成方法所形成。对本实施例所述半导体结构的具体描述,可参考前述实施例中的相应描述,本实施例在此不再赘述。

[0106] 虽然本发明实施例披露如上,但本发明实施例并非限于于此。任何本领域技术人员,在不脱离本发明实施例的精神和范围内,均可作各种更动与修改,因此本发明实施例的保护范围应当以权利要求所限定的范围为准。

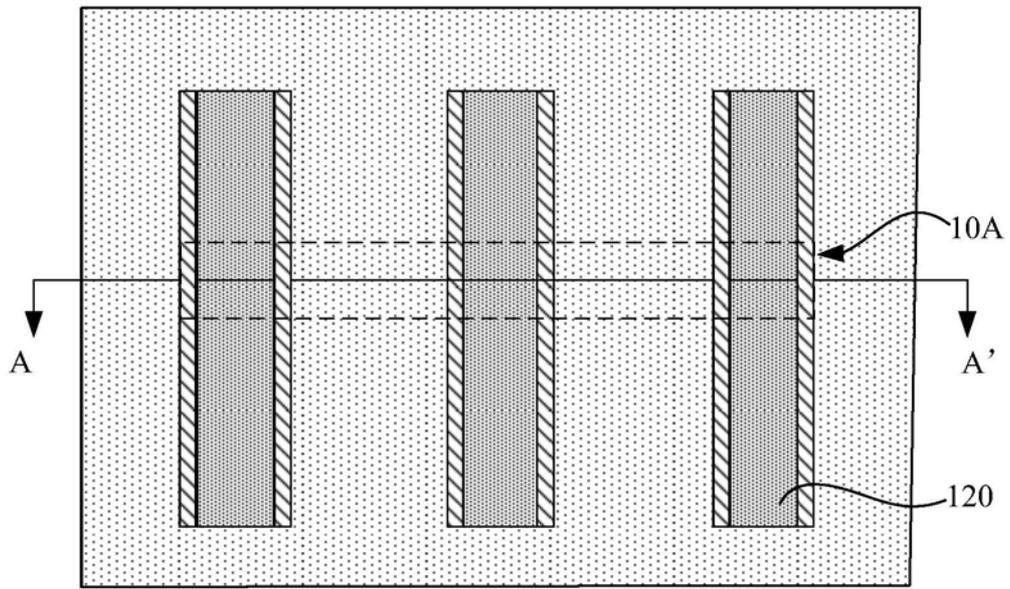


图1

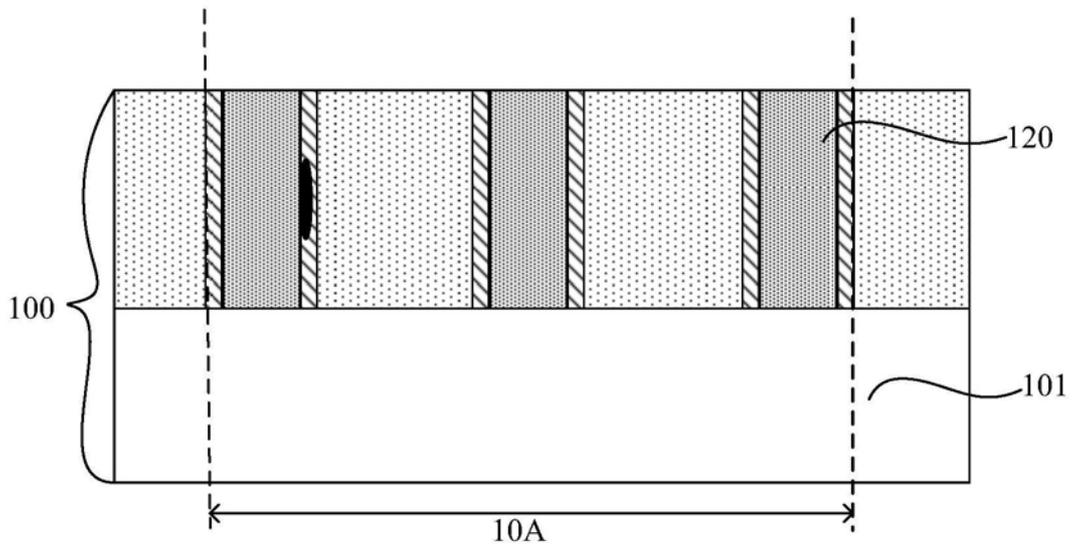


图2

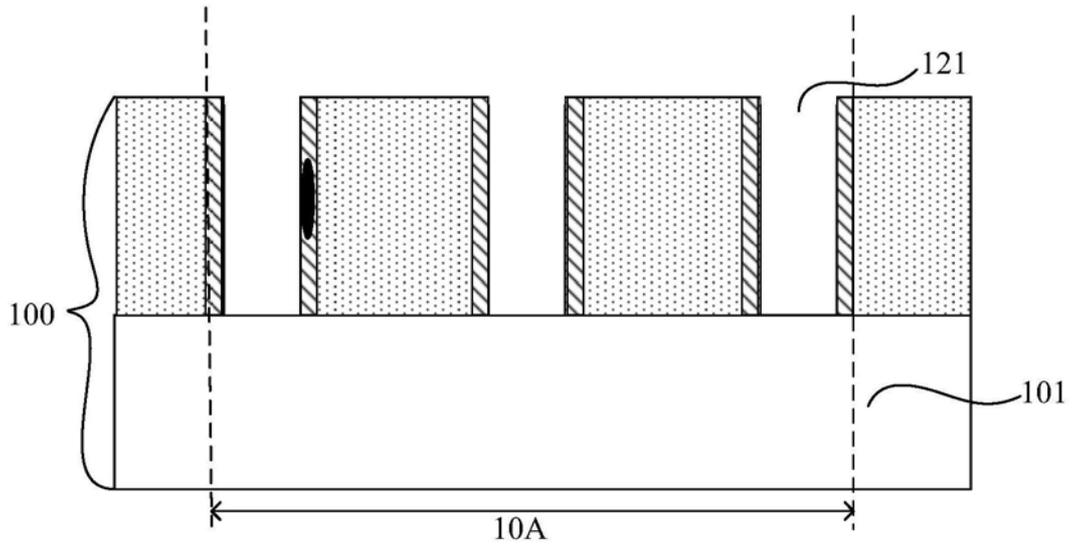


图3

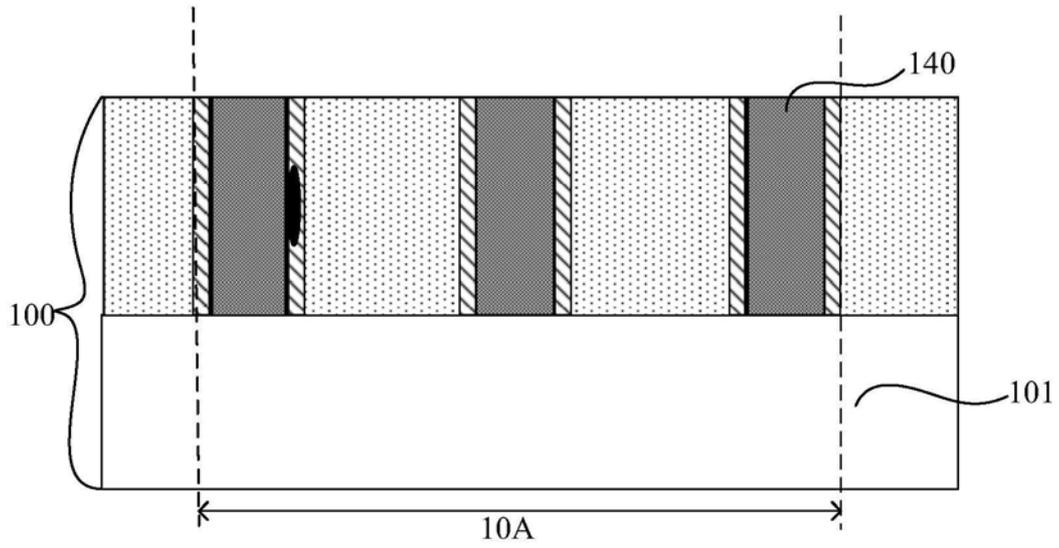


图4

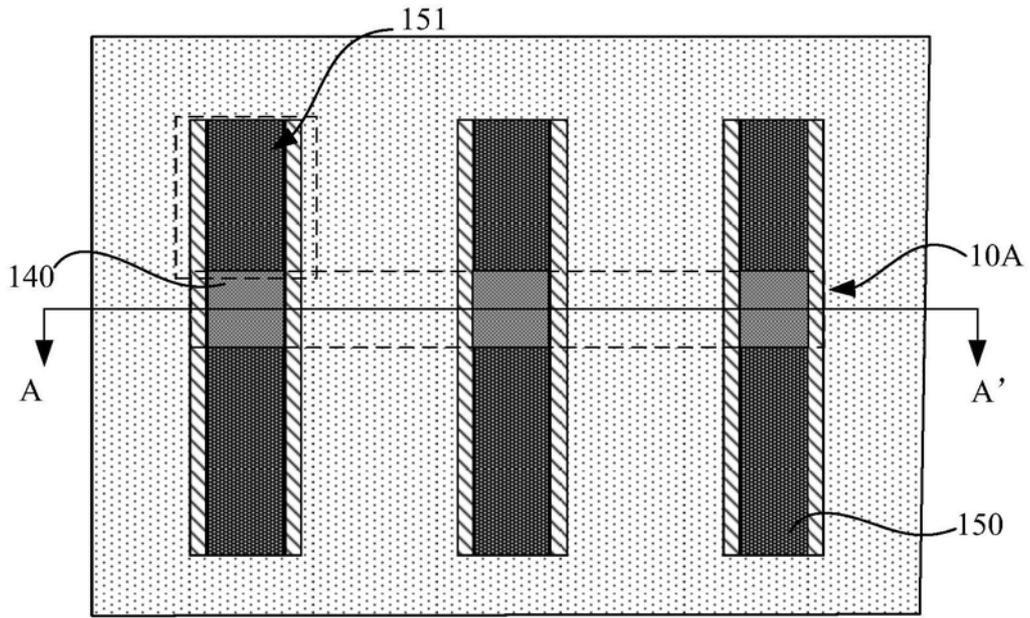


图5

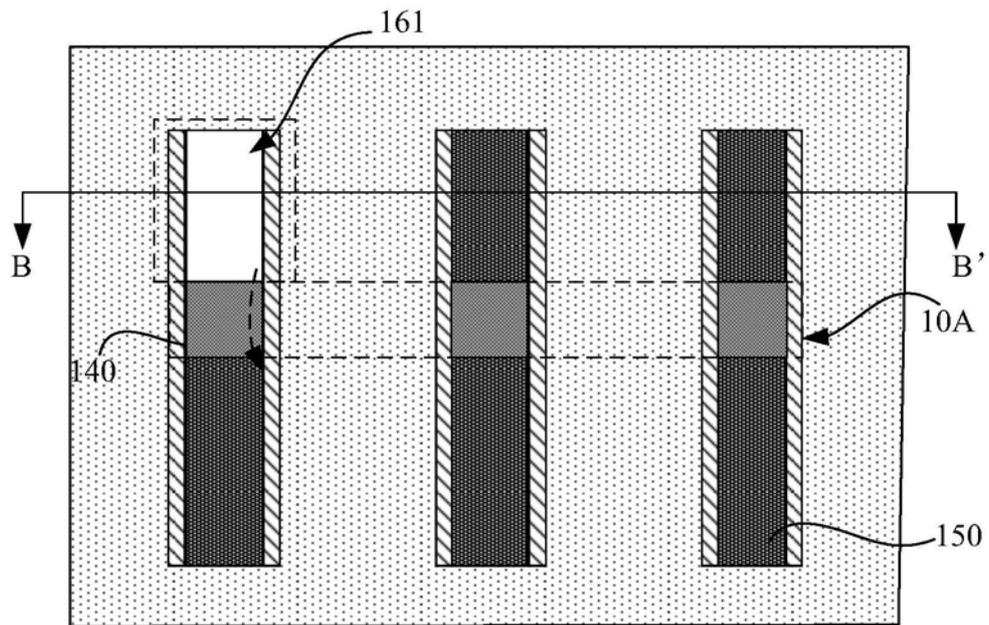


图6

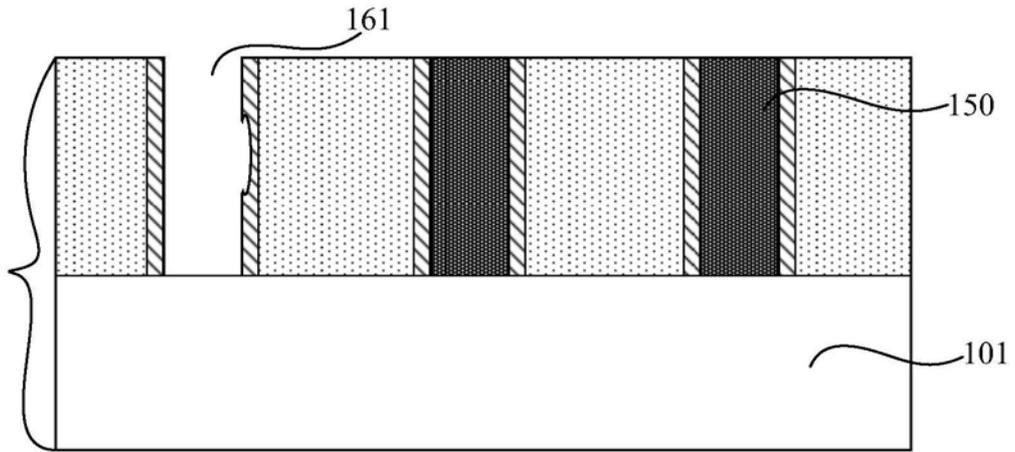


图7

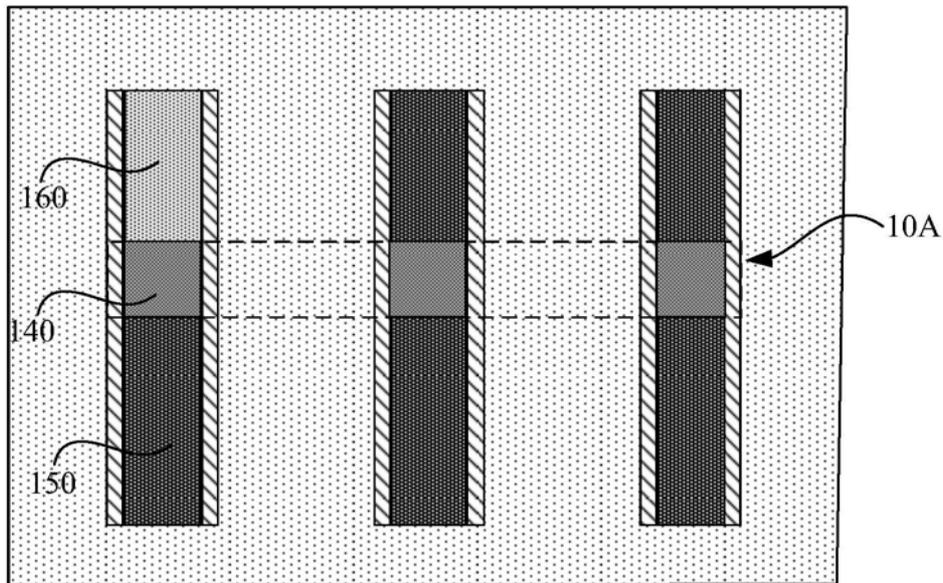


图8

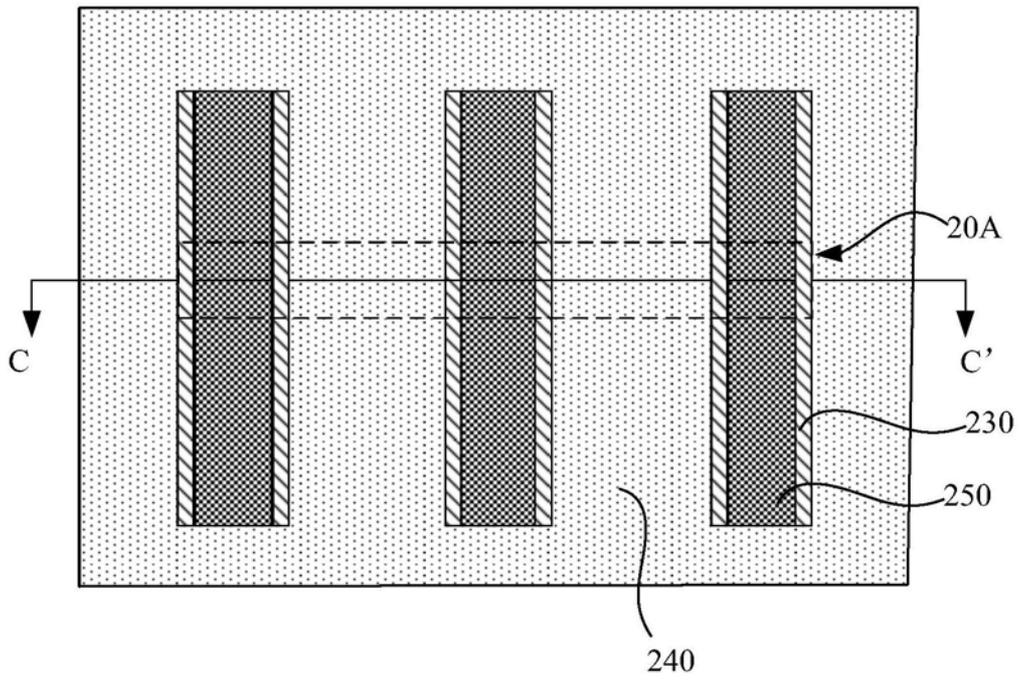


图9

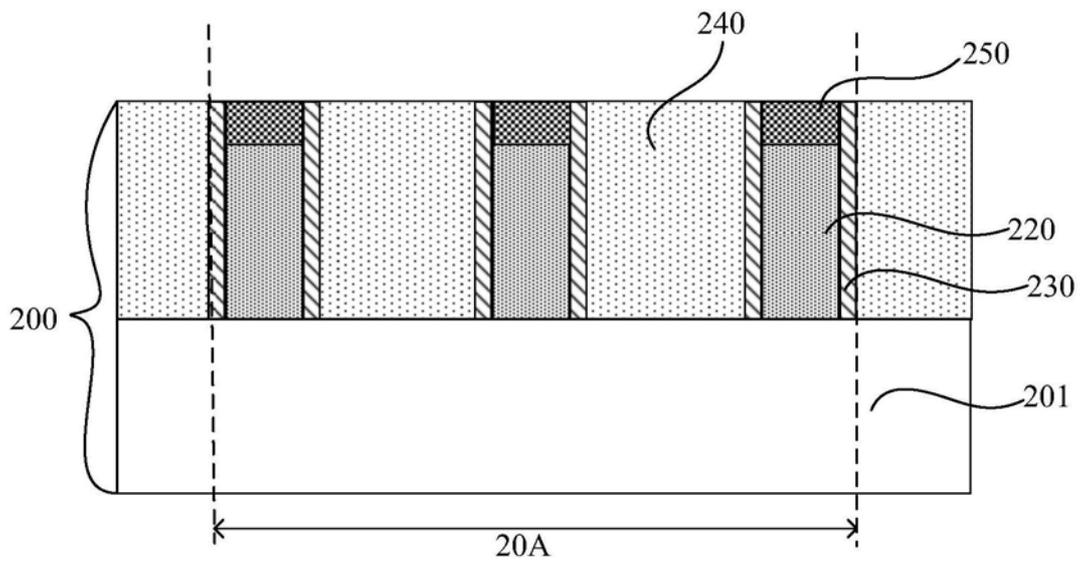


图10

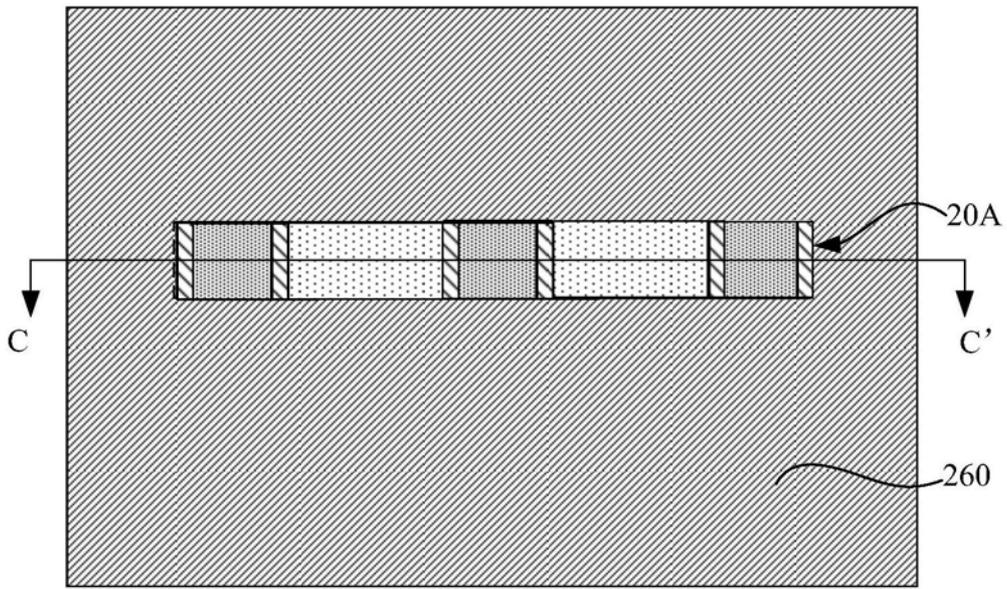


图11

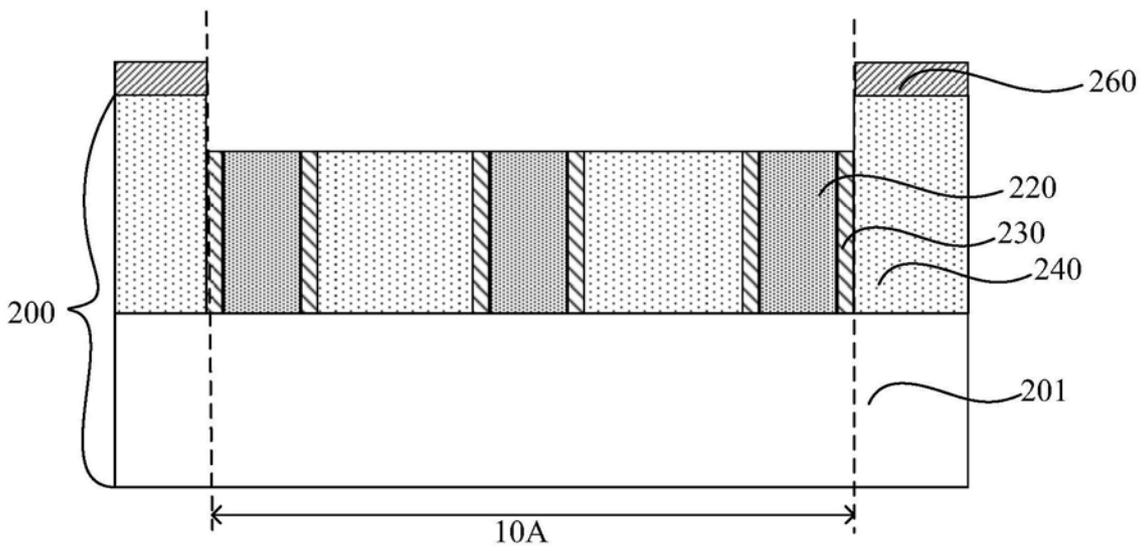


图12

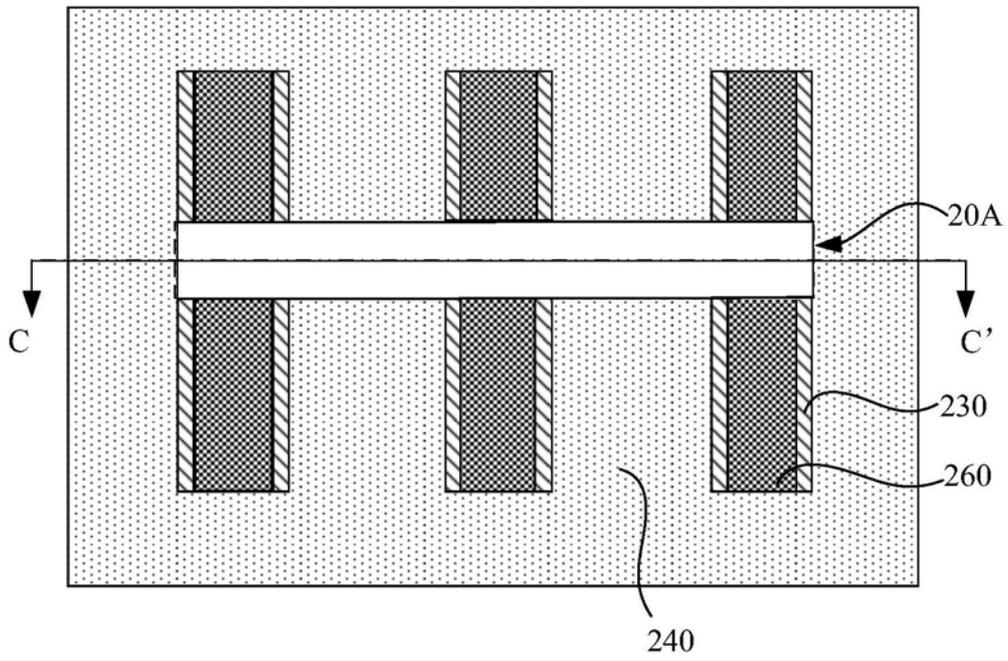


图13

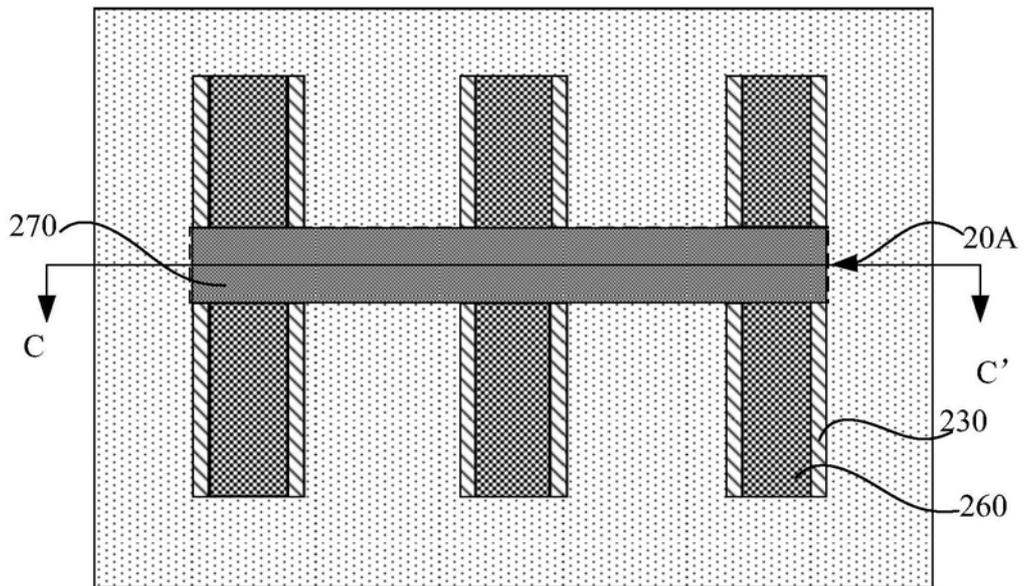


图14

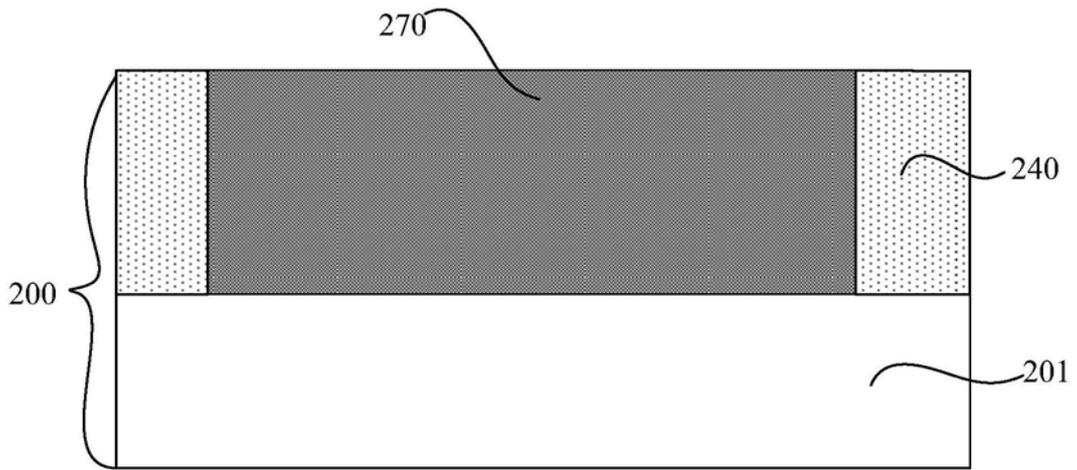


图15

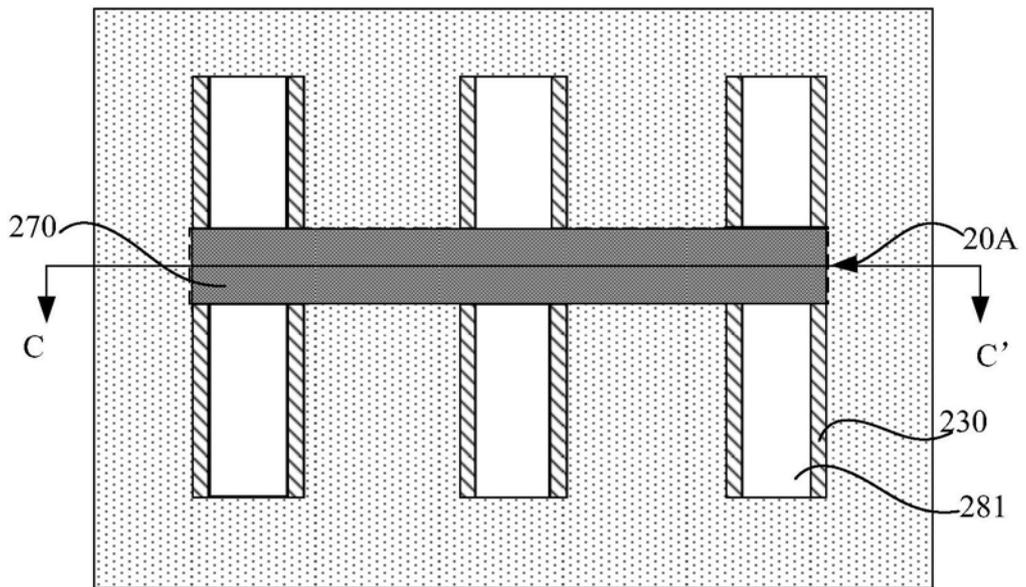


图16

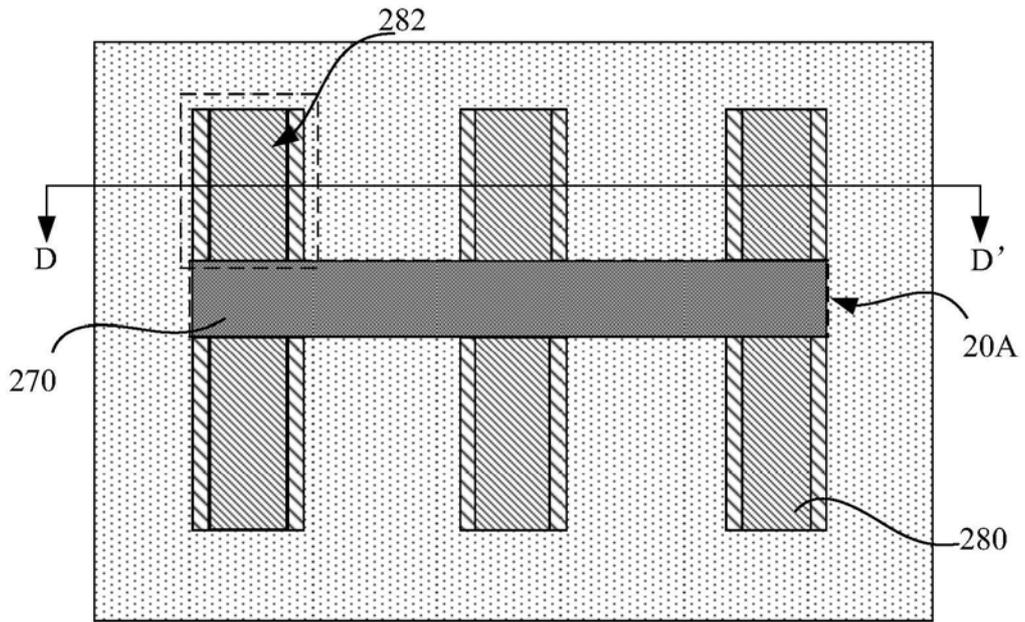


图17

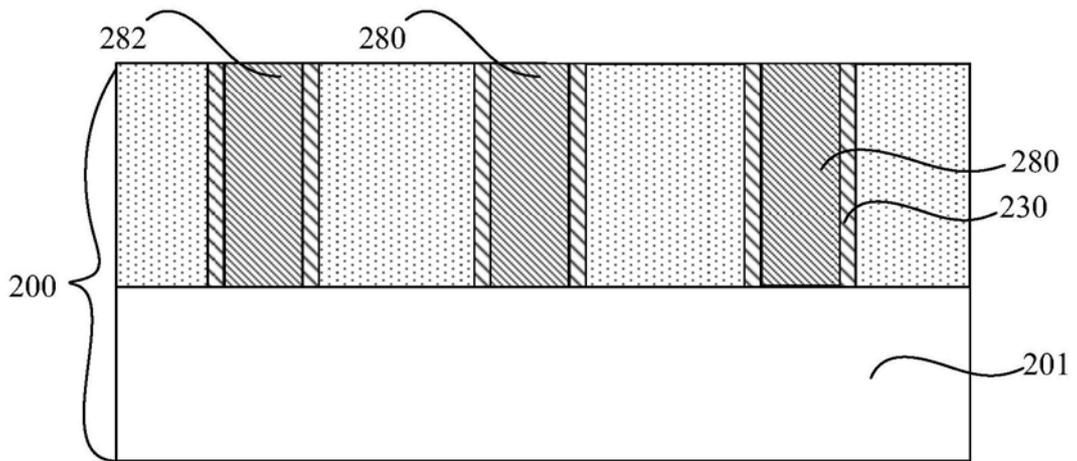


图18

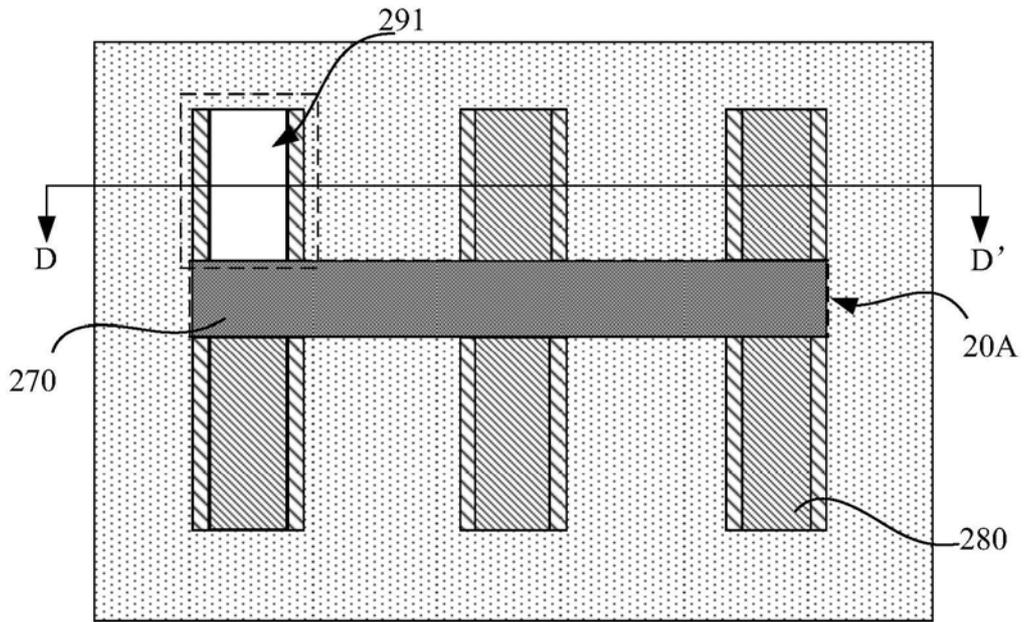


图19

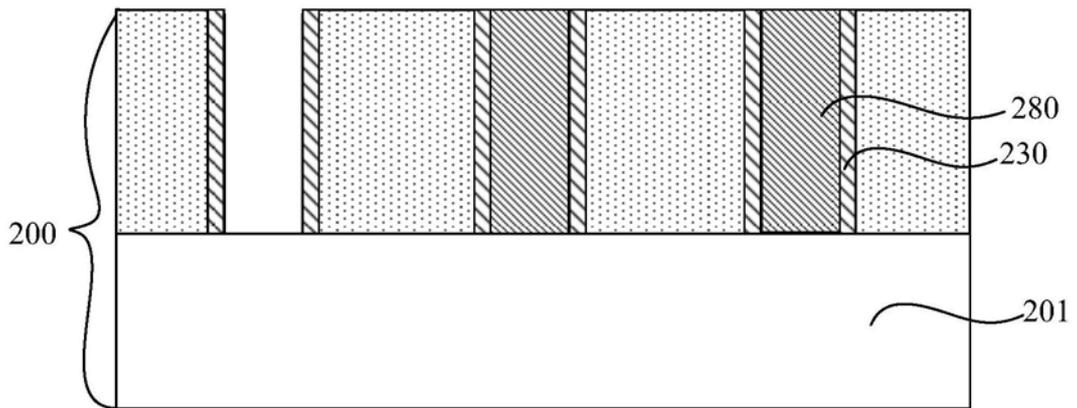


图20

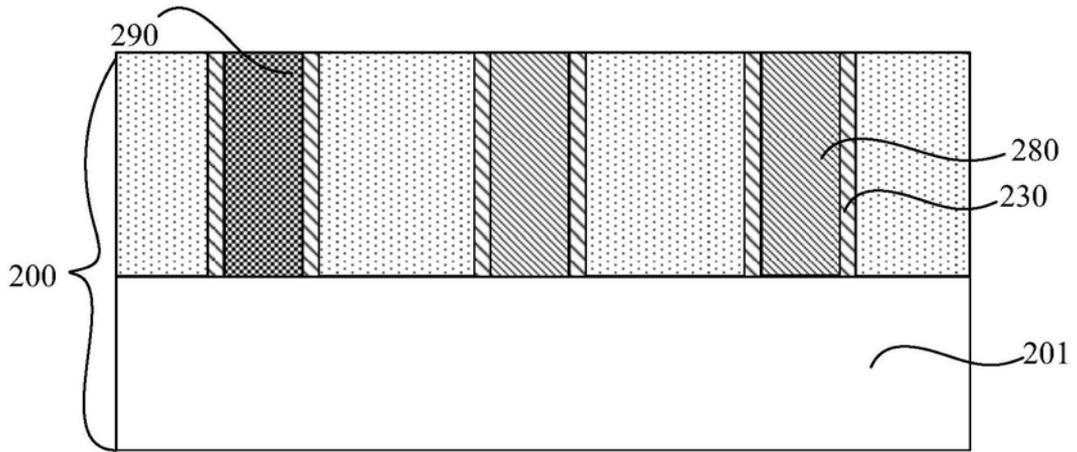


图21

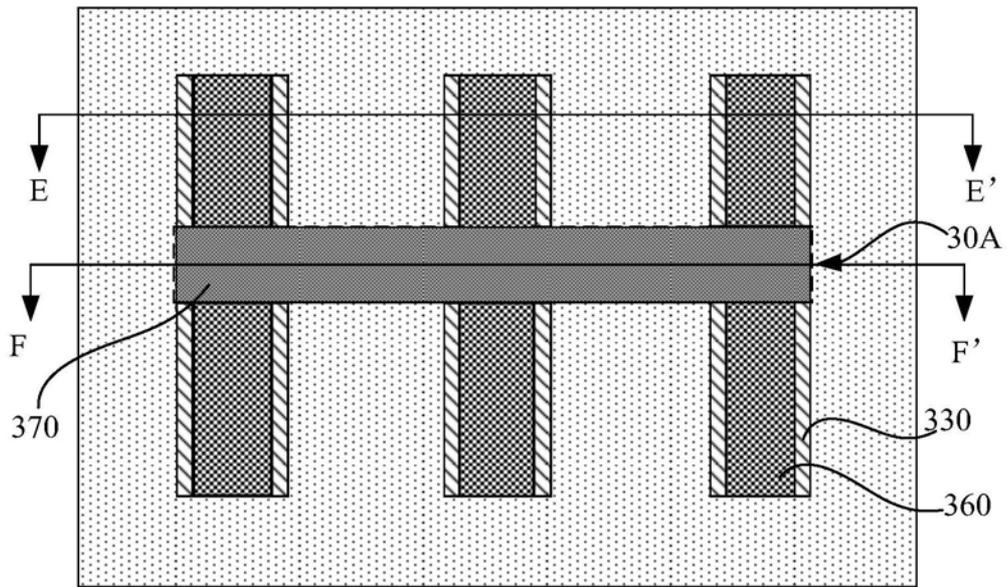


图22

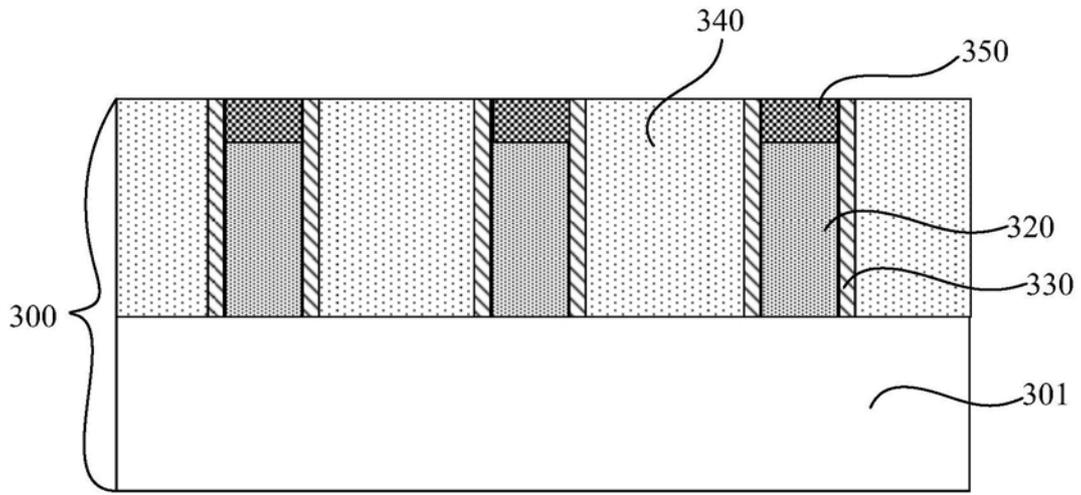


图23

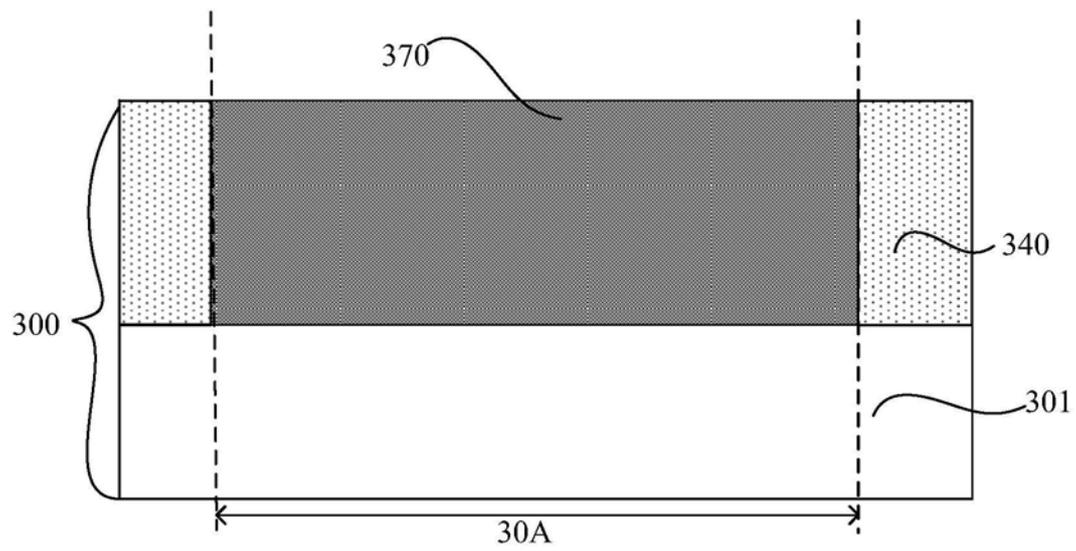


图24