

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5213501号
(P5213501)

(45) 発行日 平成25年6月19日(2013.6.19)

(24) 登録日 平成25年3月8日(2013.3.8)

(51) Int.Cl.

H01L 27/146 (2006.01)

F I

H01L 27/14

A

請求項の数 11 (全 16 頁)

(21) 出願番号	特願2008-101560 (P2008-101560)	(73) 特許権者	000001007 キヤノン株式会社 東京都大田区下丸子3丁目30番2号
(22) 出願日	平成20年4月9日(2008.4.9)	(74) 代理人	100126240 弁理士 阿部 琢磨
(65) 公開番号	特開2009-253150 (P2009-253150A)	(74) 代理人	100124442 弁理士 黒岩 創吾
(43) 公開日	平成21年10月29日(2009.10.29)	(72) 発明者	小林 昌弘 東京都大田区下丸子3丁目30番2号キヤノン株式会社内
審査請求日	平成23年4月6日(2011.4.6)	(72) 発明者	山下 雄一郎 東京都大田区下丸子3丁目30番2号キヤノン株式会社内
		審査官	柴山 将隆

最終頁に続く

(54) 【発明の名称】 固体撮像装置

(57) 【特許請求の範囲】

【請求項1】

光電変換部と該光電変換部で生成された信号電荷に基づく信号を増幅して出力する増幅トランジスタとを含む画素が複数配された画素領域が第1導電型の半導体基板に配され、該半導体基板の電位を制御することにより電子シャッタ動作を行なう固体撮像装置であって、

前記光電変換部の一部を構成する第1導電型の第1の半導体領域と、

前記光電変換部とは別に設けられ、前記第1の半導体領域で生成した電荷を蓄積する第1導電型の第2の半導体領域と、

前記第2の半導体領域の下部に配され、該第2の半導体領域の蓄積電荷に対するポテンシャル障壁として機能する第2導電型の第3の半導体領域と、

前記第1の半導体領域と前記半導体基板との間及び前記第3の半導体領域と前記半導体基板との間に延在して配された第2導電型の第4の半導体領域と、

前記第3の半導体領域へ基準電圧を供給するための第1の電圧供給部と、を有し、

該第1の電圧供給部は、前記画素領域に配された、第2導電型の第5の半導体領域及び該第5の半導体領域に接続された第1の電極を含んで構成されることを特徴とする固体撮像装置。

【請求項2】

前記第1の電圧供給部は前記画素領域に複数配されていることを特徴とする請求項1に記載の固体撮像装置。

【請求項 3】

前記増幅トランジスタのソース、ドレイン領域は第2導電型のウェルに配されており、前記ウェルと前記第3の半導体領域とが電氣的に接続されていることを特徴とする請求項1または2のいずれかに記載の固体撮像装置。

【請求項 4】

更に、前記増幅トランジスタのゲートと接続された第1導電型のフローティングディフュージョン領域を有し、

前記第3の半導体領域は、前記増幅トランジスタのソース、ドレイン領域の下部まで延在して配されていることを特徴とする請求項1または2のいずれかに記載の固体撮像装置。

10

【請求項 5】

前記第5の半導体領域は、前記2の半導体領域が配された活性領域に素子分離領域を介して隣接する活性領域に配されることを特徴とする請求項1～4のいずれか1項に記載の固体撮像装置。

【請求項 6】

更に、前記増幅トランジスタのゲートに接続されたフローティングディフュージョン領域を有し、

前記第5の半導体領域は、前記フローティングディフュージョン領域が配された活性領域に素子分離領域を介して隣接する活性領域に配されることを特徴とする請求項1～5のいずれか1項に記載の固体撮像装置。

20

【請求項 7】

前記第5の半導体領域は、前記増幅トランジスタが配される活性領域に素子分離領域を介して隣接する活性領域に配されることを特徴とする請求項1～6のいずれか1項に記載の固体撮像装置。

【請求項 8】

前記第3の半導体領域が前記第2の半導体領域よりも、前記第1の半導体領域へ向かって延在していることを特徴とする請求項1～7のいずれか1項に記載の固体撮像装置。

【請求項 9】

前記第3の半導体領域の不純物濃度は、前記第4の半導体領域の不純物濃度よりも高いことを特徴とする請求項1～8のいずれか1項に記載の固体撮像装置。

30

【請求項 10】

前記第3の半導体領域と前記第4の半導体領域との間の領域の不純物濃度は、前記第4の半導体領域の不純物濃度よりも低いことを特徴とする請求項1～9のいずれか1項に記載の固体撮像装置。

【請求項 11】

前記第1の電圧供給部とは別に、前記画素領域に配された前記第4の半導体領域へ基準電圧を供給するための第2の電圧供給部を有し、

該第2の電圧供給部は、第2導電型の第6の半導体領域と、該第6の半導体領域と電氣的に接続された第2の電極とを含んで構成され、

前記第1の電極に電圧を供給する電源と、前記第2の電極に電圧を供給する電源とは別電源であることを特徴とする請求項1～10のいずれか1項に記載の固体撮像装置。

40

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、電子シャッタ機能を有する固体撮像装置に関するものであり、特に、基板方向へ電荷を排出する固体撮像装置に関する。

【背景技術】

【0002】

従来、固体撮像装置において、電子シャッタ機能を実現するために、半導体基板に電圧を印加し、光電変換素子の電荷を基板に排出することで蓄積時間の制御を行ういわゆるパ

50

ーティカルオーバーフロードレイン（VOFD）が用いられる。特にこの機能はCCD型固体撮像装置においてよく用いられている。

【0003】

特許文献1には、MOS型固体撮像装置においてVOFD機能を動作させ、電子シャッタ機能を実現する固体撮像装置が提案されている。

【特許文献1】特開2005-166731号公報

【発明の開示】

【発明が解決しようとする課題】

【0004】

特許文献1に示す構造においては、以下の点において改善の余地があった。

10

【0005】

VOFD機能を実現するためにN型の半導体基板に高い電圧を印加すると、基板とポテンシャル障壁として機能するP型の埋め込み層との容量結合により埋め込み層の電位が大きく変動する。これにより、埋め込み層に電気的に接続されているP型の半導体領域の電位が大きく変動する場合がある。特に光電変換部からの信号電荷を一旦保持するための電荷蓄積領域を有する場合には、電荷を効率良く蓄積するために、電荷蓄積領域の近傍にポテンシャル障壁を構成するP型の半導体領域が設けられており、このP型半導体領域の電位が大きく変動する。その結果、電荷蓄積部に蓄積されている電荷が基板方向へ漏れ出し蓄積電荷量に変化し、場合によっては画質の劣化を引き起こす。

【0006】

20

また、ポテンシャル障壁を構成するP型の半導体領域の電位変化は、各MOSトランジスタの動作時にソースもしくはドレインの電位が変化することにも起因して生じ得る。これは、ソースまたはドレインと容量結合しているMOSトランジスタのバックゲートであるP型のウェルの電位が変動し、ウェルと電気的に接続しているポテンシャル障壁を構成するP型の半導体領域の電位が変動するためである。

【0007】

本発明は、上記課題に鑑みで成されたものであり、その目的は例えば、電子シャッタ機能を実現するためにVOFD機能を使用した際にも、蓄積電荷量の変化を抑制し、高画質な撮像を行うことを可能とすることである。

【課題を解決するための手段】

30

【0008】

本発明の固体撮像装置は、光電変換部と該光電変換部で生成された信号電荷に基づく信号を増幅して出力する増幅トランジスタとを含む画素が複数配された画素領域が第1導電型の半導体基板に配され、該半導体基板の電位を制御することにより電子シャッタ動作を行なう固体撮像装置であって、前記光電変換部の一部を構成する第1導電型の第1の半導体領域と、前記光電変換部とは別に設けられ、前記第1の半導体領域で生成した電荷を蓄積する第1導電型の第2の半導体領域と、前記第2の半導体領域の下部に配され、該第2の半導体領域の蓄積電荷に対するポテンシャル障壁として機能する第2導電型の第3の半導体領域と、前記第1の半導体領域と前記半導体基板との間及び前記第3の半導体領域と前記半導体基板との間に延在して配された第2導電型の第4の半導体領域と、前記第3の半導体領域へ基準電圧を供給するための第1の電圧供給部と、を有し、該第1の電圧供給部は、前記画素領域内に配された、第2導電型の第5の半導体領域及び該第5の半導体領域に接続された第1の電極を含んで構成されることを特徴とする。

40

【発明の効果】

【0009】

本発明によれば、VOFD機能を使用した際でも、蓄積電荷量の変化することを抑制し、高画質な撮像を行うことが可能となる。

【発明を実施するための最良の形態】

【0010】

以下、本発明の実施の形態を図面を参照して説明する。各実施形態では信号電荷として

50

電子を用いる場合に関して説明する。ホールを用いる場合には基本的に各半導体領域の導電型を逆導電型にし、供給電圧値なども適宜変更すればよい。N型を第1導電型としP型をこれとは逆導電型の第2導電型とする。また実施形態においてポテンシャル障壁としていているのは全て信号電荷である電子に対してである。また説明において各半導体領域の位置関係においては受光表面から基板深さ方向を下方向とする。

【0011】

(第1の実施形態)

第1の実施形態を図1から図5を用いて説明する。

【0012】

図1は本実施形態の固体撮像装置の模式的断面図である。1はN型の半導体基板、2はP型の半導体領域(第4の半導体領域)である。基板表面から深い位置に埋め込んで形成するため埋め込み層とよぶ。埋め込み層2は、半導体基板1と、光電変換部、電荷蓄積部などが配された素子配置表面領域との間に延在して配され、信号電荷に対するポテンシャル障壁として機能する。

10

【0013】

3はN型の半導体領域(第1の半導体領域)、4はP型の半導体領域であり、それぞれ光電変換部の一部を構成している。N型半導体領域3は光電変換により生成された信号電荷を蓄積可能な領域(信号電荷と同導電型)であり、P型半導体領域4は光電変換部表面の暗電流を抑制するための表面不活性化層として機能する。5は光電変換部とは別に設けられたN型の半導体領域(第2の半導体領域、電荷蓄積領域)であり、光電変換部で生じた信号電荷の少なくとも一部を蓄積する電荷蓄積部の一部を構成する。6はP型の半導体領域(第3の半導体領域)であり、電荷蓄積領域5からN型半導体基板1方向へのポテンシャル障壁として機能する。ポテンシャル障壁6の不純物濃度は埋め込み層2の不純物濃度よりも高い。これは電荷蓄積領域5に効率よく電荷を蓄積することを可能とし且つ、V O F Dを行なう際の基板電位の制御振幅を広げないためである。

20

【0014】

埋め込み層2は、N型半導体領域3と半導体基板1との間及びポテンシャル障壁6と半導体基板との間に延在して配されている。ここでは1画素の模式的断面図を示しているが、埋め込み層2は複数の画素にわたって延在して配されており、好ましくは全画素にわたって延在して配されている。

30

【0015】

7はN型の半導体領域でありフローティングディフュージョン領域(FD領域)である。電荷蓄積領域5で蓄積された電荷が転送される。8は活性領域を画定する素子分離領域(フィールド領域)である。LOCOS、STI、メサ構造などを用いることができる。各素子(光電変換部、電荷蓄積部、MOSトランジスタ)を構成する半導体領域は素子分離領域により確定される活性領域に配される。図2において、各半導体領域、ゲート電極が配されていない領域が素子分離領域となる。

【0016】

9はN型半導体領域3の電荷を電荷蓄積領域5へ転送するための第1の転送ゲートである。10は電荷蓄積領域5の電位を制御するための電荷蓄積部制御ゲートである。11は電荷蓄積領域5の電荷をFD領域へ転送するための第2の転送ゲートである。これらゲートはポリシリコンなどの導電体で構成することができる。

40

【0017】

12はP型の半導体領域(第5の半導体領域)であり、主にポテンシャル障壁6に基準電圧を供給するための領域である。13は第1の電極であり、P型半導体領域12と直接接続され基準電圧を供給する。ここでは接地電位(GND)を供給している。P型半導体領域12と電極13により電圧供給部を構成している。ここで、電圧供給部は画素領域内に設けられている。これは、光電変換部とは別に電荷蓄積部を有しV O F Dにより電子シヤッタを行なう場合に、画素領域外に電圧供給部を設けた構成においては、全ての画素のポテンシャル障壁6に対して基準電圧を供給することが困難なためである。V O F D動作

50

を行なう際には基板垂直方向のポテンシャルを電子が光電変換部から基板側へ排出されるようにしなくてはならず、N型の半導体基板と光電変換部との間に存在するポテンシャル障壁をあまり高くできない。つまり光電変換部下は、P型半導体領域の濃度を相対的に低くする必要がある。つまり画素領域外から基準電圧を供給した場合に、この部分の抵抗が高くなり、画素領域外からの電圧供給だけでは画素領域全体にわたって十分に基準電圧を供給できない場合がある。したがって、電圧供給部は画素領域内に配するのがよく、更に好ましくは画素領域内に複数配するのが好ましい。

【0018】

14はP型の半導体領域(第3の半導体領域)であり、後述の増幅MOSトランジスタのソース、ドレイン領域などが配されるウェルである。またN型半導体領域5、FD領域7が配されてもよい。P型半導体領域14はMOSトランジスタのバックゲートとして機能する。更に、ウェル14内にポテンシャル障壁6を配してもよい。またウェル14とポテンシャル障壁6とは電氣的に接続されている。つまりウェル14とポテンシャル障壁6との間にはN型の半導体領域が配されない、もしくは配されたとしても空乏化している。

【0019】

15、16はN型の半導体領域であり、増幅MOSトランジスタのソース、ドレイン領域である。15が出力ノードとして機能するソース領域、16がドレイン領域である。17は増幅MOSトランジスタのゲートである。不図示の導電体によりFD領域7と電氣的に接続される。

【0020】

28はN型の半導体領域である。N型半導体領域28のうち、主にN型半導体領域3の下部に対応する領域は光電変換部の一部として機能し得る。N型半導体領域28の不純物濃度はN型半導体領域3よりも低く設定されており、更に、逆導電型ではあるが、埋め込み層2の不純物濃度よりも低く設定されている。この不純物濃度関係は、VOFDを効率良く動作させるためである。半導体領域28はP型で不純物濃度の低い領域とすることもできるが、特に光電変換部下の領域は光電変換部の体積を増やすことができるためN型の半導体領域とするのがよい。またVOFD動作を行なうために、半導体領域28の不純物濃度を低くするのが好ましく、不純物濃度を低くすることにより埋め込み層2とポテンシャル障壁6とが容量結合しやすくなる。この場合VOFD動作時の埋め込み層2の電位変化の影響をポテンシャル障壁6が受けやすくなる。グローバル電子シャッタ動作を行なう場合にはVOFD動作中は電荷蓄積領域5において電荷を蓄積している状態であるため、VOFDによりグローバル電子シャッタを行なう場合には本実施形態の構成は特に有効となる。

【0021】

図2は固体撮像装置の上面図である。本実施形態に係る部材のみを示している。図1と同様の機能を有する構成には同様の符号を付し詳細な説明を省略する。図1は図2のC-C'における断面を示している。19は後述するリセット部を構成するMOSトランジスタのゲート電極である。20は後述する選択部を構成するMOSトランジスタのゲート電極である。18はリセットMOSトランジスタのドレイン領域である。

【0022】

破線21で区切られている領域が各画素である。このような画素が複数配されることにより画素領域を構成している。

【0023】

図示するようにP型半導体領域12及び電極13は素子分離領域を介して電荷保持部が配される活性領域に近接する活性領域に配するのが好ましい。これはポテンシャル障壁6とP型半導体領域12の間のインピーダンス(抵抗)を小さくすることが可能となり、ポテンシャル障壁6の電位変動幅を小さく抑えることが可能になるためである。これにより電荷蓄積部からの電荷の漏れ量を更に低減することが可能となる。

【0024】

図3は本実施形態の固体撮像装置の等価回路図である。

【 0 0 2 5 】

3 0 1 は例えばフォトダイオードなどで構成される光電変換部、3 0 2 は光電変換部で生じた電荷を蓄積する電荷蓄積部である。3 0 3 は光電変換素子で生じた電荷を電荷蓄積部へ転送する第 1 の転送部である。3 0 4 は F D 部である。F D 部は後述する増幅部の入力部と接続され、垂直信号線へ信号を読み出す際にフローティング状態となる。3 0 5 は電荷蓄積部の電荷を F D 部へ転送する第 2 の転送部である。各転送部は例えば M O S トランジスタにより構成できる。第 1、第 2 の転送部を同様の転送特性のものを用いることもできるし、転送特性が異なるものを用いることもできる。例えば第 1 の転送部を埋め込みチャンネル型の M O S トランジスタを用いて、オフ状態で光電変換部の電荷の少なくとも一部を電荷蓄積部へ転送することもできる。この場合には、光が入射している最中に、電荷蓄積部へ電荷を転送することが可能となり、全画素の蓄積時間を等しくできるいわゆるグローバル電子シャッタを実現できる。このような構成においては、電荷蓄積部で電荷が蓄積されている時間が長くなるため、蓄積電荷がポテンシャル障壁 6 の電位変動の影響を受けやすい。このような場合に本実施形態の構成は特に有効である。

10

【 0 0 2 6 】

また第 1 の転送部として通常の M O S トランジスタを用いてグローバル電子シャッタを行う場合には、各光電変換部 3 0 1 で生じた電荷を第 1 の転送部を一括でオンすることにより電荷蓄積部 3 0 2 へ転送する。そしてその後第 2 の転送部 3 0 5 により順次 F D 部へ転送する。蓄積時間の開始は、半導体基板の電位を制御して光電変換部から半導体基板へ向けてのポテンシャル障壁を制御することにより、電荷排出状態とポテンシャル障壁を形成して電荷を蓄積可能な蓄積状態とを切り替える。詳細は上述の特許文献 1 に詳しく記載されている。

20

【 0 0 2 7 】

3 0 6 は増幅部の一部を構成する増幅トランジスタである。増幅部の入力部として機能するゲートが F D 部 3 0 4 と接続されている。したがって、増幅トランジスタのゲートと F D 部とが増幅部の入力部として機能する。増幅トランジスタは、例えば M O S トランジスタ、接合型トランジスタ等により構成され得るが、ここでは M O S トランジスタを例に説明している。不図示の定電流源とともにソースフォロワ回路を構成し、F D 部 3 0 4 の電圧に基づく信号を垂直信号線へ読み出す。

【 0 0 2 8 】

3 0 7 は F D 部 3 0 4 の電位を基準電位（リセット電位）に設定するための電圧を供給するリセット部である。例えば M O S トランジスタと、該 M O S トランジスタのドレインにリセット電圧を供給する電圧供給部（不図示）により構成される。3 0 8 は各画素の信号を選択的に垂直信号線へ出力するための選択部である。これも例えば M O S トランジスタにより構成される。

30

【 0 0 2 9 】

T x は各転送部を制御するための配線、R E S はリセット部を制御するための配線、S E L は選択部を制御するための配線、O U T は複数の画素からの信号がそれぞれ出力される信号線（垂直信号線）である。

【 0 0 3 0 】

図 4 は図 2 の D - D ' 断面図である。図 1 等と同様の機能を有する構成には同様の符号を付し詳細な説明は省略する。上述したようにポテンシャル障壁 6 の電位変動幅を小さくするために、P 型半導体領域 1 2 はポテンシャル障壁 6 と近接させる。より好ましくは図 4 で示すように、電氣的に接続されているのが好ましい。更に、P 型半導体領域 1 2 は、F D 領域 7 及び増幅 M O S トランジスタの出力ノードとなるソース領域 1 5 などが配される活性領域と、素子分離領域 8 を介して隣接する活性領域に配するのが好ましい。これは、F D 領域 7、ソース領域 1 5 の電位が信号読み出し時に変動し、この電位変動が P 型のウェル 1 4 を介してポテンシャル障壁 6 の電位を変動させるためである。P 型半導体領域 1 2 をポテンシャル障壁 6 に近接させることでこの電位変動幅を小さくすることが可能となる。P 型半導体領域 1 2 は、電荷蓄積領域 5 が配された活性領域もしくは F D 領域 7 が

40

50

配された活性領域もしくは増幅トランジスタが配される活性領域のいずれかに素子分離領域を介して隣接する活性領域に配されるのが好ましい。これらのうち二つに隣接する活性領域に配されるのが好ましく、より好ましくはこれら全てに隣接する活性領域に配されるのがよい。

【0031】

図5に図1のY-Y'断面でのポテンシャル図を示す。図において、電荷蓄積部は電荷蓄積領域5、障壁層はポテンシャル障壁6、埋め込み層は埋め込み層2の基板内での深さを指す。VOFD動作時は理想的にはVOFD動作点線で示すように電荷蓄積領域5のポテンシャルは変動しない方が好ましい。しかし、VOFD機能の動作中に、各MOSトランジスタのソース、ドレイン領域の電位が変動すると、動作時+ウェル電位変動で示す点線のようにポテンシャル障壁6の電位に大きな影響を与える。これは、ソース、ドレイン領域の電位変動によりPウェル14の電位が変動し、この電位変動がポテンシャル障壁6へ伝播するからである。このような場合においても、P型半導体領域12を介してポテンシャル障壁6へ基準電圧が供給されることにより、ポテンシャル障壁6の電位変動を抑制することが可能となる。

10

【0032】

また、図示のようにポテンシャル障壁6が電荷蓄積領域5よりも、N型半導体領域3へ向かって延在している方がよい。電荷蓄積領域5の光電変換部側端部においても、ポテンシャル障壁を高い状態にしておくことが可能となるためである。

【0033】

20

以上述べたように本実施形態によれば、VOFD機能の動作中における各MOSトランジスタの電極領域の電位変動によって生じる電荷蓄積領域5において蓄積された電荷の流出を抑えることが可能となる。

【0034】

(第2の実施形態)

第2の実施形態を図1、図2および図6を用いて説明する。

【0035】

図6は図2のC-C'での断面模式図である。第1の実施形態との違いは、ポテンシャル障壁6が第1の実施形態よりも広範囲に配され、Pウェル14が配置されていない点である。具体的にはポテンシャル障壁6が、FD領域7の下部及び増幅トランジスタのソース領域15、ドレイン領域16の下部に延在して配されている。その他のMOSトランジスタのソース、ドレイン領域の下部まで延在して配されていてもよい。このような構成においてVOFD機能の動作中に、各MOSトランジスタのソース、ドレイン領域の電位が変動した場合には、ポテンシャル障壁6の電位が変動する。しかしP型半導体領域12を介して基準電圧がポテンシャル障壁6に供給されることにより、電位変動を抑制することが可能となる。

30

【0036】

また、第1の実施形態と同様に、図示のようにポテンシャル障壁6が電荷蓄積領域5よりも、N型半導体領域3へ向かって延在している方がよい。

【0037】

40

またP型ウェル14を部分的に配する構成とすることもできる。例えば、電荷蓄積領域5が配されている領域では、ポテンシャル障壁6のみとし、各MOSトランジスタが配される領域においては、ポテンシャル障壁6、Pウェル14の両者を配するということが可能である。

【0038】

(第3の実施形態)

第3の実施形態を図1、図2および図7を用いて説明する。

【0039】

図7は図2のC-C'の断面模式図である。第1、第2の実施形態に対して、P型半導体領域6の下部に更にP型半導体領域22が配されている。図7では第1の実施形態の構

50

成を例に説明する。P型半導体領域22はポテンシャル障壁6よりも不純物濃度が低い。埋め込み層2の電位は画素領域外の外周で固定されているとする。

【0040】

図1のように、埋め込み層2とポテンシャル障壁6との間にN型半導体領域28が配される構成でVOFD動作をする場合には、埋め込み層2、ポテンシャル障壁6の容量結合により埋め込み層2の電位変動がポテンシャル障壁6へ伝播することが抑制される。

【0041】

しかし、VOFD機能の非動作時において、埋め込み層2に何らかの電位変動が起こった場合、画素領域の中心部と画素領域外周に近い部分とでは埋め込み層2の電位固定点(電圧供給部)までの抵抗値の差から、電位変動が減衰する時定数が異なる。この結果、シェーディングと呼ばれる現象を引き起こしてしまう場合がある。この時定数の差は、画素の数が増大し、撮像面積(画素領域の面積)が大きな現状のイメージセンサにおいて特に顕著である。

10

【0042】

そこで、図7に示すようにポテンシャル障壁6の下部にP型半導体領域22を設けることにより、P型半導体領域2とP型半導体領域2との間のインピーダンスをP型半導体領域22の濃度や深さによって調節する。

【0043】

埋め込み層2とポテンシャル障壁6との間のインピーダンスを調節することで、VOFD機能の動作時にポテンシャル障壁6の電位を変動させない範囲で、埋め込み層2の画素領域の中心部と画素領域外周との抵抗値の差を小さくすることが可能となる。すなわち、VOFD機能の動作時、非動作時の上述した課題に対する改善を両立させることが可能となる。

20

【0044】

ここで、図7において、P型半導体領域22は1層のみとなっているが、埋め込み層2、ポテンシャル障壁6の位置関係や、濃度関係によっては、複数の領域を配することも可能である。

【0045】

また、P型半導体領域22の不純物濃度が埋め込み層2の不純物濃度よりも高いと、VOFD機能の動作時にポテンシャル障壁6の電位変動を生じる場合があるため、P型半導体領域22の不純物濃度は埋め込み層2の不純物濃度よりも低くする。

30

【0046】

(第4の実施形態)

第4の実施形態を図1、図2および図8から図11を用いて説明する。

【0047】

図8は図2のC-C'の断面模式図の一部である。第1~3の実施形態と異なるのはポテンシャル障壁6とFD領域7との間にP型半導体領域24を配した点と、P型半導体領域12が複数のP型半導体領域23、25とにより形成されている点である。P型半導体領域24は第2の転送部のチャネルドープとして機能する。

【0048】

このような構成によれば、第1~3の実施形態におけるP型半導体領域12のように1度の不純物注入でポテンシャル障壁6と電極13とを電気的に導通させるよりも、電気的導通の度合い(電気抵抗)を容易に制御できる。これにより、ポテンシャル障壁6の電位変動をより強く抑制することが可能となる。

40

【0049】

また、P型半導体領域23をP型半導体領域4と同時に形成し、さらに、P型半導体領域25をMOSトランジスタのチャネルドープ層24と同時に形成することで、P型半導体領域12の形成工程を削減することも可能となる。

【0050】

次に本実施形態の固体撮像装置の製造方法を説明する。

50

【 0 0 5 1 】

まず、半導体基板 1 上に従来の手法を用いて、P 型半導体領域 2、6、8、14 及び N 型半導体領域 3、5 を形成する（図 9）。

【 0 0 5 2 】

次に、マスクパターンを用いて、第 2 の転送ゲート 11 が形成される領域の下部へチャネルドープとして P 型半導体領域 24 を、ポテンシャル障壁 6 の電位変動を抑制するための P 型半導体領域 25 を同時に形成する（図 10）。

【 0 0 5 3 】

さらに、異なるマスクパターンを用いて P 型半導体領域 4、23 を同時に形成する（図 11）。

10

【 0 0 5 4 】

以降、従来の手法により、ゲート電極 9、10、11、FD 領域 7、電極 13 などを形成する。以上の製造方法により、図 8 の固体撮像装置を製造可能である。なお、製造工程の順序は上記の例に限らず、例えばゲート電極を形成した後に、P 型半導体領域 4、23 を形成してもよい。また、FD 領域 7 を先に形成し、その後に P 型半導体領域 4 および 23 を形成してもよい。また半導体基板中に各半導体領域をイオン注入で形成することもできるし、半導体基板上にエピタキシャル方により各半導体領域を形成する、もしくはエピタキシャル層中にイオン注入で半導体領域を形成してもよい。

【 0 0 5 5 】

（第 5 の実施形態）

20

第 5 の実施形態を図 12 ~ 図 14 を用いて説明する。図 13 は本実施形態を説明するために MOS トランジスタを省略した平面図である。図 12 は図 13 の G - G' での断面模式図である。また、図 14 は図 13 の H - H' での断面模式図である。

【 0 0 5 6 】

本実施形態は、第 1 ~ 4 の実施形態に対して、P ウェル 14 が P 型半導体領域 12 の下部で分離されている点が異なる。更に、電位変動を抑制するための P 型半導体領域 12 及び電極から構成される電圧供給部が、異なる P 型半導体領域に対して電圧を供給する複数の電圧供給部から構成されている。具体的にはポテンシャル障壁 6 に対して基準電圧を供給する第 1 の電圧供給部と、埋め込み層 2 に対して基準電圧を供給する第 2 の電圧供給部である。

30

【 0 0 5 7 】

図 12 において、P 型半導体領域 12 a（第 5 の半導体領域）はポテンシャル障壁 6 及び第 1 の電極 13 と電気的に接続されている。つまり、ポテンシャル障壁 6 に対して基準電圧を供給する第 1 の電圧供給部として機能している。

【 0 0 5 8 】

図 14 において、P 型半導体領域 12 b（第 6 の半導体領域）は P 型半導体領域 27 を介して埋め込み層 2 と接続されている。そして P 型半導体領域 12 b に第 2 の電極 26 が接続されている。つまり、埋め込み層 2 に対して基準電圧を供給する第 2 の電圧供給部として機能している。ここでは、P 型半導体領域 27 とポテンシャル障壁 6 とは電氣的に導通していないものとする。

40

【 0 0 5 9 】

図 13 に示すように、第 1 の電極 13 が配置されている領域と、第 2 の電極 26 が配置されている領域とは、画素領域中での位置が行単位で周期的に配置されている。電極 13、26 はそれぞれ別電源に接続されており、各々を独立に制御することが可能である。

【 0 0 6 0 】

本実施形態によれば、画素領域内でポテンシャル障壁 6 と埋め込み層 2 の両方の電位を独立して制御することが可能となる。これにより、VOFD 機能の非動作時において、埋め込み層 2 に何らかの電位変動が起こった場合、画素領域の中心部と画素領域外周に近い部分とでは埋め込み層 2 の電位固定点までの抵抗値の差から、変動が収まるまでの時定数が異なる。結果、シェーディング現象を引き起こしてしまうことが考えられる。この時定

50

数の差は、画素の数が増大している現状のイメージセンサにおいて特に顕著である。これに対して本実施形態によれば、時定数の差を抑制することが可能となる。図ではPウェルを設けた構成で説明したが、第2の実施形態のようにPウェルを設けずにポテンシャル障壁6を設ける構成にも適用可能である。

【0061】

(第6の実施形態)

本実施形態を図15を用いて説明する。図15では、第5の実施形態に対して、P型半導体領域12が間引かれていることが異なる。つまりすべての画素ごとに設けるのではなく、複数の画素毎に設けている。

【0062】

このような構成によればレイアウト面積の縮小化を図ることが可能となる。

【0063】

(第7の実施形態)

本実施形態を図16を用いて説明する。図16では、第5の実施形態に対して、第1の電極13が配置されている領域と、第2の電極26が配置されている領域とが、行単位ではなく市松模様状に配置されている点が異なる。

【0064】

このような構成によれば、第5の実施形態と比較しても、埋め込み層2、ポテンシャル障壁6の電位の固定状態を弱めることがない。更に、画素領域にベイヤー配列でカラーフィルターを配置した際に、2つのグリーン色画素同士の形状が等しくなるため、同色画素間での感度比などの問題が生じることも防ぐことができる。

【0065】

以上説明したように、本発明の固体撮像装置によれば、電子シャッタ機能を実現するために、VOFD機能を使用した際でも、電荷蓄積部における蓄積電荷量の変動してしまうことを抑制し、高画質な撮像を行うことが可能となる。

【0066】

上記実施の形態では、電子をキャリアとして説明を行ったが、これに限るものではなく、正孔をキャリアとしても上述した効果および動作を実現可能である。その場合はポテンシャルの関係を適宜逆転させればよい。

【0067】

また、上記実施の形態では、電荷蓄積部制御ゲートが2層のポリシリコンにより形成されている例を示したが、本発明の主旨は電荷蓄積部を持つことにあり、例えば、2層以上の複数層のポリシリコンや単層のポリシリコンで形成されていてもよい。

【0068】

本発明は上述の実施の形態のみに限定されるものではなく、本発明の要旨を逸脱しない範囲で種々の変更、組み合わせが可能である。

【図面の簡単な説明】

【0069】

【図1】第1の実施形態を説明するための図面であり、図2のC-C'での断面図である。

【図2】第1の実施形態を説明するための平面図である。

【図3】第1の実施形態を説明するための等価回路図である。

【図4】第1の実施形態を説明するための図面であり、図2のD-D'での断面図である。

【図5】図1のY-Y'断面でのポテンシャルをあらわす図面である。

【図6】第2の実施形態を説明するための図面であり、図2のC-C'での断面図である。

【図7】第3の実施形態を説明するための断面図である。

【図8】第4の実施形態を説明するための断面図である。

【図9】第4の実施形態の固体撮像装置を形成するための製造工程を示す図面である。

10

20

30

40

50

- 【図10】第4の実施形態の固体撮像装置を形成するための製造工程を示す図面である。
- 【図11】第4の実施形態の固体撮像装置を形成するための製造工程を示す図面である。
- 【図12】第5の実施形態を説明するための図面であり、図13のG-G'での断面図である。
- 【図13】第5の実施形態を説明するための平面図である。
- 【図14】第5の実施形態を説明するための図面であり、図13のH-H'での断面図である。
- 【図15】第6の実施形態を説明するための平面図である。
- 【図16】第7の実施形態を説明するための平面図である。

【符号の説明】

10

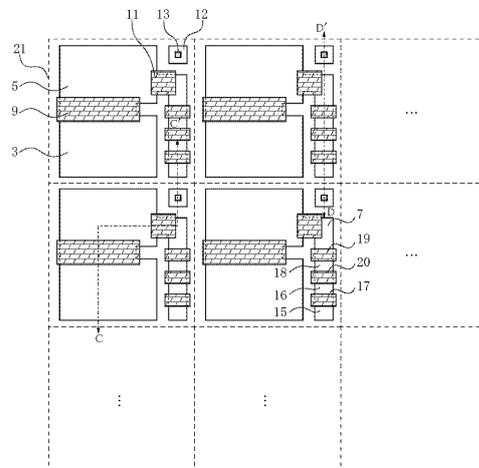
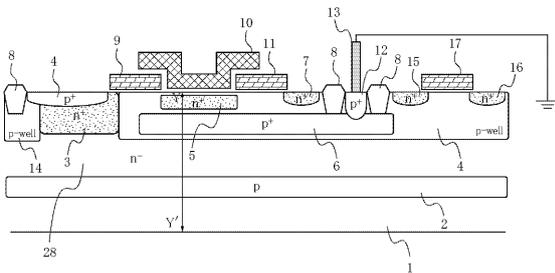
【0070】

- 1 半導体基板
- 2、4、6、12、14、22~25、27 P型半導体領域
- 3、5、7 N型半導体領域
- 8 素子分離領域
- 9 第1の転送ゲート
- 10 電荷蓄積部制御ゲート
- 11 第2の転送ゲート
- 13 第1の電極
- 15、16、18 トランジスタの電極領域
- 17、19、20 MOSトランジスタのゲート電極
- 21 単位画素
- 26 第2の電極

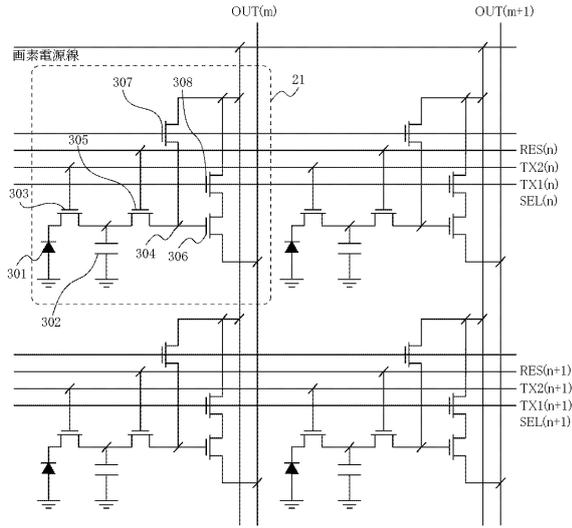
20

【図1】

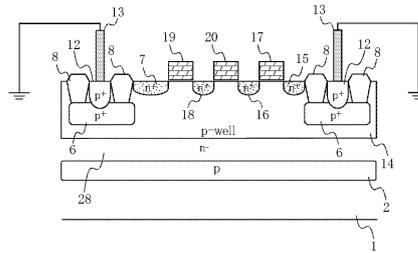
【図2】



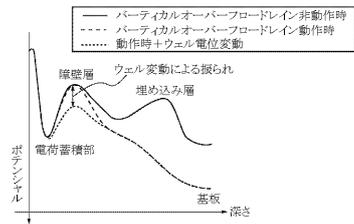
【図3】



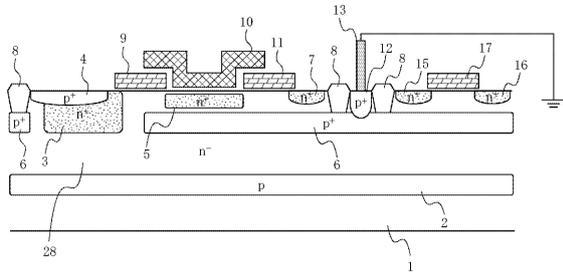
【図4】



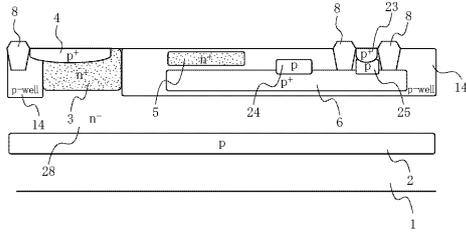
【図5】



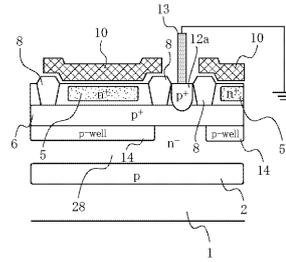
【図6】



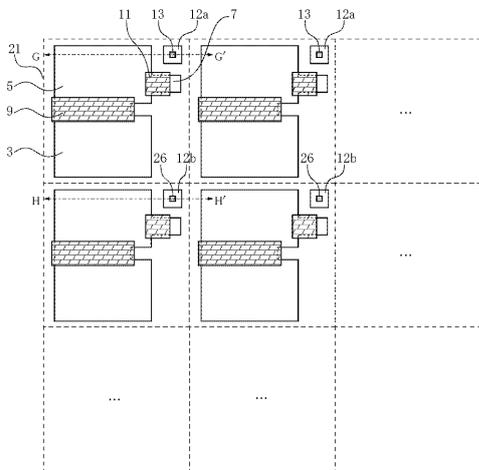
【図 1 1】



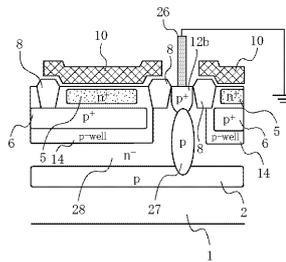
【図 1 2】



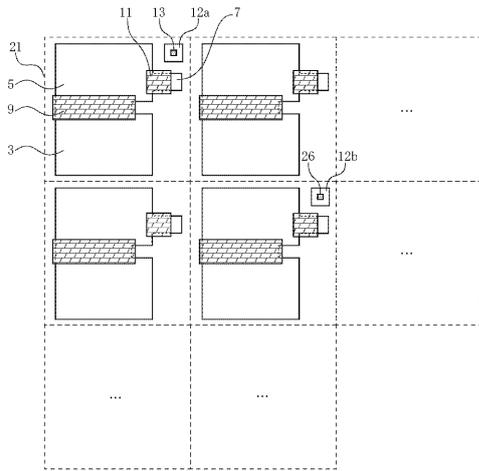
【図 1 3】



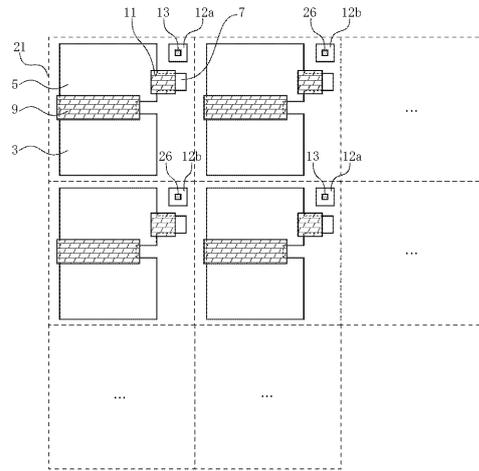
【図 1 4】



【図 15】



【図 16】



フロントページの続き

(56)参考文献 特開2005-166731(JP,A)
特開2006-019487(JP,A)

(58)調査した分野(Int.Cl., DB名)
H01L 27/146