



(12) 发明专利

(10) 授权公告号 CN 101295692 B

(45) 授权公告日 2010. 12. 01

(21) 申请号 200810090065. 4

(22) 申请日 2008. 04. 02

(30) 优先权数据

2007-100777 2007. 04. 06 JP

2007-299110 2007. 11. 19 JP

(73) 专利权人 株式会社日立制作所

地址 日本东京

(72) 发明人 藤原伸一

(74) 专利代理机构 中国国际贸易促进委员会专

利商标事务所 11038

代理人 金春实

(51) Int. Cl.

H01L 23/488(2006. 01)

审查员 张一文

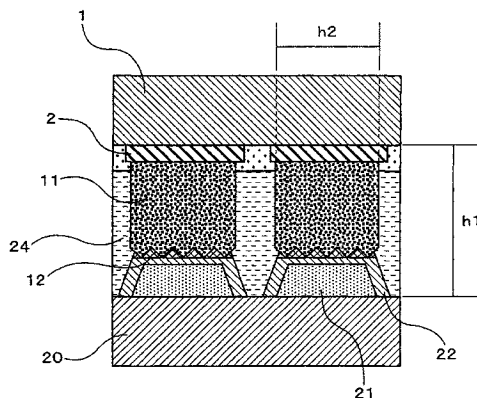
权利要求书 2 页 说明书 8 页 附图 7 页

(54) 发明名称

半导体装置

(57) 摘要

本发明提供一种半导体装置,为了在连接具有小于等于 50 微米间距的微细间距电极的半导体元件和基板上的焊盘或布线的结构中,防止连接时的加热或担负荷重时发生的凸块间短路、基于高度畸变的连接部断裂,在本发明的半导体装置中,经由纵弹性系数(杨氏模量)大于等于 65GPa 且小于等于 600Gpa 的凸块、和以锡、铝、铜、或铅的任意一种为主成分的缓冲层,连接所述基板和所述半导体元件,另外在凸块和设在基板上的焊盘或布线所相互对置的面的至少一方形成突起且利用超声波来连接这些面。



1. 一种半导体装置,具有连接设在半导体元件上的小于等于 50 微米间距的微细间距电极、和设在搭载所述半导体元件的树脂制或者陶瓷制的基板上的焊盘或布线的连接结构,该半导体装置的特征在于,

所述连接结构具有如下的结构:一方与所述微细间距电极连接,另一方经由纵弹性系数即杨氏模量大于等于 65GPa 且小于等于 600Gpa 的凸块、和以锡、铝、铜、或铅中的至少一种为主成分的缓冲层与设在所述基板上的焊盘或布线连接,

在所述凸块和设在所述基板上的焊盘或布线所对置的面的至少一方的面上具有突起形状,

通过在利用所述凸块的突起形状对所述焊盘或布线上的缓冲层施加荷重的状态下施加超声波,接合所述凸块和所述缓冲层,

所述凸块与所述焊盘或布线相连接,并且在所述凸块和所述焊盘或布线之间的、多个所述突起形状之间存在所述缓冲层。

2. 根据权利要求 1 所述的半导体装置,其特征在于,当将设有所述微细间距电极的所述半导体元件的表面和设有所述焊盘或布线的所述基板的表面之间的连接高度设为 h_1 ,并将所述凸块的连接直径或短边长度设为 h_2 时,具有 $h_1 \geq h_2$ 的关系。

3. 根据权利要求 1 所述的半导体装置,其特征在于,所述凸块由多个层构成。

4. 根据权利要求 1 所述的半导体装置,其特征在于,所述凸块的主材料为镍、铜、铝、金、钛中的任意一种。

5. 根据权利要求 1 所述的半导体装置,其特征在于,所述缓冲层形成在所述凸块上、或者所述焊盘或布线上。

6. 根据权利要求 1 所述的半导体装置,其特征在于,所述缓冲层是使用电镀或无电解电镀法来形成的。

7. 根据权利要求 1 所述的半导体装置,其特征在于,所述缓冲层是使用在所述凸块、或者所述焊盘或所述布线间插入的金属箔来形成的。

8. 根据权利要求 1 所述的半导体装置,其特征在于,所述半导体元件和所述凸块、或者所述缓冲层和所述焊盘的任意一个的连接是通过施加超声波来连接的。

9. 根据权利要求 8 所述的半导体装置,其特征在于,所述连接是在大于等于室温且小于等于 150°C 的温度下进行的。

10. 一种半导体装置,具有连接设在半导体元件上的小于等于 50 微米间距的微细间距电极、和设在搭载所述半导体元件的树脂制或者陶瓷制的基板上的焊盘或布线的连接结构,该半导体装置的特征在于,

所述连接结构具有如下的结构:一方与所述微细间距电极连接,另一方经由纵弹性系数即杨氏模量大于等于 65GPa 且小于等于 600Gpa 的凸块、和以锡、铝、铜、或铅中的至少一种为主成分的缓冲层与设在所述基板上的焊盘或布线连接,

通过在利用所述凸块的突起形状对所述焊盘或布线上的缓冲层施加荷重的状态下施加超声波,接合所述凸块和所述缓冲层,

所述凸块与所述焊盘或布线相连接,并且在所述凸块和所述焊盘或布线之间的、多个所述突起形状之间存在所述缓冲层。

11. 一种半导体装置,具有连接形成在半导体元件上的小于等于 50 微米间距的微细间

距电极、和树脂制或者陶瓷制的基板上的焊盘或布线的连接结构,该半导体装置的特征在于,

所述连接结构由凸块、纵弹性系数比所述凸块低的缓冲层和布线厚度构成,并形成作为所述凸块的高度、所述缓冲层的高度以及所述布线厚度之和的所述半导体元件和所述基板间的连接高度 h_1 、与所述凸块的宽度或连接直径 h_2 的关系为 $h_1 \geq h_2$,

所述缓冲层形成在所述凸块上或所述焊盘上,

通过在利用所述凸块的突起形状对所述焊盘或布线上的缓冲层施加荷重的状态下施加超声波,接合所述凸块和所述缓冲层,

所述凸块与所述焊盘或布线相连接,并且在所述凸块和所述焊盘或布线之间的、多个所述突起形状之间存在所述缓冲层。

12. 根据权利要求 11 所述的半导体装置,其特征在于,所述缓冲层的高度为大于等于 $5 \mu\text{m}$ 。

13. 根据权利要求 11 所述的半导体装置,其特征在于,所述缓冲层的主成分为锡、铝、铟、铅的任意一种。

14. 根据权利要求 1、10、11 中任一项所述的半导体装置,其特征在于,在所述凸块和设在所述基板上的焊盘或布线所对置的面中的一个面上具有凹凸状的突起形状,另一个面是平坦的。

15. 根据权利要求 1、10、11 中任一项所述的半导体装置,其特征在于,在所述凸块的面上具有凹凸状的所述突起形状,所述焊盘或布线的面是平坦的。

半导体装置

[0001] 本申请基于 2007 年 4 月 6 日提交的在先的日本专利申请 JP2007-100777 和 2007 年 11 月 19 日提交的在先的日本专利申请 JP2007-299110 并要求其为优先权,在此引入其全部内容作为参考。

技术领域

[0002] 本发明涉及一种用于家电用、民生设备用、产业用的半导体装置。

背景技术

[0003] 以便携电子设备为中心的高功能化的要求在逐年增加,与其相伴的高速、大容量的半导体器件成为必要。另一方面,设备的小型化也成为大的需求,使这些并存的半导体封装的开发正在进行。作为将其实现的关键技术,使用突起凸块来连接半导体元件的倒装芯片安装得到了注目,已经使用于各种封装。倒装芯片安装是通过倒装来在基板的电极上连接在焊盘上形成有凸块的芯片的安装方式。

[0004] 倒装芯片安装方式与以往的引线键合连接方式相比,具有通过缩短连接长度可以抑制信号传播的延迟且可以实现高速传送、由于芯片尺寸成为封装尺寸所以可以实现小型化等优点。作为主要的倒装芯片安装方式,使用焊料凸块来连接芯片和基板间的焊料凸块连接方式、在芯片侧形成金嵌钉(stud)凸块后使用焊料来连接嵌钉凸块和基板侧布线的 Au 凸块/焊料连接方式、在芯片侧形成金嵌钉凸块后通过超声波连接来连接嵌钉凸块和基板侧布线的超声波连接方式(参照图 7)、在芯片侧形成嵌钉凸块后使用以银糊剂(paste)或 ACF(Anisotropic Conductive Film,各向异性导电膜)等树脂材为主的材料来连接嵌钉凸块和基板侧布线的接触连接方式等成为主流。

[0005] 另一方面,凸块间距的微细化正在进步,在芯片层叠封装的芯片间连接中已发表出 20 微米间距的连接。虽然当前限于芯片层叠封装,但今后即使对于芯片/基板间的连接也预想进行进一步的微细化。在专利文献 1 中,记载有芯片层叠中使用的电极凸块的制造方法以及连接方法,通过构成为与凸块基部相比增大应力变化来形成凸块前端部,在连接时使凸块前端部弯曲变形而降低连接时应力。

[0006] [专利文献 1] 日本特开 2005-243714 号公报

[0007] [专利文献 2] 日本特开 2002-134541 号公报

[0008] 在通过上述的以往的连接方式针对存在线膨胀系数差的二个以上的部件进行小于等于 50 微米间距的微细连接的情况下,可列举各种以下那样的课题。

[0009] (1) 焊料凸块连接方式

[0010] 在连接时需要加热到大于等于焊料熔融温度,在当前成为主流的无铅焊料的情况下焊料被加热到大概 240℃左右。因此在连接后成为室温时,由于连接部件间的线膨胀系数差,在焊料连接部发生变形和畸变并发生凸块间短路或基于高度畸变的连接部断裂。另外,在实现小于等于 50 微米间距的情况下,焊料凸块优选小于等于 30 微米,但在当前的工艺中微细凸块的制作非常困难。另外,连接后的部件间高度变为 20 微米左右,所以难以在部件

间填充底层填料。

[0011] (2) Au 凸块 / 焊料连接方式

[0012] 由于需要与焊料凸块连接方式同样地使焊料熔融,所以在连接后变为室温时,由于连接部件间的线膨胀系数差,有可能在焊料连接部发生变形和畸变并发生凸块间短路或基于高度畸变的连接部断裂。特别是与焊料凸块连接相比焊料量少,所以预想为断裂发生率变高。另外,还需要担心向金凸块 / 芯片焊盘的应力集中。另外,难以抑制高度偏差而均匀形成小于等于 30 微米的金嵌钉凸块。

[0013] (3) 超声波连接方式

[0014] 在超声波连接方式的情况下,由于连接温度低到小于等于 150°C,所以不易引起上述中记载的那样的起因于温度变化的短路或连接部断裂。但是,在连接时需要担负荷重,所以在金嵌钉凸块中当担负荷重时产生变形,需要担心邻接凸块间短路。

[0015] (4) 接触连接方式

[0016] 在接触连接方式中连接温度可抑制在 150°C 左右,但由于连接形态为接触,所以连接电阻变高,难以实现高速传送。另外,在设为微细连接用的银糊剂或 ACF 的情况下,需要选定几微米直径的导电粒子零件,成本变高。

[0017] 如上所述,关于微细连接在直接应用以往的技术的情况下,课题很多而需要开发新的技术。

[0018] 在专利文献 1 中,可以使凸块的前端变形来吸收连接时荷重,但由于是接触连接,所以在线膨胀系数不同的部件间的连接中,接触电阻变高,是不适合的。另外,由于需要 150°C ~ 400°C 的加热,所以起因于线膨胀系数差的连接部变形和畸变变大,在不同部件间的连接中存在问题。

发明内容

[0019] 本发明的目的在于提供一种半导体装置,在连接具有小于等于 50 微米间距的微细间距电极的半导体元件和基板上的焊盘或布线的结构中,防止连接时的加热或担负荷重时发生的凸块间短路、基于高度畸变的连接部断裂,或者降低接触电阻,可对应于高可靠性且高速传送。

[0020] 本发明的主要方面的半导体装置的特征在于,在连接具有小于等于 50 微米间距的微细间距电极的半导体元件和基板上的焊盘或布线的结构中,基板和半导体元件经由纵弹性系数(杨氏模量)大于等于 65GPa 且小于等于 600Gpa 的凸块、和以锡、铝、铟、铅中的任意一种为主成分的缓冲层连接,在凸块和基板上的焊盘或布线所对置的面的至少一方形成有突起。

[0021] 通过设置上述的突起,缓和在凸块和焊盘或布线间的连接时产生的朝向横向的应力,可以防止或缓和构成缓冲层的材料的移动。另外,通过利用超声波来连接,可以实现低温连接。

[0022] 本发明的特征在于,易于在凸块和布线间确保应力缓冲层;连接部的间隔(连接高度 h_1) 高;具有应力缓冲层;具有硬质凸块;以及可以实现超声波连接等低温连接。

[0023] 由此,即使在连接存在线膨胀系数差的基材的情况下,也可以降低起因于温度变化的连接部应力集中。另外,由于连接温度和室温的温度差小,所以可以降低刚制造后的向

连接部的初始应力。另外,由于连接部间隔宽,所以易于注入底层填料。另外,由于使用具有凹凸的硬质凸块,所以基于连接时荷重的凸块变形变少,可以防止凸块间短路。

附图说明

- [0024] 图 1 是本发明的第一实施例的微细连接部的放大剖面图。
[0025] 图 2 是向本发明的半导体元件上的凸块形成工艺的一个例子的剖面图。
[0026] 图 3 是向本发明的基板上的缓冲层形成工艺的一个例子的剖面图。
[0027] 图 4 是本发明的组装工艺的一个例子的剖面图。
[0028] 图 5 是本发明的超声波施加过程中的微细连接部的放大剖面图。
[0029] 图 6 是本发明的第二实施例的微细连接部的放大剖面图。
[0030] 图 7 是使用金嵌钉凸块的以往连接部的放大剖面图。

具体实施方式

[0031] 以下,根据附图对本发明的实施方式进行说明。

[0032] (实施例 1)

[0033] 图 1 是本发明的第一实施例的连接部剖面示意图。1 为半导体元件,2 为芯片侧焊盘,11 为凸块,12 为缓冲层,20 为基板,21 为布线,22 为布线上镀敷,24 为底层填料。

[0034] 凸块 11 的纵弹性系数为大于等于 65GPa 小于等于 600GPa 且以金属为主成分,例如以镍、铜、铝、金、钛中的至少一种为主成分。另外,当凸块整体的纵弹性系数为大于等于 65GPa 时,也可以是复合体,例如也可以是铜和镍的层叠结构等。此处,使凸块 11 整体的纵弹性系数成为大于等于 65GPa 的原因在于,在连接线膨胀系数不同的材料的结构中对连接部可靠性波及影响的主要原因为连接部的剪切畸变 ϵ ,当将离中心的距离设为 L、将连接高度设为 d、将两部件的线膨胀系数差设为 $\Delta \alpha$ 、将温度变化量设为 ΔT 时,剪切畸变 ϵ 为 $\epsilon = \Delta \alpha \cdot \Delta T \cdot L/d$,连接高度 d 越高,畸变变得越小,即可靠性越高。因此,在本实施例的连接结构中,当使用锡单体或焊料(杨氏模量 17 ~ 30MPa 左右)时,无法确保高度,但可以通过使用纵弹性系数为大于等于 65GPa 的金属凸块(例如铝 68GPa)来确保高度,可以提高连接的可靠性。在凸块 11 的前端形成有凹凸。

[0035] 缓冲层 12 以锡、铟、铅、铝中的任意一种为主成分,只要是纵弹性系数比选定的凸块 11 材料低材料即可。

[0036] 缓冲层 12 可以形成在凸块 11 或布线 21 上,也可以独立地(芯片侧凸块、基板侧布线中的任意一个中都没有预先形成,而夹在凸块和布线之间的结构)以 2 ~ 3 μm 的厚度形成。该缓冲层 12 以锡、铟、铅、铝中的任意一种为主成分,只要是纵弹性系数比选定的凸块 11 材料低材料即可。

[0037] 基板 20 是树脂基板、陶瓷基板、硅基板等即可。布线 21、布线上镀敷 22 为在各基板中一般使用的结构,例如在树脂基板的情况下,布线 21 可列举铜,布线上镀敷 22 可列举镀镍、镀金等。在第一实施例中,将基板 20 设为印刷基板来说明。在凸块 11 中,在连接对象材侧形成有凹凸。在图 1 的第一实施例中,图示出山型的凹凸,但对于形成在凸块 11 上的凹凸,只要是当与布线上镀敷 22 连接时在凸块 11 和布线上镀敷 22 之间的至少一个以上位置确保了缓冲层 12 的高度,则可以是任意的形状。另外,对于形成在凸块 11 上的凹凸,

可以形成在布线上镀敷 22,也可以形成在凸块 11、布线上镀敷 22 这双方。

[0038] 图 2 示出第一实施例的半导体元件 1 侧的凸块形成工艺的一个例子。在图 2 以及图 3 中,针对芯片侧焊盘 2 将以铝为主成分的金属作为例子、针对凸块 11 将以镍为主成分的金属作为例子、针对缓冲层 12 将以锡为主成分的金属作为例子、针对布线将以铜为主成分的金属作为例子、针对布线上镀敷 22 将在以镍为主成分的金属上镀金作为例子进行说明。

[0039] 在半导体元件 1 上如图 2(a) 所示形成有芯片侧焊盘 2 和布线(未图示)。作为用于在芯片侧焊盘 2 上镀镍的预处理,在对表面进行蚀刻之后进行锌置换的锌酸盐处理。之后,如图 2(b) 所示,涂敷抗蚀剂 3,通过进行曝光以及显影在凸块 11 的形成预定位置形成开口部(图 2(c))。作为抗蚀剂 3,可以使用负型抗蚀剂、正型抗蚀剂中的任意一个。另外,使抗蚀剂 3 的厚度成为大于等于期望的凸块高度。对如上述那样形成的开口部通过进行无电解镀敷来形成镍凸块(图 2(d))。在形成的镍凸块的前端形成 $1 \sim 15 \mu\text{m}$ 的凹凸。以下示出凹凸的形成方法例子。

[0040] 凸块前端凹凸形成第一方法为通过向模按压来形成凹凸的方法。在由硬度比凸块 11 高的材料形成或被表面涂敷的样板的表面,形成希望在凸块 11 上形成的期望的高度的凹凸($1 \sim 15 \mu\text{m}$)。在凹凸形成中,可以使用机械研磨、蚀刻、激光加工、等离子加工、切削等任意一种方法,但优选选择适合于样板材的加工的方法。通过向该样板与图 2(d) 相对置地 from 上方施加荷重,在凸块 11 上形成凹凸。在突起形成时可以去除抗蚀剂,但利用抗蚀剂可以防止向凸块 11 以外的布线等的损伤。在凸块 11 上形成凹凸之后,在镍表面上通过蒸镀、溅射、镀敷等,形成 $0.01 \mu\text{m} \sim 5 \mu\text{m}$ 的金。仅在必要的情况下形成金即可。最后,如图 2(e) 所示,通过去除抗蚀剂 3,取得形成有凸块 11 的半导体元件 1。在本实施例中,示出了基于无电解镀敷的形成工艺,但也可以使用电解镀敷。另外,凸块转印法或利用 MEMS(MicroElectro Mechanical Systems,微机电系统)中利用的薄膜形成工艺的凸块形成法等对形成方法没有限定。

[0041] 凸块前端凹凸形成第二方法为利用干式蚀刻的方法。干式蚀刻的方法可以使用反应性气体蚀刻、反应性离子蚀刻、反应性离子束蚀刻、反应性激光束蚀刻等利用化学反应的方法、离子铣削(milling)那样地通过离子冲突同时引起化学反应和物理反应来蚀刻的方法中的任意一个。从图 2(d) 的状态通过上述的任意一个方法在凸块 11 上形成 $1 \sim 15 \mu\text{m}$ 的凹凸。对于凸部的形状,只要可在凸块 11 表面上的至少一个以上位置形成,则可以是圆、四边、多边、球、椭圆等任意形状。在突起形成时可以去除抗蚀剂,但利用抗蚀剂可以防止向凸块 11 以外的布线等的损伤。在凸块 11 上通过干式蚀刻形成凹凸之后,在镍表面上通过蒸镀、溅射、镀敷等,形成 $0.01 \mu\text{m} \sim 5 \mu\text{m}$ 的金。仅在必要的情况下形成金即可。最后,如图 2(e) 所示,通过去除抗蚀剂 3,取得形成有凸块 11 的半导体元件 1。在本实施例中,示出了基于无电解镀敷的形成工艺,但也可以使用电解镀敷。

[0042] 凸块前端凹凸形成第三方法为利用湿式蚀刻的方法。湿式蚀刻的方法是通过使用腐蚀·溶解金属等的药品对加工对象物进行浸透、喷雾来加工成任意的形状的工艺,可以低成本地一次实现大量的加工。从图 2(d) 的状态通过湿式蚀刻法在凸块 11 上形成 $1 \sim 15 \mu\text{m}$ 的凹凸。对于凸部的形状,只要可在凸块 11 表面上的至少一个以上位置形成,则可以是圆、四边、多边、球、椭圆等任意形状。在突起形成时可以去除抗蚀剂,但利用抗蚀剂可以防止向

凸块 11 以外的布线等的损伤。在凸块 11 上通过湿式蚀刻形成凹凸之后,在镍表面上通过蒸镀、溅射、镀敷等,形成 $0.01\mu\text{m} \sim 5\mu\text{m}$ 的金。仅在必要的情况下形成金即可。最后,如图 2(e) 所示,通过去除抗蚀剂 3,取得形成有凸块 11 的半导体元件 1。在本实施例中,示出了基于无电解镀敷的形成工艺,但也可以使用电解镀敷。此处,记载了基于镀敷工艺的凸块形成方法,但凸块转印法或利用 MEMS 工艺的凸块形成法等对形成方法没有限定。

[0043] 凸块前端凹凸形成第四方法为利用激光加工的方法。激光器的种类可根据对象材料来选择 YAG 激光器、红宝石激光器、二氧化碳激光器、氦离子激光器、氦氖激光器等气体激光器;液体激光器;半导体激光器;自由电子激光器等。使用激光器的凹凸形成由于可进行微细加工,所以具有还可以加工成复杂形状的优点。从图 2(d) 的状态利用激光器在凸块 11 上形成 $1 \sim 15\mu\text{m}$ 的凹凸。对于凸部的形状,只要可在凸块 11 表面上的至少一个以上位置形成,则可以是圆、四边、多边、球、椭圆等任意形状。在突起形成时可以去掉抗蚀剂,但利用抗蚀剂可以防止向凸块 11 以外的布线等的损伤。在凸块 11 上利用激光器形成凹凸之后,在镍表面上通过蒸镀、溅射、镀敷等,形成 $0.01\mu\text{m} \sim 5\mu\text{m}$ 的金。仅在必要的情况下形成金即可。最后,如图 2(e) 所示,通过去除抗蚀剂 3,取得形成有凸块 11 的半导体元件 1。在本实施例中,示出了基于无电解镀敷的形成工艺,但也可以使用电解镀敷。

[0044] 此处,记载了基于镀敷工艺的凸块形成方法,但凸块转印法或利用 MEMS 工艺的凸块形成法等对形成方法没有限定。凸块前端凹凸形成第五方法为利用溅射的方法。溅射是通过在真空中使离子化的氩向加工面冲突来进行表面加工或成膜的技术。可列举出通过将图 2(d) 的状态的样本设置在真空腔内并利用离子化的氩对凸块 11 上表面进行加工来形成 $1 \sim 15\mu\text{m}$ 的凹凸的方法、和使用溅射成膜装置在凸块上形成任意的突起的方法。对于凸部的形状,只要可在凸块 11 表面上的至少一个以上位置形成,则可以是圆、四边、多边、球、椭圆等任意形状。在突起形成时可以去掉抗蚀剂,但利用抗蚀剂可以防止向凸块 11 以外的布线等的损伤。在凸块 11 上通过喷射形成凹凸之后,在镍表面上通过蒸镀、溅射、镀敷等,形成 $0.01\mu\text{m} \sim 5\mu\text{m}$ 的金。仅在必要的情况下形成金即可。最后,如图 2(e) 所示,通过去除抗蚀剂 3,取得形成有凸块 11 的半导体元件 1。在本实施例中,示出了基于无电解镀敷的形成工艺,但也可以使用电解镀敷。

[0045] 此处,记载了基于镀敷工艺的凸块形成方法,但凸块转印法或利用 MEMS 工艺的凸块形成法等对形成方法没有限定。凸块前端凹凸形成第六方法为利用研磨的方法。通过利用研磨纸对图 2(d) 的状态的样本进行研磨,在凸块 11 上形成 $1 \sim 15\mu\text{m}$ 的凹凸。此处,使用使凹凸进入上述记载范围内的那样的粒度的研磨纸。基于研磨纸的加工具有非常容易加工的特点。在突起形成时可以去掉抗蚀剂,但利用抗蚀剂可以防止向凸块 11 以外的布线等的损伤、由于研磨时的应力引起的凸块 11 剥落等。在凸块 11 上通过研磨形成凹凸之后,在镍表面上通过蒸镀、溅射、镀敷等,形成 $0.01\mu\text{m} \sim 5\mu\text{m}$ 的金。仅在必要的情况下形成金即可。最后,如图 2(e) 所示,通过去除抗蚀剂 3,取得形成有凸块 11 的半导体元件 1。在本实施例中,示出了基于无电解镀敷的形成工艺,但也可以使用电解镀敷。

[0046] 此处,记载了基于镀敷工艺的凸块形成方法,但凸块转印法或利用 MEMS 工艺的凸块形成法等形成方法没有限定。在上述凹凸形成方法中记载了在半导体元件 1 侧形成凹凸的方法,但即使在基板 20 侧布线上镀敷 22 上形成凹凸也可以取得同样的效果。图 3 示出第一实施例的基板 20 侧的缓冲层 12 形成工艺的一个例子。在图 3(a) 中,在印刷基板 20

上形成有铜布线 21 以及镀镍。之后在涂敷抗蚀剂 23 后对形成缓冲层 12 的位置通过曝光以及显影来形成开口部 (图 3(c))。作为抗蚀剂 23, 可以使用负型抗蚀剂、正型抗蚀剂中的任意一个。最后, 通过利用电镀或无电解镀敷法在开口部形成镀锡, 可以形成具有缓冲层 12 的印刷基板。根据需要也可以去除抗蚀剂。在本实施例中形成的镀锡厚度形成在半导体元件 1 侧的芯片侧焊盘 2、凸块 11、镀锡厚度、布线 21、布线上镀敷 22 厚度的总和 h_1 比芯片侧焊盘直径 h_2 长。此处, h_2 表示在形成于半导体元件上的焊盘外周的内侧, 在以覆盖该焊盘上面的方式形成的膜上开口的开口部的尺寸。另外, 该开口部的形状有圆形的情况和矩形的情况, 在前者的情况下, h_2 指其直径, 在后者的情况下, 指短边的长度。另外, 镀锡也可以通过浸渍 (dip) 来形成。

[0047] 图 4 示出第一实施例的封装形成工艺的一个例子。首先, 如图 4(a) 所示, 进行基板侧的缓冲层 12 和芯片侧凸块 11 的定位。通过在连接前对基板侧缓冲层 12 进行洗净, 可以提高连接性。在定位后, 一边进行加热、加压, 一边进行超声波连接。加热温度设定成连接部温度大于等于室温且小于等于 150°C 。图 5 示出超声波施加时的连接部放大。在超声波连接工艺中, 首先通过施加荷重使被接触体彼此的距离接近, 之后在保持施加荷重的状态下使超声波振荡, 通过去除被接触体表面的氧化膜和污染膜来使新生面露出并使两者固相扩散, 从而确保连接。通过在凸块 11 上形成突起, 即使担负初始荷重, 也可以在凸块 11 和布线上镀敷 22 之间夹有缓冲层 12。因此, 可以担负比没有突起的情况高的荷重, 可以使被接触体彼此的距离更接近。另外, 即使在凸块 11 和缓冲层 12、以及缓冲层 12 和布线上镀敷 22 中, 通过利用超声波施加去除缓冲层 12 上的氧化膜而使新生面露出, 从而进行固相扩散连接, 可期待电连接。最后通过在半导体元件 1 和基板 20 之间夹有底层填料 24, 进行连接部的补强以及连接部污染的防止, 由此封装完成。

[0048] 本实施例的特点在于, 易于在凸块和布线间确保应力缓冲层、连接部的间隔 (连接高度 h_1) 高、具有应力缓冲层、具有硬质凸块、可实现超声波连接等低温连接。由于易于确保应力缓冲层, 可以提高初始荷重, 并且由于容易使被接触体彼此的距离接近, 易于在超声波施加时去除氧化膜和污染膜。另外, 由于连接部间隔高, 即使在连接存在线膨胀系数差的基材的情况下也可以降低起因于温度变化的连接部应力集中, 并且具有易于注入底层填料的优点。由于具有应力缓冲层, 与通常的超声波连接方式相比, 可以通过连接部来缓和在制造以及使用环境下发生的应力。由于具有硬质凸块, 可以减少基于连接时荷重的凸块变形并防止凸块间短路。由于是超声波连接等低温连接, 由此连接温度和室温的温度差小, 所以可以降低刚制造后的向连接部的初始应力。

[0049] 如上所述, 根据本实施例, 存在各种效果, 可以实现具有可靠性高的连接结构的半导体装置。在第一实施例中, 以在半导体元件 1 侧形成有镍凸块和镀金、并在基板侧形成有锡缓冲层的例子来进行了说明, 但也可以在基板侧形成镍凸块, 也可以在半导体元件 1 侧形成锡。另外, 作为缓冲层 12, 也可以使用以铝为主成分的合金。

[0050] (实施例 2)

[0051] 图 6 是第二实施例的剖面示意图。1 为半导体元件, 2 为芯片侧焊盘, 11 为凸块, 12 为缓冲层, 20 为基板, 21 为布线, 22 为布线上镀敷, 24 为底层填料。

[0052] 凸块 11 的纵弹性系数为大于等于 65GPa 小于等于 600GPa 且以金属为主成分, 例如以镍、铜、铝、金、钛中的至少一种为主成分。另外, 当凸块整体的纵弹性系数为大于等于

65GPa 时,也可以是复合体,例如也可以是铜和镍的层叠结构等。

[0053] 缓冲层 12 以锡、铟、铅、铝中的任意一种为主成分,只要是纵弹性系数比选定的凸块 11 材料低的材料即可。基板 20 是树脂基板、陶瓷基板、硅基板等即可。

[0054] 布线 21、布线上镀敷 22 为在各基板中一般使用的结构,例如在树脂基板的情况下,布线 21 可列举铜,布线上镀敷 22 可列举镀镍、镀金等。在第二实施例中,是将基板 20 设为印刷基板并在基板布线侧形成凹凸的结构。

[0055] 在布线上镀敷 22 上形成凹凸的第一方法为向模按压的方法。在由硬度比布线上镀敷 22 高的材料形成或被表面涂敷的样板的表面,形成希望在布线上镀敷 22 上形成的期望的高度的凹凸 ($1 \sim 15 \mu\text{m}$)。在凹凸形成中,可以使用机械研磨、蚀刻、激光加工、等离子加工、切削等任意一种方法,但优选选择适合于样板材的加工的方法。通过向该样板与图 3(a) 的基板相对置地从上方施加荷重,在布线上镀敷 22 上形成凹凸。在形成抗蚀剂时,可以防止向布线上镀敷 22 以外的布线等的损伤。在布线上镀敷 22 上形成凹凸之后,在镍表面上形成锡。该锡也可以形成在凸块 11 侧。

[0056] 在布线上镀敷 22 上形成凹凸的第二方法为利用干式蚀刻的方法。干式蚀刻的方法可以使用反应性气体蚀刻、反应性离子蚀刻、反应性离子束蚀刻、反应性激光束蚀刻等利用化学反应的方法、离子铣削那样地通过离子冲突同时引起化学反应和物理反应来蚀刻的方法中的任意一个。从图 3(a) 的状态通过上述的任意一个方法在布线上镀敷 22 上形成 $1 \sim 15 \mu\text{m}$ 的凹凸。对于凸部的形状,只要可在布线上镀敷 22 表面上的至少一个以上位置形成,则可以是圆、四边、多边、球、椭圆等任意形状。在突起形成时可以去除抗蚀剂,但利用抗蚀剂可以防止向布线上镀敷 22 以外的布线等的损伤。在布线上镀敷 22 上形成凹凸之后,在镍表面上形成锡。该锡也可以形成在凸块 11 侧。

[0057] 在布线上镀敷 22 上形成凹凸的第三方法为利用湿式蚀刻的方法。湿式蚀刻的方法是通过使用腐蚀·溶解金属等的药品对加工对象物进行浸透、喷雾来加工成任意的形状的工艺,可以低成本地一次实现大量的加工。从图 3(a) 的状态通过湿式蚀刻法在布线上镀敷 22 上形成 $1 \sim 15 \mu\text{m}$ 的凹凸。对于凸部的形状,只要可在布线上镀敷 22 表面上的至少一个以上位置形成,则可以是圆、四边、多边、球、椭圆等任意形状。在突起形成时可以去除抗蚀剂,但利用抗蚀剂可以防止向布线上镀敷 22 以外的布线等的损伤。在布线上镀敷 22 上形成凹凸之后,在镍表面上形成锡。该锡也可以形成在凸块 11 侧。

[0058] 在布线上镀敷 22 上形成凹凸的第四方法为利用激光加工的方法。激光器的种类可根据对象材料来选择 YAG 激光器、红宝石激光器等固体激光器;碳酸气体激光器、氩离子激光器、氦氖激光器等气体激光器;液体激光器;半导体激光器;自由电子激光器等。使用激光器的凹凸形成由于可进行微细加工,所以具有还可以加工成复杂形状的优点。从图 3(a) 的状态利用激光器在凸块 11 上形成 $1 \sim 15 \mu\text{m}$ 的凹凸。对于凸部的形状,只要可在布线上镀敷 22 表面上的至少一个以上位置形成,则可以是圆、四边、多边、球、椭圆等任意形状。在突起形成时可以去除抗蚀剂,但利用抗蚀剂可以防止向凸块 11 以外的布线等的损伤。在布线上镀敷 22 上形成凹凸之后,在镍表面上形成锡。该锡也可以形成在凸块 11 侧。

[0059] 在布线上镀敷 22 上形成凹凸的第五方法为利用溅射的方法。溅射是通过在真空中使离子化的氩向加工面冲突来进行表面加工或成膜的技术。可列举出通过将图 3(a) 的状态的样本设置在真空腔内并利用离子化的氩对布线上镀敷 22 上表面进行加工来形成

1 ~ 15 μm 的凹凸的方法、和使用溅射成膜装置在凸块上形成任意的突起的方法。对于凸部的形状,只要可在布线上镀敷 22 表面上的至少一个以上位置形成,则可以是圆、四边、多边、球、椭圆等任意形状。在突起形成时可以去除抗蚀剂,但利用抗蚀剂可以防止向布线上镀敷 22 以外的布线等的损伤。在布线上镀敷 22 上形成凹凸之后,在镍表面上形成锡。该锡也可以形成在凸块 11 侧。

[0060] 在布线上镀敷 22 上形成凹凸的第六方法为利用研磨的方法。通过利用研磨纸对图 3(a) 的状态的样本进行研磨,在布线上镀敷 22 上形成 1 ~ 15 μm 的凹凸。此处,使用使凹凸进入上述记载范围内的那样的粒度的研磨纸。基于研磨纸的加工具有非常容易加工的特点。在突起形成时可以去除抗蚀剂,但利用抗蚀剂可以防止向布线上镀敷 22 以外的布线等的损伤、由于研磨时的应力引起的布线上镀敷 22 剥落等。

[0061] 在布线上镀敷 22 上形成凹凸之后,在镍表面上形成锡。该锡也可以形成在凸块 11 侧。在第一以及第二实施例中,以分别在凸块 11 侧以及基板上布线 22 侧形成凹凸的例子进行了说明,但也可以在凸块 11 以及基板上布线 22 这双方上形成凹凸。

[0062] 另外,第二实施例的形成工艺也可以是与第一实施例同样的工艺。在第二实施例中,除了第一实施例的特点之外,还可以举出如下特点:由于在半导体元件 1 侧没有形成凹凸,所以可简化半导体工艺;以及由于预先在基板上布线 22 侧具有凹凸,所以易于捕捉缓冲层 12。

[0063] 另外,在使缓冲层 12 的厚度设为大于等于 5 μm 的情况下,可以通过与上述的实施例 1、2 同样的工艺来制造,但通过使缓冲层 12 变厚来提高应力缓冲功能;虽然在使用环境下连接界面的化合物持续生长,但由于初始缓冲层厚度较厚,所以可以在长期间确保应力缓冲层。其结果,成为可靠性更高的连接结构,可以实现可靠性更高的半导体。

[0064] 虽然已根据本发明示出和描述了多个实施例,但应理解本发明并不限于此,而是如本领域技术人员所知可以进行众多改变和修改,因此本发明并不局限于在此示出和描述的细节,本发明应覆盖附加的权利要求的范围所包括的所有这些改变和修改。

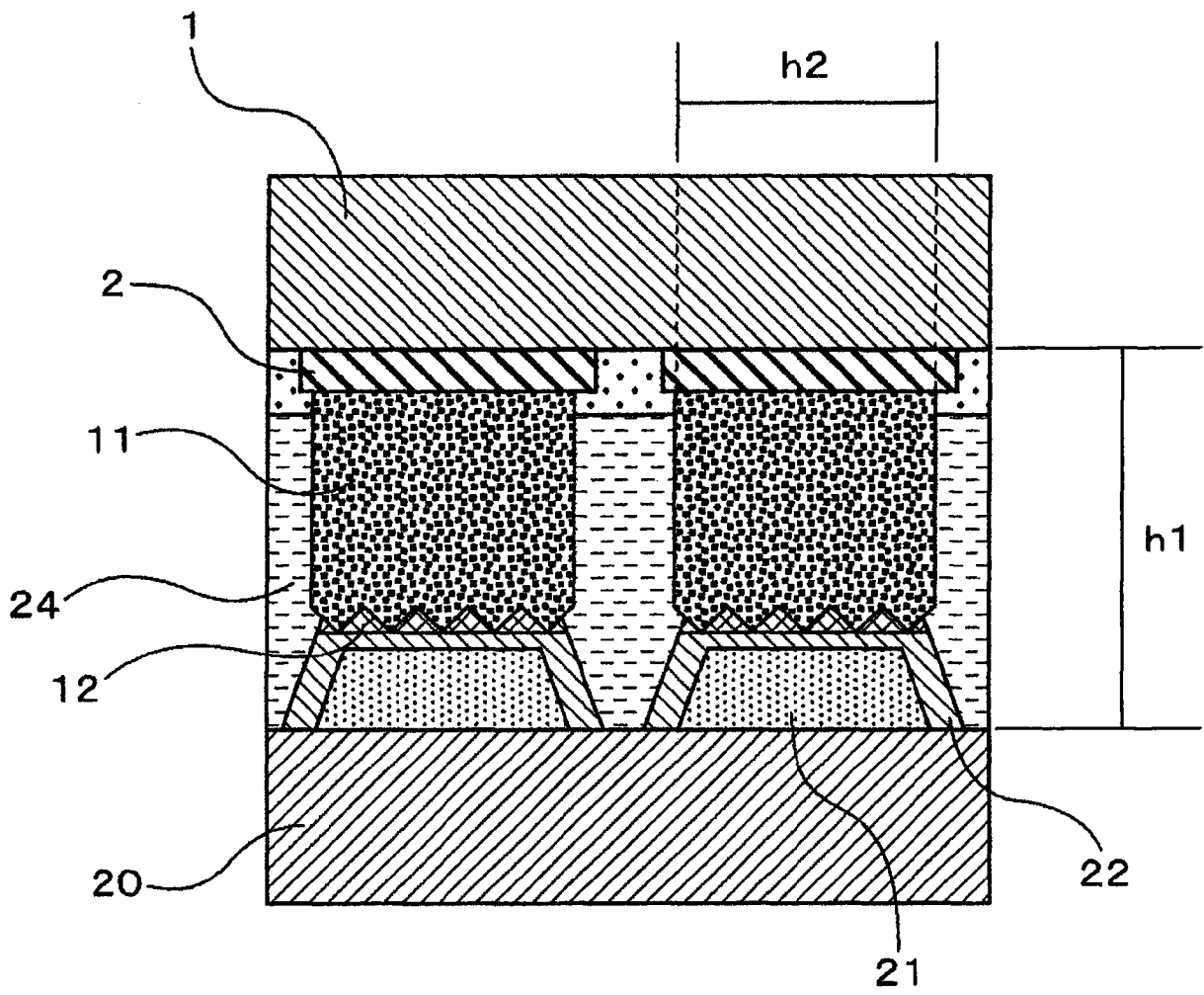


图 1

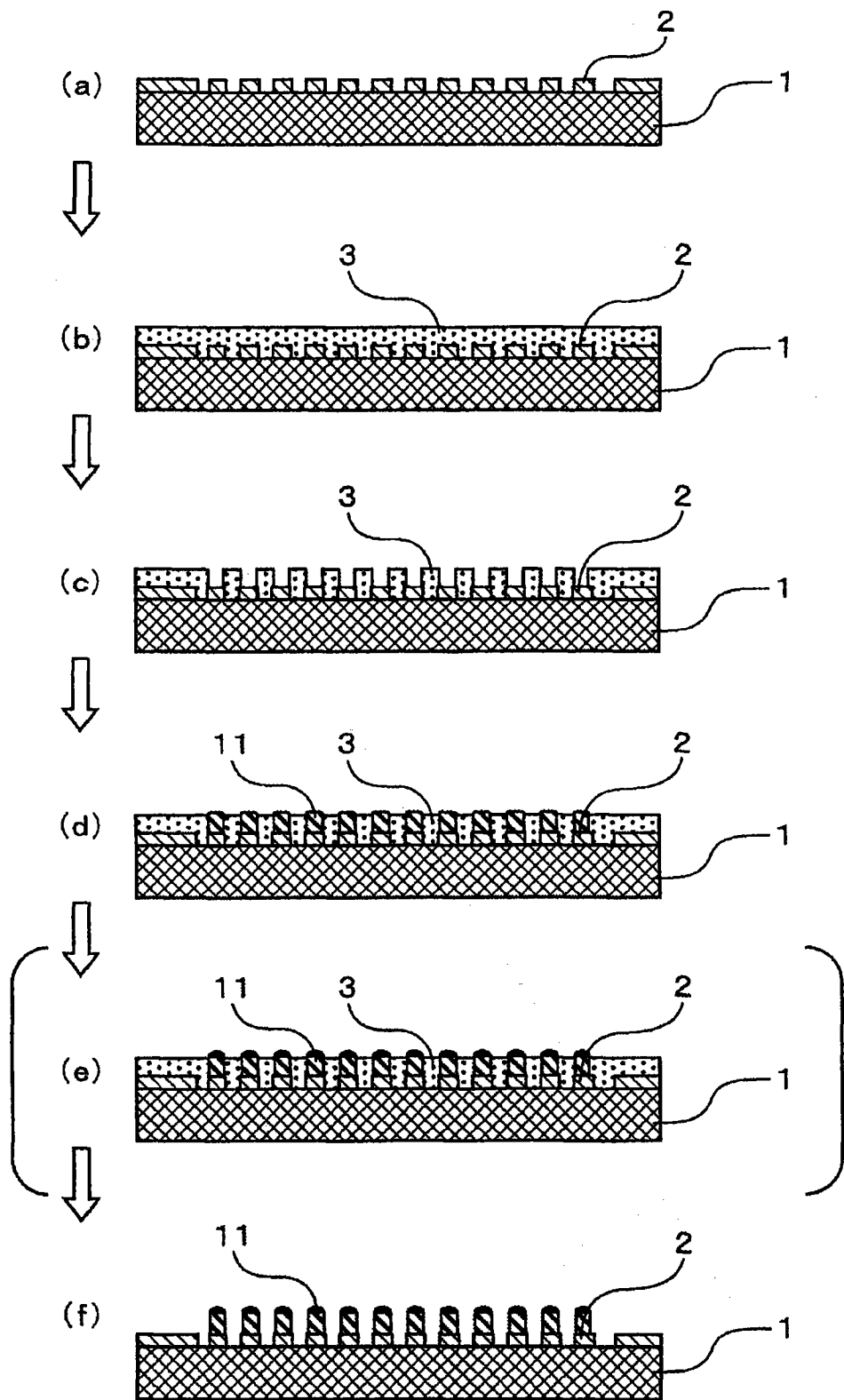


图 2

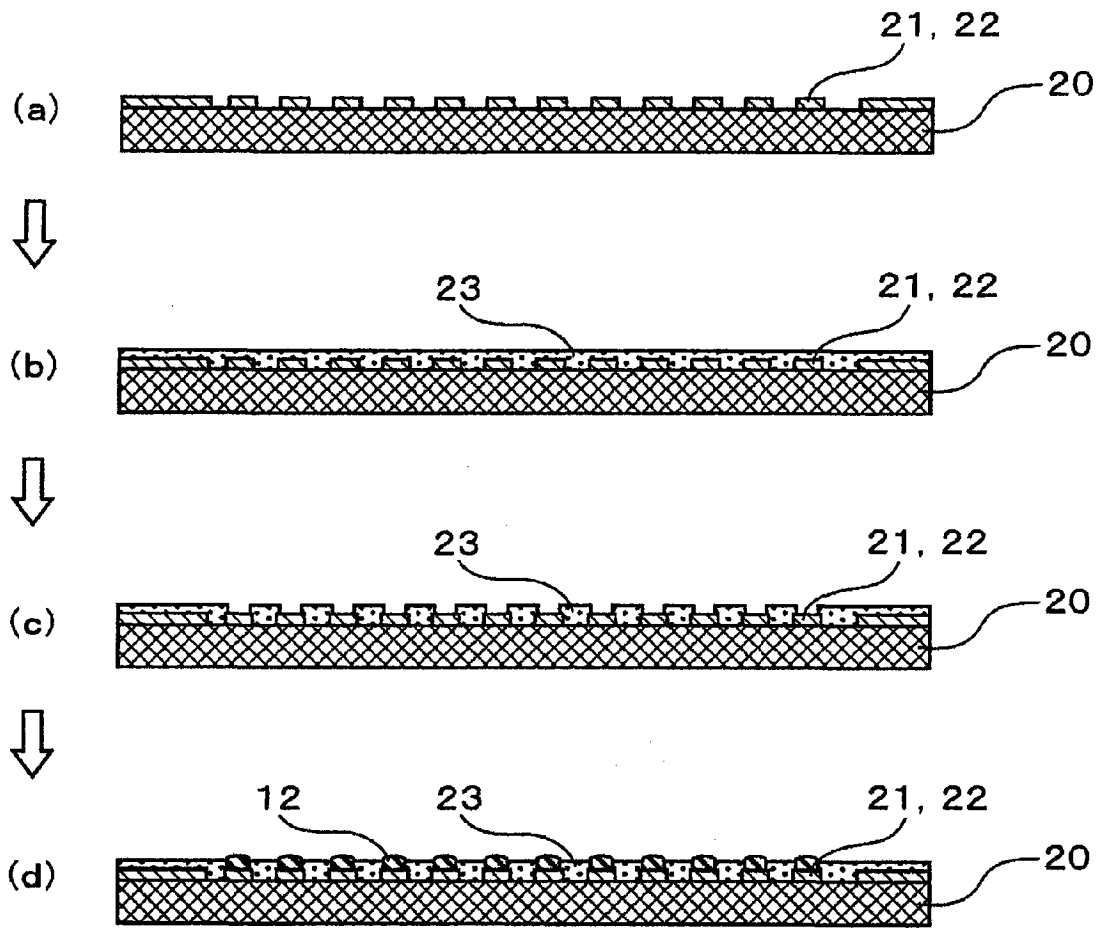


图3

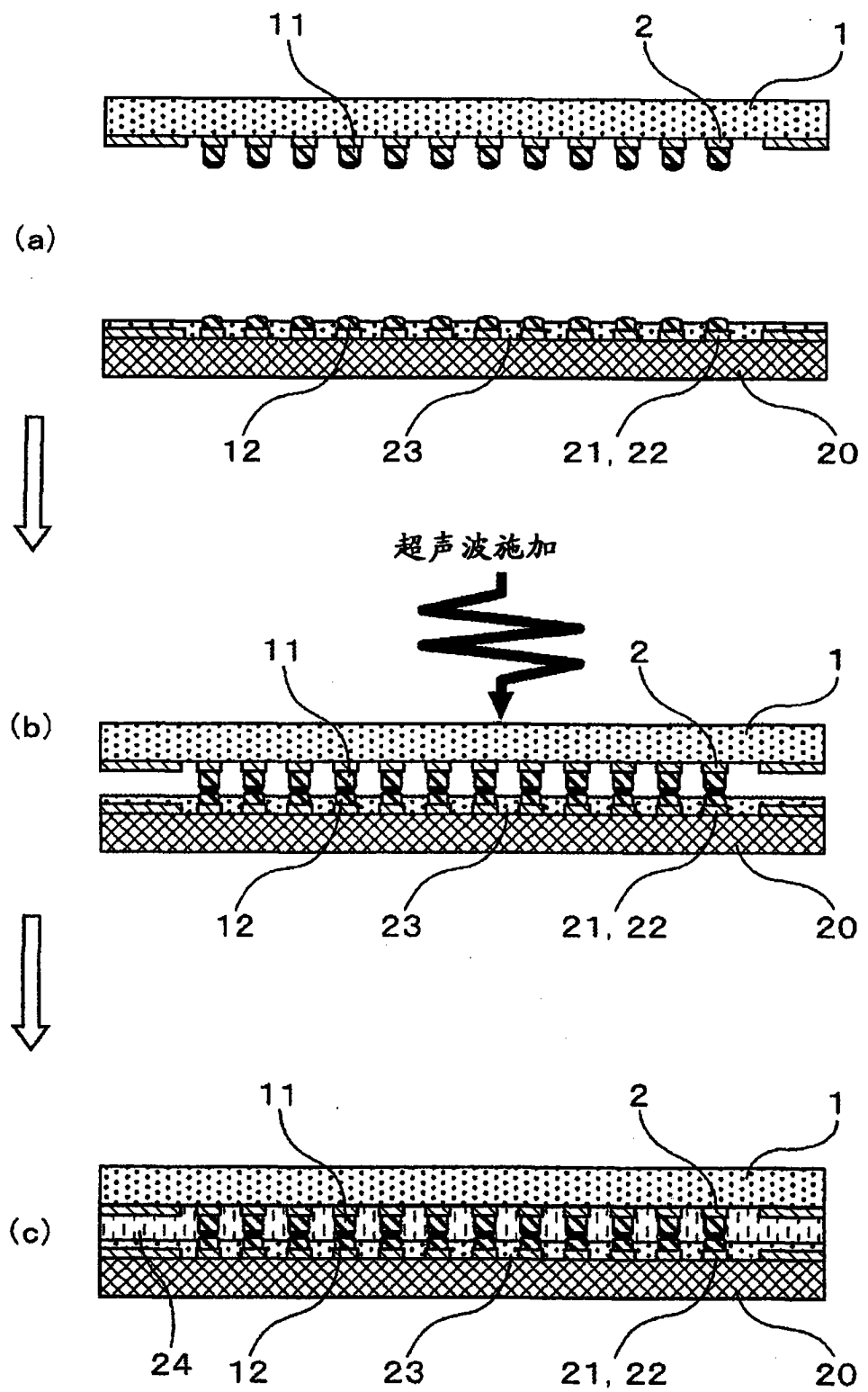


图 4

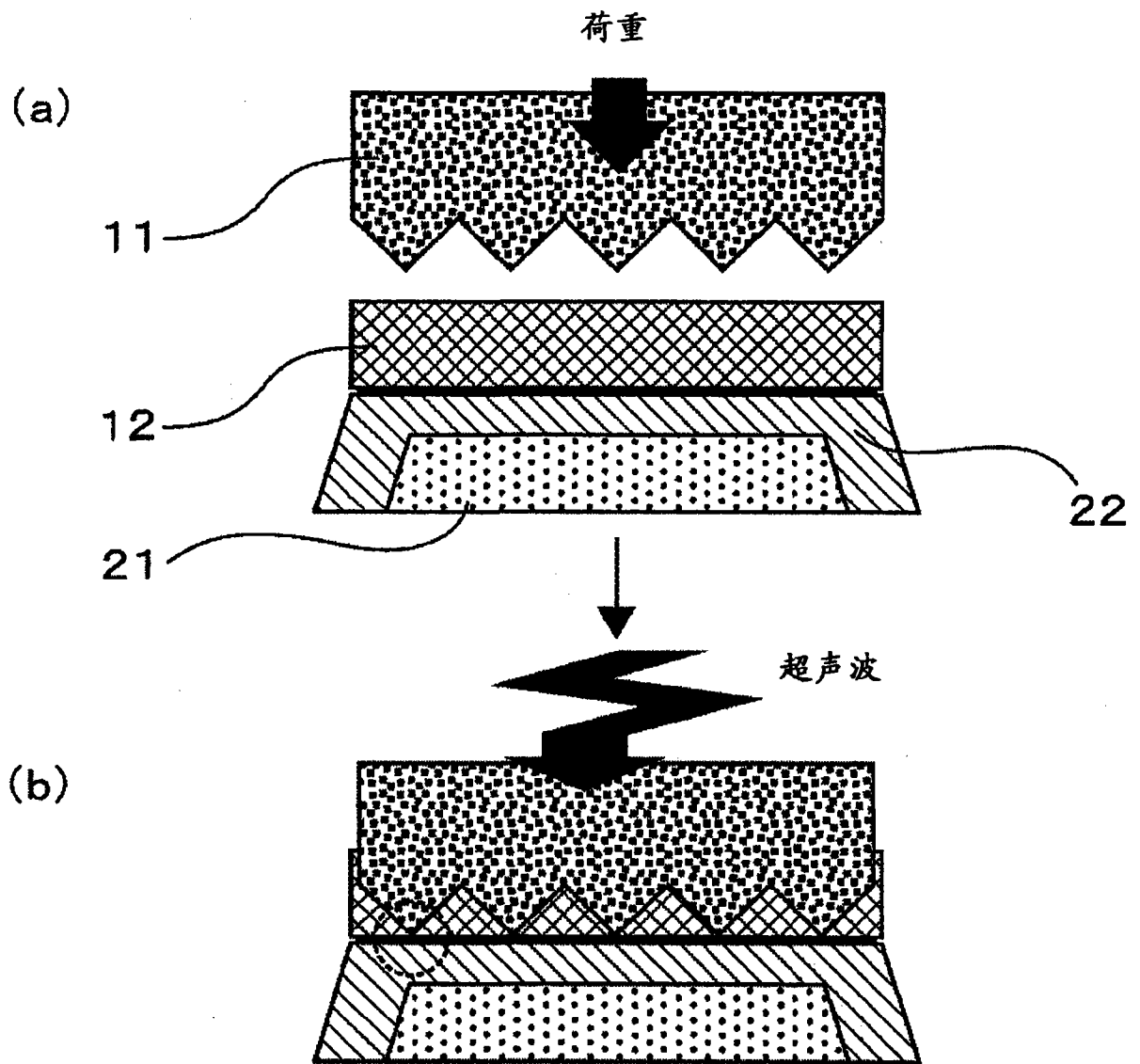


图5

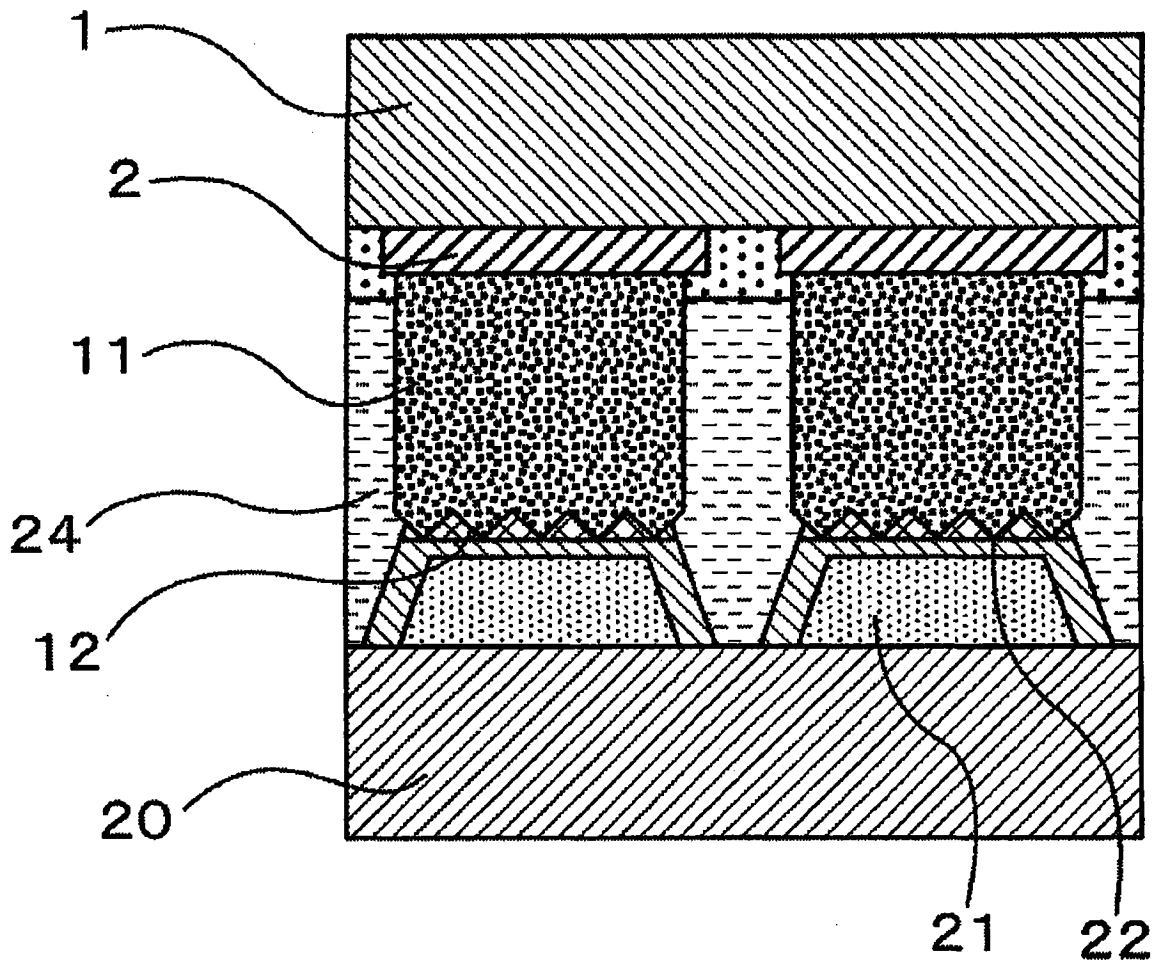


图 6

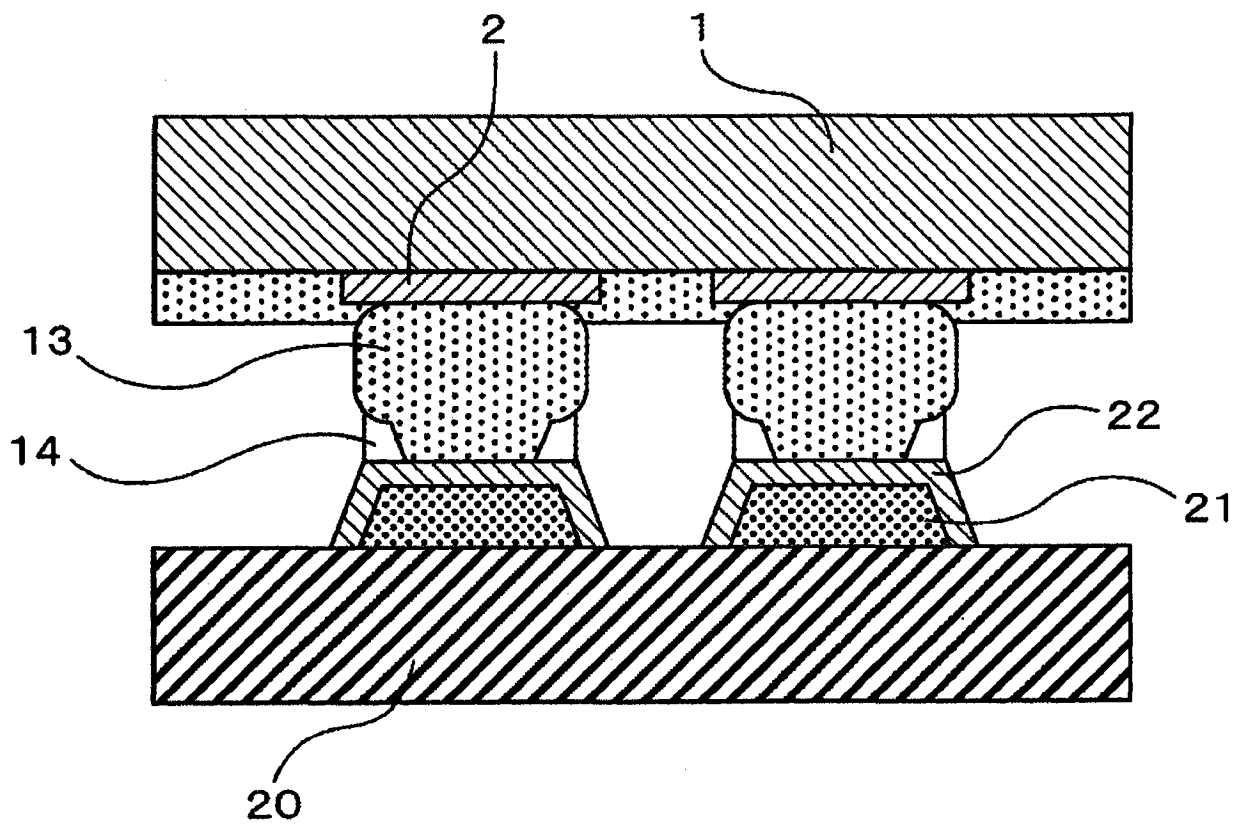


图7