

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5432445号
(P5432445)

(45) 発行日 平成26年3月5日(2014.3.5)

(24) 登録日 平成25年12月13日(2013.12.13)

(51) Int. Cl. F I
 HO 1 L 21/336 (2006.01) HO 1 L 29/78 6 2 7 C
 HO 1 L 29/786 (2006.01) GO 3 F 1/00 D
 GO 3 F 1/00 (2012.01)

請求項の数 7 (全 22 頁)

(21) 出願番号	特願2007-310174 (P2007-310174)	(73) 特許権者	000006013 三菱電機株式会社 東京都千代田区丸の内二丁目7番3号
(22) 出願日	平成19年11月30日(2007.11.30)	(74) 代理人	100103894 弁理士 冢入 健
(65) 公開番号	特開2009-135272 (P2009-135272A)	(72) 発明者	伊藤 康悦 東京都千代田区丸の内二丁目7番3号 三 菱電機株式会社内
(43) 公開日	平成21年6月18日(2009.6.18)	審査官	竹口 泰裕
審査請求日	平成22年10月29日(2010.10.29)	(56) 参考文献	特開2006-343755 (JP, A) 特開2005-072135 (JP, A)

最終頁に続く

(54) 【発明の名称】 薄膜トランジスタの製造方法、及び薄膜トランジスタ製造用のフォトマスク

(57) 【特許請求の範囲】

【請求項1】

薄膜トランジスタの製造方法であって、
 基板上にゲート電極を形成する工程と、
 前記ゲート電極上にゲート絶縁膜、半導体層、導電膜、及びレジストを順に積層する工程と、
 前記レジストの上部にフォトマスクを配置して写真製版プロセスにより、厚み方向に段差構造を有する第1レジストパターンを形成する工程と、
 前記第1レジストパターンをマスクとして前記導電膜及び前記半導体層のエッチングを行う工程と、
 前記第1レジストパターンのうちの膜厚の厚い部分がパターンとして残るように第2レジストパターンを形成する工程と、
 前記第2レジストパターンをマスクとしてバックチャネル部分の前記導電膜のエッチング及び前記半導体層にバックチャネルを形成する工程と、を備え、
 前記第1レジストパターンは、
 前記フォトマスクに形成されたソース電極形成用遮光領域が転写されたソース電極形成用パターンと、
 前記フォトマスクに形成されたドレイン電極形成用遮光領域が転写されたドレイン電極形成用パターンと、
 前記フォトマスクに形成され、露光する光に対して解像限界以下のパターンを有するパ

ックチャンネル領域形成用の半透過領域が転写されたバックチャンネル領域形成用パターンと、を備え、

前記バックチャンネル領域形成用パターンは、前記ソース電極形成用パターンと対向する前記ドレイン電極形成用パターンの辺 RL_D の両端部から、前記ドレイン電極形成用パターンと対向する前記ソース電極形成用パターンの辺 RL_S に向けて、両サイドで実質上連続的に幅が拡大するように形成され、

前記ソース電極形成用パターンから形成されるソース電極と、前記ドレイン電極形成用パターンから形成されるドレイン電極とは、互いに対向する側壁が略平行に配置されており、

前記第2レジストパターンは、前記第1レジストパターンから前記バックチャンネル領域形成用パターンを除去したものである薄膜トランジスタの製造方法。

10

【請求項2】

請求項1に記載の薄膜トランジスタの製造方法において、

前記フォトリソグラフィにおける前記バックチャンネル領域形成用の半透過領域は、露光する光に対して解像限界以下で、同一方向に配列した線状パターンと線状透過部とを備え、

前記ソース電極形成用遮光領域と対向する側の前記ドレイン電極形成用遮光領域の辺 ML_D より突出する前記線状パターンの長辺方向の第1端部側の突出長さを a_m 、

前記辺 ML_D より突出する前記線状パターンの長辺方向の第2端部側の突出長さを b_m

、前記辺 ML_D より突出する、前記ドレイン電極形成用遮光領域と対向する側の前記ソース電極形成用遮光領域の辺 ML_S の第1の端部側の突出長さを c 、

20

前記辺 ML_D より突出する前記辺 ML_S の第2の端部側の突出長さを d 、

前記辺 ML_D と前記辺 ML_S との離間距離を L とし、

かつ、前記線状パターンの前記第1端部と前記ソース電極の前記第1の端部をチャンネル幅方向に対して同一の側とし、前記線状パターンの前記第2端部と前記ソース電極の前記第2の端部をチャンネル幅方向に対して同一の側としたときに、

前記フォトリソグラフィが下記<式1>及び<式2>を満足していることを特徴とする薄膜トランジスタの製造方法。

<式1> $a_m \cdot L \times m / (n + 1)$ 、かつ、 $b_m \cdot L \times m / (n + 1)$

(但し、 m は、前記線状パターンを前記ドレイン電極形成用遮光領域側から数えた際の配列番号を示し、 n は、前記線状パターンの総本数を示す。)

30

<式2> $c \cdot L$ 、かつ、 $d \cdot L$

【請求項3】

請求項2に記載の薄膜トランジスタの製造方法において、

前記線状パターンを複数備え、

前記線状パターンは、互いに離間して略平行に配列され、

前記フォトリソグラフィが下記<式3>を満足していることを特徴とする薄膜トランジスタの製造方法。

<式3> $a_{m-1} \cdot a_m$ 、かつ、 $b_{m-1} \cdot b_m$

【請求項4】

40

請求項1に記載の薄膜トランジスタの製造方法において、

前記フォトリソグラフィにおける前記バックチャンネル領域形成用の半透過領域として、露光する光に対して解像限界以下の幾何学的なパターンマスクを備えることを特徴とする薄膜トランジスタの製造方法。

【請求項5】

請求項1に記載の薄膜トランジスタの製造方法において、

前記フォトリソグラフィにおける前記バックチャンネル領域形成用の半透過領域として、透過率を有する膜からなるマスクを備えることを特徴とする薄膜トランジスタの製造方法。

【請求項6】

逆スタガ型の薄膜トランジスタ製造用のフォトリソグラフィマスクであって、

50

透過性基板と、

前記透過性基板上に形成され、ソース電極形成用遮光領域、ドレイン電極形成用遮光領域、及び露光する光に対して解像限界以下のパターンを有するバックチャネル領域形成用の半透過領域と、を備え、

前記バックチャネル領域形成用の半透過領域は、同一方向に配列した線状パターンと、線状透過部とを有し、

前記ソース電極形成用遮光領域と対向する側の前記ドレイン電極形成用遮光領域の辺 $M L_D$ より突出する前記線状パターンの長辺方向の第1端部側の突出長さを a_m 、

前記辺 $M L_D$ より突出する前記線状パターンの長辺方向の第2端部側の突出長さを b_m

10

、前記辺 $M L_D$ より突出する、前記ドレイン電極形成用遮光領域と対向する側の前記ソース電極形成用遮光領域の辺 $M L_S$ の第1の端部側の突出長さを c 、

前記辺 $M L_D$ より突出する前記辺 $M L_S$ の第2の端部側の突出長さを d 、

前記辺 $M L_D$ と前記辺 $M L_S$ との離間距離を L とし、

かつ、前記線状パターンの前記第1端部とソース電極の前記第1の端部をチャンネル幅方向に対して同一の側とし、前記線状パターンの前記第2端部と前記ソース電極の前記第2の端部をチャンネル幅方向に対して同一の側としたときに、

前記フォトマスクが下記<式1>及び<式2>を満足し、

前記ソース電極形成用遮光領域から形成される前記ソース電極と、前記ドレイン電極形成用遮光領域から形成されるドレイン電極とは、互いに対向する側壁が略平行に配置されていることを特徴とする薄膜トランジスタ製造用のフォトマスク。

20

<式1> $a_m = L \times m / (n + 1)$ 、かつ、 $b_m = L \times m / (n + 1)$

(但し、 m は、前記線状パターンを前記ドレイン電極形成用遮光領域側から数えた際の配列番号を示し、 n は、前記線状パターンの総本数を示す。)

<式2> $c = L$ 、かつ、 $d = L$

【請求項7】

請求項6に記載の薄膜トランジスタ製造用のフォトマスクにおいて、

前記線状パターンを複数備え、

前記線状パターンは、互いに離間して略平行に配列され、

前記フォトマスクが下記<式3>を満足していることを特徴とする薄膜トランジスタ製造用のフォトマスク。

30

<式3> $a_{m-1} = a_m$ 、かつ、 $b_{m-1} = b_m$

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、薄膜トランジスタの製造方法、及び薄膜トランジスタ製造用のフォトマスクに関する。

【背景技術】

【0002】

液晶表示装置(LCD:Liquid Crystal Display)は、薄型・軽量・低消費電力の特徴を活かして、情報通信時代に必須のフラットパネルディスプレイとして、OA用、民生用、産業用と幅広く活用されている。このような液晶表示装置の製造工程において、基板上にパターンを転写するために写真製版技術が用いられている。

40

【0003】

写真製版技術では、まずパターンが形成されたフォトマスクを介して、感光性樹脂(以下、レジストと呼ぶ)が塗布された基板を露光する。露光処理により、フォトマスク上に形成されたパターンが基板上に投影露光される。レジストは光によって反応する化学物質を溶媒に溶かしたもので、感光した部分が溶解するポジ型と、感光した部分が残るネガ型とがある。そして、露光されたレジストに対して、現像液により現像処理を施し、余分な部分のレジストを除去する。これにより、レジストにフォトマスクのパターン像が転写さ

50

れ、レジストパターンが形成される。

【 0 0 0 4 】

通常、フォトマスクは、透明基板上にクロムなどの遮光膜によってパターンが形成されている。フォトマスク上でパターンが形成されていない部分は、透明基板を光が通過し、レジストが感光されていわゆる露光部となる。一方、フォトマスクのパターン形成部は、光が遮光され、レジストは未露光部となる。このようにして、レジストにフォトマスク上のパターンが転写される。

【 0 0 0 5 】

薄膜トランジスタ（以下、「T F T」（Thin Film Transistor）とも云う）は、アクティブマトリクス型液晶表示装置（A M L C D : Active-Matrix Liquid-Crystal Display）の画素駆動用のトランジスタとして広く用いられている。T F Tの中でも、非晶質（アモルファス）のシリコン（S i）膜を半導体膜として用いるものは、少ない製造工程数で製造が可能であり、絶縁性基板の大型化が容易なため、生産性が高く、広く適用されている。T F Tアレイ基板の製造工程においては、少なくとも異なる5回のエッチング工程が必要である。このため、それぞれのエッチング工程に対応したレジストパターンを形成するために、5回の写真製版工程が必要であり、5回の写真製版工程を行うために、5枚のフォトマスクが用いられてきた。

【 0 0 0 6 】

近年においては、製造工程数をさらに削減して製造コストを低減させるために、4枚マスク技術の開発が進んでいる（特許文献1～3）。4枚マスク技術は、通常の場合、2枚のフォトマスクを利用して行うプロセスを、1枚のフォトマスクの利用にて製造する技術であり、いわゆる多階調露光技術を利用するものである。多階調露光技術によれば、故意的にレジストに膜厚差をつくることのできる。レジストに膜厚差を形成するためには、フォトマスク上で透明基板を通過する光量よりも少ない光量が通過する中間階調領域を形成する必要がある。この中間階調領域の形成方法については、グレイトーンマスクを用いる方法やハーフトーンマスクを用いる方法が知られている。グレイトーンマスクとは、写真製版工程時に未解像となるような微小パターンをスリットや格子状に配置させ、その部分の透過光量を制御するものである。ハーフトーンマスクは、中間階調領域を半透明膜で形成するものである。

【 0 0 0 7 】

4枚マスク技術により、逆スタガ型のT F Tを製造する方法について説明する。従来、半導体層（アモルファスシリコン）の島化と、ソース電極等のパターン形成は、それぞれ個別に、成膜、写真製版プロセス、エッチング工程等を行ってきた。これに対し、4枚マスク技術によって製造する場合には、ゲート電極等のパターンを形成した後に、ゲート絶縁膜、半導体層、ソース電極及びドレイン電極等を形成するための導電膜を連続して成膜する。そして、その上層にレジストをスピコート法により塗布する。

【 0 0 0 8 】

レジストの露光工程において、多階調露光技術を用い、T F Tのバックチャネル領域上のレジストの膜厚が、ソース電極等の形成領域上のレジストの膜厚に比して薄くなるようなフォトマスクを用いて露光処理を行う。そして、現像処理により第1レジストパターンを形成し、この第1レジストパターンをマスクとして、エッチング処理を行う。その後、バックチャネル領域の上層に形成されたレジストを除去し、ソース電極等のパターンが残るようにアッシングを行う。これにより、第2レジストパターンを得、この第2レジストパターンをマスクとして、2度目のエッチングを行う。この工程により、バックチャネルを形成し、T F Tを得る。T F Tを液晶表示装置に搭載する場合には、さらにソース電極等のパターン領域上に形成されたレジストを除去し、層間絶縁膜、画素電極の形成などのプロセス（2回の写真製版プロセス）が必要となる。

【 0 0 0 9 】

図11(a)に、従来例1に係るフォトマスク170の平面図を、図11(b)に、図11(a)のフォトマスク170を用いてパターンニングした第1レジストパターン150

10

20

30

40

50

の平面図を示す。図11(a)に示すように、フォトマスク170は、ソース電極形成用パターン171、ドレイン電極形成用パターン173、及び線状パターン176を有する。線状パターン176の長辺方向の長さは、互いに対向するドレイン電極形成用パターン173の辺の長さと同じとなっている。線状パターン176の短辺方向の幅は、露光解像限界以下の値に設定されている。

【0010】

図12(a)に、従来例2に係る、特許文献2に記載のTFT製造用のフォトマスク170aの平面図を、図12(b)に、図12(a)のフォトマスク170aを用いて製造したTFT101の主要部の平面図を示す。図12(b)中の符号106は、ゲート電極であり、符号131はソース電極、符号133はドレイン電極を示す。フォトマスク170aには、ソース電極形成用パターン171a、ドレイン電極形成用パターン173a、及び線状パターン176aが形成されている。同図に示すように、ソース電極形成用パターン171aとドレイン電極形成用パターン173aとは、同一長さの対向辺を互いに対向配置させている。そして、これらの辺に対して、線状パターン176aの辺を、1.5~3.0 μ m突出させている。

10

【0011】

TFT101においては、半導体層110のチャネル領域のチャネル幅方向の縁部114を凹形状115、凸形状116とし、一定以上のチャネル幅を確保することで、光リーク電流の低減を実現できるTFTが得られることが記載されている(図12(b)参照)

20

【0012】

図13(a)に、従来例3に係る、特許文献3に記載のTFT製造用のフォトマスク170bの平面図を、図13(b)に、図13(a)のフォトマスク170bを用いて製造したTFT102の主要部の平面図を示す。フォトマスク170bに形成されたソース電極形成用パターン171bとドレイン電極形成用パターン173bとは、前記従来例2と同様に、同一長さの対向辺を互いに対向配置させている。また、フォトマスク170bは、縦に並んだ開口スリット175bと遮光領域176bが形成され、チャネル領域のチャネル幅方向(図13(a)中のY方向)の両辺縁部は、横に並んだ開口スリット178と遮光領域179により構成されている。フォトマスク170bを用いることにより、図13(b)に示すように、幅広い半導体膜110bを形成する構成が開示されている。

30

【特許文献1】特開2005-72135号公報 第10-12頁、図3-図9

【特許文献2】特開2005-228826号公報 第6頁46行目-7頁17行目、図1、図2

【特許文献3】特開2002-55364号公報 第3-4頁、図9-図10

【発明の開示】

【発明が解決しようとする課題】

【0013】

上記従来例1に係る第1レジストパターン150は、図11(b)に示すように、バックチャネル領域形成用パターン152のチャネル幅方向(図11(b)中のY方向)の端部において、周りからの光の回り込みによって凹部155が形成されてしまう。このため、第1レジストパターン150の凹部形状を反映した形でその下層にある半導体層がパターンニングされる。その結果、ドレイン電極及びソース電極の長さに対して、チャネル幅が狭い構造となり、TFTの電流駆動能力が低下してしまう。

40

【0014】

上記従来例2において、チャネル領域のチャネル幅方向の端部に形成された凹部が、ソース電極131とドレイン電極133の対向領域内に形成された場合には、電流駆動能力が低下してしまう。また、チャネル領域のチャネル幅方向の端部に形成された凹部が、ソース電極131とドレイン電極133の対向領域外に形成された場合であっても、当該凹部において、電流量が律速となってしまうという問題があった。

【0015】

50

チャンネル領域の端部に凹部や凸部があると、その上層に積層する層間絶縁膜の膜厚が均一に形成されない箇所が生じやすく、ピンホールなどの発生原因となる。ピンホールが層間絶縁膜中に形成されると、製造プロセス中に水分などが混入し、ソース電極やドレイン電極の材料である金属を腐食させて、歩留まりの低下を招いてしまう。

【0016】

上記従来例3に記載のフォトマスク170aを用いた場合、フォトマスクのパターンの寸法精度が縦方向と横方向で異なると、チャンネル領域内部とチャンネル領域の両辺縁部14に形成するレジストパターンの厚さが異なってしまうという問題があった。その結果、露光量の変動によりチャンネル長とソース電極、ドレイン電極からのチャンネル幅の拡大量が変動するため、TFTのオン電流特性の安定性が悪くなる。このため、フォトマスクの寸法精度を厳密に管理する必要がある。

10

【0017】

本発明は、上記背景に鑑みてなされたものであり、その目的とするところは、低コスト化と高い歩留まりを達成しつつ、TFTのON特性の安定化に優れ、電流駆動能力を向上させることが可能な薄膜トランジスタの製造方法を提供することである。

【課題を解決するための手段】

【0018】

本発明に係る薄膜トランジスタの製造方法は、基板上にゲート電極を形成する工程と、前記ゲート電極上にゲート絶縁膜、半導体層、導電膜、及びレジストを順に積層する工程と、前記レジストの上部にフォトマスクを配置して写真製版プロセスにより、厚み方向に段差構造を有する第1レジストパターンを形成する工程と、前記第1レジストパターンをマスクとして前記導電膜及び前記半導体層のエッチングを行う工程と、前記第1レジストパターンのうちの膜厚の厚い部分がパターンとして残るように第2レジストパターンを形成する工程と、前記第2レジストパターンをマスクとしてバックチャンネル部分の前記導電膜のエッチング及び前記半導体層にバックチャンネルを形成する工程と、を備える。そして、前記第1レジストパターンは、前記フォトマスクに形成されたソース電極形成用遮光領域が転写されたソース電極形成用パターンと、前記フォトマスクに形成されたドレイン電極形成用遮光領域が転写されたドレイン電極形成用パターンと、前記フォトマスクに形成され、露光する光に対して解像限界以下のパターンを有するバックチャンネル領域形成用の半透過領域が転写されたバックチャンネル領域形成用パターンとを備える。当該バックチャンネル領域形成用パターンは、前記ソース電極形成用パターンと対向する前記ドレイン電極形成用パターンの辺 RL_D の両端部から、前記ドレイン電極形成用パターンと対向する前記ソース電極形成用パターンの辺 RL_S に向けて、両サイドで実質上連続的に幅が拡大するように形成され、前記第2レジストパターンは、前記第1レジストパターンから前記バックチャンネル領域形成用パターンを除去したものである。

20

30

【発明の効果】

【0019】

本発明によれば、低コスト化と高い歩留まりを達成しつつ、TFTのON特性の安定化に優れ、電流駆動能力を向上させることが可能な薄膜トランジスタの製造方法を提供することができるという優れた効果を有する。

40

【発明を実施するための最良の形態】

【0020】

以下、本発明を適用した実施形態の一例について説明する。なお、本発明の趣旨に合致する限り、他の実施形態も本発明の範疇に属し得ることは言うまでもない。また、以降の図における各部材のサイズや比率は、説明の便宜上のものであり、これに限定されるものではない。

【0021】

[実施形態1]

図1(a)に、本実施形態1に係るTFT1の構成を示す平面図を、図1(b)に、図1(a)のIb-Ib切断部断面図を示す。TFT1は、逆スタガ型のものであり、チャ

50

ネルエッチ（CE）により製造する。なお、説明の便宜上、図1（a）においては、ゲート電極6、ソース電極31、ドレイン電極33の位置関係を容易に理解することができるようにゲート絶縁膜7、層間絶縁膜8の図示を省略した。

【0022】

TFT1は、図1（b）に示すように、絶縁性基板5、ゲート電極6、ゲート絶縁膜7、半導体層たる第1半導体膜10と第2半導体膜20、ソース電極31、ドレイン電極33、層間絶縁膜8等を有している。

【0023】

絶縁性基板5は、ガラス基板や石英基板などの透過性を有する基板を用いる。絶縁性基板5上には、ゲート電極6が形成されている。ゲート絶縁膜7は、ゲート電極6を覆うように、その上層に形成されている。第1半導体膜10は、ゲート絶縁膜7の上に形成され、ゲート絶縁膜7を介してゲート電極6と少なくともその一部が対向配置されている。

10

【0024】

第2半導体膜20は、第1半導体膜10の上層に形成されている。ソース電極31及びドレイン電極33は、第2半導体膜20上に形成されている。ソース電極31が積層された第2半導体膜20の領域がソース領域21となり、ドレイン電極33が積層された第2半導体膜20の領域がドレイン領域23となる。第1半導体膜10のうち、ソース領域21とドレイン領域23とに挟まれた位置にある第1半導体膜10がチャンネル領域12である。

【0025】

ソース電極31及びドレイン電極33は、ゲート絶縁膜7、第1半導体膜10、第2半導体膜20を介して、少なくとも一部のゲート電極6と対向配置されている。すなわち、TFTとして動作するために、薄膜トランジスタ領域80が、ゲート電極6上に存在して、ゲート電極に電圧を印加した時の電界の影響を受けやすい状態とする。

20

【0026】

ここで、ドレイン電極33と対向するソース電極31の側壁を PSw_S 、ソース電極31と対向するドレイン電極33の側壁を PSw_D とする（図1（a）参照）。 PSw_S と PSw_D は、互いに略平行に対向配置されている。そして、 PSw_S は、 PSw_D より長く、 PSw_S の両端部に PSw_D との非対向領域がある。

【0027】

ドレイン電極33及びソース電極31の下層には、前述したように、これらと略同一形状の第2半導体膜20が形成されている。そして、第2半導体膜20の下層には、図1（a）に示すように、縁部14だけサイズの大きい略同一形状の第1半導体膜10が形成されている。層間絶縁膜8は、チャンネル領域12、ソース電極31、ドレイン電極33を覆うように形成されている（図1（b）参照）。

30

【0028】

なお、第1半導体膜10の縁部14は、後述するTFTの製造工程（ソース電極/ドレイン電極材料をエッチングする工程）におけるレジスト40のアッシングが等方的であるため、横方向にもレジスト40が後退することにより形成されるものである。縁部14領域の存在によるTFTの動作への影響は無い。

40

【0029】

次に、上記のように構成されたTFT1の製造方法について図2～図5を用いつつ説明する。

【0030】

まず、絶縁性基板5上に、スパッタなどで第1導電膜を成膜する。第1導電膜は、例えば、Cr、Al、Ti、Moなど、又はこれらを主成分とする合金や、これらの金属の積層膜である。その後、第1導電膜上に感光性樹脂であるレジストをスピンコート法により塗布する。そして、塗布したレジストをフォトリソグラフィから露光し、レジストを感光させる。次に、感光させたレジストを現像してレジストをパターニングする。その後、露出している第1導電膜をエッチングし、レジストパターンを除去する。これにより、第1導電

50

膜が所定の形状にパターン形成され、ゲート電極 6、ゲート信号線等が形成される（図 2（a）参照）。

【0031】

次に、ゲート電極 6 等及び絶縁性基板 5 上に、プラズマ CVD（Chemical Vapor Deposition）等の各種 CVD 法により、ゲート絶縁膜 7、半導体層として機能する第 1 半導体膜 10 と第 2 半導体膜 20、導電膜として機能する第 2 導電膜 30 を連続して成膜する。ゲート絶縁膜 7 は SiN_x や SiO_y 等である。第 1 半導体膜 10 は、不純物が添加されていない純粋な半導体、いわゆる真性半導体である。第 1 半導体膜 10 としては、 $a-Si$ （アモルファスシリコン）等を用いる。第 2 半導体膜 20 としては、 n 型半導体であり、 $a-Si$ に P（リン）等を微量にドーピングした n^+a-Si （ n^+ アモルファスシリコン）膜等を用いる。

10

【0032】

第 1 半導体膜 10、第 2 半導体膜 20 は、同一チャンバー内で形成することが望ましい。第 1 半導体膜 10 と第 2 半導体膜 20 を同一チャンバー内で形成することにより、2 種のシリコン層間の電氣的接続抵抗を低減することができる。もちろん、ゲート絶縁膜 7 も同一チャンバー内で形成してもよい。第 2 導電膜 30 は、例えば、Cr、Al、Mo 又はこれらを主成分とする合金や、これらの金属の積層膜である。

【0033】

次いで、第 2 導電膜 30 上に感光性樹脂であるレジスト 40 をスピンコート法により塗布する。そして、塗布したレジスト 40 を、図 2（b）に示すように、フォトマスク 70 上から露光する。図 3 に、フォトマスク 70 の平面図を示す。また、図 4（a）に、露光後に現像して得られた第 1 レジストパターン 50 の平面図を、図 4（b）に、図 4（a）の I V b - I V b 切断部断面図を示す。

20

【0034】

フォトマスク 70 は、ソース電極形成用遮光領域 71、ドレイン電極形成用遮光領域 73、及び露光する光に対して解像限界以下のパターンを有するバックチャネル領域形成用の半透過領域 72 を備える。ソース電極形成用遮光領域 71 及びドレイン電極形成用遮光領域 73 は、露光時に光を遮蔽するためにガラスや石英などの上に形成した Mo などの金属をパターンニングして得られる。ソース電極形成用遮光領域 71 は、最終的に図 1（a）に示す平面形状に形成されるソース電極 31 が得られるようなパターンに形成され、ドレイン電極形成用遮光領域 73 は、最終的に図 1（a）に示す平面形状に形成されるドレイン電極 33 が得られるようなパターンに形成されている。ここで、ドレイン電極形成用遮光領域 73 と対向する側のソース電極形成用遮光領域 71 の辺を辺 ML_S 、ソース電極形成用遮光領域 71 と対向する側のドレイン電極形成用遮光領域 73 の辺を辺 ML_D とする。

30

【0035】

ドレイン電極形成用遮光領域 73 とソース電極形成用遮光領域 71 の間には、バックチャネル領域形成用の半透過領域 72 が配置されている。バックチャネル領域形成用の半透過領域 72 は、露光する光に対して解像限界以下で、線状パターン 76、線状パターン 76 とソース電極形成用遮光領域 71 との間の S 側線状透過部 75、線状パターン 76 とドレイン電極形成用遮光領域 73 との間の D 側線状透過部 77 から構成される。S 側線状透過部 75 の幅 e 、線状パターン 76 の短辺方向の幅 f 、及び D 側線状透過部 77 の幅 g は、レジスト 40 として用いる材料の物性や、露光に用いる光の波長、レンズの開口率等の露光装置の光学系によって決まる露光解像限界以下の値に設定する。

40

【0036】

ここで、線状パターン 76 のチャンネル幅方向の幅を MW とする。また、ドレイン電極形成用遮光領域 73 より突出する線状パターン 76 の長辺方向の図 3 中の上側の第 1 端部 E1 の突出長さを a_1 、図 3 中の下側の第 2 端部 E2 の突出長さを b_1 とする。また、ドレイン電極形成用遮光領域 73 とソース電極形成用遮光領域 71 との離間距離を L とする。 L は、本実施形態においては、線状パターン 76 の短辺方向の幅 f 、S 側線状透過部の短

50

辺方向の幅 e 、D側線状透過部の短辺方向の幅 g の和でもある。さらに、ドレイン電極形成用遮光領域 73 より突出するソース電極形成用遮光領域 71 のチャンネル方向の図 3 中の上側（前記第 1 端部 E_1 と同じ側）の第 1 の端部 E_3 の突出長さを c 、図 3 中の下側（前記第 2 端部 E_2 と同じ側）の第 2 の端部 E_4 の突出長さを d とする。本実施形態 1 においては、チャンネル長 L を $3.0 \mu\text{m}$ とし、上記 e 、 f 、 g をそれぞれ $1.0 \mu\text{m}$ とした。

【0037】

本実施形態 1 に係るフォトマスク 70 の線状パターン 76 の長辺方向の幅 MW は、図 3 に示すように、ソース電極形成用遮光領域 71 と対向する側のドレイン電極形成用遮光領域 73 の辺 ML_D より長く、かつドレイン電極形成用遮光領域 73 と対向する側のソース電極形成用遮光領域 71 の辺 ML_S よりも短いものとする。そして、フォトマスク 70 が

10

【0038】

<式 1> $a_m = L \times m / (n + 1)$ 、かつ、 $b_m = L \times m / (n + 1)$
但し、 m は、線状パターンをドレイン電極形成用遮光領域側から数えた際の配列番号を示し、 n は、線状パターンの総本数を示す。本実施形態 1 においては、線状パターンの本数は 1 本であるので、 $m = 1$ 、 $n = 1$ となる。すなわち、辺 ML_D より突出する線状パターン 76 の長辺方向の突出長さ a_1 及び突出長さ b_1 （図 3 参照）それぞれは、辺 ML_D と辺 ML_S との離間距離 L を 2 で除した値以上とする。 a_1 と b_1 は、必ずしも同じ長さとする必要はない。上記 <式 1> とすることで、第 1 半導体膜 10 のチャンネル領域に凹部が形成されることを防ぐことができる。離間距離 L を $3.0 \mu\text{m}$ より小さくすることにより、突出長さ a_1 及び突出長さ b_1 を $1.5 \mu\text{m}$ より小さくすることも可能となる。

20

【0039】

<式 2> $c > L$ 、かつ、 $d > L$
すなわち、辺 ML_D より突出する辺 ML_S の突出長さ c 及び突出長さ d （図 3 参照）それぞれは、離間距離 L 以上とする。

【0040】

さらに、チャンネル領域のチャンネル幅方向の端部に凸部ができることを防止する観点からは、下記 <式 4> を満足することが好ましい。

<式 4> $c > a_m$ 、又は $d > b_m$

すなわち、本実施形態 1 においては、辺 ML_D より突出する線状パターン 76 の長辺方向の突出長さ a_1 及び突出長さ b_1 （図 3 参照）それぞれは、辺 ML_D より突出する辺 ML_S の突出長さ c 及び突出長さ d （図 3 参照）以下とする。

30

【0041】

上記のように構成されたフォトマスク 70 を、図 2 (b) に示すように、レジスト 40 の上部に配置し、露光装置（不図示）によって所定波長の光を照射する。すると、フォトマスク 70 の透過領域においては、レジスト 40 に光が照射され、当該部分が露光部となる。ドレイン電極形成用遮光領域 73、ソース電極形成用遮光領域 71 においては、光が遮光され、当該部分のレジスト 40 は未露光部となる。バックチャンネル領域形成用の半透過領域 72 の下層に位置するレジストにおいては、S側線状透過部 75、線状パターン 76 及び D側線状透過部 77 により、前記露光部に比して光の照射量が少ない半露光部が形成される。

40

【0042】

露光処理後、レジスト 40 の現像処理を行う。これにより、露光部のレジストが除去され、図 4 に示すような第 1 レジストパターン 50 を得る。すなわち、露光部では、レジスト 40 が除去されることによって第 2 導電膜 30 が表面に露出する。未露光部では、レジスト 40 が除去されずに、所定の膜厚のレジストパターンが形成される。半露光部では、レジスト 40 が第 2 導電膜 30 の表面に露出しない程度に除去され、未露光部の所定膜厚に比して膜厚の薄いパターンが形成される。換言すると、第 1 レジストパターン 50 は、未露光部と半露光部とで膜厚方向に 2 つの段差構造を有するパターンが得られる。

【0043】

50

第1レジストパターン50は、フォトマスク70に形成されたソース電極形成用遮光領域71が転写されたソース電極形成用パターン51と、フォトマスク70に形成されたドレイン電極形成用遮光領域73が転写されたドレイン電極形成用パターン53と、フォトマスク70に形成されたS側線状透過部75、線状パターン76、及びD側線状透過部77からなるバックチャネル領域形成用の半透過領域72が転写されたバックチャネル領域形成用パターン52とからなる。

【0044】

第1レジストパターン50は、実際には、ソース電極形成用パターン51と、ドレイン電極形成用パターン53と、バックチャネル領域形成用パターン52とが一体的に一つのパターンとして形成されている。ここでは、それぞれ別のパターンの集合体ととらえて、ソース電極形成用パターン51と対向するドレイン電極形成用パターン53の辺を RL_D とし、ドレイン電極形成用パターン53と対向するソース電極形成用パターン51の辺を RL_S とする。

【0045】

バックチャネル領域形成用パターン52は、ソース電極形成用パターン51と対向するドレイン電極形成用パターン53の辺 RL_D の両端部から、ドレイン電極形成用パターン53と対向するソース電極形成用パターン51の辺 RL_S に向けて、両サイドで実質上連続的に幅が拡大する形状となる。

【0046】

続いて、エッチング処理を行う。これにより、露出している第2導電膜30、その下層に位置する第2半導体膜20と第1半導体膜10が除去される。その後、第1レジストパターン50のうち、膜厚の薄い部分、すなわち、バックチャネル領域形成用パターン52を除去して、その下層にある第2導電膜30が露出するようにアッシング処理を施す。アッシング処理には、例えば、RIE-DE装置、UVアッシャー等公知の装置を使用することができる。アッシング処理により、未露光部の膜厚の厚い領域もアッシングにより膜厚が薄くなるが、レジストパターンとして残存する。また、レジストの側壁部もアッシングによって縁部14ほどサイズが小さくなる。これにより、図1(a)に示すような、第1半導体膜10の縁部14が形成される。

【0047】

第1レジストパターン50のアッシング処理により、図5(a)及び図5(b)に示すような、第2レジストパターン60を得る。第2レジストパターン60は、第2ドレイン電極形成用パターン63と、第2ソース電極用レジストパターン61から構成される。チャネル領域12のチャネル長 $Cha-L$ は、アッシング処理後の第2ドレイン電極形成用パターン63と、第2ソース電極用レジストパターン61間の距離64により決定される。

【0048】

第2レジストパターン60をマスクとして、露出した第2導電膜30を除去する。そして、露出された第2半導体膜20、及びその下層に位置する第1半導体膜10の一部をエッチングにより除去する。これにより、バックチャネルが形成される(図5(c)参照)。チャネル領域12は、ドレイン領域23からソース領域21に向かうにつれてチャネル幅 CW が実質上連続的に拡大する構造となる。ここで、「実質上連続的に拡大する」とは、従来例に示すような凹形状とならなければよく、直線形状のみならず、曲線形状等であってもよい。

【0049】

その後、ゲート絶縁膜7、チャネル領域12、ソース電極31、及びドレイン電極33を覆うように、プラズマCVD等の各種CVD法で層間絶縁膜8を形成する。層間絶縁膜8としては、 SiN_x 、 SiO_y 等あるいはそれらの混合物及び積層物を用いることができる。TFT1を液晶表示装置に搭載する場合には、第2レジストパターン60を除去した後に、層間絶縁膜8にコンタクトホールを形成し、さらに画素電極を形成する。TFTを介してソース電極31から画素電極が接続され、液晶を駆動させるための電位が供給さ

10

20

30

40

50

れることで、所望の画像を表示させることができる。これらの一連の工程を経ることで図 1 (b) に示す T F T 1 が形成される。

【 0 0 5 0 】

本実施形態 1 に係る T F T は、例えば、液晶表示装置や E L 表示装置等の平面型表示装置 (フラットパネルディスプレイ) 等の表示装置に T F T アレイ基板等として搭載することができる。

【 0 0 5 1 】

本実施形態 1 によれば、上記 < 式 1 > から < 式 3 > を満足するフォトマスク 7 0 を用いてレジスト 4 0 のパターニングを行っているので、第 1 レジストパターン 5 0 のバックチャネル領域形成用パターン 5 2 が、ドレイン電極形成用パターン 5 3 の辺 $R L_D$ の両端部から、ソース電極形成用パターン 5 1 の辺 $R L_S$ に向けて、両サイドで実質上連続的に幅が拡大するように形成される。そして、この第 1 レジストパターン 5 0 をマスクとして、エッチング処理を施した後に、上述した形態を有するバックチャネル領域形成用パターン 5 2 を除去して第 2 レジストパターンを形成し、バックチャネルエッチを行っている。これにより、ドレイン領域 2 3 の各端部から、ソース領域 2 1 に向けて、両サイドで実質上連続的にチャンネル幅 $C W$ が滑らかに拡大するチャンネル領域 1 2 を簡便に得ることができる。その結果、チャンネル領域が細ることを防止でき、T F T の O N 特性の安定化に優れ、電流駆動能力の向上を図ることができる。

【 0 0 5 2 】

さらに、本実施形態 1 のチャンネル領域 4 2 の端部は、凹部、凸部形状となっていないので、層間絶縁膜の不均一な成膜を防ぐことができ、層間絶縁膜にピンホールが発生することを防ぐことができる。また、凹部で電流量が律速してしまう点を改善することができる。また、本実施形態 1 に係るフォトマスク 7 0 の半透過領域 7 2 は、同一方向のパターンのみから形成されているので、フォトマスクの寸法精度の管理を上記従来例 3 ほど厳密に管理する必要がない。従って、層間絶縁膜を均一に形成することが可能となるので製造歩留まりを向上させることができる。また、従来、5 枚のマスクが必要であったプロセスを 4 枚のマスクで T F T を形成することができるので、低コスト化を図ることができる。

【 0 0 5 3 】

[実施形態 2]

次に、上記実施形態 1 とは異なる構造の T F T の一例について説明する。なお、以降の説明において、上記実施形態と同一の要素部材は同一の符号を付し、適宜その説明を省略する。

【 0 0 5 4 】

本実施形態 2 に係る T F T 2 は、下記の点を除く基本的な構成が上記実施形態 1 と同様となっている。すなわち、上記実施形態 1 においては、チャンネル領域 1 2 が、ドレイン領域 2 3 の端部からソース領域 2 1 の端部に向けて形成されていたのに対し、本実施形態 2 に係るチャンネル領域 1 2 は、ドレイン領域 2 3 の端部からソース領域 2 1 の端部に向けて形成されているサイトとドレイン領域 2 3 の端部からソース領域 2 1 の側壁に向けて形成されているサイトにより構成されている点で相違する。

【 0 0 5 5 】

図 6 (a) は、本実施形態 2 に係る T F T 2 の主要部の平面図であり、図 6 (b) は、本実施形態 2 に係る T F T 2 を製造するためのフォトマスク 7 0 a の平面図である。図 6 (a) に示すように、ドレイン電極 3 3 に対向するソース電極 3 1 b の側壁 $P S W_S$ のうちの 2 つの非対向領域のうちの一つが、上記実施形態 1 に比してチャンネル幅方向に長く延在されている。これは、ソース電極 3 1 a の一方において、信号配線などに接続するためである。このような形状のソース電極 3 1 a であっても、第 1 レジストパターン 5 0 のバックチャネル領域形成用パターン 5 2 が、ドレイン電極形成用パターン 5 3 の辺 $R L_D$ の両端部から、ソース電極形成用パターン 5 1 の辺 $R L_S$ に向けて、両サイドで実質上連続的に幅が拡大するように形成することができる。その結果、チャンネル領域 1 2 が、ドレイン電極側からソース電極側に向かうにつれて、実質上連続的にチャンネル幅 $C W$ が拡大する

構造のTF Tを得ることができる。

【0056】

本実施形態2によれば、ソース電極31aの設計自由度が高いので、使用目的、用途に応じて、臨機応変にTF Tの構造を選定しつつ、上記実施形態1と同様の効果を得ることができる。

【0057】

[実施形態3]

本実施形態3に係るTF T3は、下記の点を除く基本的な構成が上記実施形態1と同様となっている。すなわち、上記実施形態1においては、チャンネル領域12が、ドレイン領域23の端部からソース領域21の端部に向けて形成されていたのに対し、本実施形態3

10

に係るチャンネル領域12は、ドレイン領域23の端部それぞれから、ソース領域21の側壁に向けて形成されている点で相違する。

【0058】

図7は、本実施形態3に係るTF T3の主要部の平面図である。図7に示すように、ドレイン電極33に対向するソース電極31bの側壁 PSW_S のうちの2つの非対向領域が、上記実施形態1に比してチャンネル幅方向に長く延在されている。本実施形態3に係るソース電極31bは、配線の一部であり、図7に示すように、平面視上、ソース電極31b、ドレイン電極33、及びチャンネル領域12がT字型に似た構造となっている。このような形状のソース電極31bであっても、第1レジストパターン50のバックチャンネル領域形成用パターン52が、ドレイン電極形成用パターン53の辺 RL_D の両端部から、ソ

20

ース電極形成用パターン51の辺 RL_S に向けて、両サイドで実質上連続的に幅が拡大するように形成することができる。その結果、チャンネル領域12が、ドレイン電極側からソース電極側に向かうにつれて、実質上連続的にチャンネル幅が拡大する構造のTF Tを得ることができる。

【0059】

本実施形態3に係るTF T3によれば、ソース電極31bの設計自由度が高いので、使用目的、用途に応じて、臨機応変にTF Tの構造を選定しつつ、上記実施形態1と同様の効果を得ることができる。

【0060】

[実施形態4]

本実施形態4に係るフォトマスクは、下記の点を除く基本的な構成が上記実施形態2と同様となっている。すなわち、上記実施形態2においては、線状パターン76が一つ形成されていたのに対し、本実施形態4に係る線状パターンは、2つある点で相違する。

30

【0061】

図8は、本実施形態4に係るフォトマスクの平面図である。図8に示すように、フォトマスク70bは、ソース電極形成用遮光領域71b、ドレイン電極形成用遮光領域73、及び露光する光に対して解像限界以下のパターンを有するバックチャンネル領域形成用の半透過領域72bを備える。ソース電極形成用遮光領域71b及びドレイン電極形成用遮光領域73は、露光時に光を遮蔽する遮光部から構成される。ソース電極形成用遮光領域71bは、最終的に図6(a)に示す平面形状に形成されるソース電極31bが得られるよ

40

うなパターンに形成され、ドレイン電極形成用遮光領域73は、最終的に図6(a)に示す平面形状に形成されるドレイン電極33が得られるようなパターンに形成されている。ここで、ドレイン電極形成用遮光領域73と対向する側のソース電極形成用遮光領域71bの辺を辺 $ML_S b$ 、ソース電極形成用遮光領域71bと対向する側のドレイン電極形成用遮光領域73の辺を辺 $ML_D b$ とする。

【0062】

ドレイン電極形成用遮光領域73とソース電極形成用遮光領域71bの間には、バックチャンネル領域形成用の半透過領域72bが配置されている。バックチャンネル領域形成用の半透過領域72bは、露光する光に対して解像限界以下で、同一方向に配列した第1線状パターン76b、第2線状パターン78を有する。また、第1線状パターン76bとドレ

50

イン電極形成用遮光領域 7 3 との間には D 側線状透過部 7 7 b、第 1 線状パターン 7 6 b と第 2 線状パターン 7 8 の間には線状パターン間透過部 7 9、第 2 線状パターン 7 8 とソース電極形成用遮光領域 7 1 b との間には S 側線状透過部 7 5 b、を有する。第 1 線状パターン 7 6 b の短辺方向の幅 f、第 2 線状パターン 7 8 の短辺方向の幅 h、S 側線状透過部 7 5 b の幅 e、線状パターン間透過部 7 9 の幅 i、及び D 側線状透過部 7 7 b の幅 g は、レジスト 4 0 として用いる材料の物性や、露光に用いる光の波長、レンズの開口率等の露光装置の光学系によって決まる露光解像限界以下の値に設定する。

【 0 0 6 3 】

ここで、第 1 線状パターン 7 6 b の長辺方向の幅を MW 1、第 2 線状パターン 7 8 の長辺方向の幅を MW 2 とする。また、ドレイン電極形成用遮光領域 7 3 より突出する第 1 線状パターン 7 6 b の長辺方向の図 8 中の上側の第 1 端部 E 5 側の突出長さを a_1 、ドレイン電極形成用遮光領域 7 3 より突出する第 2 線状パターン 7 8 の長辺方向の図 8 中の上側の第 3 端部 E 6 側の突出長さを a_2 とする。また、ドレイン電極形成用遮光領域 7 3 より突出する第 1 線状パターン 7 6 b の長辺方向の図 8 中の下側の第 2 端部 E 7 側の突出長さを b_1 、ドレイン電極形成用遮光領域 7 3 より突出する第 2 線状パターン 7 8 の長辺方向の図 8 中の下側の第 4 端部 E 8 側の突出長さを b_2 とする。

【 0 0 6 4 】

また、ドレイン電極形成用遮光領域 7 3 とソース電極形成用遮光領域 7 1 b との離間距離を L とする。L は、本実施形態においては、第 1 線状パターン 7 6 の短辺方向の幅 f、第 2 線状パターン 7 8 の短辺方向の幅 h、D 側線状透過部の短辺方向の幅 g、S 側線状透過部の短辺方向の幅 e、線状パターン間の幅 i の和でもある。本実施形態 3 においては、チャンネル長 L を $6.0 \mu\text{m}$ とし、上記 e, f, g, h, i をそれぞれ $1.2 \mu\text{m}$ とした。なお、これら e, f, g, h, i の長さは、所望の透過量が得られるように、解像限界以下のサイズであればよく、各々の長さが異なってもよい。

【 0 0 6 5 】

本実施形態 4 に係るフォトマスク 7 0 b の、第 1 線状パターン 7 6 b の長辺方向の幅 MW 1、及び第 2 線状パターン 7 8 の長辺方向の幅 MW 2 のそれぞれは、図 8 に示すように、ソース電極形成用遮光領域 7 1 b と対向する側のドレイン電極形成用遮光領域 7 3 の辺 ML_D b より長く、かつドレイン電極形成用遮光領域 7 3 と対向する側のソース電極形成用遮光領域 7 1 b の辺 ML_S b よりも短いものとする。

【 0 0 6 6 】

また、ソース電極形成用遮光領域 7 1 b 側にある第 1 線状パターン 7 6 b の長辺方向の幅 MW 1 が、ドレイン電極形成用遮光領域 7 3 側にある第 2 線状パターン 7 8 の長辺方向の幅 MW 2 と同一、若しくは大きくなるようにする。本実施形態 4 においては、フォトマスク 7 0 b が、以下の < 式 1 > から < 式 3 > の関係を満足するものを用いる。

【 0 0 6 7 】

< 式 1 > $a_m = L \times m / (n + 1)$ 、かつ $b_m = L \times m / (n + 1)$
但し、m は、線状パターンのドレイン電極形成用遮光領域側からの配列数を示す。また、n は、線状パターンの総本数を示す。本実施形態 4 においては、線状パターンの本数は 2 本であるので、 $m = 1, 2$ であり、 $n = 2$ となる。すなわち、第 1 線状パターン 7 6 b の長辺方向の突出長さ a_1 及び突出長さ b_1 は、辺 ML_D と辺 ML_S との離間距離 L を 3 で除した値以上とする。また、第 2 線状パターン 7 8 の長辺方向の突出長さ a_2 及び突出長さ b_2 は、辺 ML_D と辺 ML_S との離間距離 L を 3 で除した値に、さらに 2 を乗じた値以上となるようにする。

< 式 2 > $c > L$ 、かつ、 $d > L$
すなわち、辺 ML_D より突出する辺 ML_S の突出長さ c 及び突出長さ d (図 3 参照) は、離間距離 L 以上とする。

【 0 0 6 8 】

< 式 3 > $a_{m-1} < a_m$ 、かつ、 $b_{m-1} < b_m$
すなわち、線状パターンを複数備える場合には、互いに離間して略平行に配列し、ソース

10

20

30

40

50

電極形成用遮光領域側にあるものほど、線状パターン同士の突出長さが大きくなるように配置する。但し、隣接する線状パターン同士は、互いに突出しない構造としてもよい。本実施形態4においては、 $a_2 > a_1$ 、 $b_2 > b_1$ となるようにする。換言すると、辺 ML_D より突出する第1線状パターン76bの長辺方向の突出長さ a_1 及び b_1 は、辺 ML_D より突出する第2線状パターン78の長辺方向の突出長さ a_2 及び b_2 以下とする。

【0069】

さらに、チャンネル領域のチャンネル幅方向の端部に凸部ができることを防止する観点からは、下記<式4>を満足することが好ましい。

<式4> $c > a_m$ 、又は $d > b_m$

すなわち、本実施形態4においては、辺 ML_D より突出する第2線状パターン78の長辺方向の突出長さ a_2 及び突出長さ b_2 （図3参照）それぞれは、辺 ML_D より突出する辺 ML_S の突出長さ c 及び突出長さ d （図3参照）以下とする。

【0070】

上記のように構成されたフォトマスク70bを、レジストの上部に配置し、露光装置によって所定波長の光を照射する。すると、フォトマスク70bの透過領域においては、レジストに光が照射され、当該部分が露光部となる。ドレイン電極形成用遮光領域73、ソース電極形成用遮光領域71bにおいては、光が遮光され、当該部分のレジストは未露光部となる。バックチャンネル領域形成用の半透過領域72bの下層に位置するレジストにおいては、S側線状透過部75b、第1線状パターン76b、第2線状パターン78、線状パターン間透過部79、及びD側線状透過部77bにより、前記露光部に比して光の照射量が少ない半露光部が形成される。

【0071】

露光処理後、レジストの現像処理を行う。これにより、上記実施形態1において説明したように、未露光部と半露光部とで膜厚方向に2つの段差構造を有する第1レジストパターンが得られる。第1レジストパターンは、フォトマスク70bに形成されたソース電極形成用遮光領域71bが転写されたソース電極形成用パターンと、フォトマスク70bに形成されたドレイン電極形成用遮光領域73が転写されたドレイン電極形成用パターンと、フォトマスク70bに形成された第1線状パターン76b、第2線状パターン78、線状パターン間透過部79、S側線状透過部75b、及びD側線状透過部77bによって形成された半露光部が転写されたバックチャンネル領域形成用パターンとからなる。

【0072】

バックチャンネル領域形成用パターンは、ソース電極形成用パターンと対向するドレイン電極形成用パターンの辺の両端部から、ドレイン電極形成用パターンと対向するソース電極形成用パターンの辺に向けて、チャンネル幅方向の両端部で実質上連続的に幅が拡大する形状となる。続いて、エッチング処理工程を行い、アッシング処理によって第2レジストパターンを上記実施形態1と同様の方法にて形成する。そして、上記実施形態1と同様の方法にてバックチャンネルを形成して、層間絶縁膜でこれらを覆う。このような工程により、上記実施形態1と同様に、チャンネル領域が、ドレイン領域の各端部から、ソース領域に向けて、両サイドで実質上連続的にチャンネル幅が拡大する形状とすることができる。その結果、TFETのON特性の安定化に優れ、電流駆動能力の向上を図ることができる。

【0073】

本実施形態4によれば、チャンネル領域のチャンネル長が大きい場合に特に有効であり、チャンネル領域の設計自由度を高めつつ、上記実施形態1と同様の効果を得ることができる。なお、本実施形態4においては、線状パターンが2つである例について説明したが、これは一例にすぎず、線状パターンを複数有する構造とすることができる。線状パターンを複数有する場合には、複数の線状パターンを互いに離間して略平行に配列し、隣接する線状パターン同士が突出しないよう、若しくは、ソース電極形成用遮光領域側にあるものほど、線状パターン同士の突出長さが大きくなるように配置すると、容易に上記構成のチャンネル領域が得られるので、好ましい。

【0074】

10

20

30

40

50

[実施形態 5]

本実施形態 5 に係るフォトマスクは、下記の点を除く基本的な構成が上記実施形態 2 と同様となっている。すなわち、上記実施形態 2 においては、バックチャネル領域形成用の半透過領域 7 2 として、線状パターンと線状透過部からなるラインとスペースにより構成されていたのに対し、本実施形態 5 においては、バックチャネル領域形成用の半透過領域 7 2 が幾何学的なパターンマスクにより構成されている点で相違する。

【0075】

図 9 (a) は、本実施形態 5 に係るフォトマスク 7 0 c の平面図であり、図 9 (b) は、フォトマスク 7 0 c のバックチャネル領域形成用の半透過領域 7 2 c の部分拡大図である。

10

【0076】

フォトマスク 7 0 c は、図 9 (a) に示すように、ソース電極形成用遮光領域 7 1 c、ドレイン電極形成用遮光領域 7 3、及び露光する光に対して解像限界以下のパターンを有するバックチャネル領域形成用の半透過領域 7 2 c を備える。ソース電極形成用遮光領域 7 1 c 及びドレイン電極形成用遮光領域 7 3 は、露光時に光を遮蔽する遮光部から構成される。ソース電極形成用遮光領域 7 1 c は、最終的にソース電極が得られるようなパターンに形成され、ドレイン電極形成用遮光領域 7 3 は、最終的にドレイン電極が得られるようなパターンに形成されている。ここで、ドレイン電極形成用遮光領域 7 3 と対向する側のソース電極形成用遮光領域 7 1 c の辺を辺 $ML_S c$ 、ソース電極形成用遮光領域 7 1 c と対向する側のドレイン電極形成用遮光領域 7 3 の辺を辺 $ML_D c$ とする。

20

【0077】

ドレイン電極形成用遮光領域 7 3 とソース電極形成用遮光領域 7 1 c の間には、バックチャネル領域形成用の半透過領域 7 2 c が配置されている。バックチャネル領域形成用の半透過領域 7 2 は、ソース電極形成用遮光領域 7 1 c と対向するドレイン電極形成用遮光領域 7 3 の辺 $ML_D c$ の両端部から、ドレイン電極形成用遮光領域 7 3 と対向するソース電極形成用遮光領域 7 1 c の辺 $ML_S c$ に向けて、両サイドで実質上連続的に幅が拡大する形状のマスクにより構成されている。当該マスク部分は、図 9 (b) に示すように、露光する光に対して解像限界以下の寸法の幾何学的パターンであるメッシュ形状のパターンマスクにより構成されている。

【0078】

上記フォトマスク 7 0 c を用いることにより、第 1 レジストパターンのバックチャネル領域形成用パターンが、ドレイン電極形成用パターンの辺の両端部から、ソース電極形成用パターンの辺に向けて、両サイドで実質上連続的に幅が拡大するように形成することができる。そして、上記実施形態 1 と同様の工程を経て、チャンネル領域 1 2 が、ドレイン領域 2 3 からソース領域 2 1 に向かうにつれてチャンネル幅が実質上連続的に拡大する、上記実施形態 2 と同様の構造を有する T F T を得ることができる。

30

【0079】

フォトマスクの幾何学的パターンとしては、メッシュ形状に限定されない。また、幾何学的なパターンをスリットや格子状に配置したものを広く用いることができる。また、幾何学的パターンのマスクに代えて、透過率を有する半透明膜等のパターンマスク（ハーフトーンマスク）によって、半透過領域を構成してもよい。

40

【0080】

本実施形態 5 によれば、上記実施形態 1 において満たしている必要があった上記 < 式 1 > の条件を必ずしも満たさなくてもよい。すなわち、辺 ML_D より突出する辺 ML_S の突出長さ c 及び突出長さ d (図 3 参照) それぞれが、離間距離 L より小さくても適用可能である。また、ソース電極の側壁 PSW_S やドレイン電極の側壁 PSW_D の形状によらずに、チャンネル領域のチャンネル方向の幅をソース電極に向かうにつれて実質上連続的に拡大させることができる。従って、T F T の設計自由度を高めることができる。ソース電極 3 1 a のチャンネル方向の幅が小さい場合に特に有効である。

【0081】

50

なお、上記実施形態 1 ~ 5 においては、ポジ型のフォトリソストを用いた例について述べたが、ネガ型のフォトリソストを用いてもよい。その場合には、フォトマスクの遮光部と透過部を反転させる。

【 0 0 8 2 】

また、上記実施形態 1 ~ 5 においては、チャンネル領域のチャンネル幅方向が、ドレイン領域からソース領域に向けて実質上同一の角度で拡大している例について説明したが、両サイド側で同一の角度で拡大する例に限定されない。

【 0 0 8 3 】

さらに、フォトマスクとしては、第 1 レジストパターン 5 0 のバックチャンネル領域形成用パターン 5 2 が、ドレイン電極形成用パターン 5 3 の辺 RL_D の両端部から、ソース電極形成用パターン 5 1 の辺 RL_S に向けて、両サイドで実質上連続的に幅が拡大するように形成することが可能であればよく、上記実施形態のほか、公知のハーフトンマスク技術やグレイトーンマスク技術、若しくはこれらを組み合わせたものを用いることができる。

【 0 0 8 4 】

また、ドレイン電極と対向するソース電極の側壁 PSW_S と、ソース電極 3 1 と対向するドレイン電極 3 3 の側壁 PSW_D が、互いに略平行に対向配置されている例について説明したが、これに限定されるものではなく、 PSW_S のチャンネル方向の幅が、 PSW_D のチャンネル方向の幅よりも長く、 PSW_S の両端部に PSW_D との非対向領域があれば、側壁部の形状は限定されない。例えば、曲線形状やコの字形、ジグザグ形状等の構造であってもよい。

【 0 0 8 5 】

図 1 0 に、本件発明に適用可能なフォトマスクの変形例の一例を図示する。フォトマスク 7 0 d は、図 1 0 に示すように、ソース電極形成用遮光領域 7 1 d、ドレイン電極形成用遮光領域 7 3 d、及び露光する光に対して解像限界以下のパターンを有するバックチャンネル領域形成用の半透過領域 7 2 d を備える。ソース電極形成用遮光領域 7 1 d 及びドレイン電極形成用遮光領域 7 3 d は、露光時に光を遮蔽する遮光部から構成される。ソース電極形成用遮光領域 7 1 d は、最終的にソース電極が得られるようなパターンに形成され、ドレイン電極形成用遮光領域 7 3 d は、最終的にドレイン電極が得られるようなパターンに形成されている。

【 0 0 8 6 】

ドレイン電極形成用遮光領域 7 3 d とソース電極形成用遮光領域 7 1 d の間には、バックチャンネル領域形成用の半透過領域 7 2 d が配置されている。バックチャンネル領域形成用の半透過領域 7 2 d は、露光する光に対して解像限界以下の曲線状の線状パターン 7 6 d を有する。また、曲線状の線状パターン 7 6 d とソース電極形成用遮光領域 7 1 d との間には S 側曲線状透過部 7 5 d、線状パターン 7 6 d とドレイン電極形成用遮光領域 7 3 d との間には D 側曲線状透過部 7 7 d を有する。線状パターン 7 6 d、S 側曲線状透過部 7 5 d、D 側曲線状透過部 7 7 d の短軸方向の幅は、レジスト材料の物性や、露光に用いる光の波長、レンズの開口率等の露光装置の光学系によって決まる露光解像限界以下の値に設定する。

【 0 0 8 7 】

図 1 0 に示すフォトマスク 7 0 d を用いることにより、ドレイン電極と対向するソース電極の側壁 PSW_S 、及びソース電極と対向するドレイン電極の側壁 PSW_D が、曲面状のソース電極/ドレイン電極を得ることができる。そして、ドレイン領域の各端部から、ソース領域に向けて、両サイドで実質上連続的にチャンネル幅 CW が滑らかに拡大するチャンネル領域を簡便に得ることができる。上述したように、ソース電極及びドレイン電極の形態としては、様々な変形が可能であり、本発明の趣旨を逸脱しない範囲で種々の変形が可能である。

【 図面の簡単な説明 】

【 0 0 8 8 】

10

20

30

40

50

【図 1】(a) は、実施形態 1 に係る T F T の主要部の平面図、(b) は図 1 (a) の I b - I b 切断部断面図。

【図 2】(a)、(b) は、実施形態 1 に係る T F T の製造工程を説明するための断面図。

【図 3】実施形態 1 に係るフォトマスクの平面図。

【図 4】(a) は、実施形態 1 に係る第 1 レジストパターンの平面図、(b) は、図 4 (a) の I V b - I V b 切断部断面図。

【図 5】(a) は、実施形態 1 に係る第 2 レジストパターンの平面図、(b) は、図 5 (a) の V b - V b 切断部断面図、(c) は、実施形態 1 に係る T F T の製造工程を説明するための断面図。

10

【図 6】(a) は、実施形態 2 に係る T F T の主要部の平面図、(b) は、実施形態 2 に係るフォトマスクの平面図。

【図 7】実施形態 3 に係る T F T の主要部の平面図。

【図 8】実施形態 4 に係るフォトマスクの平面図。

【図 9】(a) は、実施形態 5 に係るフォトマスクの平面図、(b) は、実施形態 5 に係るフォトマスクの部分拡大図。

【図 10】変形例に係るフォトマスクの平面図。

【図 11】(a) は、従来例 1 に係るフォトマスクの平面図、(b) は、従来例 1 に係る第 1 レジストパターンの平面図。

【図 12】(a) は、従来例 2 に係るフォトマスクの平面図、(b) は、従来例 2 に係る T F T の主要部の平面図。

20

【図 13】(a) は、従来例 3 に係るフォトマスクの平面図、(b) は、従来例 3 に係る T F T の主要部の平面図。

【符号の説明】

【 0 0 8 9 】

1, 2, 3 T F T

5 絶縁性基板

6 ゲート電極

7 ゲート絶縁膜

8 層間絶縁膜

30

10 第 1 半導体膜

12 チャネル領域

20 第 2 半導体膜

21 ソース領域

23 ドレイン領域

30 第 2 導電膜

31 ソース電極

33 ドレイン電極

40 レジスト

50 第 1 レジストパターン

40

51 ソース電極形成用パターン

52 バックチャネル領域形成用パターン

53 ドレイン電極形成用パターン

60 第 2 レジストパターン

61 第 2 ソース電極形成用パターン

63 第 2 ドレイン電極形成用パターン

70 フォトマスク

71 ソース電極形成用遮光領域

72 バックチャネル領域形成用の半透過領域

73 ドレイン電極形成用遮光領域

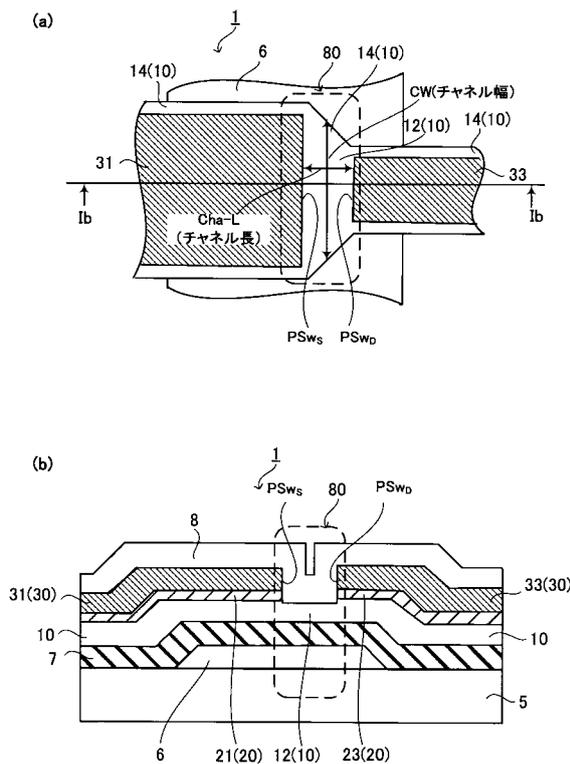
50

- 7 4 透過性基板
- 7 5 S側線状透過部
- 7 6 線状パターン
- 7 7 D側線状透過部
- 8 0 薄膜トランジスタ領域
- P S w_S ドレイン電極と対向するソース電極の側壁
- P S w_D ソース電極と対向するドレイン電極の側壁
- C W チャネル領域のチャネル方向の幅
- M L_S ドレイン電極形成用遮光領域と対向するソース電極形成用遮光領域の辺
- M L_D ソース電極形成用遮光領域と対向するドレイン電極形成用遮光領域の辺
- M W 線状パターンの長辺方向の幅
- R L_S ドレイン電極形成用パターンと対向するソース電極形成用パターンの辺
- R L_D ソース電極形成用パターンと対向するドレイン電極形成用パターンの辺
- a 辺 M L_D より突出する線状パターンの長辺方向の第1端部側の突出長さ
- b 辺 M L_D より突出する線状パターンの長辺方向の第2端部側の突出長さ
- c 辺 M L_D より突出する辺 M L_S の第1の端部側の突出長さ
- d 辺 M L_D より突出する辺 M L_S の第2の端部側の突出長さ
- e S側線状透過部の短辺方向の幅
- f 線状パターンの短辺方向の幅
- g D側線状透過部の短辺方向の幅
- L 辺 M L_D と辺 M L_S との離間距離
- C h a - L チャネル領域のチャネル長

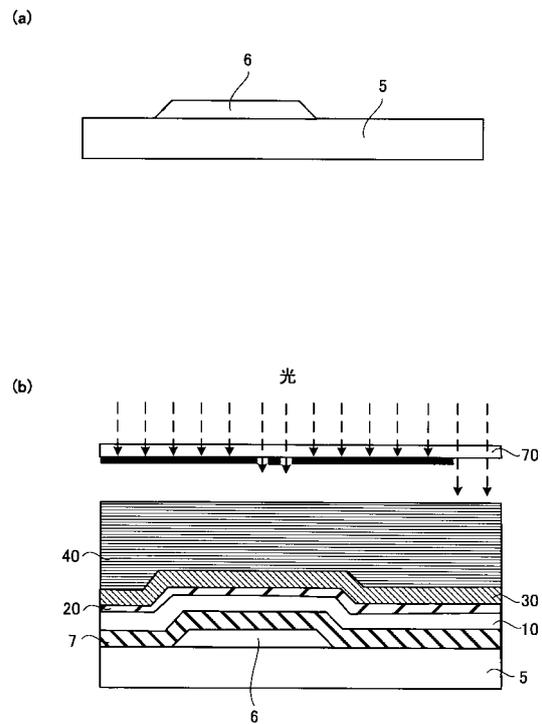
10

20

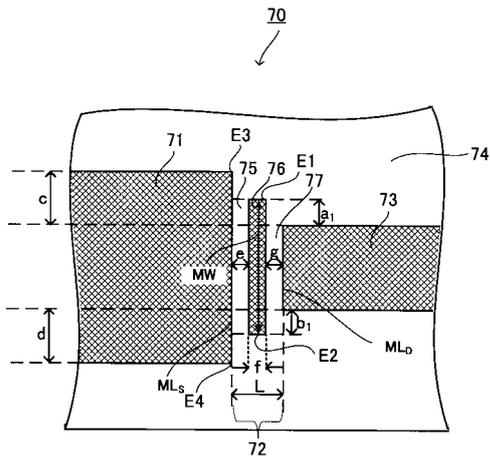
【図1】



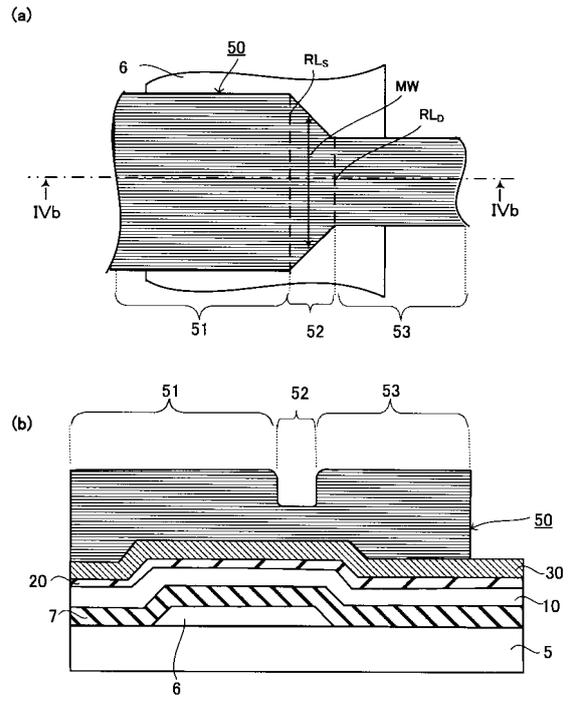
【図2】



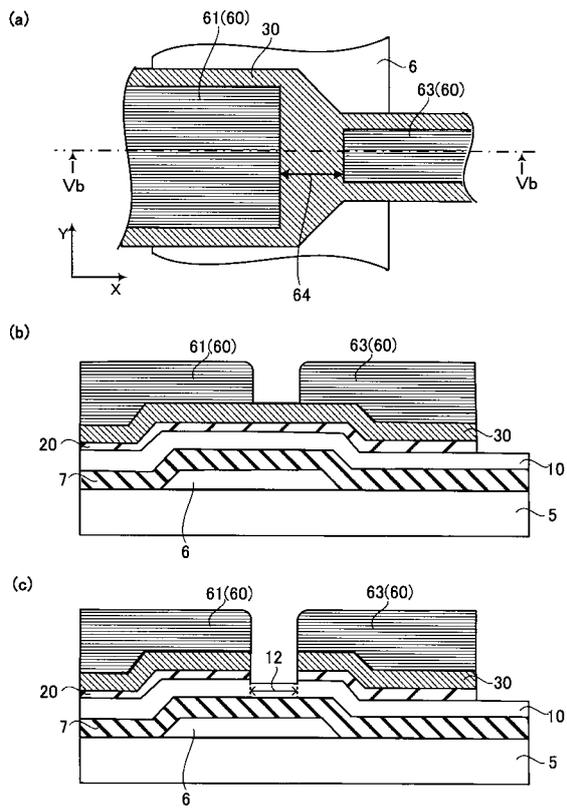
【 図 3 】



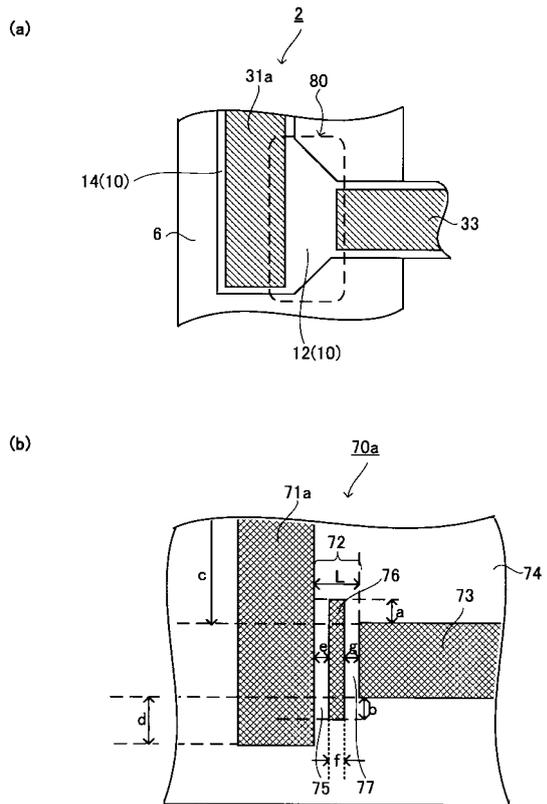
【 図 4 】



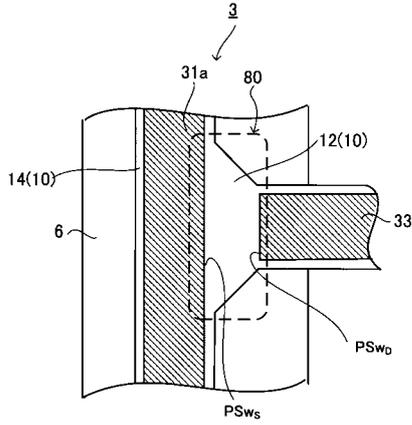
【 図 5 】



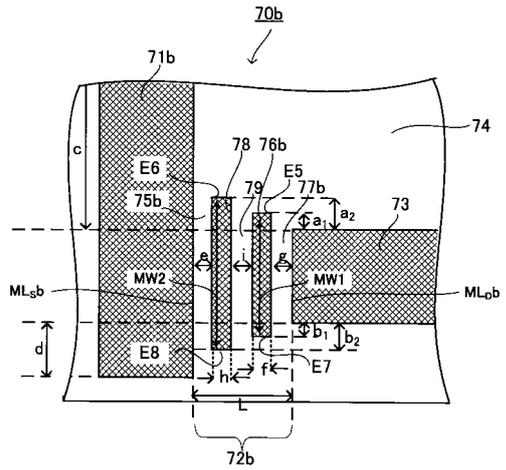
【 図 6 】



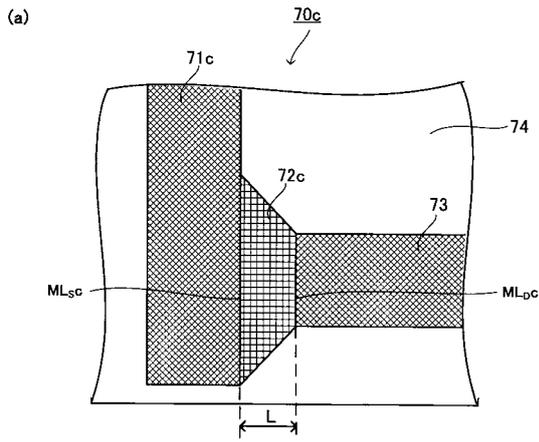
【 図 7 】



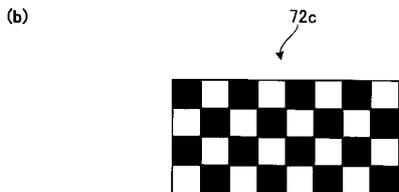
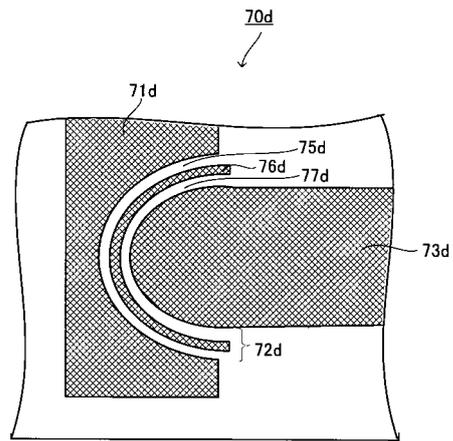
【 図 8 】



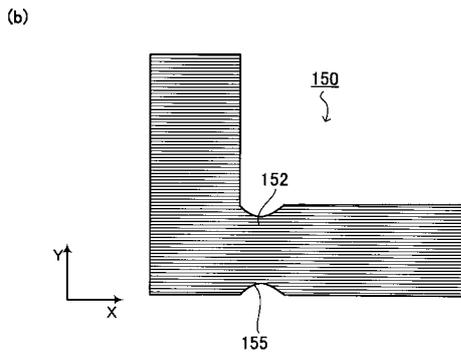
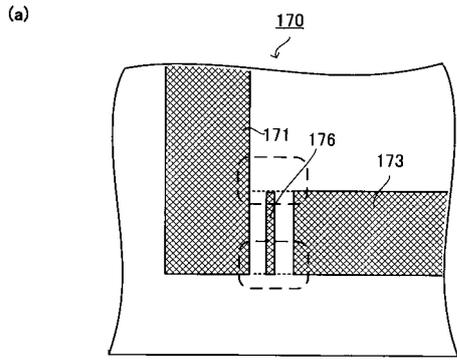
【 図 9 】



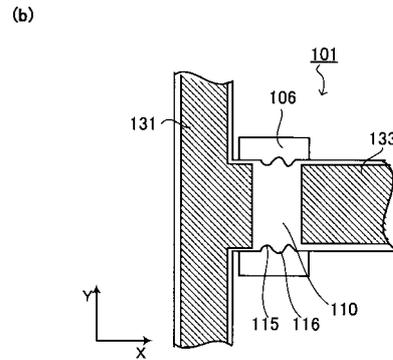
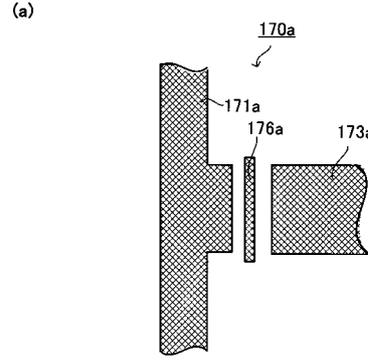
【 図 10 】



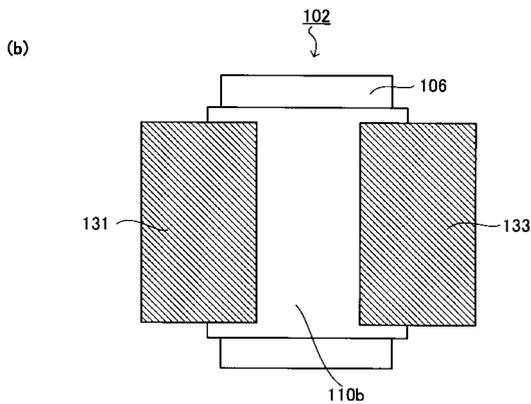
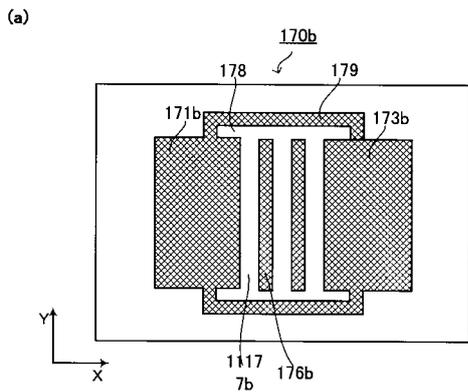
【 図 1 1 】



【 図 1 2 】



【 図 1 3 】



フロントページの続き

(58)調査した分野(Int.Cl. , DB名)

H01L 21/336、29/786