



(19) 中華民國智慧財產局

(12) 發明說明書公告本

(11) 證書號數：TW I482442 B

(45) 公告日：中華民國 104 (2015) 年 04 月 21 日

(21) 申請案號：101118002

(22) 申請日：中華民國 101 (2012) 年 05 月 21 日

(51) Int. Cl. : H04B1/16 (2006.01)

H03F3/04 (2006.01)

(71) 申請人：瑞昱半導體股份有限公司 (中華民國) REALTEK SEMICONDUCTOR CORP. (TW)
 新竹市新竹科學園區創新二路 2 號

(72) 發明人：陳憲毅 CHEN, HSIEN KU (TW)；張家潤 CHANG, CHIA JUN (TW)；陳家源 CHAN, KA UN (TW)；林盈熙 LIN, YING HSI (TW)

(74) 代理人：吳豐任；戴俊彥

(56) 參考文獻：

TW I352500

US 4816784

US 7019593B2

審查人員：黃景嘉

申請專利範圍項數：14 項 圖式數：4 共 23 頁

(54) 名稱

訊號增益電路以及訊號增益方法

SIGNAL AMPLIFYING CIRCUIT AND SIGNAL AMPLIFYING METHOD

(57) 摘要

一種訊號增益電路，包含有一輸入級電路，用來接收一輸入訊號；一第一電感元件耦接於該輸入級電路與一第一參考電壓之間；一輸出級電路用來依據該輸入訊號來產生一輸出訊號；以及一第二電感元件耦接於該輸出級電路與一第二參考電壓之間；其中該第一電感元件之繞線的至少一部份與該第二電感元件之繞線的至少一部份係彼此交錯設置。

A signal amplifying circuit includes: an input stage circuit, arranged to receive an input signal; a first inductive device coupled between the input stage circuit and a first reference voltage; an output stage circuit arranged to generate an output signal according to the input signal; and second inductive device coupled between the output stage circuit and a second reference voltage, wherein at least a partial of a winding of the first inductive element is cross-coupled to at least a partial of a winding of the second inductive element.

發明專利說明書

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號：101118002

※申請日：101.5.21

※IPC 分類：H04B 1/16 (2006.01)

一、發明名稱：(中文/英文)

H03H 3/04 (2006.01)

訊號增益電路以及訊號增益方法/SIGNAL AMPLIFYING CIRCUIT
AND SIGNAL AMPLIFYING METHOD

二、中文發明摘要：

一種訊號增益電路，包含有一輸入級電路，用來接收一輸入訊號；一第一電感元件耦接於該輸入級電路與一第一參考電壓之間；一輸出級電路用來依據該輸入訊號來產生一輸出訊號；以及一第二電感元件耦接於該輸出級電路與一第二參考電壓之間；其中該第一電感元件之繞線的至少一部份與該第二電感元件之繞線的至少一部份係彼此交錯設置。

三、英文發明摘要：

A signal amplifying circuit includes: an input stage circuit, arranged to receive an input signal; a first inductive device coupled between the input stage circuit and a first reference voltage; an output stage circuit arranged to generate an output signal according to the input signal; and second inductive device coupled between the output stage circuit and a second reference voltage, wherein at least a partial of a winding of the first inductive element is cross-coupled to at least a partial of a winding of the second inductive element.

四、指定代表圖：

(一)本案指定代表圖為：第(1)圖。

(二)本代表圖之元件符號簡單說明：

100 訊號增益電路

102 輸入級電路

104 第一電感元件

106 輸出級電路

108 第二電感元件

1022 第一增益電路

1024 第二增益電路

1042、1044、1082、1084 電感

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無

六、發明說明：

【發明所屬之技術領域】

本發明係關於一訊號增益電路以及一訊號增益方法，尤指具有較低雜訊因子的一低雜訊放大器及其相關方法。

【先前技術】

在一無線接收系統中，一低雜訊放大器係用來放大一無線接收訊號以產生一接收訊號。為了使得該無線接收系統可以精確地將該接收訊號內的資料解碼出來，該低雜訊放大器不能對該無線接收訊號加入太多的雜訊，以免該雜訊影響到該接收訊號內的資料。換句話說，該低雜訊放大器的雜訊因子必須夠低才不會影響到該接收訊號內資料的正確性。一般而言，該低雜訊放大器的雜訊因子會和該低雜訊放大器中的場效電晶體有很大的關係。進一步而言，該低雜訊放大器的雜訊因子會與該場效電晶體的通道雜訊係數和閘極雜訊係數成正比關係，而與該場效電晶體的操作截止頻率成反比關係。換句話說，只要該低雜訊放大器係由場效電晶體所組成時，該無線接收訊號就會受到該場效電晶體的雜訊所影響。因此，如何用較低的成本來改善一低雜訊放大器的雜訊因子已成為無線通訊領域所需解決的問題。

【發明內容】

因此，本發明之一目的在於提供具有較低雜訊因子的一低雜訊

放大器以及其相關方法。

依據本發明之一第一實施例，其係提供了一種訊號增益電路。該訊號增益電路包含有一輸入級電路、一第一電感元件、一輸出級電路以及一第二電感元件。該輸入級電路用來接收一輸入訊號。該第一電感元件耦接於該輸入級電路與一第一參考電壓之間。該輸出級電路用來依據該輸入訊號來產生一輸出訊號。該第二電感元件耦接於該輸出級電路與一第二參考電壓之間，其中該第一電感元件之繞線的至少一部份與該第二電感元件之繞線的至少一部份係彼此交錯設置。

依據本發明之一第二實施例，其係提供了一種訊號增益方法。該訊號增益方法的步驟包含有：利用一輸入級電路來接收一輸入訊號；將一第一電感元件耦接於該輸入級電路與一第一參考電壓之間；利用一輸出級電路來依據該輸入訊號來產生一輸出訊號；將一第二電感元件耦接於該輸出級電路與一第二參考電壓之間；以及將該第一電感元件之繞線(winding)的至少一部份與該第二電感元件之繞線的至少一部份係彼此交錯設置。

【實施方式】

在說明書及後續的申請專利範圍當中使用了某些詞彙來指稱特定的元件。所屬領域中具有通常知識者應可理解，硬體製造商可能會用不同的名詞來稱呼同一個元件。本說明書及後續的申請專利範圍並不以名稱的差異來作為區分元件的方式，而是以元件在功能上

的差異來作為區分的準則。在通篇說明書及後續的請求項當中所提及的「包含」係為一開放式的用語，故應解釋成「包含但不限定於」。此外，「耦接」一詞在此係包含任何直接及間接的電氣連接手段，因此，若文中描述一第一裝置耦接於一第二裝置，則代表該第一裝置可直接電氣連接於該第二裝置，或者透過其他裝置或連接手段間接地電氣連接至該第二裝置。

請參考第 1 圖。第 1 圖所示係依據本發明一種訊號增益電路 100 之一實施例示意圖。訊號增益電路 100 可以係一低雜訊放大電路，該低雜訊放大電路係應用於一無線接收系統中，其用來提供一低雜訊增益給一輸入訊號 S_{in} (第 1 圖中所標示的 S_{i1} 與 S_{i2}) 以產生一輸出訊號 S_{out} (第 1 圖中所標示的 S_{o1} 與 S_{o2})。訊號增益電路 100 包含有一輸入級電路 102、一第一電感元件 104、一輸出級電路 106 以及一第二電感元件 108。輸入級電路 102 係用來接收輸入訊號 S_{in} 。第一電感元件 104 係耦接於輸入級電路 102 與一第一參考電壓 (即一接地電壓 V_{gnd}) 之間。輸出級電路 106 係用來依據輸入訊號 S_{in} 來產生輸出訊號 S_{out} 。第二電感元件 108 係耦接於輸出級電路 106 與一第二參考電壓 (即一電源電壓 V_{dd}) 之間。為了使得第一電感元件 104 與第二電感元件 108 之間具有一耦合效應，本實施例中的第一電感元件 104 之繞線 (winding) 的至少一部份與第二電感元件 108 之繞線的至少一部份係彼此交錯設置。進一步而言，第一電感元件 104 之繞線的至少一部份與第二電感元件 108 之繞線的至少一部份係彼此交錯設置，而使得第一電感元件 104 與第二電感元件 108 之間產生一耦合效應以減小輸出訊號 S_{out} 中的雜訊。但是此並不作為

本發明的限制所在，任何可以使得第一電感元件 104 與第二電感元件 108 之間具有一耦合效應的設置方式均屬於本發明的範疇所在。舉例來說，在一實施例中，將第一電感元件 104 的位置設置在相鄰於第二電感元件 108 的位置亦可使得第一電感元件 104 與第二電感元件 108 之間具有一耦合效應，故其亦屬於本發明的範疇所在。

此外，第 1 圖所示的訊號增益電路 100 係一差動的低雜訊放大電路，因此輸入級電路 102 會包含有一第一場效電晶體 M1 以及一第二場效電晶體 M2。第一電感元件 104 係耦接於第一場效電晶體 M1 以及第二場效電晶體 M2 之間，且第一電感元件 104 具有一中心抽頭端 N1 耦接於該第一參考電壓(即接地電壓 V_{gnd})。從第 1 圖可以得知，中心抽頭端 N1 左邊的電感係標示為 1042，而中心抽頭端 N1 右邊的電感係標示為 1044。第一場效電晶體 M1 具有一第一連接端點 N2 耦接於第一電感元件 104 之一第一端點以及輸入訊號 S_{in} 之一第一訊號 S_{i1} ，一控制端點用來接收一第一控制訊號 S_{c1} 。第二場效電晶體 M2 具有一第一連接端點 N3 耦接於第一電感元件 104 之一第二端點以及輸入訊號 S_{in} 之一第二訊號 S_{i2} ，一控制端點用來接收一第二控制訊號 S_{c2} 。

輸出級電路 106 亦包含有一第三場效電晶體 M3 以及一第四場效電晶體 M4。第二電感元件 108 具有一中心抽頭端 N4 耦接於第二參考電壓(即電壓電壓 V_{dd})。從第 1 圖可以得知，中心抽頭端 N4 左邊的電感係標示為 1082，而中心抽頭端 N4 右邊的電感係標示為 1084。第三場效電晶體 M3 具有一第一連接端點 N5 耦接於第一場效電晶體 M1 之一第二連接端點，一控制端點用來接收一第一偏壓

訊號 Sb1，一第二連接端點 N7 耦接於第二電感元件 108 之一第一端點以及用來輸出輸出訊號 Sout 之一第一訊號 So1。第四場效電晶體 M4 具有一第一連接端點 N6 耦接於第二場效電晶體 M2 之一第二連接端點，一控制端點用來接收一第二偏壓訊號 Sb2，一第二連接端點 N8 耦接於第二電感元件 108 之一第二端點以及用來輸出輸出訊號 Sout 之一第二訊號 So2。

此外，本實施例的輸入級電路 102 另包含有一第一增益電路 1022 以及一第二增益電路 1024。第一增益電路 1022 具有一輸入端點耦接於第一場效電晶體 M1 之第一連接端點 N2，一輸出端點耦接於第二場效電晶體 M2 之該控制端點，第一增益電路 1022 用來提供一第一增益給輸入訊號 Sin 之第一訊號 Si1 以產生第二控制訊號 Sc2。第二增益電路 1024 具有一輸入端點耦接於第二場效電晶體 M2 之第一連接端點 N3，一輸出端點耦接於第一場效電晶體 M1 之該控制端點，第二增益電路 1024 用來提供一第二增益給輸入訊號 Sin 之第二訊號 Si2 以產生第一控制訊號 Sc1。在此實施例中，該第一增益大致上等於該第二增益，並以 A 來代表該第一增益以及該第二增益，然此並不作為本發明的限制所在。熟悉此項技術者亦可依電路的實際需求來將該第一增益設計得比該第二增益大，或者將該第一增益設計得比該第二增益小。另一方面，在訊號增益電路 100 中，第一增益電路 1022 與第二增益電路 1024 可以係可選擇的 (Optional) 裝置。在本發明的另一訊號增益電路的實施例中，第一增益電路 1022 與第二增益電路 1024 是可以被省略掉的，若第一增益電路 1022 與第二增益電路 1024 被省略掉時，該訊號增益電路亦可

具有與訊號增益電路 100 大致上相同的好處。

請注意，本實施例的場效電晶體 M1、M2、M3、M4 雖為 NMOS 電晶體，然此並不作為本發明之限制，其亦可以係 N 型場效電晶體或 P 型場效電晶體和 N 型場效電晶體的組合。

依據本發明訊號增益電路 100 的實施例，當第一電感元件 104 具有一第一電感線圈數 X，第二電感元件 108 具有一第二電感線圈數 Y，第一電感線圈數 X 對第二電感線圈數 Y 之一圈數比值為 n，以及圈數比 n 與對應該耦合效應之一耦合係數 k 之一乘積不大於 1 時，訊號增益電路 100 的雜訊因子 F 係大致上反比於圈數比 n 與耦合係數 k 之乘積，如以下方程式(1)所示：

$$F \propto \frac{(1-n*k)}{(A+1)} \left[\gamma + \frac{\delta}{5} \left(\frac{\omega}{\omega_T} \right)^2 \right] \quad (1)$$

其中，A 代表第一增益電路 1022 以及第二增益電路 1024 的增益， γ 代表場效電晶體的通道雜訊係數， δ 代表場效電晶體的閘極雜訊係數， ω_T 代表場效電晶體的操作截止頻率， ω 代表操作訊號(輸入訊號 Sin 或輸出訊號 Sout)的頻率。因此，當圈數比 n 與耦合係數 k 之乘積不大於 1 的前提下，圈數比 n 與耦合係數 k 之乘積越大，則訊號增益電路 100 的雜訊因子 F 就越小。換句話說，當第一電感元件 104 與第二電感元件 108 之間具有一耦合效應時，訊號增益電路 100 中的共閘極場效電晶體(M1、M2、M3、M4)所造成的通道雜訊以及閘極雜訊的係數的效應就越小，因此訊號增益電路 100 對輸出訊號 Sout 所造成的雜訊也越少。

另一方面，從上述方程式(1)也可以看出，訊號增益電路 100 的

雜訊因子 F 係大致上反比於第一增益電路 1022 以及第二增益電路 1024 的增益 A 。因此，當第一增益電路 1022 以及第二增益電路 1024 的增益 A 越大時，訊號增益電路 100 對輸出訊號 S_{out} 所造成的雜訊就越少。請注意，在此實施例中，將第一增益電路 1022 以及第二增益電路 1024 設置在訊號增益電路 100 的一目的是為了要使得第一場效電晶體 $M1$ 以及第二場效電晶體 $M2$ 的轉導增益 (Transconductance) 變大，以增加訊號增益電路 100 的增益。

此外，為了減小訊號增益電路 100 的面積以減少訊號增益電路 100 的製作成本，本實施例的第一電感元件 104 與第二電感元件 108 的繞線係以彼此交錯的方式來設計，如第 2 圖所示。第 2 圖所示係依據本發明第一電感元件 104 與第二電感元件 108 之一實施例示意圖。從第 2 圖可以得知，第一電感元件 104 的兩個端點分別係 $N2$ (即第一場效電晶體 $M1$ 的第一連接端點 $N2$) 以及 $N3$ (第二場效電晶體 $M2$ 的第一連接端點 $N3$)，而第二電感元件 108 的兩個端點分別係 $N7$ (即第三場效電晶體 $M3$ 的第二連接端點 $N7$) 以及 $N8$ (第四場效電晶體 $M4$ 的第二連接端點 $N8$)。此外，第一電感元件 104 的中心抽頭端 $N1$ 係耦接於接地電壓 V_{gnd} ，而第二電感元件 108 的中心抽頭端 $N4$ 係耦接於電源電壓 V_{dd} 。因此，第一電感元件 104 中的電感 1042 的繞線係由傳導路徑 a 、 b 、 c 所組成，而電感 1044 的繞線係由傳導路徑 d 、 e 、 c 所組成。第二電感元件 108 中的電感 1082 的繞線係由傳導路徑 f 、 g 、 h 所組成，而電感 1084 的繞線係由傳導路徑 i 、 j 、 k 所組成，其中在虛線 202 以及 204 所包圍的範圍內，第一電感元件 104 與第二電感元件 108 之間的傳導路徑係互相交錯但沒有

電性連接在一起。如此一來，第一電感元件 104 與第二電感元件 108 之間就可以在最小的面積下互相耦合，以產生一耦合效應來減小輸出訊號 Sout 中的雜訊。

另一方面，本發明的訊號增益電路並不受限於差動的電路架構，本發明的方法亦適用於單端的(Single-end)電路架構，如第 3 圖所示。第 3 圖所示係依據本發明一種訊號增益電路 300 之一實施例示意圖。訊號增益電路 300 可以係一低雜訊放大電路，該低雜訊放大電路係應用於一無線接收系統中，其用來提供一低雜訊增益給一輸入訊號 Sin' 以產生一輸出訊號 Sout'。訊號增益電路 300 包含有一輸入級電路 302、一第一電感元件 304、一輸出級電路 306 以及一第二電感元件 308。輸入級電路 302 係用來接收輸入訊號 Sin'。第一電感元件 304 係耦接於輸入級電路 302 與一第一參考電壓(即一接地電壓 Vgnd')之間。輸出級電路 306 係用來依據輸入訊號 Sin' 來產生輸出訊號 Sout'。第二電感元件 308 係耦接於輸出級電路 306 與一第二參考電壓(即一電源電壓 Vdd')之間。為了使得第一電感元件 304 與第二電感元件 308 之間具有一耦合效應，本實施例中的第一電感元件 304 之繞線(winding)的至少一部份與第二電感元件 308 之繞線的至少一部份係彼此交錯設置。進一步而言，第一電感元件 304 之繞線的至少一部份與第二電感元件 308 之繞線的至少一部份係彼此交錯設置，而使得第一電感元件 304 與第二電感元件 308 之間產生一耦合效應以減小輸出訊號 Sout' 中的雜訊。但是此並不作為本發明的限制所在，任何可以使得第一電感元件 304 與第二電感元件 308 之間具有一耦合效應的設置方式均屬於本發明的範疇所在。舉例來

說，在一實施例中，將第一電感元件 304 的位置設置在相鄰於第二電感元件 308 的位置亦可使得第一電感元件 304 與第二電感元件 308 之間具有一耦合效應，故其亦屬於本發明的範疇所在。

第 3 圖所示的訊號增益電路 300 係一單端的低雜訊放大電路，其中輸入級電路 302 會包含有一第一場效電晶體 M5。第一電感元件 304 係耦接於第一場效電晶體 M5 與接地電壓 V_{gnd}' 之間。第一場效電晶體 M5 具有一第一連接端點 N10 耦接於第一電感元件 104 之一第一端點以及輸入訊號 Sin' ，一控制端點用來接收一控制訊號 Sc' 。

輸出級電路 306 亦包含有一第二場效電晶體 M6。第二場效電晶體 M6 具有一第一連接端點 N10 耦接於第一場效電晶體 M5 之一第二連接端點，一控制端點用來接收一偏壓訊號 Sb' ，一第二連接端點 N11 耦接於第二電感元件 308 之一第一端點以及用來輸出輸出訊號 $Sout'$ 。第二電感元件 308 之一第二端點係耦接於電源電壓 V_{dd}' 。

此外，本實施例的輸入級電路 302 另包含有一增益電路 3022。增益電路 3022 具有一輸入端點耦接於第一場效電晶體 M5 之第一連接端點 N9，一輸出端點耦接於第一場效電晶體 M5 之該控制端點，增益電路 3022 用來提供一增益給輸入訊號 Sin' 以產生控制訊號 Sc' 。在訊號增益電路 300 中，增益電路 3022 可以係可選擇的 (Optional) 裝置。在本發明的另一訊號增益電路的實施例中，增益電路 3022 是可以被省略掉的，若增益電路 3022 被省略掉時，該訊號增益電路亦可具有與訊號增益電路 300 大致上相同的好處。此外，為了減小訊號增益電路 300 的面積以減少訊號增益電路 300 的製作

成本，本實施例的第一電感元件 304 與第二電感元件 308 的繞線係以彼此交錯的方式來設計，如第 2 圖所示。

請注意，本實施例的場效電晶體 M5、M6 均為 P 型場效電晶體 NMOS 電晶體，然此並不作為本發明之限制，其亦可以係 N 型場效電晶體或 P 型場效電晶體和 N 型場效電晶體的組合。此外，由於本實施例所採用的方法係相似於訊號增益電路 100 的方法(亦即利用增益電路 3022 以及第一電感元件 304 與第二電感元件 308 之間的耦合效應)來減小輸出訊號 Sout' 中的雜訊，因此上述的方程式(1)也適用於訊號增益電路 300，其原理可參考訊號增益電路 100，在此不另贅述。

上述關於訊號增益電路 100 以及訊號增益電路 300 的方法可簡化為下列步驟 402-410，如第 4 圖所示。第 4 圖所示係依據本發明一種訊號增益方法 400 之一實施例流程圖。倘若大體上可達到相同的結果，並不需要一定照第 4 圖所示之流程中的步驟順序來進行，且第 4 圖所示之步驟不一定要連續進行，亦即其他步驟亦可插入其中。訊號增益方法 400 包含有：

步驟 402：利用一輸入級電路來接收一輸入訊號；

步驟 404：將一第一電感元件耦接於該輸入級電路與一第一參考電壓之間；

步驟 406：利用一輸出級電路來依據該輸入訊號來產生一輸出訊號；

步驟 408：將一第二電感元件耦接於該輸出級電路與一第二參考電壓之間；以及

步驟 410：將該第一電感元件之繞線(winding)的至少一部份與該第二電感元件之繞線的至少一部份係彼此交錯設置。

在本實施例的訊號增益方法 400 中，該第一電感元件之繞線的至少一部份與該第二電感元件之繞線的至少一部份係彼此交錯設置，而使得該第一電感元件與該第二電感元件之間產生一耦合效應以減小該輸出訊號中的雜訊。進一步來說，如上述的方程式(1)所示，該第一電感元件的一第一電感線圈數與該第二電感元件的一第二電感線圈數之一比值與對應該耦合效應之一耦合係數之一乘積必須不大於 1，如此一來該第一電感元件與該第二電感元件之間的耦合效應就可以有效地抵消掉該低雜訊放大電路中的共閘極場效電晶體所造成的通道雜訊以及閘極雜訊。

綜上所述，本發明係將一低雜訊放大電路的一輸入電感元件之繞線的至少一部份與一輸出電感元件之繞線的至少一部份係彼此交錯設置，以使得該輸入電感元件與該輸出電感元件之間產生一耦合效應以減小該輸出訊號中的雜訊。此外，本發明將該輸入電感元件與該輸出電感元件以互相交錯的電路佈局方式來產生一耦合效應，如此一來該輸入電感元件與該輸出電感元件就可以在最小的面積下互相耦合以減小輸出訊號中的雜訊。

以上所述僅為本發明之較佳實施例，凡依本發明申請專利範圍所做之均等變化與修飾，皆應屬本發明之涵蓋範圍。

【圖式簡單說明】

第 1 圖係本發明一種訊號增益電路之一第一實施例示意圖。

第 2 圖係本發明一第一電感元件與一第二電感元件之一實施例示意圖。

第 3 圖係本發明一種訊號增益電路之一第二實施例示意圖。

第 4 圖係本發明一種訊號增益方法之一實施例流程圖。

【主要元件符號說明】

100、300 訊號增益電路

102、302 輸入級電路

104、304 第一電感元件

106、306 輸出級電路

108、308 第二電感元件

1022 第一增益電路

1024 第二增益電路

1042、1044、1082、1084 電感

3022 增益電路

202、204 虛線

七、申請專利範圍：

1. 一種訊號增益電路，包含有：

一輸入級電路，用來接收一輸入訊號；

一第一電感元件，耦接於該輸入級電路與一第一參考電壓之間；

一輸出級電路，用來依據該輸入訊號來產生一輸出訊號；以及

一第二電感元件，耦接於該輸出級電路與一第二參考電壓之間；

其中該第一電感元件之繞線(winding)的至少一部份與該第二電感元件之繞線的至少一部份係彼此交錯設置。

2. 如申請專利範圍第 1 項所述的訊號增益電路，其中該第一電感元件之繞線的至少一部份與該第二電感元件之繞線的至少一部份係彼此交錯設置，而使得該第一電感元件與該第二電感元件之間產生一耦合效應。

3. 如申請專利範圍第 2 項所述的訊號增益電路，其中該第一電感元件具有一第一電感線圈數，該第二電感元件具有一第二電感線圈數，以及該第一電感線圈數對該第二電感線圈數之一比值與對應該耦合效應之一耦合係數之一乘積不大於 1。

4. 如申請專利範圍第 3 項所述的訊號增益電路，其中該第一電感元

件之一第一端點耦接於該第一參考電壓以及一第二端點用來接收該輸入訊號；

該輸入級電路包含有：

一第一場效電晶體，具有一第一連接端點耦接於該第一電感元件之該第二端點，一控制端點用來接收一控制訊號；

該輸出級電路包含有：

一第二場效電晶體，具有一第一連接端點耦接於該第一場效電晶體之一第二連接端點，一控制端點用來接收一偏壓訊號；以及

該第二電感元件之一第一端點耦接於該第二場效電晶體之一第二連接端點以及一第二端點用來耦接於該第二參考電壓。

5. 如申請專利範圍第 4 項所述的訊號增益電路，其中該輸入級電路另包含有：

一增益電路，具有一輸入端點耦接於該第一場效電晶體之該第一連接端點，一輸出端點耦接於該第一場效電晶體之該控制端點，該增益電路用來提供一不大於零的增益給該輸入訊號以產生該控制訊號。

6. 如申請專利範圍第 3 項所述的訊號增益電路，其中該第一電感元件具有一中心抽頭端耦接於該第一參考電壓；

該輸入級電路包含有：

一第一場效電晶體，具有一第一連接端點耦接於該第一電感

元件之一第一端點以及該輸入訊號之一第一訊號，一控制端點用來接收一第一控制訊號；以及
一第二場效電晶體，具有一第一連接端點耦接於該第一電感元件之一第二端點以及該輸入訊號之一第二訊號，一控制端點用來接收一第二控制訊號；

該第二電感元件具有一中心抽頭端耦接於該第二參考電壓；

該輸出級電路包含有：

一第三場效電晶體，具有一第一連接端點耦接於該第一場效電晶體之一第二連接端點，一控制端點用來接收一第一偏壓訊號，一第二連接端點耦接於該第二電感元件之一第一端點以及用來輸出該輸出訊號之一第一訊號；以及
一第四場效電晶體，具有一第一連接端點耦接於該第二場效電晶體之一第二連接端點，一控制端點用來接收一第二偏壓訊號，一第二連接端點耦接於該第二電感元件之一第二端點以及用來輸出該輸出訊號之一第二訊號。

7. 如申請專利範圍第 6 項所述的訊號增益電路，其中該輸入級電路另包含有：

一第一增益電路，具有一輸入端點耦接於該第一場效電晶體之該第一連接端點，一輸出端點耦接於該第二場效電晶體之該控制端點，該第一增益電路用來提供一第一增益給該輸入訊號之該第一訊號以產生該第二控制訊號。

8. 如申請專利範圍第 7 項所述的訊號增益電路，其中該輸入級電路另包含有：

一第二增益電路，具有一輸入端點耦接於該第二場效電晶體之該第一連接端點，一輸出端點耦接於該第一場效電晶體之該控制端點，該第二增益電路用來提供一第二增益給該輸入訊號之該第二訊號以產生該第一控制訊號。

9. 如申請專利範圍第 8 項所述的訊號增益電路，其中該第一增益大致上等於該第二增益。

10. 如申請專利範圍第 1 項所述的訊號增益電路，其中該第一參考電壓係一接地電壓，以及該第二參考電壓係一電源電壓。

11. 一種訊號增益方法，包含有：

利用一輸入級電路來接收一輸入訊號；

將一第一電感元件耦接於該輸入級電路與一第一參考電壓之間；

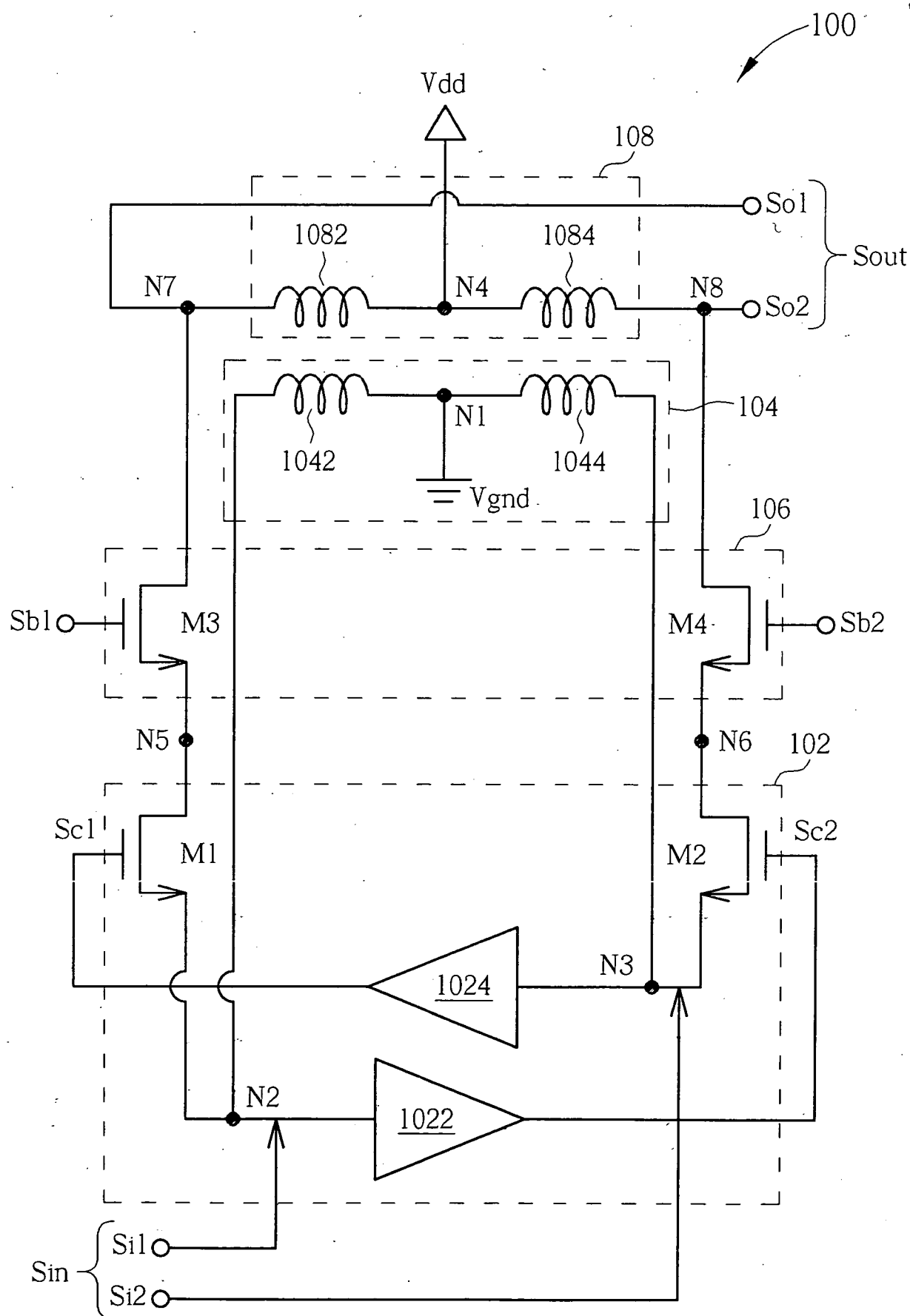
利用一輸出級電路來依據該輸入訊號來產生一輸出訊號；

將一第二電感元件耦接於該輸出級電路與一第二參考電壓之間；以及

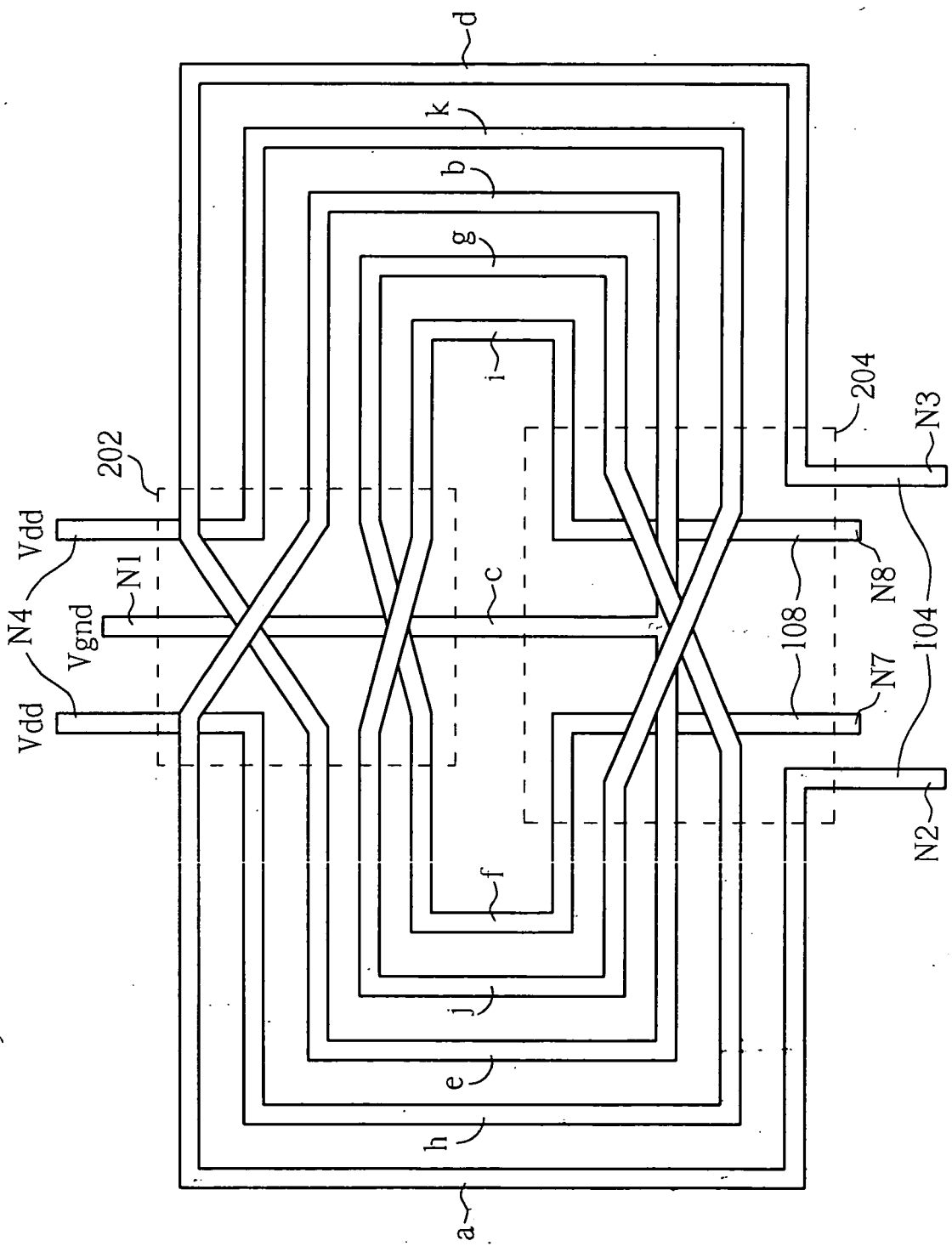
將該第一電感元件之繞線(winding)的至少一部份與該第二電感元件之繞線的至少一部份係彼此交錯設置。

12. 如申請專利範圍第 11 項所述的訊號增益方法，其中該第一電感元件之繞線的至少一部份與該第二電感元件之繞線的至少一部份係彼此交錯設置，而使得該第一電感元件與該第二電感元件之間產生一耦合效應。
13. 如申請專利範圍第 12 項所述的訊號增益方法，其中該第一電感元件具有一第一電感線圈數，該第二電感元件具有一第二電感線圈數，以及該第一電感線圈數對該第二電感線圈數之一比值與對應該耦合效應之一耦合係數之一乘積不大於 1。
14. 如申請專利範圍第 11 項所述的訊號增益方法，其中該第一參考電壓係一接地電壓，以及該第二參考電壓係一電源電壓。

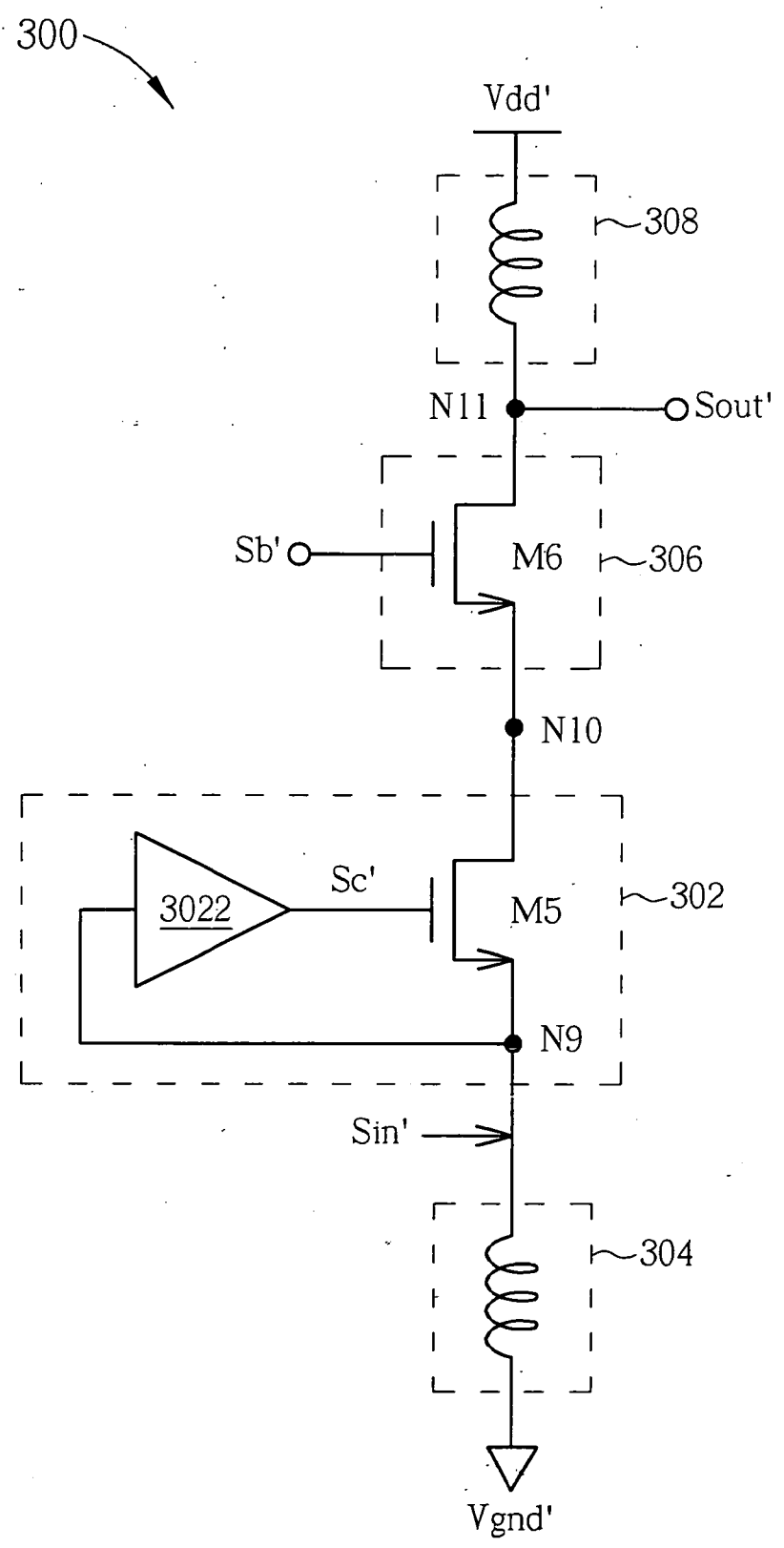
八、圖式：



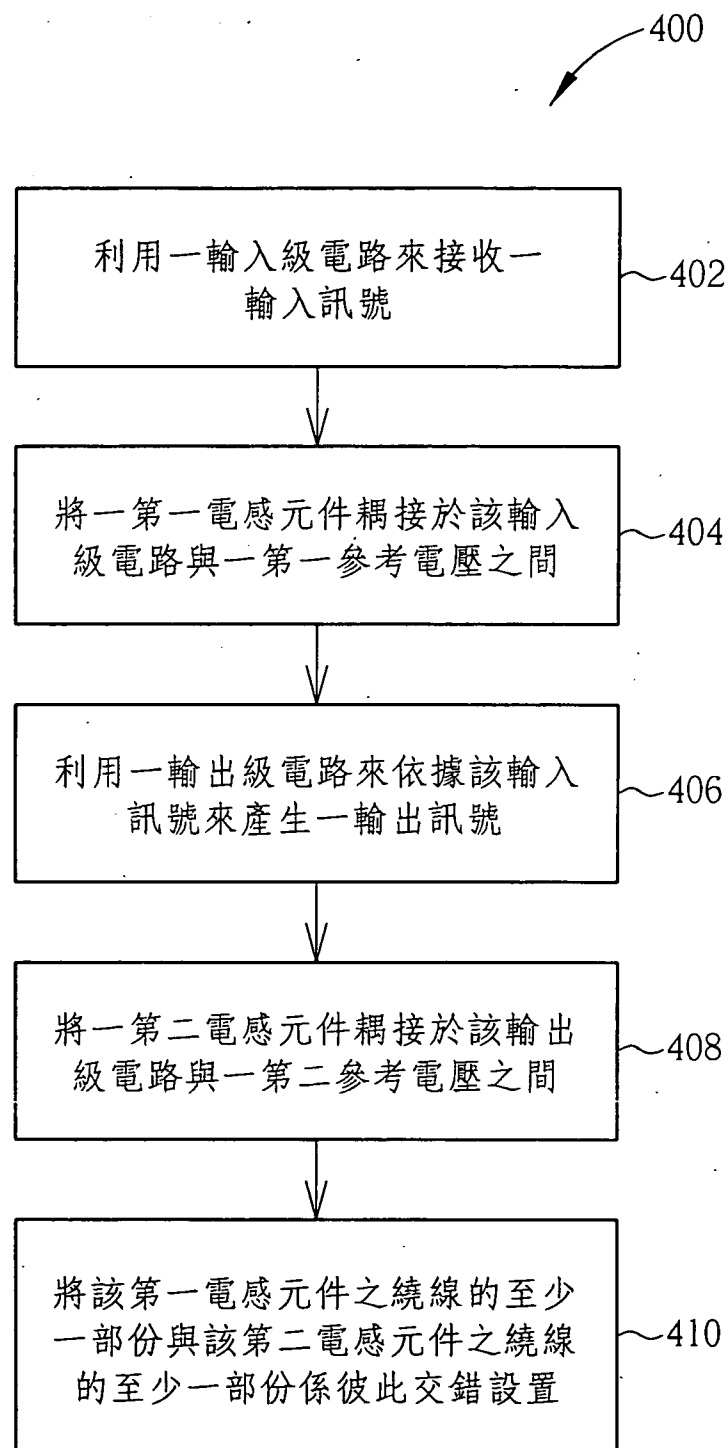
第1圖



第2圖



第3圖



第4圖