



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2013년03월12일
(11) 등록번호 10-1242670
(24) 등록일자 2013년03월06일

(51) 국제특허분류(Int. Cl.)
H03L 7/08 (2006.01) H03D 3/24 (2006.01)
H04B 1/40 (2006.01)
(21) 출원번호 10-2007-7009800
(22) 출원일자(국제) 2005년09월21일
심사청구일자 2010년09월24일
(85) 번역문제출일자 2007년04월30일
(65) 공개번호 10-2007-0065414
(43) 공개일자 2007년06월22일
(86) 국제출원번호 PCT/US2005/034018
(87) 국제공개번호 WO 2006/039187
국제공개일자 2006년04월13일
(30) 우선권주장
11/227,909 2005년09월16일 미국(US)
60/614,402 2004년09월30일 미국(US)
(56) 선행기술조사문헌
US20030034846 A1
US20050185746 A1
US20040263272 A1
US7034588 B1

(73) 특허권자
지씨티 세미컨덕터 인코포레이티드
미국 캘리포니아 95131 산 호세 2121 링우드 애비뉴
(72) 발명자
구이도
서울특별시 서초구 신반포로 45, 225동 307호 (반포동, 반포주공아파트)
안영호
서울특별시 영등포구 당산로 214, 삼성래미안 4차 아파트 418동 102호 (당산동5가)
(74) 대리인
남정길, 김용인

전체 청구항 수 : 총 17 항

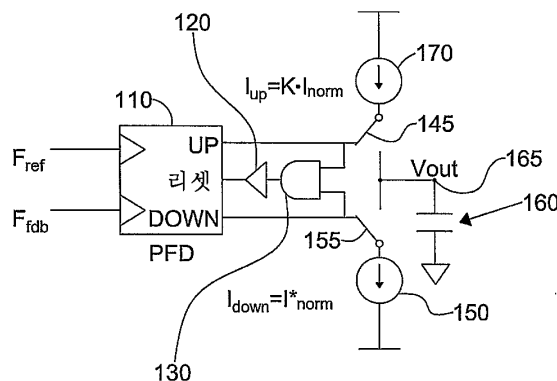
심사관 : 김기완

(54) 발명의 명칭 **시그마-델타 기반 위상 고정 루프**

(57) 요약

위상 주파수 검출기(PFD), 전하 펌프, 루프 필터, 전압 제어 발진기를 포함하는 시그마-델타(sigma-delta) 기반 위상 고정 루프 장치가 제공된다. 위상 주파수 검출기는 기준 신호 및 피드백 신호를 수신하고 기준 신호 및 피드백 신호의 비교에 근거하여 신호들을 출력한다. 전하 펌프는 위상 주파수 검출기로부터 출력 신호들에 근거하여 전하를 출력한다. 전하 펌프는 고정된 양의 전류를 인가하기 위한 제1 전류 소스 및 가변하는 양의 전류를 인가하기 위한 제2 전류 소스를 포함한다. 전압 제어 발진기는 전하 펌프로부터 수신된 전하에 근거하여 클럭 신호를 출력한다.

대표도 - 도8



(72) 발명자

송은석

서울 서초구 반포동 주공아파트 3단지 354동 202호

이정우

서울특별시 영등포구 여의대방로43라길 9, 101동
204호 (신길동, 삼환아파트)

박준배

서울특별시 서초구 서초중앙로 200, 2동 906호 (서
초동, 삼풍아파트)

이경호

서울 서초구 반포4동 108-8 신동광 빌라 401호

특허청구의 범위

청구항 1

위상 고정 루프 장치에 있어서,

기준 신호 및 피드백 신호를 수신하고 상기 위상 고정 루프 장치의 고정 상태에서 상기 기준 신호 및 피드백 신호의 비교에 근거하여 제1 신호 및 제2 신호를 출력하는 위상 주파수 검출기;

상기 위상 고정 루프 장치의 고정상태에서, 상기 제1 신호에 근거하여 고정된 값의 전류를 인가하는 제1 전류 소스 및 상기 위상 고정 루프 장치의 고정 상태에서, 상기 제2 신호에 근거하여 가변하는 값의 전류를 인가하는 제2 전류 소스를 포함하며, 상기 위상 주파수 검출기로부터의 출력 신호들에 근거하여 전하를 출력하는 전하 펌프; 및

상기 전하 펌프로부터 수신된 전하에 근거하여 클럭 신호를 출력하는 전압 제어 발진기를 포함하는 위상 고정 루프 장치.

청구항 2

제1항에 있어서,

상기 가변하는 양의 전류는 상기 위상 주파수 검출기에서 상기 기준 신호와 피드백 신호의 위상 에러에 근거하는 것을 특징으로 하는 위상 고정 루프 장치.

청구항 3

제1항에 있어서,

상기 전압 제어 발진기로부터 출력된 클럭 신호를 수신하고 상기 위상 주파수 검출기로 상기 피드백 신호를 출력하기 위한 분주기 회로를 더 포함하는 위상 고정 루프 장치.

청구항 4

제3항에 있어서,

상기 분주기 회로에 결합된 시그마-델타(sigma-delta) 변조기를 더 포함하는 위상 고정 루프 장치.

청구항 5

제1항에 있어서,

상기 전하 펌프로부터 출력된 전하의 양은 상기 위상 주파수 검출기에서 상기 기준 신호와 피드백 신호 사이의 위상차에 선형적으로 비례하는 것을 특징으로 하는 위상 고정 루프 장치.

청구항 6

제1항에 있어서,

상기 위상 고정 루프 장치는 시그마-델타 기반 위상 고정 루프 장치인 것을 특징으로 하는 위상 고정 루프 장치.

청구항 7

제1항에 있어서,

상기 제1 전류 소스의 크기는 상기 제2 전류 소스의 크기보다 큰 것을 특징으로 하는 위상 고정 루프 장치.

청구항 8

제7항에 있어서,

상기 서로 다른 크기들은 상기 위상 고정 루프 장치의 고정 조건에 위상 오프셋(offset)을 제공하는 것을 특징으로 하는 위상 고정 루프 장치.

청구항 9

제1항에 있어서,

상기 전하 펌프와 상기 전압 제어 발진기 사이에 제공되고 상기 전하 펌프로부터 출력된 전하를 수신하기 위한 루프 필터를 더 포함하는 위상 고정 루프 장치.

청구항 10

위상 고정 루프 장치에 있어서,

기준 신호와 피드백 신호를 수신하여 상기 위상 고정 루프 장치의 고정 상태에서 상기 기준 신호와 피드백 신호의 비교에 근거하여 제1 신호 및 제2 신호를 출력하는 위상 주파수 검출기;

상기 위상 고정 루프 장치의 고정 상태에서 상기 제1 신호에 의하여 전류를 인가하는 제1 전류 소스 및 상기 위상 고정 루프 장치의 고정 상태에서 상기 제2 신호에 의하여 가변 전류를 인가하는 제2 전류 소스를 갖는 전하 펌프; 및

상기 전하 펌프로부터 수신된 전하에 근거하여 클럭 신호를 출력하는 전압 제어 발진기를 포함하며,

상기 전하 펌프로부터 출력된 전하의 양은 상기 위상 주파수 검출기에서 상기 기준 신호와 피드백 신호 사이의 위상차에 선형적으로 비례하는, 시그마-델타 기반 위상 고정 루프 장치.

청구항 11

제10항에 있어서,

상기 제1 전류 소스는 고정된 양의 전류를 인가하고, 상기 제2 전류 소스는 가변하는 양의 전류를 인가하는 것을 특징으로 하는 시그마-델타 기반 위상 고정 루프 장치.

청구항 12

제11항에 있어서,

상기 가변하는 양의 전류는 상기 위상 주파수 검출기에서 상기 기준 신호와 피드백 신호 사이의 위상차에 근거한 것을 특징으로 하는 시그마-델타 기반 위상 고정 루프 장치.

청구항 13

제11항에 있어서,

상기 전압 제어 발진기로부터 출력된 상기 클럭 신호를 수신하여 상기 위상 주파수 검출기로 상기 피드백 신호를 출력하는 분주기 회로를 더 포함하는 시그마-델타 기반 위상 고정 루프 장치.

청구항 14

제13항에 있어서,

상기 분주기 회로에 결합된 시그마-델타 변조기를 더 포함하는 시그마-델타 기반 위상 고정 루프 장치.

청구항 15

제11항에 있어서,

상기 제1 전류 소스의 크기는 상기 제2 전류 소스의 크기보다 큰 것을 특징으로 하는 시그마-델타 기반 위상 고정 루프 장치.

청구항 16

제15항에 있어서,

상기 서로 다른 크기들은 상기 위상 고정 루프 장치의 고정 조건에 위상 오프셋을 제공하는 것을 특징으로 하는 시그마-델타 기반 위상 고정 루프 장치.

청구항 17

제11항에 있어서,

상기 전하 펌프와 상기 전압 제어 발진기 사이에 제공되고, 상기 전하 펌프로부터 출력된 전하를 수신하는 루프 필터를 더 포함하는 시그마-델타 기반 위상 고정 루프 장치.

청구항 18

삭제

청구항 19

삭제

청구항 20

삭제

청구항 21

삭제

청구항 22

삭제

청구항 23

삭제

청구항 24

삭제

청구항 25

삭제

명세서

기술분야

[0001] 본 출원은 2004년 9월 30일에 출원된 미국 가출원 No. 60/614,402에 대한 우선권을 주장한다. 상기 가출원의 전체 내용을 참조로 본 출원에 통합하며 본 출원의 개시 내용의 일부로 고려된다.

배경기술

[0002] 본 발명은 위상 고정 루프 회로들에 관한 것이다.

[0003] 셀룰러 폰과 같은 현대 통신 장치들은 전송 데이터로 변조된 통신 캐리어(carrier) 신호의 주파수 합성을 위하여 위상 고정 루프 장치를 채용할 수 있다. 위상 고정 루프 장치는 캐리어 신호 주파수를 정확하게 제어될 수 있게 하고 따라서 캐리어 신호 변조의 기초가 되는 데이터가 안정되고 알려진 주파수로 신뢰성 있게 전송되게 한다. 그러한 위상 고정 루프(PLL) 주파수 합성기에서, 전압 제어 발진기(VCO)는 VCO 주파수 제어 신호에 기초하여 원하는 주파수에서 출력 캐리어 신호를 생성한다. 간략화된 PLL 구성에서, 이 제어는 피드백 루프를 통하여 VCO 신호 위상 또는 주파수를 고정 주파수 기준 신호의 위상 또는 주파수와 비교하여 VCO 신호와 고정 주파수 신호 사이의 위상차에 대응하는 주파수 제어 신호를 생성하는 위상 주파수 검출기에 결합된 VCO 출력 신호를 구비한, 피드백 루프에 의하여 달성된다. 이 주파수 제어 신호는 저역 통과 루프 필터에 의해 평탄화되고 그 다음 정상 상태에서 VCO 출력 신호 주파수가 고정 주파수 기준 신호의 주파수와 매칭되도록 VCO에 적용된다.

[0004] 고정 주파수 기준 소스의 다수의 주파수인 주파수에 대한 VCO 출력 신호의 주파수의 분할을 가능하게 하는 주파

수 분주기(frequency divider)가 PLL 피드백 루프에 포함될 수 있다. 주파수 분주기의 출력은 위상 주파수 검출기에 의해 VCO 위상을 제어하기 위한 고정 주파수 소스와 비교된다. 이러한 방식으로, VCO에 의해 생성된 캐리어 신호의 주파수는 고정 주파수 기준의 다수의 주파수에 대하여 "위상 고정"되도록 일정하게 제어된다.

발명의 상세한 설명

[0005] 본 발명의 실시예들은 위상 주파수 검출기, 전하 펌프, 루프 필터, 전압 제어 발진기 및 분주기 회로를 포함하는 시그마-델타(sigma-delta) 기반 위상 고정 루프 장치를 제공할 것이다. 위상 주파수 검출기는 기준 신호 및 피드백 신호를 수신하고 기준 신호 및 피드백 신호의 비교에 근거하여 UP/DOWN 신호를 출력할 것이다. 전하 펌프는 위상 주파수 검출기로부터 출력 신호에 근거하여 전하를 출력할 것이다. 전하 펌프는 고정된 양의 전류를 인가하기 위한 제1 전류 소스 및 가변하는 양의 전류를 인가하기 위한 제2 전류 소스를 포함할 것이다. 전압 제어 발진기는 전하 펌프로부터 수신된 전하에 근거하여 클럭 신호를 출력할 것이다. 분주기 회로는 전압 제어 발진기로부터 출력된 클럭 신호를 수신하고 위상 주파수 검출기로 피드백 신호를 출력할 것이다. 시그마-델타 변조기가 분주기 회로에 결합될 수 있다.

[0006] 제2 전류 소스의 가변하는 양의 전류는 위상 주파수 검출기에서 기준 신호 및 피드백 신호의 위상 에러에 근거할 수 있다. 또한, 전하 펌프로부터 출력된 전하의 양은 위상 주파수 검출기에서 기준 신호와 피드백 신호 사이의 위상차에 선형적으로 비례할 수 있다.

[0007] 더하여, 제1 전류 소스의 크기는 제2 전류 소스의 크기보다 클 수 있다. 이 서로 다른 크기는 위상 고정 루프 장치의 고정 조건에서 위상 오프셋을 제공할 수 있다.

[0008] 본 발명의 추가적인 이점, 목적, 특징 및 실시예들은 본 발명의 실시로부터 습득될 수 있거나, 이하의 설명으로부터 본 기술분야에서 통상의 지식을 가진 자에게 부분적으로 명백해질 수 있는, 이하의 상세한 설명에 부분적으로 개시될 것이다.

실시예

[0023] 이하의 상세한 설명에서, 유사한 참조 번호들 및 문자들은 서로 다른 도면들에서 동일하거나, 대응되거나, 유사한 구성요소들을 지시하기 위하여 사용될 것이다. 또한, 이하의 상세한 설명에서, 예시적인 크기/모델/값/범위는 본 발명의 실시예로 주어진 것일 뿐 본 발명이 거기에 제한되는 것은 아니다. 게다가, 장치들 및 실시예들은 본 발명의 불명료함을 피하기 위하여 불려도 형식으로 도시될 것이며, 또한 그러한 불려도 장치의 구현에 대한 특징은 본 발명이 구현될 플랫폼에 의존할 것이다. 즉, 상기 특징은 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자의 영역 내에 있을 것이다. 특징의 상세 사항이 본 발명의 실시예들을 설명하기 위하여 개시되고 있으며, 본 발명의 실시예들이 이러한 특징의 상세 사항 없이 실시될 수 있음은 본 기술분야에서 통상의 지식을 가진 자에게 자명할 것이다.

[0024] 이하의 논의는 도면에 대하여 대체가능한 용어 신호(들) 및 신호 라인(들)을 사용할 수 있다. 즉, 용어 신호는 도면에 도시된 바와 같이 신호 라인에 대응할 수 있다. 장치들 및 실시예들은 또한 다른 회로 구성요소들로부터 입력되거나 출력된 신호들에 대하여 설명될 수 있다. 논의는 신호를 식별하고 신호는 신호 라인 또는 다른 타입의 메커니즘을 통하여 전송될 수 있다. 게다가, 값 또는 신호들은 HIGH 또는 LOW 및/또는 UP 또는 DOWN으로 설명될 수 있는 반면, 이러한 설명들은 논의된 장치들 및/또는 실시예들에 상대적일 수 있다. 예를 들면, 값이나 신호들은 논리 회로의 변경과 같이 다른 장치에 제공된다면 LOW일 수 있을지라도 하나의 장치에서 HIGH로 설명될 수 있다. HIGH 또는 LOW라는 용어는 의도적 본질로 사용될 수 있다. 실시예들 및 장치들은 논리회로의 변경에 의하여 HIGH 및 LOW 신호들의 전체/일부 반전으로 구현될 수 있다.

[0025] 위상 고정 루프(Phase-Locked Loop; PLL)는 유선 또는 무선 어플리케이션에서 캐리어 주파수 또는 타이밍 기준(클럭 신호와 같은)을 발생시키기 위하여 사용될 수 있다. 도 1은 예시적인 장치에 따른 PLL기반 주파수 합성기의 블록도이다. 다른 장치들이 또한 가능하다. 좀 더 구체적으로, 도 1은 위상 주파수 검출기(PFD)(10), 저역 통과 필터(LPF)(20)(또는 루프 필터), 전압 제어 발진기(VCO)(30) 및 피드백 분주기 회로(40)를 포함하는 PLL을 도시한다. PFD(10)는 분주기 회로(40)로부터 기준 신호(f_{ref}) 및 피드백 신호(f_{fdb})를 수신한다. PFD(10)는 기준 신호(f_{ref}) 및 피드백 신호(f_{fdb})를 비교하고 저역 통과 필터(20)를 통하여 VCO(30)로 신호들을 출력한다. 필터링된 신호는 기본적으로 VCO(30)에 인가된 DC 신호를 천천히 바꾸거나 변경시킨다. VCO(30)는 클럭 신호로 사용될 수 있는 VCO 신호(f_{out})를 출력한다. VCO 출력 신호(f_{out})는 또한 기준 신호(f_{ref})와의 비교를 위하여 PFD(10)에

피드백 신호(f_{fdb})를 출력하는 피드백 분주기(40)에 입력될 수 있다.

[0026] 루프 대역폭과 채널 간격 사이에는 트레이드-오프(trade-off)가 있을 수 있다. 즉, 정수 N의 PLL이 사용될 때, 채널 간격은 비교 주파수와 같을 수 있다. 루프 대역폭은 비교 주파수보다 10배 작을 것이다. 고정 시간이 루프 대역폭에 반비례하기 때문에, 루프 대역폭은 고정 시간을 감소시키기 위하여 더 작아질 수 있다. 이 트레이드-오프 외에, 위상 잡음이 또한 루프 대역폭에 영향을 받을 수 있다. 밴드 내 위상 잡음은 루프 대역폭이 증가하는 것에 의하여 감소하기 때문에, 위상 잡음은 동일한 비율만큼 향상될 수 있다. 그러나, 합성된 출력의 채널 간격 또는 주파수 해상도의 제한은 넓은 루프 대역폭을 구비한 PLL의 사용을 제한한다.

[0027] 도 2는 예시적인 장치에 따른 시그마-델타 기반 PLL의 부분도이다. 다른 장치들 또한 가능하다. 쉬운 설명을 위하여, 도 2는 시그마-델타 기반 PLL의 일부만을 도시한다. 도 2는 PLL을 구성할 수 있는 PFD(10), 저역 통과 필터(20) 및 VCO(30)를 도시하지 않는다. 좀 더 구체적으로, 시그마-델타 PLL에서 피드백 경로 내의 분주기(40)는 좋은 주파수 해상도를 위하여 시그마 델타 변조기(45)에 의해 제어될 수 있다. 수학적 1은 도 2에 도시된 것과 같은 시그마-델타 기반 PLL에 대한 주파수 발생식을 나타낸다.

수학적 1

$$f_{vco} = \frac{f_{ref}}{R} \left(K \cdot P + S + \frac{N}{D} \right)$$

[0028] 괄호 안의 처음 두 개의 값(즉, K 및 P값)은 합성된 주파수의 정수 부분이고 괄호 안의 마지막 값들(즉, S, N 및 D값)은 합성된 주파수의 분수 부분이다. 시그마-델타 PLL들에서, 분수 부분의 분모 값은 매우 크고 따라서 주파수 해상도가 증가될 수 있다. 테이블 1은 시그마-델타 PLL을 사용한 주파수의 발생을 위한 예를 도시한다.

[0030] 테이블 1. 시그마-델타 PLL을 사용한 주파수 발생의 예

| f_{vco} | f_{ref} | R | K | P | S | N | D |
|------------------|-----------|---|---|----|---|-----|------|
| 915.15MHz | 19.68MHz | 1 | 4 | 11 | 2 | 987 | 1968 |

[0032] 시그마-델타 기반 PLL의 한가지 문제는 PLL에서 미스매치(minmatch)와 관련된 스푸리어스 톤(spurious tone)들이다. 예를 들어, 전하 펌프와 PFD의 미스매치는 분리된 N개의 합성기로부터 발생한 스푸어(spur)들과 유사한 스푸리어스 값들을 생성할 수 있다.

[0033] 시그마-델타 변조기(45)의 무작위 특성은 전하 펌프에서 너무 많은 미스매치가 발생할 때 가치가 없어질 수 있다. 이 상황에서, 개별적인 스푸어가 VCO의 출력에서 나타날 수 있으며, 캐리어 주파수로부터의 오프셋 주파수는 단편 부분과 같게 될 것이다. 전하 펌프 미스매치를 방지하거나 최소화하기 위하여, 장치들은 (PFD로부터 출력된 UP/DOWN 신호에 근거하여) 전하 펌프의 UP 및 DOWN 전류를 매칭시킨다. 그러나, 이러한 종류의 보정의 정확도는 측정 정확도 때문에 충분하지 않을 수 있다. 시뮬레이션은 (프로세스 및 환경 변화를 고려한) 가장 나쁜 경우의 미스매치가 몇몇 퍼센트를 초과할 수 있다는 것을 보여준다.

[0034] 도 3은 예시적인 장치에 따른 위상 주파수 검출기(PFD) 및 전하 펌프(CP)의 도면이다. 도 4는 예시적인 장치에 따른 전하 펌프 미스매치없이(즉, $I_{norm} = I_{norm}^*$) 위상차에 근거한 전하 펌프의 전달 특성을 나타내는 그래프이다. 도 5는 예시적인 장치에 따른 전하 펌프 미스매치 를 구비한(즉, $I_{norm} \neq I_{norm}^*$) 위상차에 근거한 전하 펌프의 전달 특성을 나타내는 그래프이다. 다른 장치들, 그래프들 및 데이터 또한 가능하다.

[0035] 좀 더 구체적으로, 도 3은 VCO(및 분주기 회로(40)를 통하여)로부터 기준 신호(f_{ref}) 및 피드백 신호(f_{fdb})를 수신하는 위상 주파수 검출기(PFD)를 도시한다. PFD(110)는 기준 신호(f_{ref}) 및 피드백 신호(f_{fdb})의 위상을 비교하고 VCO의 발진을 제어하도록 UP 신호 또는 DOWN 신호를 출력한다. UP 신호 및 DOWN 신호는 또한 UP 펄스 및 DOWN 펄스로 각각 언급될 수 있다. 도 3은 또한 PFD(110)의 RESET 입력에 결합된 AND 게이트(130) 및 버퍼 회로(120)를 도시한다. AND 게이트(130)는 UP 신호 라인 및 DOWN 신호 라인 상의 신호들에 근거한 신호를 출력한다. 버퍼 회로(120)는 임의의 데드존(dead zone)을 방지하기 위하여 지연을 제공한다.

[0036] 전하 펌프는 전류 소스(140), 전류 소스(150), 커패시터(160) 및 스위치들(145, 155)을 포함할 수 있다. 전하

펌프의 출력 터미널(165)은 루프 필터를 통하여 VCO에 전하(또는 신호)를 제공하기 위하여 루프 필터에 결합될 수 있다. 스위치(145)에 인가된 UP 신호에 근거하여, 전류 소스(140)는 $I_{up}=I_{norm}$ 인 전류 I_{up} 을 인가할 수 있다. 스위치(155)에 인가된 DOWN 신호에 근거하여, 전류 소스(150)는 $I_{down}=I_{norm}^*$ 인 전류 I_{down} 을 인가할 수 있다. 커패시터(160)는 전류 소스들(140 및 150)로부터 주입된 전하를 저장하도록 동작하고, 다음으로 전하는 저역 통과 필터를 통하여 VCO로 내보내진다. 그와 같이, 전류 소스들(140 및 150)로부터 주입된 전류는 PFD(110)로부터 출력된 각각의 UP 및 DOWN 신호에 의존할 수 있다.

[0037] 도 4는 어떠한 전하 미스매치도 일어나지 않는 상황을 도시한다. 이 상황은 전류 소스(140)로부터의 I_{up} 이 전류 소스(150)로부터의 I_{down} 과 같을 때를 나타낸다. 이러한 상황이 발생하면, 위상 에러는 고정 상태에서 일어나지 않고 스퓨리어스 신호가 발생하지 않을 것이다. 루프 필터로부터 전달된 네트 전하는 고정 조건에서 0이 되어야 하기 때문에, 임의의 위상 오프셋이 도 5에 도시된 바와 같이 전하 펌프 미스매치를 상쇄시키기 위하여 반대 방향으로 일어날 것이다.

[0038] 도 5는 전류 소스(140)로부터의 I_{up} 이 전류 소스(150)로부터의 I_{down} 과 같지 않은 것과 같이, 전하 펌프 미스매치가 일어나는 상황을 도시한다. 정수-N의 합성기들과 달리, 시그마-델타 기반 PLL은 피드백 분주기(40)의 켓수 (division factor)를 변경시키고 PFD(110)의 입력의 순간 위상이 분주기(40)로부터의 피드백 신호(f_{fdb})에 따라 변할 수 있다. 따라서, 위상 오프셋의 양은 시그마-델타 기반 PLL의 평균 위상일 것이다. PFD(110)의 전달 곡선에서, 평균 위상은 네트 전하 전달(또는 $Q_{up}-Q_{down}$)이 0이 되었을 때 교차 지점일 수 있다. Q 값은 $Q_{(charge)} = I_{(current)} \times t_{(time)}$ 으로 정의될 수 있을 것이다. 피드백 분주기(40)로부터의 순간 위상은 이 중심 값에서 앞 뒤로 움직일 수 있다.

[0039] UP 및 DOWN 신호에 근거한 리셋 기능을 갖는 PFD는 3-상태 PFD로 불린다. 입력이 같은 것 외에, 다른 상태들은 f_{ref} 리딩(leading) f_{fdb} 및 f_{fdb} 래깅(lagging) f_{ref} 를 포함할 수 있다. 3-상태 PFD가 사용될 때, PFD 및 전하 펌프의 동작은 제로(0) 위상 에러와 매우 다를 수 있다. 예를 들면, 만약 위상 에러가 네거티브(negative)이거나 기준 신호(f_{ref})가 피드백 신호(f_{fdb})에 앞서면, DOWN 펄스가 PFD(110)에서 리셋 지연까지의 시간 동안 고정될 것이다. 대신 UP 펄스는 위상차 정보를 가질 것이다. 따라서, 루프 필터로부터 나온 전하는 각 비교 사이클에서 고정되는 반면, 루프 필터에 대한 소스 전하는 두 입력 신호의 위상차에 따라 변할 것이다. 한편, 만약 위상 에러가 포지티브(positive)이거나 피드백 신호(f_{fdb})가 기준 신호(f_{ref})에 앞서면, UP 펄스가 PFD(10)의 리셋 지연까지의 시간 동안 고정될 것이다. 대신, DOWN 펄스는 위상차 정보를 가질 것이다. 따라서, 루프 필터로부터 나온 전하는 위상차에 따라 변하는 반면, 루프 필터에 대한 소스 전하는 각 비교 동안 고정된 양을 가질 것이다.

[0040] 각 UP 및 DOWN 펄스는 PFD에 의해 결정된 위상차에 따라 매우 선형으로 이루어질 수 있다. 그러나, 제로(0) 위상 에러 주변에 전달 특성의 동일 기울기를 유지하기 위하여 UP 및 DOWN 전류를 절대적으로 매칭시키는 것은 어려울 수 있다. 따라서, 만약 전하 펌프 미스매치에 의해 야기된 위상차가 PFD의 가변 동작 범위 내에 있다면, 전하 펌프의 선형성이 심각하게 손상될 것이다.

[0041] 도 6은 예시적인 장치에 따른 도 5의 전하 펌프 및 PFD에 관한 신호의 타이밍도이다. 도 6은 차지 펌프(도 5)의 비선형성의 효과의 예를 나타낸다. 다른 장치들, 도면들 및 데이터 또한 가능하다. UP 및 DOWN 전류는 서로 다른 기울기를 갖기 때문에, 루프 필터에 대한 전하의 전체 양은 두 개의 전류 소스(140 및 150) 사이의 차이의 부호에 의존할 것이다. 시그마-델타 기반 PLL은 고정 조건에 중심이 있는 무작위로 분포된 위상 에러를 생성한다. 상술한 예에서, 고정 상태는 도 5에 도시된 바와 같이 일부 오프셋을 가질 수 있는 전하 펌프의 불균형 때문에 제로(0)가 아닌 위상 에러를 가질 것이다. 도 5의 전달 특성의 기울기 차는 파괴점(breaking point)으로부터 전하 펌프의 비선형 동작을 생성할 것이다.

[0042] 시그마-델타 기반 PLL에서 바람직하지 않는 스퓨리어스 신호들의 크기는 PFD의 전체 동작 범위에 대한 루프의 선형성에 반비례할 것이다. 이것은 본 발명의 실시예에서 PFD의 선형성을 획득하기 위하여 전하 펌프의 UP 전류 및 DOWN 전류를 매칭시킬 필요가 있음을 의미한다. 도 5는 전달 곡선의 기울기 또는 선형성이 시그마-델타 기반 PLL들에서 PFD의 동작 영역에서(또는 동작 영역 내에서) 변하는 것을 나타낸다. 이 동작 영역에서, 스퓨리어스 성능은 매우 약하고 따라서 몇몇 고성능 셀룰러 폰에 대하여 허용가능하지 않을 수 있다.

[0043] 본 발명의 실시예들은 시그마-델타 기반 PLL에서 스퓨리어스 톤들을 감소시키기 위한 선형화 기술을 제공할 것이다. 두 개의 전하 펌프 전류 소스 및 PFD의 리셋 지연의 비율과 같은 파라미터들은 더 나은 스퓨리어스 거절

을 제공하기 위하여 변경될 수 있다(즉, 증가할 수 있다). 제로(0) 위상 에러는 임의의 미스매치 없이 정수-N 기반 PLL에서 낮은 스퓨리어스 레벨을 제공하도록 설계될 수 있다. 그러나, 시그마-델타 기반 PLL에서, 전하 펌프 및 PFD의 선형성은 고정 조건에서의 제로(0) 위상 오프셋보다 스퓨리어스 톤을 결정하기 위한 인자일 수 있다. 두 개의 전류 신호의 의도된 비율의 미스매치는 선형성을 향상시키고 스퓨리어스 톤들을 감소시킬 수 있다.

[0044] 도 7은 본 발명의 실시예에 따른 위상차에 근거한 전하 펌프의 전달 특성을 나타내는 그래프이다. 다른 실시예들, 그래프들, 데이터들이 또한 본 발명의 범위 내에 있을 것이다. PFD의 동작 범위(또는 위상 진폭 범위)는 (도 2에 도시된 시그마-델타 변조기(45)와 같은) 시그마 델타 변조기 및 루프 파라미터-유사 루프 대역폭에 의존할 수 있다. 만약 루프 필터로 내보내진 전하의 양이 두 개의 PFD 입력 신호들(즉, 기준 신호(f_{ref}) 및 피드백 신호(f_{fdb})) 사이의 위상차에 선형적으로 비례한다면 불필요한 스퓨리어스 신호들은 존재하지 않을 것이다. 만약 전하 펌프 미스매치가 지나치다면, PFD의 동작 영역이 도 7에 도시된 바와 같이 변경될 것이다. 도 5의 장치과 달리, 기울기가 변하지 않고 루프의 선형성은 PFD의 모든 동작 영역에 대하여 유지된다. 따라서, 스퓨리어스 톤들의 크기는 매우 작을 것이다. 이 경우, 루프 필터로 내보내진 전하는 위상차에 비례할 것이다. UP 및 DOWN 전류 미스 매치가 도 7에서 일어날 때, PFD의 두 입력들 사이의 위상 오프셋은 고정 조건에서 0이 아닐 것이다. 그러나, 기준 신호(f_{ref})와의 위상 관계가 아닌 주파수 정보만이 중요한 요소이기 때문에 합성기 응용에서 어떠한 문제도 일으키지 않을 것이다.

[0045] 도 8은 본 발명의 실시예에 따른 위상 주파수 검출기(PFD) 및 전하 펌프 회로의 도면이다. 도 9는 본 발명의 실시예에 따른 도 8의 전하 펌프 및 PFD에 관한 신호의 타이밍도이다. 다른 실시예들, 구성들 및 도면들이 또한 본 발명의 범위 내에 있을 것이다. 도 8은 PFD 및 전하 펌프를 도시한다. (VCO, 피드백 분주기 및 시그마-델타 변조기와 같은) 다른 소자들은 설명의 편의를 위해 도 8에 도시되어 있지 않다.

[0046] 본 발명의 실시예들은 시그마-델타 기반 PLL의 동작을 선형화할 수 있다. 전하 펌프의 UP 및 DOWN 전류는 (도 7에 도시된 바와 같이) 고정 상태에서 충분한 위상 오프셋을 제공하기 위하여 (도 8에 도시된 바와 같이) 서로 다른 크기를 가질 수 있다. 예를 들어, (도 8에서) K의 상수 곱셈 인자는 UP 전류 소스 또는 DOWN 전류 소스에 대한 설계 파라미터로 사용될 수 있다. 곱셈 인자는 (도 7에 도시된 바와 같이) PFD의 선형 동작을 제공할 수 있을 정도로 충분히 클 것이다. K값은 PLL에 정확하게(또는 처음부터) 설치될 수 있거나, K값은 제어 장치에 의해 제어될 수 있다.

[0047] 좀 더 구체적으로, 도 8은 VCO(및 분주기 회로(40)를 통하여)로부터 기준 신호(f_{ref}) 및 피드백 신호(f_{fdb})를 수신하는 위상 주파수 검출기(PFD)를 도시한다. 앞서 논의된 것과 유사하게, PFD(110)는 기준 신호(f_{ref}) 및 피드백 신호(f_{fdb})의 위상을 비교하고 VCO의 발진을 제어하도록 UP 신호 및/또는 DOWN 신호를 출력한다. 도 8은 또한 도 3에 대하여 앞서 논의되었던 것과 유사한 방식으로 PFD의 RESET 입력에 결합된 AND 게이트(130) 및 버퍼 회로(120)를 도시한다. 전하 펌프는 전류 소스(170), 전류 소스(150), 커패시터(160) 및 스위치들(175 및 155)을 포함할 수 있다. 출력 터미널(165)이 루프 필터를 통하여 VCO에 전하(또는 신호)를 제공하기 위하여 루프 필터에 결합될 수 있다. 스위치(175)에 인가된 UP 신호에 근거하여, 전류 소스(170)는 $I_{up}=K \times I_{norm}$ 인 전류 I_{up} 을 인가할 수 있다. 스위치(155)에 인가된 DOWN 신호에 근거하여, 전류 소스(150)는 $I_{down}=I_{norm}^*$ 인 전류 I_{down} 을 인가할 수 있다. 커패시터(160)는 전류 소스들(170 및 150)로부터 주입된 전하를 저장하도록 동작하고, 다음으로 전하는 저역 통과 필터를 통하여 VCO로 내보내질 수 있다. 그와 같이, 전류 소스들(170 및 150)로부터 주입된 전류는 PFD(110)로부터 출력된 각각의 UP 및 DOWN 신호에 의존할 수 있다.

[0048] 다르게 말하면, 도 8에서 UP 전류는 도 3 및 도 7을 비교하는 것에 의하여 알 수 있는 바와 같이 제로(0) 위상 에러로부터 멀리 교차점을 이동시키기 위하여 증가될 수 있다. 본 발명의 실시예에서, PLL의 동작 동안 위상 에러는 네거티브일 수 있고 따라서 DOWN 전류는 위상차 정보를 가질 수 있다. UP 전류가 PFD의 리셋 지연까지의 시간 동안 고정되고 따라서 전하 펌프로부터 루프 필터로 공급된 전하의 양은 각 비교 동안 고정될 수 있다.

[0049] PFD(110) 및 전하 펌프 전류의 일부가 정확한 선형 동작을 갖도록 이루어질 수 있기 때문에, 이 실시예의 결과인 스퓨리어스 특성은 바람직하지 않는 장치들에 비하여 우수할 것이다. 다시 말해, UP 및 DOWN 전류 소스들 중 하나는 각 비교 사이클에 대하여 고정된 양의 전하를 제공할 것이고, 다른 전류 소스는 위상 에러에 비례하는 가변하는 양의 전하를 제공할 것이다. 전하 펌프 회로의 스위칭 동작 때문에 결합 또는 몇몇 전이에 의해 야기되는 다른 소스의 에러가 있을 수 있다. 또한, 결합의 양은 UP 및 DOWN 전류 소스에서 스위치들에 대하여 매우 다를 수 있다. 위상 변이는 두 개의 전류 소스들 중 하나가 일정한 동작 조건을 갖기 때문에 이러한 종류의 결

합에 의해 야기된 비선형성을 도울 수 있다.

- [0050] 도 9는 도 7 및 도 8에 근거한 PFD의 동작을 나타내는 타이밍도이다. UP 및 DOWN 전류 소스들(170 및 150)에서 의도된 큰 미스매치에 의해, DOWN 전류 소스(150)는 루프 필터에 가변하는 양의 전하를 제공하는 반면, UP 전류 소스(170)의 펄스 폭은 시간 동안 고정될 것이다. 따라서, 루프 필터로의 넷 전하의 선형성이 보장될 수 있다.
- [0051] 도 10은 본 발명의 실시예에 따른 위상 주파수 검출기 및 전하 펌프를 나타낸다. 도 11은 본 발명의 실시예에 따른 위상차에 근거한 전하 펌프의 전달 특성을 나타내는 그래프이다. 도 12는 본 발명의 실시예에 따른 도 10의 전하 펌프와 관련된 신호의 타이밍도이다. 다른 실시예들, 구성들 및 도면들이 또한 본 발명의 범위 내에 있을 수 있다.
- [0052] 좀 더 구체적으로, 도 10은 VCO로부터 기준 신호(f_{ref}) 및 피드백 신호(f_{fdb})를 수신하는 위상 주파수 검출기 (PFD)를 도시한다. 앞서 논의된 것과 유사하게, PFD(110)는 기준 신호(f_{ref}) 및 피드백 신호(f_{fdb})의 위상을 비교하고 VCO의 발진을 제어하도록 UP 신호 및/또는 DOWN 신호를 출력한다. 도 10은 또한 도 3에 대하여 앞서 논의된 바와 유사한 방식으로 PFD(110)의 RESET 입력에 결합된 AND 게이트(130) 및 버퍼 회로(120)를 도시한다. 전하 펌프는 전류 소스(140), 전류 소스(180), 커패시터(160) 및 스위치들(145, 185)을 포함할 수 있다. 전하 펌프의 출력 터미널(165)은 루프 필터를 통하여 VCO에 전하(또는 신호)를 제공하기 위하여 루프 필터에 결합될 수 있다. 스위치(145)에 인가된 UP 신호에 근거하여, 전류 소스(140)는 $I_{up}=I_{norm}$ 인 전류 I_{up} 을 인가할 수 있다. 스위치(185)에 인가된 DOWN 신호에 근거하여, 전류 소스(180)는 $I_{down}=K \times I_{norm}^*$ 인 전류 I_{down} 을 인가할 수 있다. 커패시터(160)는 전류 소스들(140 및 180)로부터 주입된 전하를 저장하도록 동작하고, 다음으로 전하는 저역 통과 필터를 통하여 VCO로 내보내질 수 있다. 그와 같이, 전류 소스들(140 및 180)로부터 주입된 전류는 PFD(110)로부터 출력된 각각의 UP 및 DOWN 신호에 의존할 수 있다.
- [0053] 다르게 말하면, 도 10은 바람직하지 않은 장치와 비교하여 선형화가 제공되도록 UP 전류 및 DOWN 전류를 변경시키는 실시예를 도시한다. 도 10은 상수 곱셈 인자 K와 관련된 큰 DOWN 전류 소스(180)를 나타낸다. 도 11은 DOWN 전류가 증가할 때 전달 특성을 나타낸다. 이 실시예에서, 시그마-델타 기반 PLL의 동작 범위는 포지티브 위상 에러로 변이된다. 따라서, 위상 에러는 포지티브이고 오직 UP 전류만이 위상 에러 정보를 갖는다. DOWN 전류는 리셋 지연까지 고정될 수 있고, 감쇠 전류의 양은 도 12에 도시된 바와 같이 비교 동안 고정될 것이다.
- [0054] 본 발명의 실시예들은 PFD, 전하 펌프 및 VCO를 포함한 시그마-델타 기반 PLL을 제공할 것이다. 전하 펌프는 PFD로부터 출력된 UP 및 DOWN 신호에 근거하여 전하를 출력할 것이다. 전하 펌프는 고정된 양의 전류를 제공하기 위한 제1 전류 소스 및 가변하는 양의 전류를 제공하기 위한 제2 전류 소스를 포함할 것이다. 가변하는 양의 전류는 PFD의 입력 신호들 사이의 위상 에러(또는 위상차)에 근거할 것이다. 전하 펌프로부터 출력된 전하의 양은 PFD의 두 입력 신호들의 위상차에 선형적으로 비례한다. 추가로, 제1 전류 소스의 크기는 제2 전류 소스의 크기보다 클 것이다.
- [0055] 본 실시예에서 "일 실시예", "실시예" 및 "예시적인 실시예"라는 용어는 실시예와 관련하여 설명된 특정 특징, 구조 또는 특성이 본 발명의 적어도 일 실시예에 포함됨을 의미한다. 본 명세서에의 다양한 위치에서 그러한 용어의 표현은 모두 반드시 동일한 실시예를 언급하는 것은 아니다. 또한 특정 특징, 구조 또는 특성들이 어떤 실시예와 관련하여 설명될 때, 그것은 본 발명의 기술분야에서 통상의 지식을 가진 자의 범위 내에서 다른 실시예들과 관련된 그러한 특징, 구조 및 특성에 영향을 주는 것으로 생각된다.
- [0056] 본 발명의 실시예들이 다수의 예시적인 실시예들을 참조하여 설명되고 있지만, 많은 다른 변형들 및 실시예들이 본 발명의 요지의 기술사상 및 범위 내에 본 기술분야에서 통상의 지식을 가진 자에 의해 발명될 수 있음이 이해되어야 한다. 좀 더 구체적으로, 합리적인 변형 및 수정들이 본 발명의 기술사상으로부터 벗어나지 않고 상술한 실시예, 도면들 및 첨부된 청구범위의 범위 내에서 이루어질 수 있다. 구성 부품 및/또는 장치들의 변형 및 수정 외에, 선택적인 사용 또한 본 기술분야에서 통상의 지식을 가진 자에게 자명할 것이다.

산업상 이용 가능성

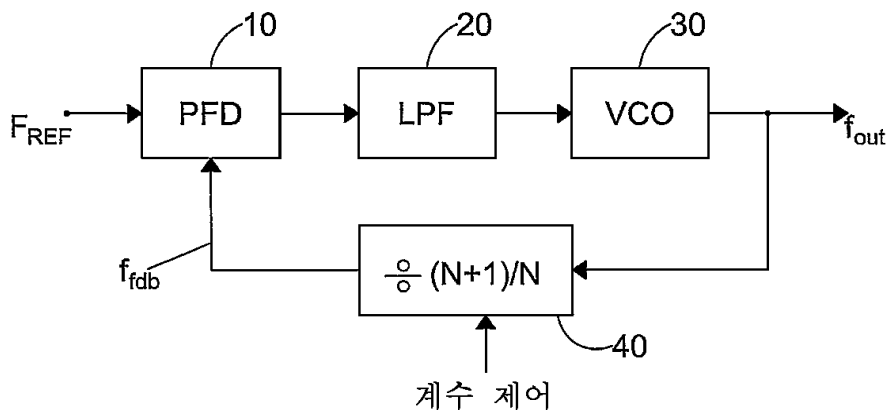
- [0057] 본 명세서 내에 포함되어 있음

도면의 간단한 설명

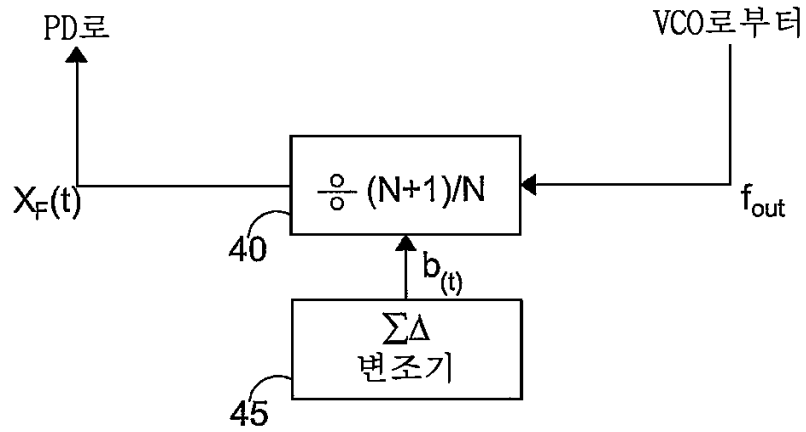
- [0009] 본 발명의 앞서 말한 그리고 좀 더 나은 이해는 본 발명의 개시된 내용의 일부를 형성하는 첨부된 도면과 관련하여 읽을 때 이하의 실시예의 상세한 설명 및 실시예들로부터 명백해질 것이다. 기록되고 설명된 앞선 그리고 이하의 것들은 본 발명의 실시예들 및 장치들을 설명하는데 초점을 맞춰 개시된 반면, 그들은 설명 및 예시를 위한 것일 뿐 본 발명이 거기에 제한되는 것이 아님이 명백히 이해되어야 한다.
- [0010] 이하는 도면의 간단한 설명으로서, 이들 도면에서 동일 참조 번호들은 동일 소자들을 나타낸다.
- [0011] 도 1은 예시적인 장치에 따른 PLL 기반 주파수 합성기의 블록도이다.
- [0012] 도 2는 예시적인 장치에 따른 시그마-델타 기반 PLL의 부분도이다.
- [0013] 도 3은 예시적인 장치에 따른 위상 주파수 검출기 및 전하 펌프의 도면이다.
- [0014] 도 4는 예시적인 장치에 따른 전하 펌프 미스매치 없이 위상차에 근거한 전하 펌프의 전달 특성을 도시하는 그래프이다.
- [0015] 도 5는 예시적인 장치에 따른 전하 펌프 미스매치를 구비한 위상차에 근거한 전하 펌프의 전달 특성을 도시하는 그래프이다.
- [0016] 도 6은 예시적인 장치에 따른 도 3의 전하 펌프 및 PFD와 관련된 신호의 타이밍도(timing diagram)이다.
- [0017] 도 7은 본 발명의 실시예에 따른 위상차에 근거한 전하 펌프의 전달 특성을 나타내는 도면이다.
- [0018] 도 8은 본 발명의 실시예에 따른 위상 주파수 검출기 및 전하 펌프를 도시한다.
- [0019] 도 9는 본 발명의 실시예에 따른 도 8의 전하 펌프 및 PFD와 관련된 신호의 타이밍도이다.
- [0020] 도 10은 본 발명의 실시예에 따른 위상 주파수 검출기 및 전하 펌프를 도시한다.
- [0021] 도 11은 본 발명의 실시예에 따른 위상차에 근거한 전하 펌프의 전달 특성을 나타내는 그래프이다.
- [0022] 도 12는 본 발명의 실시예에 따른 도 10의 전하 펌프 및 PFD와 관련된 신호의 타이밍도이다.

도면

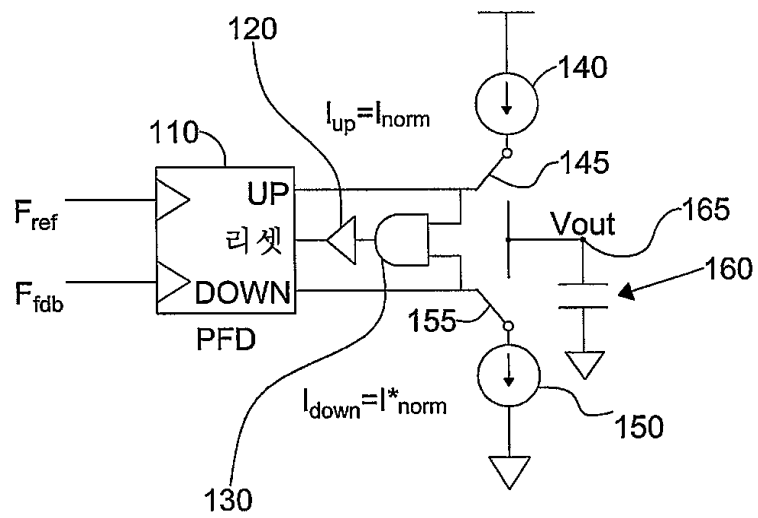
도면1



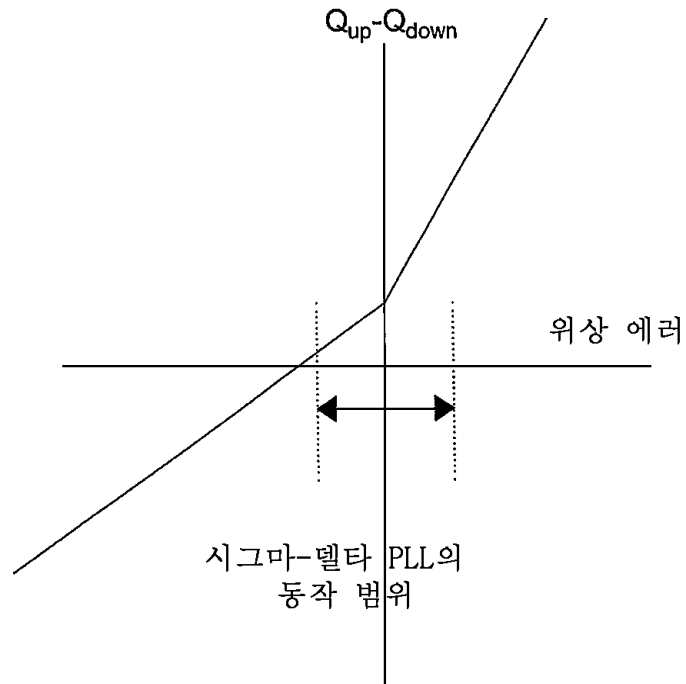
도면2



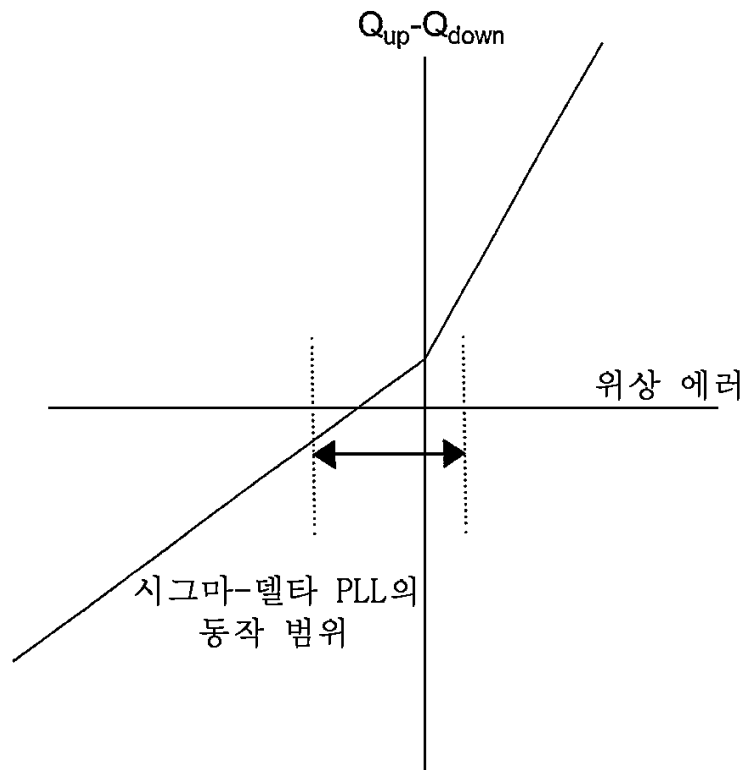
도면3



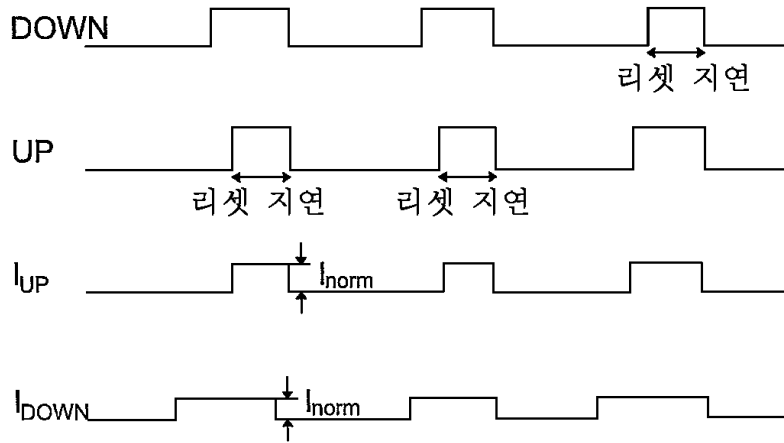
도면4



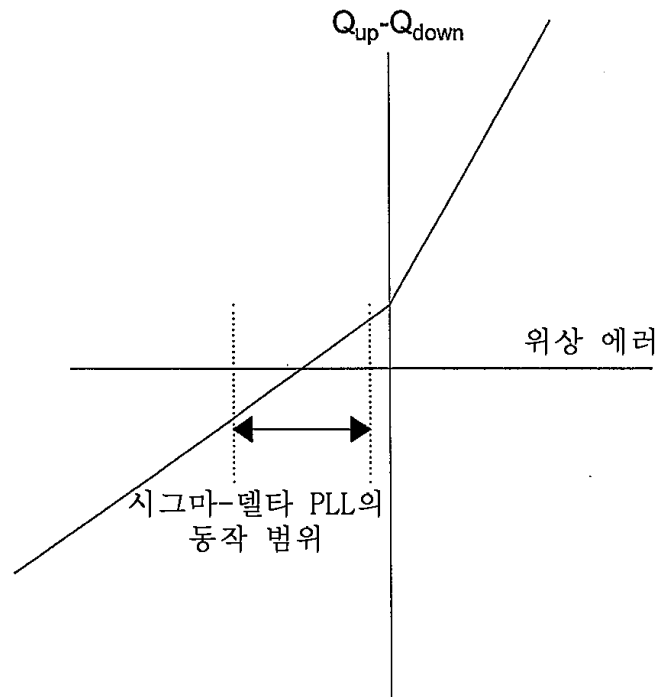
도면5



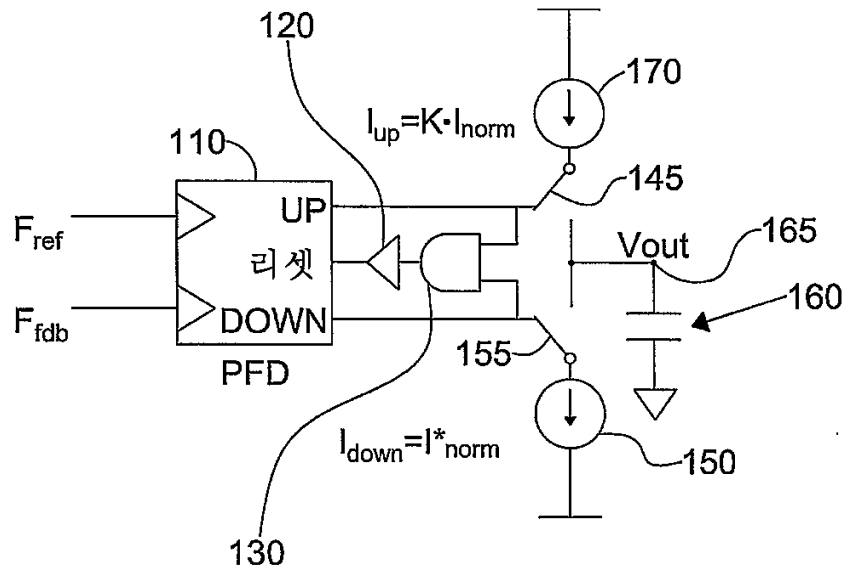
도면6



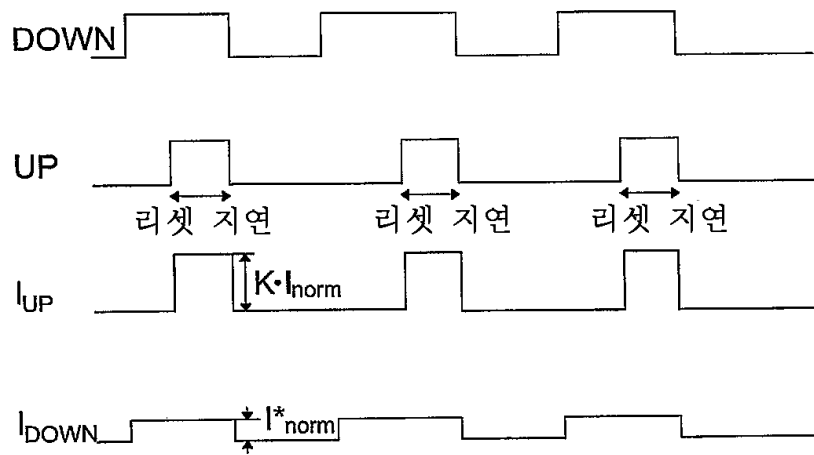
도면7



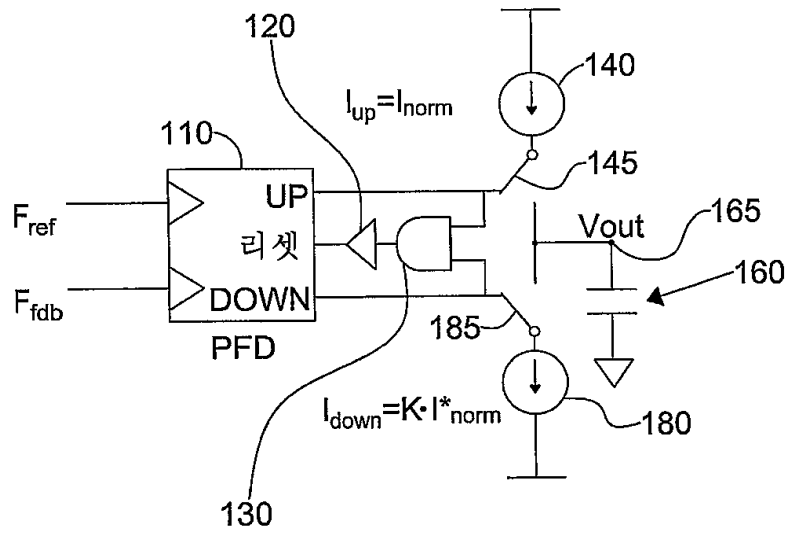
도면8



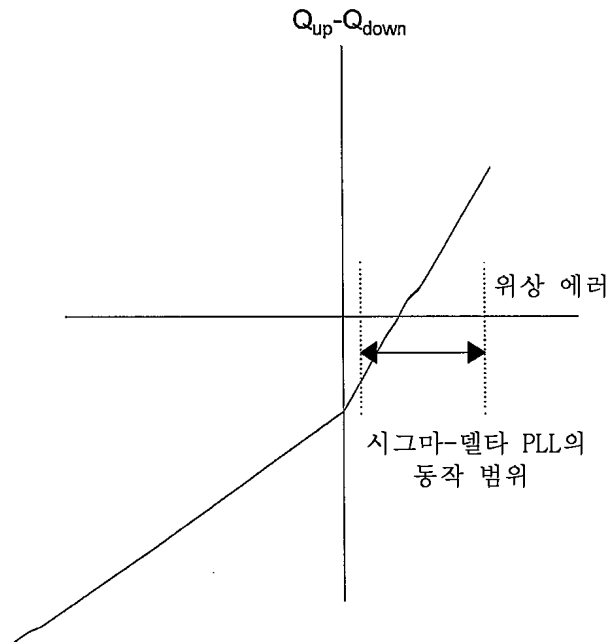
도면9



도면10



도면11



도면12

