

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2005-11920
(P2005-11920A)

(43) 公開日 平成17年1月13日(2005.1.13)

(51) Int. Cl. ⁷	F I	テーマコード (参考)
HO 1 L 29/786	HO 1 L 29/78 6 1 9 A	2 H 0 9 2
GO 2 F 1/1368	GO 2 F 1/1368	3 K 0 0 7
HO 1 L 21/316	HO 1 L 21/316 M	5 F 0 3 3
HO 1 L 21/336	HO 5 B 33/10	5 F 0 5 8
HO 1 L 21/768	HO 5 B 33/14 A	5 F 1 1 0

審査請求 未請求 請求項の数 10 O L (全 16 頁) 最終頁に続く

(21) 出願番号	特願2003-173062 (P2003-173062)	(71) 出願人	502356528 株式会社 日立ディスプレイズ 千葉県茂原市早野3300番地
(22) 出願日	平成15年6月18日 (2003.6.18)	(74) 代理人	100083552 弁理士 秋田 収喜
		(72) 発明者	野村 秀次 千葉県茂原市早野3300番地 株式会社 日立ディスプレイズ内
		(72) 発明者	田中 政博 千葉県茂原市早野3300番地 株式会社 日立ディスプレイズ内
		(72) 発明者	落合 孝洋 千葉県茂原市早野3300番地 株式会社 日立ディスプレイズ内

最終頁に続く

(54) 【発明の名称】 表示装置とその製造方法

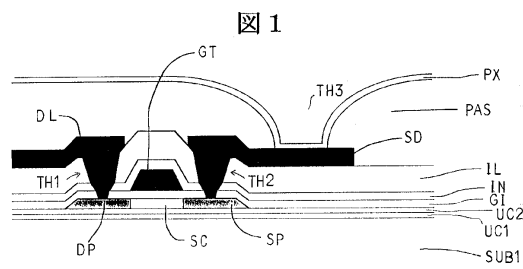
(57) 【要約】

【課題】 表示装置において、コンタクトホールをシリコン酸化膜、シリコン窒化膜、およびシリコン酸化膜の順次積層体に形成する場合に、該コンタクトホールの側壁のテーパを理想的な形状に構成する。

【解決手段】 第1のシリコン酸化膜と、前記第1のシリコン酸化膜の上に積層されたシリコン窒化膜と、前記シリコン窒化膜の上に積層された第2のシリコン酸化膜と、前記第1のシリコン酸化膜、前記シリコン窒化膜および前記第2のシリコン酸化膜を含む少なくとも3層を共通に貫通するコンタクトホールとを備えた表示装置であって、

前記コンタクトホールは、前記シリコン窒化膜の膜厚を d_2 、前記第2のシリコン酸化膜の膜厚を d_3 としたとき、 $d_2 < d_3$ であり、かつ、くびれのないテーパ形状を有する。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

第 1 のシリコン酸化膜と、前記第 1 のシリコン酸化膜の上に積層されたシリコン窒化膜と、前記シリコン窒化膜の上に積層された第 2 のシリコン酸化膜と、前記第 1 のシリコン酸化膜、前記シリコン窒化膜および前記第 2 のシリコン酸化膜を含む少なくとも 3 層を共通に貫通するコンタクトホールとを備えた表示装置であって、

前記コンタクトホールは、前記シリコン窒化膜の膜厚を d_2 、前記第 2 のシリコン酸化膜の膜厚を d_3 としたとき、 $d_2 < d_3$ であり、かつ、くびれのないテーパ形状を有することを特徴とする表示装置。

【請求項 2】

前記コンタクトホールは、前記第 1 のシリコン酸化膜のテーパ角を θ_1 、前記シリコン窒化膜のテーパ角を θ_2 、前記第 2 のシリコン酸化膜のテーパ角を θ_3 としたとき、 $\theta_2 < \theta_1 < 90^\circ$ かつ $\theta_2 < \theta_3 < 90^\circ$ であることを特徴とする請求項 1 に記載の表示装置。

10

【請求項 3】

前記第 1 のシリコン酸化膜のエッチングレートを E_{r1} 、前記シリコン窒化膜のエッチングレートを E_{r2} 、前記第 2 のシリコン酸化膜のエッチングレートを E_{r3} としたとき、 $E_{r1} < E_{r3}$ 、 $E_{r2} < E_{r3}$ 、かつ、 $E_{r2} < E_{r1}$ であることを特徴とする請求項 1 または 2 に記載の表示装置。

【請求項 4】

前記第 1 のシリコン酸化膜のエッチングレートを E_{r1} 、前記シリコン窒化膜のエッチングレートを E_{r2} 、前記第 2 のシリコン酸化膜のエッチングレートを E_{r3} としたとき、 $E_{r1} > E_{r3}$ 、 $E_{r2} < E_{r3}$ 、かつ、 $E_{r2} < E_{r1}$ であることを特徴とする請求項 1 または 2 に記載の表示装置。

20

【請求項 5】

前記コンタクトホールは、前記第 1 のシリコン酸化膜、前記シリコン窒化膜及び前記第 2 のシリコン酸化膜を一括でウエットエッチングすることにより形成されていることを特徴とする請求項 1 から 4 のいずれかに記載の表示装置。

【請求項 6】

前記第 1 のシリコン酸化膜は薄膜トランジスタのゲート酸化膜であり、前記シリコン窒化膜および前記第 2 のシリコン酸化膜は層間絶縁膜であり、前記コンタクトホールは前記薄膜トランジスタのソース・ドレイン領域上に形成されていることを特徴とする請求項 1 から 5 のいずれかに記載の表示装置。

30

【請求項 7】

第 1 のシリコン酸化膜と、前記第 1 のシリコン酸化膜の上に積層されたシリコン窒化膜と、前記シリコン窒化膜の上に積層された第 2 のシリコン酸化膜と、前記第 1 のシリコン酸化膜、前記シリコン窒化膜及び前記第 2 のシリコン酸化膜を含む 3 層を共通に貫通するコンタクトホールとを備えた表示装置の製造方法であって、

前記シリコン窒化膜の膜厚を d_2 、前記第 2 のシリコン酸化膜の膜厚を d_3 としたとき、 $d_2 < d_3$ となる膜厚で積層し、前記第 1 のシリコン酸化膜、前記シリコン窒化膜及び前記第 2 のシリコン酸化膜を一括でウエットエッチングすることによりくびれのないテーパ形状を有する前記コンタクトホールを形成することを特徴とする表示装置の製造方法。

40

【請求項 8】

前記コンタクトホールは、前記第 1 のシリコン酸化膜のテーパ角を θ_1 、前記シリコン窒化膜のテーパ角を θ_2 、前記第 2 のシリコン酸化膜のテーパ角を θ_3 としたとき、 $\theta_2 < \theta_1 < 90^\circ$ かつ $\theta_2 < \theta_3 < 90^\circ$ であることを特徴とする請求項 7 に記載の表示装置の製造方法。

【請求項 9】

前記第 1 のシリコン酸化膜のエッチングレートを E_{r1} 、前記シリコン窒化膜のエッチングレートを E_{r2} 、前記第 2 のシリコン酸化膜のエッチングレートを E_{r3} としたとき、

50

$E r 1 < E r 3$ 、 $E r 2 < E r 3$ 、かつ、 $E r 2 < E r 1$ であることを特徴とする請求項 7 または 8 に記載の表示装置の製造方法。

【請求項 10】

前記第 1 のシリコン酸化膜のエッチングレートを $E r 1$ 、前記シリコン窒化膜のエッチングレートを $E r 2$ 、前記第 2 のシリコン酸化膜のエッチングレートを $E r 3$ としたとき、 $E r 1 < E r 3$ 、 $E r 2 < E r 3$ 、かつ、 $E r 2 < E r 1$ であることを特徴とする請求項 7 または 8 に記載の表示装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は表示装置に係り、たとえばアクティブ・マトリクス型の液晶表示装置等の表示装置に関する。

【0002】

【従来の技術】

アクティブ・マトリクス型の液晶表示装置は、液晶を介して対向配置される各基板のうち一方の基板の液晶側の面に、たとえば x 方向に延在し y 方向に並設される複数のゲート信号線、および y 方向に延在し x 方向に並設される複数のドレイン信号線が形成され、これら各信号線で囲まれる領域を画素領域とし、これら各画素領域の集合体を液晶表示部として構成している。

【0003】

そして、各画素領域は一方の側のゲート信号線からの走査信号によって駆動される薄膜トランジスタと、この薄膜トランジスタを介して一方の側のドレイン信号線からの映像信号が供給される画素電極とを備えている。

【0004】

この画素電極は前記各基板のうちいずれかの基板の液晶側の面に形成した対向電極との間に電界を発生せしめ、この電界の強弱によって当該画素領域の液晶の光透過率を制御するようにしている。

【0005】

また、前記各信号線、薄膜トランジスタ、および電極等は、層状に形成した導電層、絶縁層、あるいは半導体層等をいわゆるフォトリソグラフィ技術による選択エッチングによって微細加工がなされている。

【0006】

この場合、絶縁膜を介した異なる層の各導電層を電氣的に接続させる場合、該絶縁膜に形成したコンタクトホールを通して行なうのが通常である。しかし、該絶縁膜が多層からなっている場合、それらのエッチングレート、あるいは膜厚等の相違によって該コンタクトホールの側壁において滑らかな形状を形成することが困難でその工夫がなされている。このコンタクトホールを通して接続を図る場合に、その側壁に及んで形成する導電層に断切れ等が形成され易いからである。

【0007】

たとえば、薄膜トランジスタがいわゆるトップゲート構造であって、その電極を形成するためのコンタクトホールをシリコン酸化膜、シリコン窒化膜、およびシリコン酸化膜の順次積層体に形成する場合、ウェットエッチングでテーパ加工するものが知られている（特許文献 1 参照）。

【0008】

また、コンタクトホールを形成する多層の絶縁膜において、その各絶縁膜のエッチングレートを下層から上層に及ぶにしたがい段階的あるいは連続的に増加するように各材料を選定するものも知られている（特許文献 2 参照）。

【0009】

さらに、酸化シリコン膜と窒化シリコン膜とからなる積層体におけるコンタクトホールの形成を単一のエッチング処理により行なうものが知られている（特許文献 3 参照）。

10

20

30

40

50

【0010】

【特許文献1】

特開平11-111990号公報

【特許文献2】

特開平9-251996号公報

【特許文献3】

特開平11-258634号公報

【0011】

【発明が解決しようとする課題】

しかし、上記特許文献1の場合、多層の絶縁膜の中間層として形成されるシリコン窒化膜の膜厚が比較的厚く形成されているため、コンタクトホール側の側壁面のテーパ形状において理想的な形状ではなく、まだ改善の余地があるものとなっている。 10

【0012】

上記特許文献2の場合、多層の絶縁膜の各材料が特定されるため、表示装置の画素の形成においてそれが不適な場合が生じるという不都合がある。

【0013】

上記特許文献3の場合も、特定の条件を満たす酸化シリコン膜と窒化シリコン膜とからなる積層体にコンタクトホールを形成するものに特定されるため、表示装置の画素の形成においてそれが不適な場合が生じるという不都合がある。

【0014】

本発明は、コンタクトホールをシリコン酸化膜、シリコン窒化膜、およびシリコン酸化膜の順次積層体に形成する場合に、該コンタクトホール側の側壁のテーパを理想的な形状に構成した表示装置を提供することにある。 20

【0015】

【課題を解決するための手段】

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、以下のとおりである。

【0016】

手段1.

本発明による表示装置は、たとえば、第1のシリコン酸化膜と、前記第1のシリコン酸化膜の上に積層されたシリコン窒化膜と、前記シリコン窒化膜の上に積層された第2のシリコン酸化膜と、前記第1のシリコン酸化膜、前記シリコン窒化膜および前記第2のシリコン酸化膜を含む少なくとも3層を共通に貫通するコンタクトホールとを備えた表示装置であって、 30

前記コンタクトホールは、前記シリコン窒化膜の膜厚を d_2 、前記第2のシリコン酸化膜の膜厚を d_3 としたとき、 $d_2 < d_3$ であり、かつ、くびれのないテーパ形状を有することを特徴とするものである。

【0017】

手段2.

本発明による表示装置は、たとえば、手段1の構成を前提とし、前記コンタクトホールは、前記第1のシリコン酸化膜のテーパ角を θ_1 、前記シリコン窒化膜のテーパ角を θ_2 、前記第2のシリコン酸化膜のテーパ角を θ_3 としたとき、 $\theta_2 < \theta_1 < 90^\circ$ かつ $\theta_2 < \theta_3 < 90^\circ$ であることを特徴とするものである。 40

【0018】

手段3.

本発明による表示装置は、たとえば、手段1または2の構成を前提とし、前記第1のシリコン酸化膜のエッチングレートを E_{r1} 、前記シリコン窒化膜のエッチングレートを E_{r2} 、前記第2のシリコン酸化膜のエッチングレートを E_{r3} としたとき、 $E_{r1} < E_{r3}$ 、 $E_{r2} < E_{r3}$ 、かつ、 $E_{r2} < E_{r1}$ であることを特徴とするものである。

【0019】

手段 4 .

本発明による表示装置は、たとえば、手段 1 または 2 の構成を前提とし、前記第 1 のシリコン酸化膜のエッチングレートを $E r 1$ 、前記シリコン窒化膜のエッチングレートを $E r 2$ 、前記第 2 のシリコン酸化膜のエッチングレートを $E r 3$ としたとき、 $E r 1 > E r 3$ 、 $E r 2 < E r 3$ 、かつ、 $E r 2 < E r 1$ であることを特徴とするものである。

【 0 0 2 0 】

手段 5 .

本発明による表示装置は、たとえば、手段 1 から 4 のいずれかの構成を前提とし、前記コンタクトホールは、前記第 1 のシリコン酸化膜、前記シリコン窒化膜及び前記第 2 のシリコン酸化膜を一括でウエットエッチングすることにより形成されていることを特徴とするものである。

10

【 0 0 2 1 】

手段 6 .

本発明による表示装置は、たとえば、手段 1 から 5 のいずれかの構成を前提とし、前記第 1 のシリコン酸化膜は薄膜トランジスタのゲート酸化膜であり、前記シリコン窒化膜および前記第 2 のシリコン酸化膜は層間絶縁膜であり、前記コンタクトホールは前記薄膜トランジスタのソース・ドレイン領域上に形成されていることを特徴とするものである。

【 0 0 2 2 】

手段 7 .

本発明による表示装置の製造方法は、たとえば、第 1 のシリコン酸化膜と、前記第 1 のシリコン酸化膜の上に積層されたシリコン窒化膜と、前記シリコン窒化膜の上に積層された第 2 のシリコン酸化膜と、前記第 1 のシリコン酸化膜、前記シリコン窒化膜及び前記第 2 のシリコン酸化膜を含む 3 層を共通に貫通するコンタクトホールとを備えた表示装置の製造方法であって、

20

前記シリコン窒化膜の膜厚を $d 2$ 、前記第 2 のシリコン酸化膜の膜厚を $d 3$ としたとき、 $d 2 < d 3$ となる膜厚で積層し、前記第 1 のシリコン酸化膜、前記シリコン窒化膜及び前記第 2 のシリコン酸化膜を一括でウエットエッチングすることによりくびれないテーパ形状を有する前記コンタクトホールを形成することを特徴とするものである。

【 0 0 2 3 】

手段 8 .

本発明による表示装置の製造方法は、たとえば、手段 7 の構成を前提とし、前記コンタクトホールは、前記第 1 のシリコン酸化膜のテーパ角を $\alpha 1$ 、前記シリコン窒化膜のテーパ角を $\alpha 2$ 、前記第 2 のシリコン酸化膜のテーパ角を $\alpha 3$ としたとき、 $\alpha 2 < \alpha 1 < 90^\circ$ かつ $\alpha 2 < \alpha 3 < 90^\circ$ であることを特徴とするものである。

30

【 0 0 2 4 】

手段 9 .

本発明による表示装置の製造方法は、たとえば、手段 7 または 8 の構成を前提とし、前記第 1 のシリコン酸化膜のエッチングレートを $E r 1$ 、前記シリコン窒化膜のエッチングレートを $E r 2$ 、前記第 2 のシリコン酸化膜のエッチングレートを $E r 3$ としたとき、 $E r 1 < E r 3$ 、 $E r 2 < E r 3$ 、かつ、 $E r 2 < E r 1$ であることを特徴とするものである。

40

【 0 0 2 5 】

手段 10 .

本発明による表示装置の製造方法は、たとえば、手段 7 または 8 の構成を前提とし、前記第 1 のシリコン酸化膜のエッチングレートを $E r 1$ 、前記シリコン窒化膜のエッチングレートを $E r 2$ 、前記第 2 のシリコン酸化膜のエッチングレートを $E r 3$ としたとき、 $E r 1 > E r 3$ 、 $E r 2 < E r 3$ 、かつ、 $E r 2 < E r 1$ であることを特徴とするものである。

【 0 0 2 6 】

なお、本発明は以上の構成に限定されず、本発明の技術思想を逸脱しない範囲で種々の変

50

更が可能である。

【0027】

【発明の実施の形態】

以下、本発明による表示装置の実施例を図面を用いて説明をする。

【0028】

実施例1.

《全体の等価回路》

図2は、本発明による表示装置、たとえば液晶表示装置の一実施例を示す等価回路図である。図2は等価回路図であるが、実際の幾何学的配置に対応させて描いている。

【0029】

まず、液晶を介して互いに対向配置される一对の透明基板SUB1、SUB2があり、該液晶は一方の透明基板SUB1に対する他方の透明基板SUB2の固定を兼ねるシール材SLによって封入されている。

【0030】

シール材SLによって囲まれた前記一方の透明基板SUB1の液晶側の面には、そのx方向に延在しy方向に並設されたゲート信号線(走査信号線)GLとy方向に延在しx方向に並設されたドレイン信号線(映像信号線)DLとが形成されている。

【0031】

各ゲート信号線GLと各ドレイン信号線DLとで囲まれた領域は画素領域を構成するとともに、これら各画素領域のマトリクス状の集合体は液晶表示部ARを構成するようになっている。

【0032】

また、x方向に並設される各画素領域のそれぞれにはそれら各画素領域内に走行された共通の容量信号線CLが形成されている。この容量信号線CLは各画素領域ごとに形成される後述の容量素子Cstgの一方の電極に接続されるもので、たとえば一定の電圧が印加されるようになっている。

【0033】

各画素領域には、その片側のゲート信号線GLからの走査信号によって作動される薄膜トランジスタTF Tと、この薄膜トランジスタTF Tを介して片側のドレイン信号線DLからの映像信号が供給される画素電極PXが形成されている。そして、この画素電極PXと前記容量信号線CLとの間には前記容量素子Cstgが接続されている。この容量素子Cstgは画素電極PXに供給された映像信号を比較的長い時間蓄積させるため等に設けられたものである。

【0034】

該薄膜トランジスタTF Tはその半導体層が多結晶のたとえばSi(p-Si)から構成されたものとなっている。

【0035】

また、画素電極PXは、他方の透明基板SUB2の液晶側の面に各画素領域に共通に形成した対向電極CT(図示せず)との間に電界を発生させ、この電界によって液晶の光透過率を制御させるようになっている。

【0036】

前記ゲート信号線GLのそれぞれの一端は前記液晶表示部ARを超えて延在され、その延在端は透明基板SUB1の表面に形成された走査信号駆動回路Vに接続されるようになっている。この走査信号駆動回路Vは多数のMIS(Metal Insulator Semiconductor)型トランジスタとそれらを接続させる配線層等で形成されている。

【0037】

同様に、前記ドレイン信号線DLのそれぞれの一端は前記液晶表示部ARを超えて延在され、その延在端は透明基板SUB1の表面に形成された映像信号駆動回路Heに接続されるようになっている。この映像信号駆動回路Heも多数のMIS型トランジスタとそれら

10

20

30

40

50

を接続させる配線層等で形成されている。

【0038】

ここで、前記走査信号駆動回路Vおよび映像信号駆動回路Heを構成するMIS型トランジスタは、その半導体層が各画素領域における前記薄膜トランジスタTF Tのそれと同様に多結晶層で形成されている。このため、該MIS型トランジスタの形成においては該薄膜トランジスタTF Tの形成と並行してなされるのが通常である。

【0039】

また、x方向に併設された各画素領域に共通な前記容量信号線CLはたとえば図中右側の端部で共通に接続され、その接続線はシール材SLを超えて延在され、その延在端において端子CL Tを構成している。

10

【0040】

前記各ゲート信号線GLは、走査信号駆動回路Vからの走査信号によって、その一つが順次選択されるようになっている。

【0041】

また、前記各ドレイン信号線DLのそれぞれには、映像信号駆動回路Heによって、前記ゲート信号線GLの選択のタイミングに合わせて映像信号が供給されるようになっている。

【0042】

《画素の構成》

図3は、前記画素領域における画素の一実施例を示す平面図で、そのI-I線における断面図を図1に示している。

20

【0043】

図1に示すように、まず、透明基板SUB 1の液晶側の面には、まずシリコン窒化膜からなる第1アンダーコート膜UC 1とシリコン酸化膜からなる第2アンダーコート膜UC 2の順次積層体がたとえばプラズマCVD法等によって形成されている。これらアンダーコート膜UC 1、UC 2は透明基板SUB 1からの不純物が後述の薄膜トランジスタTF Tへ浸透するのを防止するための膜となるものである。

【0044】

アンダーコート膜UC 2の上面であって、その各画素領域の周囲の一部、たとえば図3の左下の部分に半導体層SCが形成されている。この半導体層SCは、薄膜トランジスタTF Tのそれであり、たとえばポリシリコン層で構成されている。このポリシリコン層は、たとえばアモルファスシリコン層をレーザーアニールで結晶化することにより形成される。

30

【0045】

そして、透明基板SUB 1の表面には、前記半導体層SCをも被ってたとえばシリコン酸化膜からなる第1絶縁膜GIが形成されている。この第1絶縁膜GIは前記薄膜トランジスタTF Tのゲート絶縁膜としての機能を有するものである。なお、製造において、この第1絶縁膜GIの形成後にこの第1絶縁膜GIを通して前記半導体層SCに低濃度のたとえば燐(P)が注入され、これにより該半導体層SCには低濃度にn型化されるようになっている。

40

【0046】

第1絶縁膜GIの表面には、ゲート信号線GLが形成され、このゲート信号線GLの一部は前記半導体層SCのほぼ中央を横切るようにして延在部を備え、この延在部は前記薄膜トランジスタTF Tのゲート電極GTとして機能させている。ゲート信号線GLおよびゲート電極GTはたとえばMo W等の金属層から形成され、該金属層の成膜後にフォトリソグラフィ技術による選択エッチングでパターン化することによって形成される。

【0047】

なお、製造において、該ゲート信号線GLおよびゲート電極GTの形成後にこれらをマスクとして高濃度のたとえばボロン(B)を注入する工程が行なわれる。前記半導体層SCにおいてゲート電極GTの直下の領域を除く他の領域を高濃度にp型化させるためである

50

。これにより、半導体層 S C のゲート電極 G T の両側の各領域には薄膜トランジスタ T F T のドレイン領域 D P 、ソース領域 S P が形成されることになる。

【 0 0 4 8 】

第 1 絶縁膜 G I の表面には、ゲート信号線 G L およびゲート電極 G T をも被って、たとえばシリコン窒化膜等からなる第 2 絶縁膜 I N およびたとえばシリコン酸化膜等からなる第 3 絶縁膜 I L が形成されている。これら絶縁膜はたとえばプラズマ C V D 法等により形成され、第 2 絶縁膜 I N は 5 0 ~ 2 0 0 n m の範囲の厚さ、たとえば 5 0 n m の厚さで形成され、第 3 絶縁膜 I L は 4 0 0 ~ 5 0 0 n m の範囲の厚さで形成されている。また、第 2 絶縁膜 I N は、4 0 0 以下のプラズマ C V D 法により形成され、可視領域に吸収端を持たないような成膜条件で成膜され、膜中水素量は $2 E 2 1 \sim 2 E 2 2 a t o m / c m ^ 3$ となっている。なお、製造において、これら絶縁膜の形成の後には、たとえば 4 0 0 ~ 5 0 0 の範囲の温度で、たとえば 4 0 0 の温度で約 1 時間の熱処理を行ない、これにより、前記半導体層 S C 内の不純物の活性化と水素終端化を同時に行なうようにする。

10

【 0 0 4 9 】

そして、前記第 3 絶縁膜 I L の表面にはドレイン信号線 D L が形成され、その一部は該第 3 絶縁膜 I L 、その下層の第 2 絶縁膜 I N 、さらにその下層の第 1 絶縁膜 G I を貫通して設けられたコンタクトホール T H 1 を通して薄膜トランジスタ T F T のドレイン領域 D P に接続されている。これにより、ドレイン信号線 D L の該ドレイン領域 D P の接続部は薄膜トランジスタ T F T のドレイン電極を兼ねるようになる。

【 0 0 5 0 】

また、該ドレイン信号線 D L の形成の際に同時に形成されるものであって、第 3 絶縁膜 I L の表面には薄膜トランジスタ T F T のソース領域 S P に接続されるソース電極 S D が形成されている。この場合にあっても、該ソース電極 S D は、第 3 絶縁膜 I L 、その下層の第 2 絶縁膜 I N 、さらにその下層の第 1 絶縁膜 G I を貫通して設けられたコンタクトホール T H 2 を通して薄膜トランジスタ T F T のソース領域 S P に接続されている。このソース電極 S D は後述する画素電極 P X と電氣的に接続されるものである。

20

【 0 0 5 1 】

ここで、前記コンタクトホール T H 1 および T H 2 は、そのいずれの断面形状が図 4 に示すように、第 1 絶縁膜 G I における該コンタクトホールの側壁は半導体層 S C の表面に対して $1 (< 9 0 ^ \circ)$ の角度(テーパ角)を、第 2 絶縁膜 I N における該コンタクトホールの側壁は第 1 絶縁膜 G I の表面に対して $2 (< 9 0 ^ \circ)$ の角度(テーパ角)を、第 3 絶縁膜 I L における該コンタクトホールの側壁は第 2 絶縁膜 I N の表面に対して $3 (< 9 0 ^ \circ)$ の角度(テーパ角)を有して形成され、これらは $2 < 1 < 9 0 ^ \circ$ かつ $2 < 3 < 9 0 ^ \circ$ の関係を満足するようになっている。

30

【 0 0 5 2 】

また、第 1 絶縁膜 G I の膜厚を $d 1$ 、第 2 絶縁膜 I N の膜厚を $d 2$ 、さらに第 3 絶縁膜 I L の膜厚を $d 3$ とした場合、 $d 2 < d 1 < d 3$ の関係となっており、少なくとも $d 2 < d 3$ の関係を満足するようになっている。

【 0 0 5 3 】

前記コンタクトホール T H 1 および T H 2 の形成は、たとえばバッファードフッ酸 (B H F) を用いたウエットエッチングによって行なう。この際、第 3 絶縁膜 I L および第 1 絶縁膜 G I からなるシリコン酸化膜は $1 0 \sim 3 0 n m / s$ のエッチング速度でエッチングされる。また、第 2 絶縁膜 I N からなるシリコン窒化膜は、上述したように 4 0 0 以下でプラズマ C V D 法により形成されたものであり、可視領域に吸収端を持たないような成膜条件で成膜され、膜中水素量は $2 E 2 1 \sim 2 E 2 2 a t o m / c m ^ 3$ となっているものである。このような第 2 絶縁膜 I N は、現実的なレートでエッチングでき、そのエッチング速度は $3 \sim 1 0 n m / s$ である。

40

【 0 0 5 4 】

ちなみに、前記コンタクトホール T H 1 および T H 2 をドライエッチングで形成しようとした場合、次に示すような不都合が生じる。すなわち、第 3 絶縁膜 I L および第 1 絶縁膜

50

G I からなるシリコン酸化膜はインオ照射下でエッチングが進行するので、いわゆる R I E モードによるドライエッチングが必要となり、その側面のテーパ角は $90 \sim 80^\circ$ になってしまう。そして、エッチングに用いるガスとしてたとえば CF_4 等の P F C ガスを用いるが、第 2 絶縁膜 I N からなるシリコン窒化膜において、図 5 に示すように、第 1 絶縁膜 G I および第 3 絶縁膜 I L の側面に対してそれよりも内側へ大きくエッチングされ、いわゆるアンダーカット（本明細書において「くびれ」と呼んでいるものの一つがこれである）が発生し易くなる。シリコン窒化膜はイオン照射下でなくともエッチングされる性質を有するからである。さらに、第 2 絶縁膜 I N の下層である第 1 絶縁膜 G I をエッチングする際にはその下地の半導体層 S C に対する高選択ドライエッチングが必要となる。

【 0 0 5 5 】

このようにしてドレイン信号線 D L、ソース電極 S D が形成された透明基板 S U B 1 の表面には、該ドレイン信号線 D L、ソース電極 S D をも被って、たとえば有機材料からなる保護膜 P A S が形成されている。保護膜 P A S の材料として有機材料を用いたのはそれ自体の誘電率の低下を図るもので、この保護膜 P A S の上面に形成する後述の画素電極 P X と該保護膜 P A S の下に形成されるドレイン信号線 D L との間に発生する寄生容量を低減させるためである。なお、この保護膜 P A S にはコンタクトホール T H 3 が露光現像によって形成され、このコンタクトホール T H 3 からは前記ソース電極 S D の一部が露出されるように構成されている。

【 0 0 5 6 】

保護膜 P A S の上面には画素電極 P X が形成されている。この画素電極 P X は、I T O (I n d i u m T i n O x i d e)、I T Z O (I n d i u m T i n Z i n c O x i d e)、I Z O (I n d i u m Z i n c O x i d e)、 SnO_2 (酸化スズ)、 In_2O_3 (酸化インジウム) 等の光透過性の導電層から構成され、画素の大部分の領域を被って形成されている。この場合、隣接する画素領域の画素電極 P X との電気的分離を図れる限り、当該画素電極 P X の周辺は前記ドレイン信号線 D L あるいはゲート信号線 G L に重畳されて形成されていてもよい。それらの間に介在される保護膜 P A S は低誘電率の材料で構成されているからである。

【 0 0 5 7 】

このように構成された液晶表示装置は、その薄膜トランジスタ T F T のコンタクトホール T H 1、T H 2 において、いわゆるくびれのない滑らかなテーパ角を有して形成されるようになる。

【 0 0 5 8 】

特に、この構成は、シリコン酸化膜、シリコン窒化膜、シリコン酸化膜の順次積層体において、コンタクトホールを貫通して形成するもので、たとえばエッチングレートの相違から生じる弊害を解消するものとなっている。

【 0 0 5 9 】

本発明では、第 1 のシリコン酸化膜と、前記第 1 のシリコン酸化膜の上に積層されたシリコン窒化膜と、前記シリコン窒化膜の上に積層された第 2 のシリコン酸化膜とを含む少なくとも 3 層を共通に貫通するコンタクトホールを、一括でウエットエッチングする際に、前記シリコン窒化膜の膜厚を d_2 、前記第 2 のシリコン酸化膜の膜厚を d_3 としたとき、 $d_2 < d_3$ という膜厚の条件の下でそれぞれを一括でウエットエッチングすることにより、くびれのないテーパ形状を有するコンタクトホールを形成することが可能となっている。

【 0 0 6 0 】

図 5 を用いて説明した通り、ウエットエッチングではなくドライエッチングでコンタクトホールを形成した場合には、シリコン窒化膜がその上下にある第 1 および第 2 のシリコン酸化膜よりも後退した形状になってしまう。これが、本明細書でいう、くびれた形状の一例である。

【 0 0 6 1 】

また、特許文献 1 の図 2 に示されているように、シリコン酸化膜、シリコン窒化膜、シリ

10

20

30

40

50

コン酸化膜の順次積層体で構成された層間絶縁膜を一括でウエットエッチングする際に、シリコン窒化膜の膜厚がその上層にあるシリコン酸化膜の膜厚よりも厚い条件、即ち、本願発明と比較した場合に $d_2 > d_3$ という膜厚の条件の下でウエットエッチングを行なった場合、上層のシリコン酸化膜、並びに、下層のシリコン酸化膜は、その側壁の一部がくぼんだ形状となってしまう。言い換えれば、部分的に側壁のテーパ角が 90° を越える形状となってしまう。これが、本明細書でいう、くびれた形状の他の例である。

【0062】

一般的に、ウエットエッチングする場合には、シリコン窒化膜のエッチングレートはシリコン酸化膜のエッチングレートよりも小さい（すなわち、エッチング速度が遅い）。従って、第1のシリコン酸化膜のエッチングレートを E_{r1} 、シリコン窒化膜のエッチングレートを E_{r2} 、第2のシリコン酸化膜のエッチングレートを E_{r3} としたとき、 $E_{r2} < E_{r3}$ 、かつ、 $E_{r2} < E_{r1}$ である。

10

【0063】

$d_2 > d_3$ という膜厚の条件の下でウエットエッチングを行なった場合、エッチングの遅いシリコン窒化膜の膜厚が厚いので、エッチングに時間がかかってしまう。さらに、その上層、及び下層にある第1および第2のシリコン酸化膜はエッチングされすぎてしまうため、コンタクトホールは側壁がくびれた形状となってしまう。

【0064】

これに対して、本発明のように $d_2 < d_3$ という膜厚の条件の下でウエットエッチングを行なうことにより、シリコン窒化膜のエッチング時間が短時間で済むので、その上層、及び下層にある第1および第2のシリコン酸化膜がエッチングされすぎてしまうことなく、くびれのないテーパ形状を有するコンタクトホールを形成することが可能となっている。

20

【0065】

また、このエッチングレートの差から、第1のシリコン酸化膜のテーパ角を θ_1 、シリコン窒化膜のテーパ角を θ_2 、第2のシリコン酸化膜のテーパ角を θ_3 としたとき、 $\theta_2 < \theta_1 < 90^\circ$ かつ $\theta_2 < \theta_3 < 90^\circ$ となる。

【0066】

なお、第1及び第2のシリコン酸化膜のエッチングレートの関係は、理想的なテーパ形状を実現するためには $E_{r1} < E_{r3}$ であった方がより好ましいが、 $E_{r1} = E_{r3}$ であってもよい。

30

【0067】

上述した実施例では、画素領域内に形成される薄膜トランジスタTFETのコンタクトホールTH1、TH2について説明したものであるが、周辺回路、たとえば、前記走査信号駆動回路V、あるいは映像信号駆動回路Heに組み込まれて形成されるMISトランジスタのコンタクトホールにおいても適用できるものである。

【0068】

上述したように、該MISトランジスタは画素領域内の薄膜トランジスタTFETとほぼ同様の構成を採用し、該薄膜トランジスタTFETと並行して形成するからである。すなわち、薄膜トランジスタTFETの半導体層SC等を形成する際には、MISトランジスタの半導体層も形成し、第1絶縁膜GI等を形成する際には、液晶表示部ARの領域のみに限らず、走査信号駆動回路Vおよび映像信号駆動回路Heの形成領域にも及んで形成するようにするからである。

40

【0069】

実施例2.

上述した実施例における薄膜トランジスタTFETは、そのゲート電極GTが半導体層SCに対して上側に形成されたいわゆるトップゲート型と称されるものである。しかし、薄膜トランジスタTFETの他の構成として、ゲート電極GTが半導体層SCに対して下側に形成されるいわゆるボトムゲート型のものを用いることもできる。

【0070】

この場合、前記ゲート電極GTとたとえば一体に形成されるゲート信号線GLの信号供給

50

端子においてその一部を露出させるコンタクトホールにも、実施例 1 に示した構成を適用することができる。

【0071】

ゲート信号線 GL の信号供給端子の前記コンタクトホールを、実施例 1 に示した薄膜トランジスタ TFT のコンタクトホール TH1、TH2 と同様の構成とすることができるからである。

【0072】

図 6 は、液晶表示装置の各画素に形成されるボトムゲート型の薄膜トランジスタを示すもので、図 1 に対応した図となっている。

【0073】

すなわち、透明基板 SUB1 の液晶側の面に、まず、ゲート電極 GT が形成されている。このゲート電極 GT はゲート信号線 GL とたとえば一体に形成されるものである。

【0074】

そして、透明基板 SUB1 の表面に、前記ゲート電極 GT、ゲート信号線 GL をも被って、シリコン窒化膜からなるアンダーコート膜 UC1 とシリコン酸化膜からなるアンダーコート膜 UC2 の順次積層体がたとえばプラズマ CVD 法等によって形成されている。ここで、アンダーコート膜 UC1、UC2 は、透明基板 SUB1 からの不純物が後述の薄膜トランジスタ TFT へ浸透するのを防止する機能を有するが、薄膜トランジスタ TFT のゲート絶縁膜としての機能をも有するようになっている。

【0075】

アンダーコート膜 UC2 の上面であって、薄膜トランジスタ TFT の形成領域に、半導体層 SC が形成されている。この半導体層 SC は、たとえばポリシリコン層で構成され、前記ゲート電極 GT を横切るようにして形成されている。このポリシリコン層は、たとえばアモルファスシリコン層をレーザーアニールで結晶化することにより形成される。

【0076】

そして、該半導体層 SC の上面であって前記ゲート電極 GT が横切る部分にたとえばシリコン酸化膜からなる第 1 絶縁膜 GI が形成されている。この第 1 絶縁膜 GI は半導体層 SC に不純物ドーピングの際のマスクとして機能させるものである。これにより、前記半導体層 SC はゲート電極 GT の直下を除く他の領域において、高濃度のたとえば n 型不純物層として構成することができる。

【0077】

透明基板 SUB1 の表面には、前記半導体層 SC および第 1 絶縁膜 GI をも被って、たとえばシリコン窒化膜等からなる第 2 絶縁膜 IN およびたとえばシリコン酸化膜等からなる第 3 絶縁膜 IL が形成されている。これら絶縁膜はたとえばプラズマ CVD 法等により形成され、第 2 絶縁膜 IN は 50 ~ 200 nm の厚さ、たとえば 50 nm の厚さで形成され、第 3 絶縁膜 IL は 400 ~ 500 nm の範囲の厚さで形成されている。また、第 2 絶縁膜 IN は、400 以下のプラズマ CVD 法により形成され、可視領域に吸収端を持たないような成膜条件で成膜され、膜中水素量は $2E21 \sim 2E22 \text{ atom/cm}^3$ となっている。なお、製造において、これら絶縁膜の形成の後には、たとえば 400 ~ 500 の範囲の温度で、たとえば 400 の温度で約 1 時間の熱処理を行ない、これにより、前記半導体層 SC 内の不純物の活性化と水素終端化を同時に行なうようにする。

【0078】

そして、前記第 3 絶縁膜 IL の表面にはドレイン信号線 DL が形成され、その一部は該第 3 絶縁膜 IL、その下層の第 2 絶縁膜 IN を貫通して設けられたコンタクトホール TH1 を通して薄膜トランジスタ TFT のドレイン領域 DP に接続されている。また、該ドレイン信号線 DL の形成の際に同時に形成されるものであって、第 3 絶縁膜 IL の表面には薄膜トランジスタ TFT のソース領域 SP に接続されるソース電極 SD が形成されている。この場合にあっても、該ソース電極 SD は、第 3 絶縁膜 IL、その下層の第 2 絶縁膜 IN を貫通して設けられたコンタクトホール TH2 を通して薄膜トランジスタ TFT のソース領域 SP に接続されている。このソース電極 SD は後述する画素電極 PX と電氣的に接続

10

20

30

40

50

されるものである。

【0079】

このようにしてドレイン信号線DL、ソース電極SDが形成された透明基板SUB1の表面には、該ドレイン信号線DL、ソース電極SDをも被って、たとえば有機材料からなる保護膜PASが形成されている。この保護膜PASの上面には画素電極PXが形成されている。この画素電極PXは、たとえばITO (Indium Tin Oxide)等の光透過性の導電層から構成され、画素の大部分の領域を被って形成されている。

【0080】

このような構成の薄膜トランジスタTFTを有する液晶表示装置は、そのゲート信号線GLの信号供給端子においてその一部を露出させるコンタクトホールは図7に示すようになっている。すなわち、ゲート信号線GLの上面には第1アンダーコート膜UC1、第2アンダーコート膜UC2、第2絶縁膜IN、および第3絶縁膜ILが順次積層され、それに形成されたコンタクトホールTH5はその側壁が滑らかな傾斜を有して形成されている。なお、このコンタクトホールTH5はたとえば前記薄膜トランジスタTFTのそれと同時に形成するようにしてなされるが、この図7において、その構成と製造方法を示す。

【0081】

該コンタクトホールは、図7に示すように、積層された第2アンダーコート膜UC2における該コンタクトホールの側壁は、第1アンダーコート膜UC1の表面に対して1($< 90^\circ$)の角度(テーパ角)を、第2絶縁膜INにおける該コンタクトホールの側壁は第1絶縁膜GIの表面に対して2($< 90^\circ$)の角度(テーパ角)を、第3絶縁膜ILにおける該コンタクトホールの側壁は第2絶縁膜INの表面に対して3($< 90^\circ$)の角度(テーパ角)を有して形成され、これらは $2 < 1 < 90^\circ$ かつ $2 < 3 < 90^\circ$ の関係を満足するようになっている。

【0082】

また、第2アンダーコート膜UC2のシリコン酸化膜の膜厚をd1、第2絶縁膜INの膜厚をd2、さらに第3絶縁膜ILの膜厚をd3とした場合、 $d2 < d1 < d3$ の関係となっており、少なくとも $d2 < d3$ の関係を満足するようになっている。

【0083】

前記コンタクトホールTH5の形成は、たとえばバッファードフッ酸(BHF)を用いたウェットエッチングによって行なう。この際、第3絶縁膜ILおよび第2アンダーコート膜UC2からなるシリコン酸化膜は10~30nm/sのエッチング速度でエッチングされる。また、第2絶縁膜INからなるシリコン窒化膜は、上述したように400以下でプラズマCVD法により形成されたものであり、可視領域に吸収端を持たないような成膜条件で成膜され、膜中水素量は $2E21 \sim 2E22 \text{ atom/cm}^3$ となっているものである。このような第2絶縁膜INは、現実的なレートでエッチングでき、そのエッチング速度は3~10nm/sである。

【0084】

ちなみに、図8はドレイン信号線DLの信号供給端子においてその一部を露出させるコンタクトホールTH6の断面を示す図であるが、この場合においても該コンタクトホールTH6の側壁は滑らかな傾斜を有して形成される。

【0085】

上述した各実施例は、そのいずれも液晶表示装置について示したものである。しかし、たとえば有機EL(Electro Luminescence)表示装置等の他の表示装置にも適用できることはいうまでもない。

【0086】

例えば、有機EL表示装置の場合、各画素に一方の電極、発光材料層、他方の電極が積層されて形成され、前記発光材料層に電流を流すことにより、その値に応じて発光するようになっている。そして、各画素には薄膜トランジスタを備え、映像信号に応じて発光を制御している。

【0087】

10

20

30

40

50

このような他の表示装置においても、画素内、あるいは周辺回路（例えば駆動回路など）において、シリコン酸化膜、シリコン窒化膜、およびシリコン酸化膜の順次積層体にコンタクトホールを形成する場合があるからである。

【0088】

上述した各実施例はそれぞれ単独に、あるいは組み合わせて用いても良い。それぞれの実施例での効果を単独であるいは相乗して奏することができるからである。

【0089】

【発明の効果】

以上説明したことから明らかなように、本発明による表示装置によれば、コンタクトホールをシリコン酸化膜、シリコン窒化膜、およびシリコン酸化膜の順次積層体に形成する場合に、該コンタクトホールの側壁のテーパを理想的な形状に構成することができる。

10

【図面の簡単な説明】

【図1】本発明による表示装置の薄膜トランジスタおよびその近傍の構成の一実施例を示す構成図で、図3のI-I線における断面図である。

【図2】本発明による表示装置の全体の一実施例を示す等価回路図である。

【図3】本発明による表示装置の画素の一実施例を示す平面図である。

【図4】本発明による表示装置の薄膜トランジスタに形成するコンタクトホールの一実施例を示す断面図である。

【図5】表示装置の薄膜トランジスタに形成するコンタクトホールであって本願発明を適用しない場合の一例を示す断面図である。

20

【図6】本発明による表示装置の薄膜トランジスタおよびその近傍の構成の他の実施例を示す断面図である。

【図7】図6に示す薄膜トランジスタを形成した場合のゲート信号線の信号供給端子に形成されるコンタクトホールの一実施例を示す断面図である。

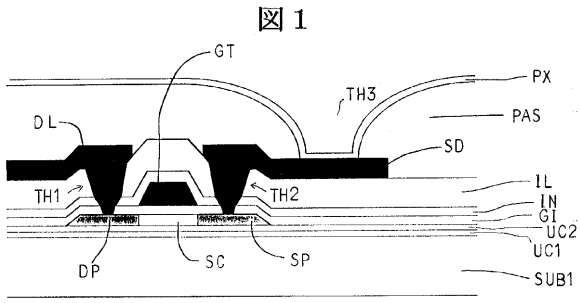
【図8】図6に示す薄膜トランジスタを形成した場合のドレイン信号線の信号供給端子に形成されるコンタクトホールの一実施例を示す断面図である。

【符号の説明】

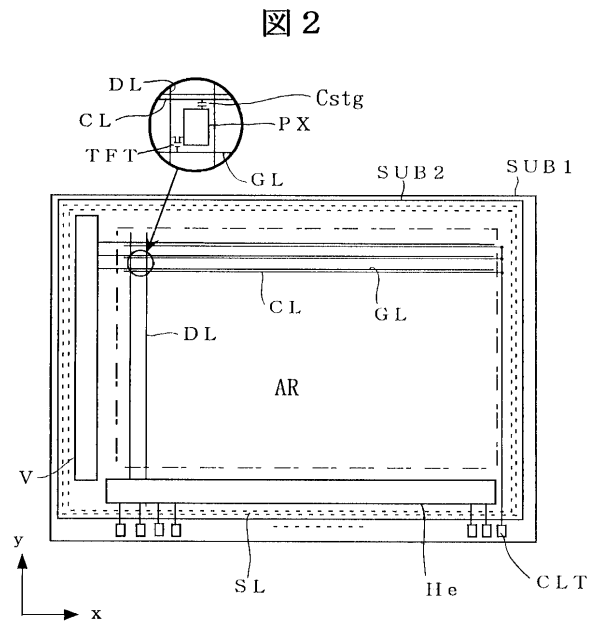
SUB1, SUB2 ... 透明基板、GL ... ゲート信号線、DL ... ドレイン信号線、TFT ... 薄膜トランジスタ、PX ... 画素電極、UC1, UC2 ... アンダーコート膜、GI ... 第1絶縁膜、IN ... 第2絶縁膜、IL ... 第3絶縁膜、PAS ... 保護膜。

30

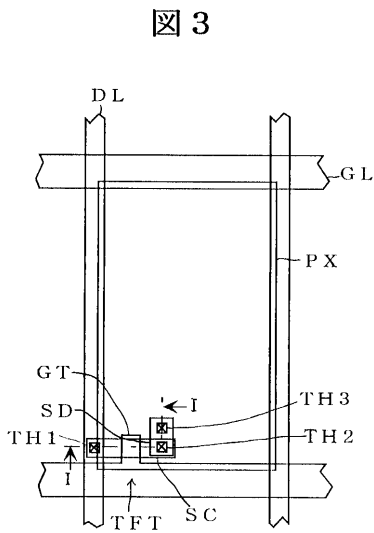
【 図 1 】



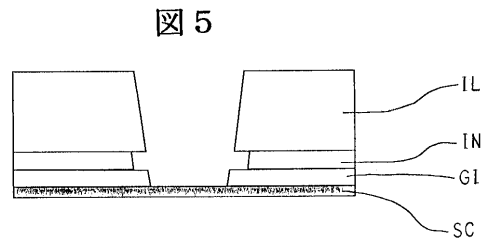
【 図 2 】



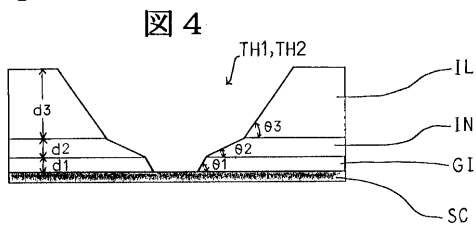
【 図 3 】



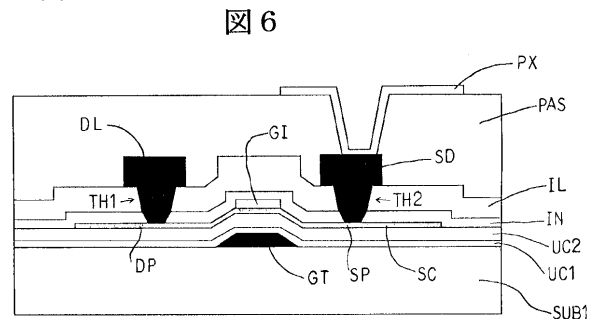
【 図 5 】



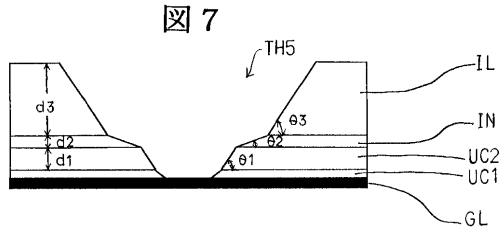
【 図 4 】



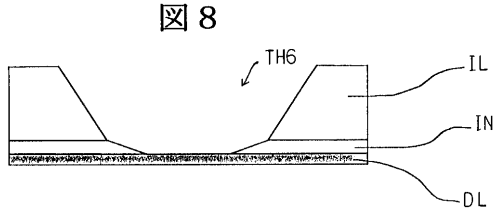
【 図 6 】



【 図 7 】



【 図 8 】



フロントページの続き

(51)Int.Cl. ⁷	F I	テーマコード(参考)
H 0 5 B 33/10	H 0 1 L 21/90	M
H 0 5 B 33/14	H 0 1 L 29/78	6 1 6 S
	H 0 1 L 29/78	6 1 6 K

Fターム(参考) 2H092 GA29 HA04 JA24 JA46 KB25 MA08 MA13 MA17 MA18 MA19
 NA29
 3K007 AB11 BA06 FA01 GA00
 5F033 GG04 HH22 HH38 JJ01 JJ38 KK01 NN32 QQ08 QQ09 QQ10
 QQ19 QQ34 QQ35 QQ37 QQ74 RR04 RR06 RR21 SS15 TT02
 VV06 VV15 WW00 XX02 XX24
 5F058 BA09 BB04 BD04 BD10 BF07 BH01 BJ05
 5F110 AA26 BB02 CC02 CC08 DD13 DD14 DD17 EE06 FF02 FF03
 FF09 FF30 GG02 GG13 GG32 HJ01 HJ13 HJ23 HL14 NN03
 NN04 NN15 NN23 NN24 NN27 NN28 NN35 NN72 PP03 QQ05
 QQ23