



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2018년06월22일
(11) 등록번호 10-1868803
(24) 등록일자 2018년06월12일

(51) 국제특허분류(Int. Cl.)
H01L 21/336 (2006.01) H01L 29/78 (2006.01)
(21) 출원번호 10-2011-0114631
(22) 출원일자 2011년11월04일
심사청구일자 2016년10월24일
(65) 공개번호 10-2013-0049540
(43) 공개일자 2013년05월14일
(56) 선행기술조사문헌
KR1020080096076 A*
(뒷면에 계속)

(73) 특허권자
삼성전자주식회사
경기도 수원시 영통구 삼성로 129 (매탄동)
(72) 발명자
김석훈
경기도 화성시 영통로26번길 24 301동 602호 (반월동, 반달마을푸르지오아파트)
김상수
경기도 용인시 기흥구 사은로 274-22 114동 1503호 (지곡동, 써니밸리아파트)
(뒷면에 계속)
(74) 대리인
특허법인가산

전체 청구항 수 : 총 7 항

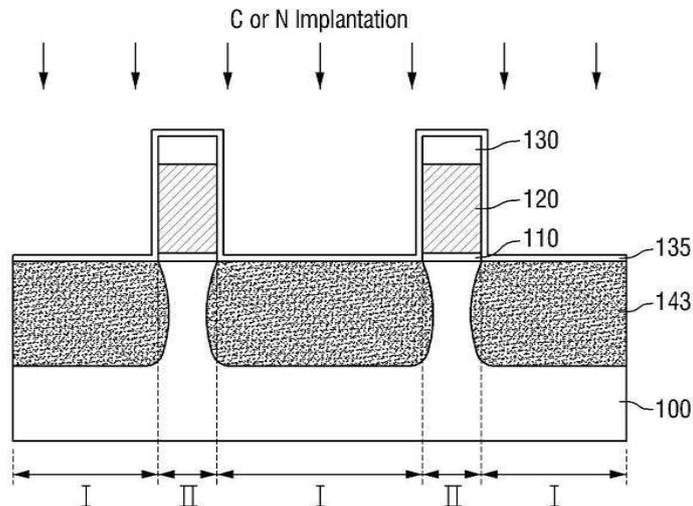
심사관 : 김중호

(54) 발명의 명칭 스트레스 기억 기술(SMT)을 이용한 반도체 장치의 제조 방법

(57) 요약

스트레스 기억 기술(SMT)을 이용한 반도체 장치의 제조 방법이 제공된다. 반도체 장치의 제조 방법은 게이트 전극, 상기 게이트 전극의 양측에 위치한 소오스/드레인 영역을 포함하는 기판을 제공하고, PAI(Pre-Amorphization Implant) 공정을 수행하여 상기 소오스/드레인 영역을 비정질화 시키고, 비정질화된 상기 소오스/드레인 영역에 C 또는 N을 임플란트하고, 상기 기판을 덜도록 스트레스 유발층을 형성하고, 상기 기판을 열처리하여 상기 소오스/드레인 영역을 재결정화 시키고, 상기 스트레스 유발층을 제거하는 것을 포함한다.

대표도 - 도4



(72) 발명자

고정근

서울특별시 강동구 상암로 251 907동 1104호 (명일동, 주공아파트)

이선길

경기도 화성시 동탄지성로 42 228동 1403호 (반송동, 시범한빛마을동탄아이파크아파트)

조진영

경기도 수원시 영통구 중부대로271번길 27-9, 101동 108호 103동 1209호 (원천동, 주공아파트)

(56) 선행기술조사문헌

US20080108208 A1*

US20110057266 A1*

KR1020060123081 A*

KR1020090094309 A*

*는 심사관에 의하여 인용된 문헌

명세서

청구범위

청구항 1

게이트 전극, 상기 게이트 전극의 양측에 위치한 소오스/드레인 영역을 포함하는 기판을 제공하고,
 상기 게이트 전극 및 상기 기판을 덮도록 실리콘 질화물을 포함하는 스페이서막을 컨포말하게 형성하고,
 PAI(Pre-Amorphization Implant) 공정을 수행하여 상기 소오스/드레인 영역을 비정질화 시키고,
 비정질화된 상기 소오스/드레인 영역에 C 또는 N을 임플란트하고,
 상기 스페이서막을 덮도록 버퍼 산화막을 형성하고,
 상기 버퍼 산화막을 덮도록 스트레스 유발층을 형성하고,
 상기 기판을 열처리하여 상기 소오스/드레인 영역을 재결정화 시키고,
 상기 스트레스 유발층을 제거하는 것을 포함하는 반도체 장치의 제조 방법.

청구항 2

제1 항에 있어서,
 상기 PAI 공정을 수행하여 상기 소오스/드레인 영역을 비정질화 시키는 것은, 상기 소오스/드레인 영역에 Ge 또는 Si를 임플란트하여 상기 소오스/드레인 영역을 비정질화 시키는 것을 포함하는 반도체 장치의 제조 방법.

청구항 3

제1 항에 있어서,
 C 또는 N을 임플란트하는 것은, $1E14 \text{ atoms/cm}^2$ 내지 $5E15 \text{ atoms/cm}^2$ 범위의 도우즈량의 C 또는 N을 임플란트하는 것인 반도체 장치의 제조 방법.

청구항 4

삭제

청구항 5

제1 항에 있어서,
 비정질화된 상기 소오스/드레인 영역에 C 또는 N을 임플란트하는 것은, 비정질화된 상기 소오스/드레인 영역 중 일부 영역에만 C 또는 N을 임플란트하는 것인 반도체 장치의 제조 방법.

청구항 6

삭제

청구항 7

게이트 전극, 상기 게이트 전극의 양측에 위치한 소오스/드레인 영역을 포함하는 기판을 제공하고,
 상기 게이트 전극 및 상기 기판을 덮도록 실리콘 질화물을 포함하는 스페이서막을 컨포말하게 형성하고,
 -20°C 내지 -100°C 의 온도 범위에서 상기 소오스/드레인 영역에 C 또는 N을 임플란트하여, 상기 소오스/드레인 영역을 비정질화 시키고,
 상기 스페이서막을 덮도록 버퍼 산화막을 형성하고,
 상기 버퍼 산화막을 덮도록 스트레스 유발층을 형성하고,

상기 기판을 열처리하여 상기 소오스/드레인 영역을 재결정화 시키는 것을 포함하는 반도체 장치의 제조 방법.

청구항 8

제7 항에 있어서,

상기 소오스/드레인 영역을 재결정화 시킨 후, 상기 스트레스 유발층을 제거하는 것을 더 포함하는 반도체 장치의 제조 방법.

청구항 9

삭제

청구항 10

제7 항에 있어서,

상기 스트레스 유발층을 형성하기 전, 비정질화된 상기 소오스/드레인 영역을 n형 도핑하는 것을 더 포함하되, C 또는 N을 임플란트하는 것은, $1E14 \text{ atoms/cm}^2$ 내지 $5E15 \text{ atoms/cm}^2$ 범위의 도우즈량의 C 또는 N을 임플란트하는 것인 반도체 장치의 제조 방법.

발명의 설명

기술 분야

[0001] 본 발명은 스트레스 기억 기술(SMT)을 이용한 반도체 장치의 제조 방법이다.

배경 기술

[0002] MOS 트랜지스터의 성능을 향상시키기 위해, MOS 트랜지스터의 채널 영역의 전도도를 증가시킬 수 있다. 예컨대, 채널 영역의 격자 구조를 변경하여 전하 캐리어 이동도를 증가시킴으로써, MOS 트랜지스터의 채널 영역의 전도도를 증가시킬 수 있다.

[0003] 채널 영역 가까이에 스트레스(stressor)를 생성하여, 채널 영역의 격자 구조를 변형시킬 수 있으며, 이에 따라 전하 캐리어 이동도를 증가될 수 있다. 구체적으로, 스트레스를 형성하기 위해, 스트레스 기억 기술(SMT; Stress Memorization Technique)을 이용할 수 있다. 스트레스 기억 기술에 따르면, MOS 트랜지스터의 채널 영역에 인접하도록 비정질화 영역을 형성하고, MOS 트랜지스터 상부에 스트레스 유발층을 위치시킨 상태에서 열처리를 하여 비정질화 영역을 재결정화시킬 수 있다. 스트레스층 유발층에 의한 스트레스의 영향을 받으면서 비정질화 영역이 재결정화되기 때문에, 결과적으로 변형된 결정이 생성될 수 있다. MOS 트랜지스터 상부의 스트레스 유발층을 제거하더라도, 변형된 결정은 변형상태를 유지하기 때문에, 변형된 결정에 스트레스가 기억되는 것으로 볼 수 있다.

[0004] 결과적으로, 변형된 결정은 스트레스로 작용하여, 채널 영역의 격자 구조에 영향을 미쳐서, 전하 캐리어 이동도를 증가시킬 수 있다.

발명의 내용

해결하려는 과제

[0005] 그런데, 비정질화 영역이 스트레스 유발층에 의한 스트레스의 영향을 받으면서 재결정화되기 때문에, 방향에 따라서 결정의 성장 속도의 차이가 발생할 수 있다. 예컨대, 재결정화 과정에서, <001>방향의 결정의 성장 속도가 <110>방향의 결정의 성장 속도에 비해 빨라질 수 있다. 이 경우, (111)면 근방에서 결정의 성장이 핀치 오프(pinch-off)되는 지점이 발생하여, 적층 결함(stacking fault)과 같은 디펙(defect) 영역이 형성될 우려가 있다.

[0006] 디펙 영역이 형성되면, 디펙 영역으로의 할로 보론 세그레게이션(halo boron segregation)이 발생할 수 있기 때문에, 문턱 전압의 강하(Vt drop) 및 오프 리키지 커런트(off-leakage current)의 증가가 문제될 수 있다.

[0007] 본 발명이 해결하려는 과제는, 비정질화 영역의 재결정화 시, 결정의 성장 속도를 조절하여, 디펙의 발생을 최

소화할 수 있는, 스트레스 기억 기술(SMT)을 이용한 반도체 장치의 제조 방법을 제공하는 것이다.

[0008] 본 발명이 해결하려는 과제들은 이상에서 언급한 과제들로 제한되지 않으며, 언급되지 않은 또 다른 과제들은 아래의 기재로부터 당업자에게 명확하게 이해될 수 있을 것이다.

과제의 해결 수단

[0009] 상기 과제를 해결하기 위한 본 발명의 반도체 장치의 제조 방법의 일 실시예는 게이트 전극, 상기 게이트 전극의 양측에 위치한 소오스/드레인 영역을 포함하는 기판을 제공하고, PAI(Pre-Amorphization Implant) 공정을 수행하여 상기 소오스/드레인 영역을 비정질화 시키고, 비정질화된 상기 소오스/드레인 영역에 C 또는 N을 임플란트하고, 상기 기판을 덮도록 스트레스 유발층을 형성하고, 상기 기판을 열처리하여 상기 소오스/드레인 영역을 재결정화 시키고, 상기 스트레스 유발층을 제거하는 것을 포함한다.

[0010] 상기 과제를 해결하기 위한 본 발명의 반도체 장치의 제조 방법의 다른 실시예는 게이트 전극, 상기 게이트 전극의 양측에 위치한 소오스/드레인 영역을 포함하는 기판을 제공하고, -20℃ 내지 -100℃의 온도 범위에서 상기 소오스/드레인 영역에 C 또는 N을 임플란트하여, 상기 소오스/드레인 영역을 비정질화 시키고, 상기 기판을 덮도록 스트레스 유발층을 형성하고, 상기 기판을 열처리하여 상기 소오스/드레인 영역을 재결정화 시키는 것을 포함한다.

[0011] 본 발명의 기타 구체적인 사항들은 상세한 설명 및 도면들에 포함되어 있다.

도면의 간단한 설명

[0012] 도 1은 본 발명의 제1 실시예에 따른 반도체 장치의 제조 방법을 설명하기 위한 순서도이다.
 도 2 내지 도 8, 도 10은 본 발명의 제1 실시예에 따른 반도체 장치의 제조 방법에 따른 중간 구조물의 단면도들이다.
 도 9는 도 7의 공정 시, <001>방향의 SPE 속도를 나타낸 그래프이다.
 도 11은 본 발명의 제3 실시예에 따른 반도체 장치의 제조 방법을 설명하기 위한 순서도이다.
 도 12는 본 발명의 제3 실시예에 따른 반도체 장치의 제조 방법에 따른 중간 구조물의 단면도이다.
 도 13 내지 도 16은 본 발명의 제5 실시예에 따른 반도체 장치의 제조 방법에 따른 중간 구조물의 단면도들이다.

발명을 실시하기 위한 구체적인 내용

[0013] 본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 실시예들은 본 발명의 개시가 완전하도록 하며, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다.

[0014] 하나의 소자(elements)가 다른 소자와 "접속된(connected to)" 또는 "커플링된(coupled to)" 이라고 지칭되는 것은, 다른 소자와 직접 연결 또는 커플링된 경우 또는 중간에 다른 소자를 개재한 경우를 모두 포함한다. 반면, 하나의 소자가 다른 소자와 "직접 접속된(directly connected to)" 또는 "직접 커플링된(directly coupled to)"으로 지칭되는 것은 중간에 다른 소자를 개재하지 않은 것을 나타낸다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다. "및/또는"은 언급된 아이템들의 각각 및 하나 이상의 모든 조합을 포함한다.

[0015] 비록 제1, 제2 등이 다양한 소자, 구성요소 및/또는 섹션들을 서술하기 위해서 사용되나, 이들 소자, 구성요소 및/또는 섹션들은 이들 용어에 의해 제한되지 않음은 물론이다. 이들 용어들은 단지 하나의 소자, 구성요소 또는 섹션들을 다른 소자, 구성요소 또는 섹션들과 구별하기 위하여 사용하는 것이다. 따라서, 이하에서 언급되는 제1 소자, 제1 구성요소 또는 제1 섹션은 본 발명의 기술적 사상 내에서 제2 소자, 제2 구성요소 또는 제2 섹션일 수도 있음은 물론이다.

[0016] 본 명세서에서 사용된 용어는 실시예들을 설명하기 위한 것이며 본 발명을 제한하고자 하는 것은 아니다. 본 명세서에서, 단수형은 문구에서 특별히 언급하지 않는 한 복수형도 포함한다. 명세서에서 사용되는 "포함한다

(comprises)" 및/또는 "포함하는(comprising)"은 언급된 구성요소, 단계, 동작 및/또는 소자는 하나 이상의 다른 구성요소, 단계, 동작 및/또는 소자의 존재 또는 추가를 배제하지 않는다.

- [0017] 다른 정의가 없다면, 본 명세서에서 사용되는 모든 용어(기술 및 과학적 용어를 포함)는 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에게 공통적으로 이해될 수 있는 의미로 사용될 수 있을 것이다. 또 일반적으로 사용되는 사전에 정의되어 있는 용어들은 명백하게 특별히 정의되어 있지 않는 한 이상적으로 또는 과도하게 해석되지 않는다.
- [0018] 도 1 내지 도 10을 참조하여, 본 발명의 제1 실시예에 따른 반도체 장치의 제조 방법을 설명한다. 도 1은 본 발명의 제1 실시예에 따른 반도체 장치의 제조 방법을 설명하기 위한 순서도이다. 도 2 내지 도 8, 도 10은 본 발명의 제1 실시예에 따른 반도체 장치의 제조 방법에 따른 중간 구조물의 단면도들이다. 도 9는 도 7의 공정 시, <001>방향의 SPE 속도를 나타낸 그래프이다.
- [0019] 우선, 도 1 및 도 2를 참조하여, 게이트 전극(120), 게이트 전극(120)의 양측에 위치한 소오스/드레인 영역(I)을 포함하는 기판(100)을 제공할 수 있다(S100).
- [0020] 구체적으로, 기판(100) 상에 게이트 절연막 패턴(110), 게이트 전극(120), 및 게이트 마스크막 패턴(130)을 차례로 형성할 수 있으며, 기판(100)을 덮도록 스페이서막(135)을 컨포말(conformal)하게 형성할 수 있다.
- [0021] 기판(100)은 예컨대, P형 기판(100)일 수 있으며, 벌크 실리콘 또는 SOI(silicon-on-insulator)일 수 있지만, 이에 제한되지 않는다. 기판(100)은 소오스/드레인 영역(I) 및 채널 영역(II)을 포함할 수 있다. 소오스/드레인 영역(I)은, 기판(100) 중 게이트 전극(120)의 양측에 위치한 영역으로 정의될 수 있고, 후술하는 공정을 통해 소오스/드레인이 형성될 수 있는 영역이다. 채널 영역(II)은, 기판(100) 중 게이트 전극(120)의 하측에 위치한 영역으로 정의될 수 있고, 후술하는 공정을 통해 채널이 형성될 수 있는 영역이다. 채널 영역(II)은 이웃한 소오스/드레인 영역(I)의 사이에 위치할 수 있다.
- [0022] 게이트 절연막 패턴(110)은 실리콘 산화물, 실리콘 질화물, SiON, GexOyNz, GexSiyOz, 고유전율 물질, 이들의 조합물 또는 이들이 차례로 적층된 적층막 등이 사용될 수 있다. 여기서, 고유전율 물질은 HfO₂, ZrO₂, Al₂O₃, Ta₂O₅, 하프늄 실리케이트, 지르코늄 실리케이트 또는 이들의 조합막 등이 사용될 수 있으나, 이에 제한되지 않는다.
- [0023] 게이트 전극(120)은 poly-Si, poly-SiGe, 불순물이 도핑된 poly-Si, Ta, TaN, TaSiN, TiN, Mo, Ru, Ni, NiSi 같은 금속, 금속 실리사이드 등의 단일막 또는 이들을 조합한 적층막일 수 있으나, 이에 제한되지 않는다.
- [0024] 게이트 마스크막 패턴(130)은 예컨대, 실리콘 산화물 또는 실리콘 질화물을 포함할 수 있지만, 이에 제한되지 않는다. 후술하는 공정에서 소오스/드레인 영역(I)에 불순물을 임플란트하더라도, 게이트 전극(120)은 게이트 마스크막 패턴(130)에 의해 보호될 수 있다.
- [0025] 스페이서막(135)은 예컨대, 실리콘 질화물을 포함할 수 있지만, 이에 제한되지 않는다. 스페이서막(135)은 소오스/드레인 영역(I), 게이트 전극(120)의 측벽, 및 게이트 마스크막 패턴(130) 상에 컨포말하게 형성될 수 있다. 스페이서막(135)이 소오스/드레인 영역(I) 상에 형성되기 때문에, 후술하는 임플란트 공정에서 버퍼의 역할을 할 수 있다. 그리고, 스페이서막(135)이 게이트 전극(120)의 측벽 상에 형성되기 때문에, 후술하는 임플란트 공정에서 채널 영역(II)이 임플란트 되는 것을 방지할 수 있다.
- [0026] 이어서, 도 1 및 도 3을 참조하여, PAI(Pre-Amorphization Implant) 공정을 수행하여 소오스/드레인 영역(I)을 비정질화시킬 수 있다(S110).
- [0027] 구체적으로, 소오스/드레인 영역(I)에 Ge 또는 Si를 임플란트하여 비정질화 영역(140)을 형성할 수 있다. 다만, Ge 또는 Si가 소오스/드레인 영역(I)에 임플란트된 후, 측면 확산(lateral diffusion)이 발생할 수 있다. 그러므로, 비정질화 영역(140)은, 소오스/드레인 영역(I)과 인접한 채널 영역(II)의 일부까지 확장되어 형성될 수 있다.
- [0028] 다만, 35KeV 이상의 높은 임플란트 에너지로 PAI 공정을 수행하는 경우, 측면 확산으로 인해 채널 영역(II)의 상당 부분이 비정질화될 우려가 있다. 그러므로, PAI 공정에서 측면 확산으로 인한 채널 영역(II)의 비정질화를 최소화하기 위해, Ge 또는 Si는 예컨대, 10~35KeV 범위의 임플란트 에너지로 임플란트될 수 있다.
- [0029] 이어서, 도 1 및 도 4를 참조하여, 비정질화된 소오스/드레인 영역(I)에 C 또는 N을 임플란트 할 수 있다(S120).

- [0030] 본 발명의 제1 실시예에 따른 반도체 장치의 제조 방법에 따르면, 소오스/드레인 영역(I)에 비정질화 영역(도 3의 140 참조)을 형성한 후, 추가적으로 소오스/드레인 영역(I)에 불순물을 임플란트하여 도핑된 비정질화 영역(143)을 형성할 수 있다. 추가 임플란트 공정에서 임플란트되는 불순물은 C 또는 N을 포함할 수 있다.
- [0031] 다만, 15KeV 이상의 높은 임플란트 에너지로 임플란트를 수행하는 경우, 측면 확산으로 인해 채널 영역(II)의 상당 부분까지 임플란트될 우려가 있다. 그러므로, 측면 확산으로 인하여 채널 영역(II)이 임플란트되는 것을 최소화하기 위해, C 또는 N은 예컨대, 10~15KeV 범위의 임플란트 에너지로 임플란트될 수 있다.
- [0032] 또한, 5E15 atoms/cm² 이상의 도우즈량의 C 또는 N을 임플란트하는 경우, 후술하는 공정에서 n형 불순물이 주입되더라도, 임플란트된 C 또는 N에 의해 n형 불순물의 활성화(activation)가 억제될 수 있다. 그러므로, n형 불순물의 활성화가 억제되는 것을 방지하기 위해, 1E14~5E15 atoms/cm²의 도우즈량의 C 또는 N이 임플란트될 수 있다.
- [0033] 다만, 도핑된 비정질화 영역(143)의 C 또는 N의 도핑 농도는 전체적으로 일정할 수 있지만, 이에 제한되지 않는다. 예컨대, 도핑된 비정질화 영역(143)의 상부 영역의 C 또는 N의 도핑 농도와, 도핑된 비정질화 영역(143)의 하부 영역의 C 또는 N의 도핑 농도가 서로 다를 수 있다. 즉, C 또는 N의 도우즈량을 조절하여, 도핑된 비정질화 영역(143)의 도핑 농도를 조절할 수 있다. 예컨대, 도핑된 비정질화 영역(143)의 상부 영역을, 하부 영역에 비해 상대적으로 높은 도우즈량의 C 또는 N으로 임플란트할 수 있지만, 이에 제한되지 않는다.
- [0034] 그리고, 도 4는 비정질화 영역(도 3의 140 참조)과 도핑된 비정질화 영역(143)이 동일한 깊이를 갖는 것으로 도시되었지만, 이에 제한되지 않는다. 예컨대, 비정질화 영역(도 3의 140 참조)의 상부 영역에만 C 또는 N이 임플란트될 수 있으며, 이에 대하여는 후술하도록 한다.
- [0035] 본 발명의 제1 실시예에 따른 반도체 장치의 제조 방법은 nMOS 트랜지스터를 제조하기 위한 방법일 수 있다. 그러므로, 본 발명의 제1 실시예에 따른 반도체 장치의 제조 방법에 따른 공정이 진행되는 동안, nMOS 영역을 제외한 다른 영역(예컨대, pMOS 영역)은 포토레지스트로 덮여있을 수 있다. 다만, 포토레지스트는 -100℃ 이하의 온도에서 경화될 수 있다. 포토레지스트가 경화되면, 추후에 포토레지스트를 제거하기 어려울 수 있으므로, C 또는 N의 임플란트 공정은 -100℃ 이상의 온도에서 수행될 수 있다.
- [0036] 삭제
- [0037] 이어서, 도 5를 참조하여, 소오스/드레인 영역(I)에 이온 임플란트를 수행하여, 도핑된 비정질화 영역(143)을 n형 도핑할 수 있다.
- [0038] 본 발명의 제1 실시예에 따른 반도체 장치의 제조 방법을 이용하여 제조되는 반도체 장치는, 예컨대, nMOS 트랜지스터일 수 있다. 그러므로, 예컨대, As 또는 P 등의 n형 불순물이 소오스/드레인 영역(I)에 임플란트될 수 있다.
- [0039] 다만, 도 5에 도시된 S/D 이온 임플란트에 제한되지 않고, 예컨대, LDD(Lightly Doped Drain) 이온 임플란트를 수행하여, 소오스/드레인 영역(I)이 LDD 구조를 갖도록 할 수 있다.
- [0040] 이어서, 도 1 및 도 6을 참조하여, 기관(100)을 덮도록 스트레스 유발층(160)을 형성할 수 있다(S130).
- [0041] 구체적으로, 스페이서막(135) 상에 차례로 버퍼 산화막(150) 및 스트레스 유발층(160)을 형성할 수 있다. 버퍼 산화막(150) 및 스트레스 유발층(160)은 예컨대, ALD(Atomic Layer Deposition) 또는 CVD(Chemical Vapor Deposition) 방식 등을 이용하여 증착될 수 있지만, 이에 제한되지 않는다.
- [0042] 버퍼 산화막(150)은 스페이서막(135) 상에 컨포멀하게 형성될 수 있다. 버퍼 산화막(150)은 스트레스 유발층(160)에 포함된 실리콘 질화물과 식각 선택비의 차이가 큰 실리콘 산화물을 포함할 수 있지만, 이에 제한되지 않는다. 버퍼 산화막(150)이 실리콘 산화물을 포함할 수 있으므로, 버퍼 산화막(150)은 스트레스 유발층(160)의 제거 시, 식각 정지막으로 사용될 수 있다.
- [0043] 또한, 버퍼 산화막(150)이 기관(100)을 덮도록 형성되기 때문에, 스트레스 유발층(160)의 제거 시, 버퍼 산화막(150)은 게이트 전극(120) 및 스페이서막(135)의 손상을 방지할 수 있다.
- [0044] 스트레스 유발층(160)은 버퍼 산화막(150) 상에 형성될 수 있다. 본 발명의 제1 실시예에 따른 반도체 장치의 제조 방법을 이용하여 제조되는 반도체 장치는, 예컨대, nMOS 트랜지스터일 수 있으므로, 스트레스 유발층(160)

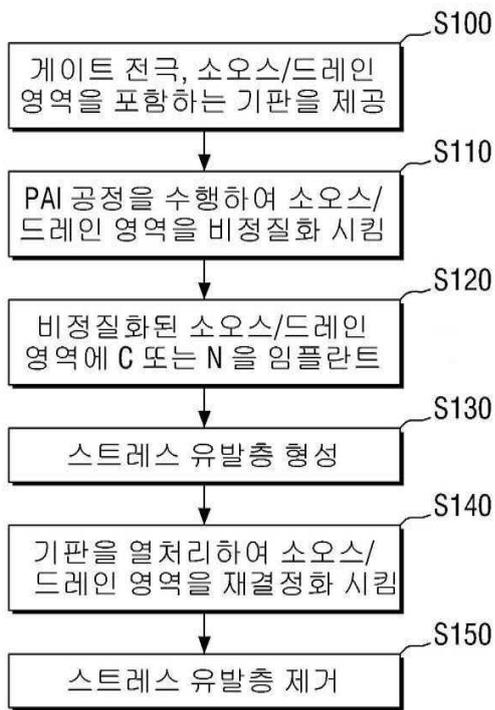
0)은 채널 영역(II)에 인장성 스트레스(tensile stress)를 가할 수 있는 물질을 포함할 수 있다. 스트레스 유발층(160)은 예컨대, 실리콘 질화물을 포함할 수 있지만, 이에 제한되지 않는다.

- [0045] 이어서, 도 1 및 도 7 내지 도 9를 참조하여, 기판(100)을 열처리하여, 소오스/드레인 영역(I)을 재결정화 시킬 수 있다(S140).
- [0046] 구체적으로, 도 7 및 도 8에 도시된 공정은 고상 에피택시(SPE; Solid Phase Epitaxy) 공정일 수 있다. SPE 공정은 저온 어닐링 공정을 포함할 수 있다. SPE 공정에 의하면, 예컨대, N₂, H₂, O₂ 등이 포함된 분위기에서, 450~800℃의 온도범위에서 열처리를 하여, 도핑된 비정질화 영역(143)을 고상 결정화시킬 수 있다. 도핑된 비정질화 영역(143)은 재결정화 되어, n형 반도체막(145)이 될 수 있다. 반도체막(145)은 nMOS 트랜지스터의 소오스/드레인일 수 있다.
- [0047] 다만, 본 발명의 제1 실시예에 따른 반도체 장치의 제조 방법은 스트레스 기억 기술(SMT; Stress Memorization Technique)을 이용하므로, 도핑된 비정질화 영역(143)은 스트레스 유발층(160)에 의해 변형된 상태로 재결정화 될 수 있다. 그러므로, 후술하는 공정에서 스트레스 유발층(160)이 제거되더라도, 반도체막(145)은 변형상태를 유지할 수 있다. 그러므로, 반도체막(145)은 채널 영역(II)에 지속적으로 인장성 스트레스를 가할 수 있으며, 결과적으로, 채널 영역(II)의 격자 구조를 변경하여 전하 캐리어의 이동도를 증가시킴으로써, 반도체 장치의 성능을 향상시킬 수 있다.
- [0048] 다만, SPE 공정은, 인장성 스트레스를 가하는 스트레스 유발층(160)의 영향 하에서 진행되기 때문에, 결정의 방향마다 성장하는 속도가 다를 수 있다. 예컨대, 도핑된 비정질화 영역(143)의 재결정화 과정에서, <001>방향의 결정의 성장 속도가 <110>방향의 결정의 성장 속도에 비해 빨라져서, <001>방향의 결정의 성장 속도와 <110>방향의 결정의 성장 속도 사이에 차이가 발생할 수 있다. 그 결과, (111)면 근방에서 결정 성장이 핀치 오프(pinch_off)되는 지점이 발생하여, 적층 결함(stacking fault)과 같은 디펙(defect)이 형성될 우려가 있다. 단, <001>방향은 예컨대, 기판(100)의 표면과 수직한 방향일 수 있고, <110>방향은 예컨대, 기판(100)의 표면과 수평한 방향일 수 있다.
- [0049] 그러나, 본 발명의 제1 실시예에 따른 반도체 장치의 제조 방법에 따르면, 도핑된 비정질화 영역(143)에 C 또는 N이 도핑되어 있기 때문에, SPE 공정 중 도핑된 비정질화 영역(143)이 재결정화 되면서 디펙이 형성되는 것을 방지할 수 있다.
- [0050] 도 9를 참조하면, A 그래프는 Si를 이용하여 PAI 공정을 수행하고, C 도핑없이 SPE 공정을 수행한 경우, <001>방향의 결정의 성장 속도를 측정한 그래프이다. 그리고, B 그래프는 Si를 이용하여 PAI 공정을 수행하고, C를 도핑한 후, SPE 공정을 수행한 경우, <001>방향의 결정의 성장 속도를 측정한 그래프이다. 급속 열처리 공정(RTA; Rapid Thermal Annealing)이 30초 동안 지속된 경우, C 임플란트를 수행하지 않은 A 그래프의 <001>방향의 결정의 성장 속도는 약 1.4nm/sec이고, C 임플란트를 수행한 B 그래프의 <001>방향의 결정의 성장 속도는 약 0.6nm/sec이다. 결과적으로, C 임플란트를 수행한 후 RTA를 진행한 경우는, C 임플란트를 수행하지 않고 RTA를 진행한 경우에 비해, <001>방향의 결정의 성장 속도가 약 60% 정도가 감소할 수 있다.
- [0051] 그러므로, 본 발명의 제1 실시예에 따른 반도체 장치의 제조 방법에 따르면, 도핑된 비정질화 영역(143)에 C 또는 N이 도핑되어 있기 때문에, SPE 공정동안, <001>방향의 결정의 성장 속도를 감소시킬 수 있다. 결과적으로, 본 발명의 제1 실시예에 따른 반도체 장치의 제조 방법에 따르면, <001>방향과 <110>방향의 결정의 성장 속도의 차이가 감소할 수 있다.
- [0052] 그러므로, 도 8을 참조하면, (111)면 근방에서 결정 성장이 핀치 오프되는 지점이 발생하지 않을 수 있다. 또한, 도핑된 비정질화 영역(143)의 재결정화 양상은, 스트레스 유발층(160)이 없을 때의 재결정화 양상과 유사한 양상을 보일 수 있다.
- [0053] 결과적으로, 본 발명의 제1 실시예에 따른 반도체 장치의 제조 방법에 따르면, 스트레스 기억 기술을 이용하더라도, 재결정화 시 디펙의 형성을 억제할 수 있다. 또한, 디펙의 형성을 억제할 수 있기 때문에, 디펙 영역으로의 할로 보론 세그리게이션(halo boron segregation) 발생에 따른 문턱 전압의 강하(Vt drop) 및 오프 리키지 커런트(off-leakage current)의 증가 등의 문제점을 개선할 수 있다.
- [0054] 또한, SPE 공정 중, 기판(100)의 Si와 임플란트된 C 사이에 결합이 형성될 수 있다. 그러므로, 반도체막(145)에 SiC가 형성될 수 있으며, SiC는 채널 영역(II)에 인장성 스트레스를 가하는 스트레서(stressor)로서 기능할 수 있다. 그러므로, 반도체 장치의 성능을 향상시킬 수 있다.

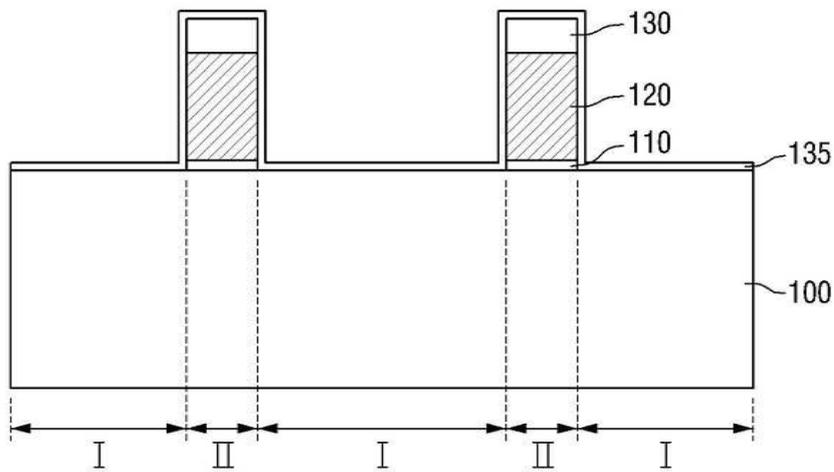
- [0055] 이어서, 도 1 및 도 10을 참조하여, 스트레스 유발층(160)을 제거할 수 있다(S150).
- [0056] 구체적으로, 예컨대, 인산(H₂PO₄)을 이용한 습식식각을 이용하여, 스트레스 유발층(160)을 제거할 수 있지만, 이에 제한되지 않고 건식식각을 이용할 수도 있다. 다만, 인산에 대하여, 실리콘 질화물을 포함하는 스트레스 유발층(160)이 실리콘 산화물을 포함하는 버퍼 산화막(150)에 비해 높은 식각 선택비를 가질 수 있다. 그러므로, 버퍼 산화막(150)을 식각 정지막으로 이용하여 스트레스 유발층(160)을 제거할 수 있다.
- [0057] 그리고, 예컨대, 불산(HF)를 이용한 습식식각을 이용하여, 버퍼 산화막(150)을 제거할 수 있지만, 이에 제한되지 않고 건식식각을 이용할 수도 있다.
- [0058] 도 7을 참조하여, 본 발명의 제2 실시예에 따른 반도체 장치의 제조 방법을 설명한다. 다만, 본 발명의 제1 실시예에 따른 반도체 장치의 제조 방법과의 차이점을 위주로 설명한다.
- [0059] 본 발명의 제2 실시예에 따른 반도체 장치의 제조 방법은, 본 발명의 제1 실시예에 따른 반도체 장치의 제조 방법과는 다르게, 스트레스 유발층(160)을 제거하지 않을 수 있다. 그러므로, 반도체 장치의 최종 구조물은 스트레스 유발층(160)을 포함할 수 있다.
- [0060] 도 2, 도 5 내지 도 7, 도 10 내지 도 12를 이용하여, 본 발명의 제3 실시예에 따른 반도체 장치의 제조 방법을 설명한다. 다만, 본 발명의 제1 실시예에 따른 반도체 장치의 제조 방법과의 차이점을 위주로 설명한다. 도 11은 본 발명의 제3 실시예에 따른 반도체 장치의 제조 방법을 설명하기 위한 순서도이다. 도 12는 본 발명의 제3 실시예에 따른 반도체 장치의 제조 방법에 따른 중간 구조물의 단면도이다.
- [0061] 본 발명의 제3 실시예에 따른 반도체 장치의 제조 방법은, 본 발명의 제1 실시예에 따른 반도체 장치의 제조 방법과는 다르게, PAI 공정 후 C 또는 N을 임플란트 하지 않고, 극저온의 온도 범위에서 소오스/드레인 영역(I)에 C 또는 N을 임플란트 하여 PAI 공정을 수행할 수 있다.
- [0062] 구체적으로, 도 2 및 도 11을 참조하여, 게이트 전극(120), 게이트 전극(120)의 양측에 위치한 소오스/드레인 영역(I)을 포함하는 기관(100)을 제공할 수 있다(S200).
- [0063] 이어서, 도 11 및 도 12를 참조하여, -20℃ 내지 -100℃의 온도 범위에서 소오스/드레인 영역(I)에 C 또는 N을 임플란트 하여, 소오스/드레인 영역(I)을 비정질화 시킬 수 있다(S210).
- [0064] C 또는 N을 임플란트하여 소오스/드레인 영역(I)을 비정질화 시켜, 도핑된 비정질화 영역(143)을 형성하기 위해서는, 극저온에서 PAI 공정을 수행할 필요가 있다. 예컨대, -20℃ 이상의 온도에서 C 또는 N을 임플란트하는 경우, 소오스/드레인 영역(I)을 비정질화 시키기 용이하지 않을 수 있다.
- [0065] 다만, -100℃ 이하의 온도 범위에서 PAI 공정을 수행할 경우, 상술한 바와 같이, nMOS 영역을 제외한 다른 영역(예컨대, pMOS 영역)에 덮인 포토레지스트가 경화될 수 있다. 포토레지스트가 경화되면, 추후에 포토레지스트를 제거하기 어려울 수 있다. 그러므로, -20 ~ -100℃의 온도 범위에서 PAI 공정을 수행할 수 있다.
- [0066] 다만, 10KeV 이상의 높은 임플란트 에너지로 PAI 공정을 수행하는 경우, 측면 확산으로 인해 채널 영역(II)의 상당 부분이 비정질화될 우려가 있다. 그러므로, PAI 공정에서 측면 확산으로 인한 채널 영역(II)의 비정질화를 최소화하기 위해, C 또는 N은 예컨대, 5~10KeV 범위의 임플란트 에너지로 임플란트될 수 있다.
- [0067] 또한, 5E15 atoms/cm² 이상의 도우즈량의 C 또는 N을 임플란트하는 경우, 후술하는 공정에서 n형 불순물이 주입되더라도, 임플란트된 C 또는 N에 의해 n형 불순물의 활성화(activation)가 억제될 수 있다. 그러므로, n형 불순물의 활성화가 억제되는 것을 방지하기 위해, 1E14~5E15 atoms/cm²의 도우즈량의 C 또는 N이 임플란트될 수 있다.
- [0068] 이어서, 도 5를 참조하여, 소오스/드레인 영역(I)에 이온 임플란트를 수행하여, 도핑된 비정질화 영역(143)을 n형 도핑할 수 있다.
- [0069] 이어서, 도 6 및 도 11을 참조하여, 기관(100)을 덮도록 스트레스 유발층(160)을 형성할 수 있다(S220).
- [0070] 이어서, 도 7 및 도 11을 참조하여, 기관(100)을 열처리하여, 소오스/드레인 영역(I)을 재결정화 시킬 수 있다(S230).
- [0071] 이어서, 도 10 및 도 11을 참조하여, 스트레스 유발층(160)을 제거할 수 있다(S240).
- [0072] 도 7을 참조하여, 본 발명의 제4 실시예에 따른 반도체 장치의 제조 방법을 설명한다. 다만, 본 발명의 제3 실

도면

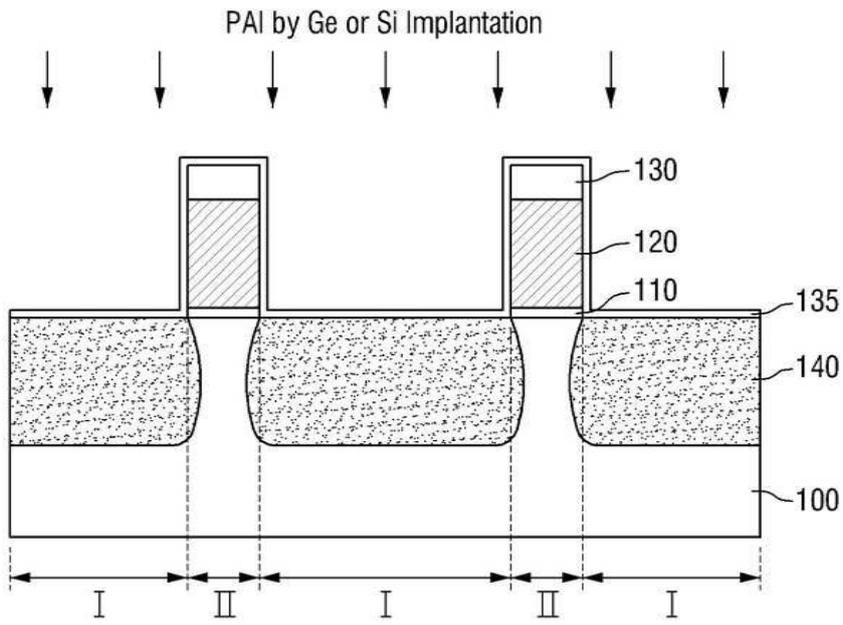
도면1



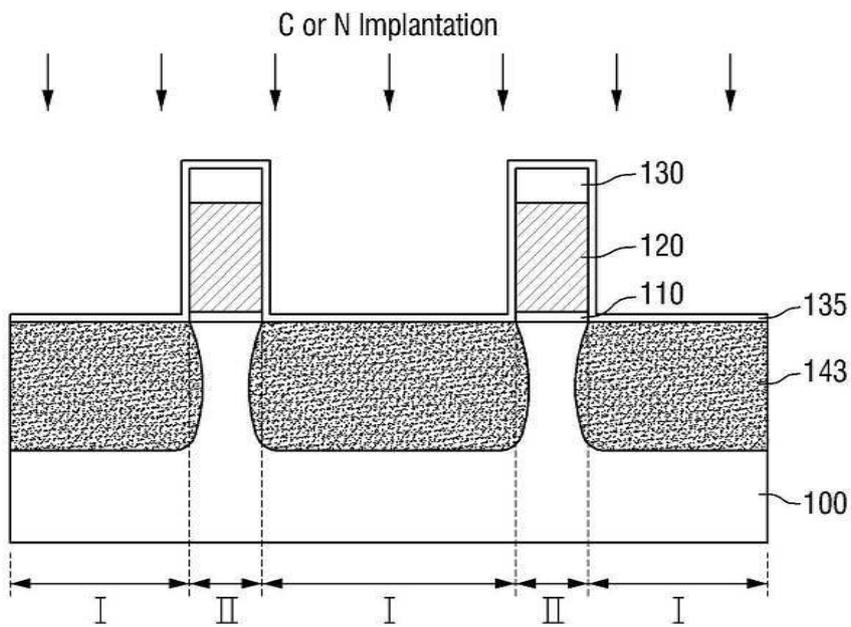
도면2



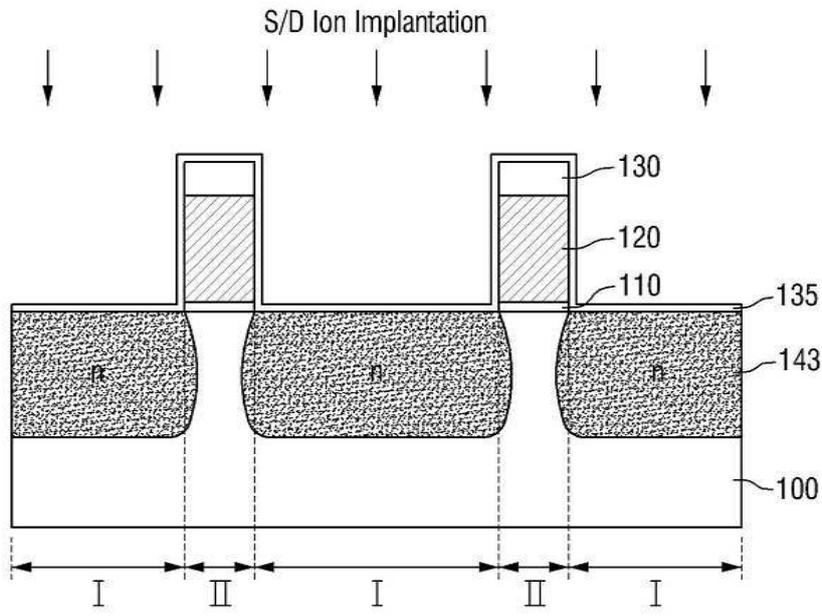
도면3



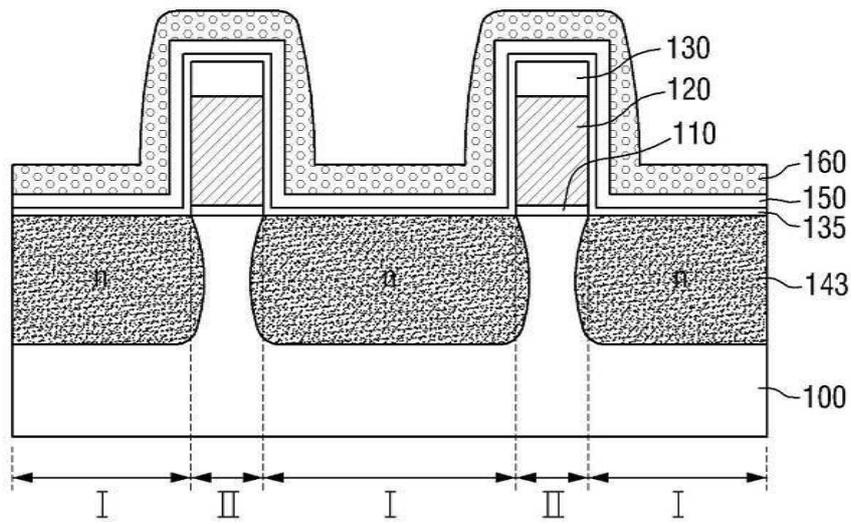
도면4



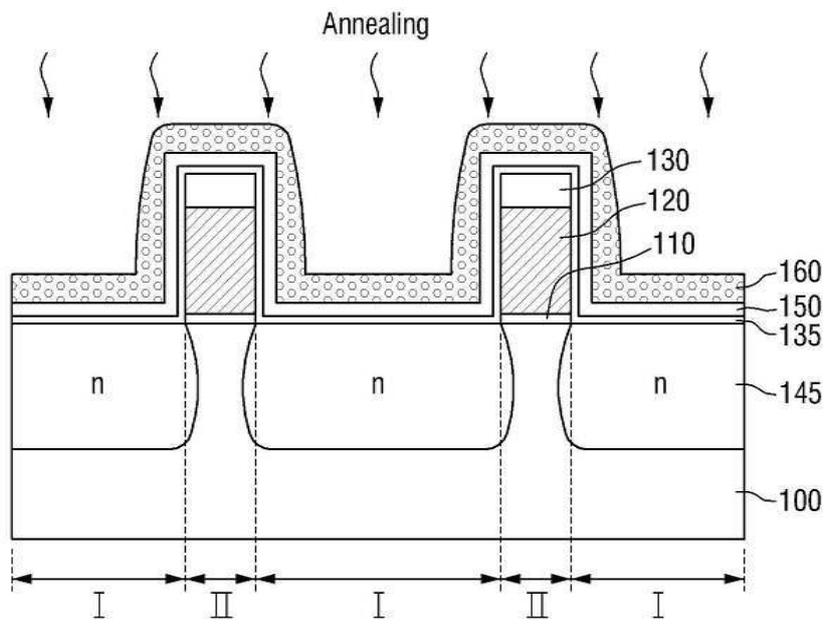
도면5



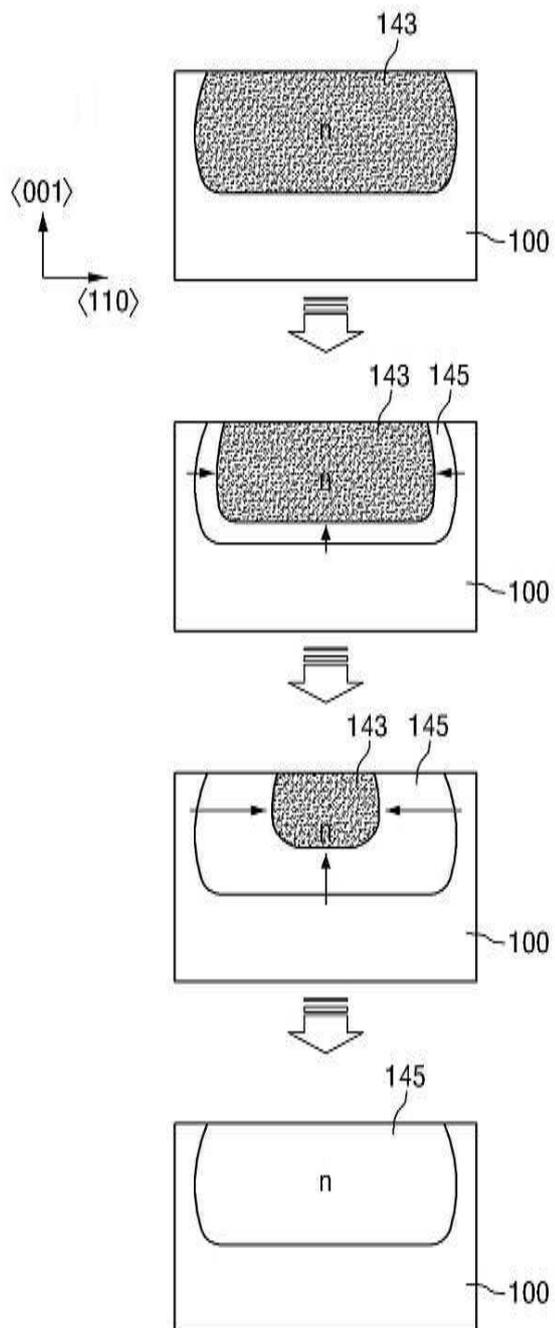
도면6



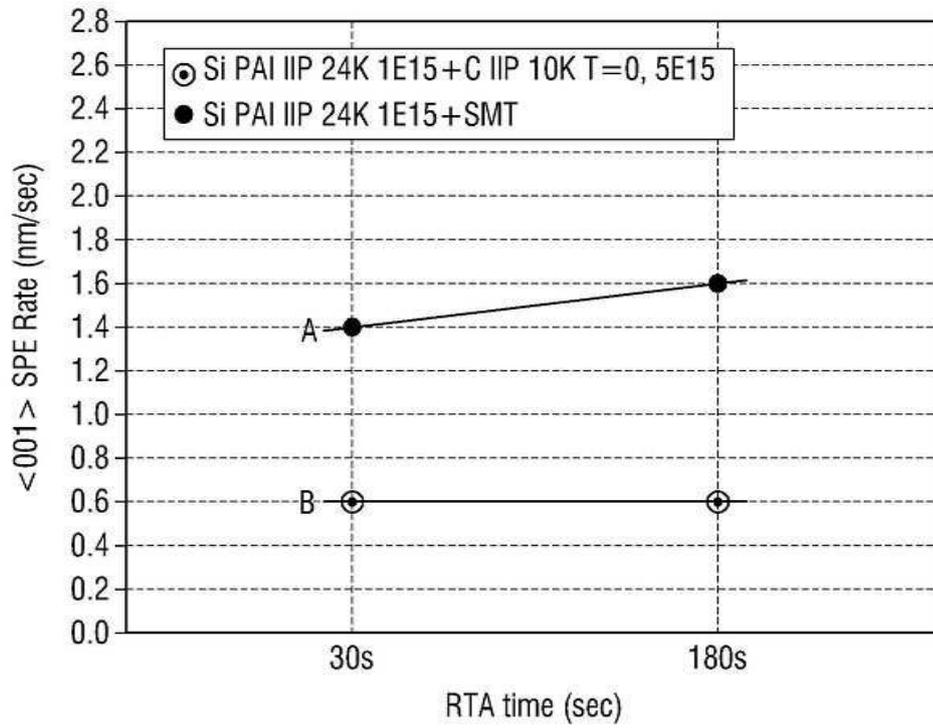
도면7



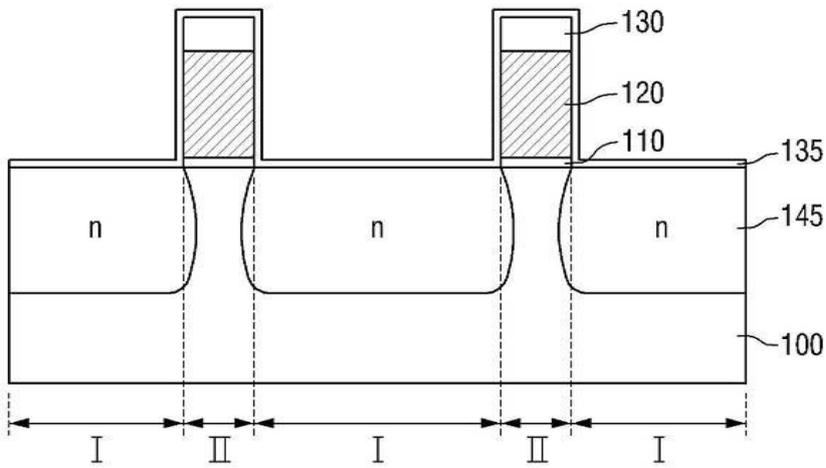
도면8



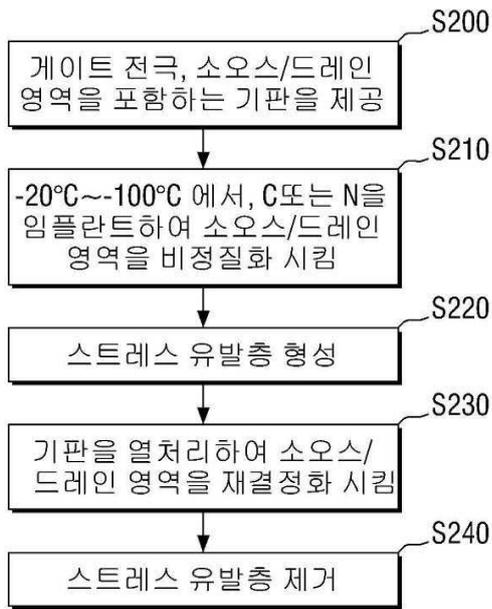
도면9



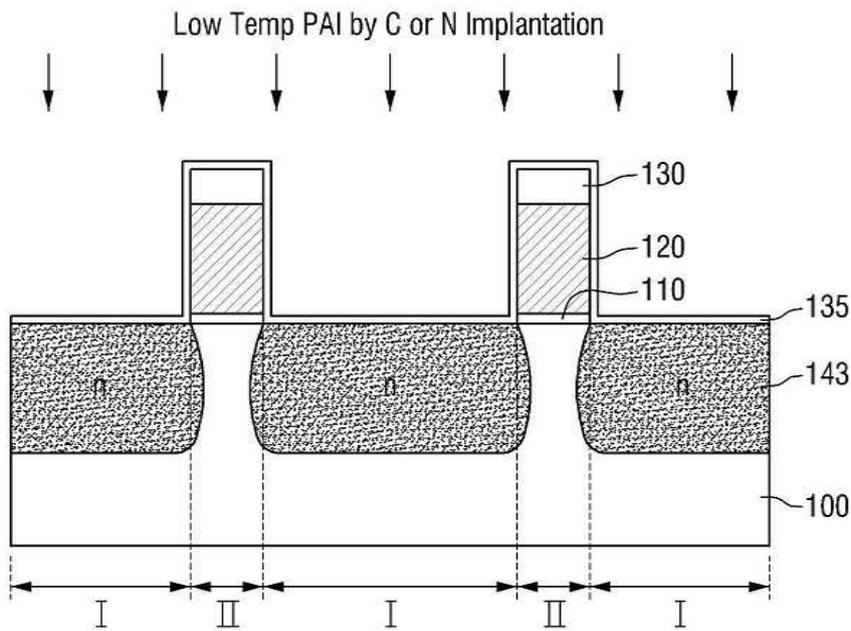
도면10



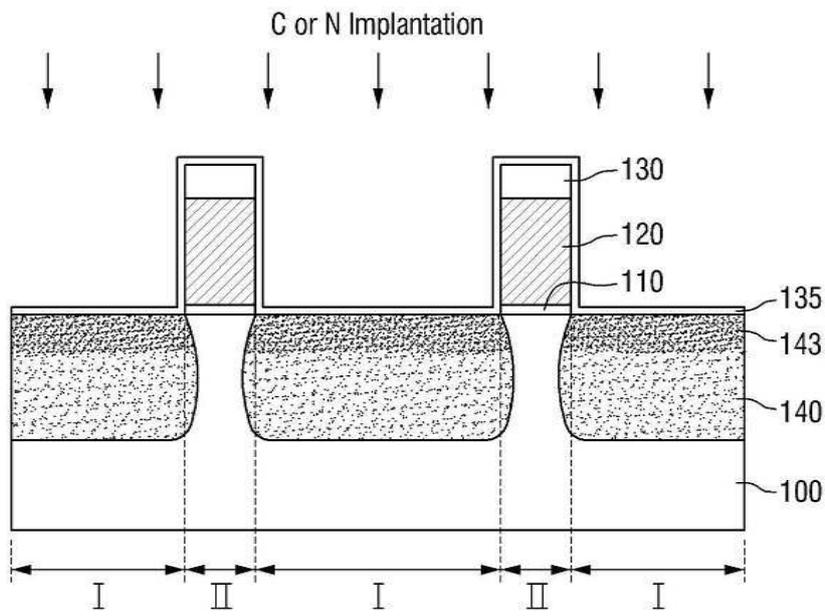
도면11



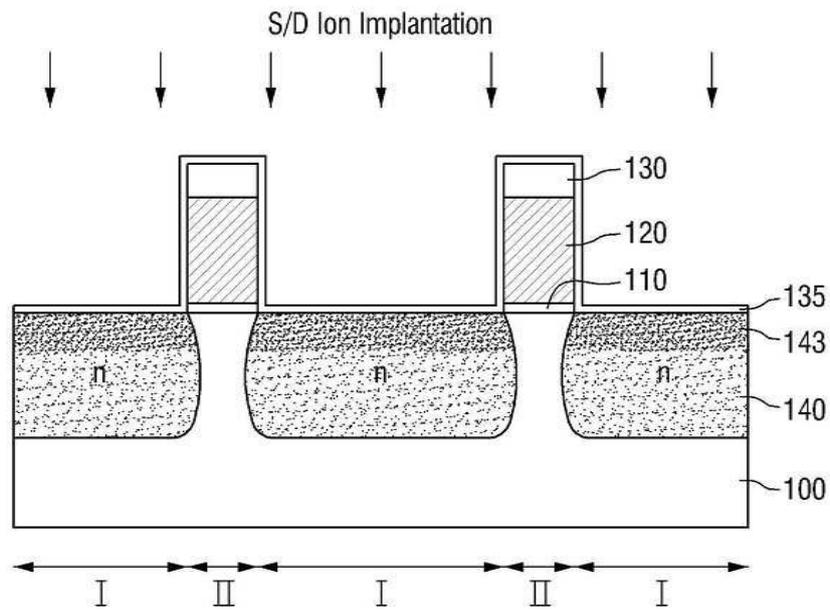
도면12



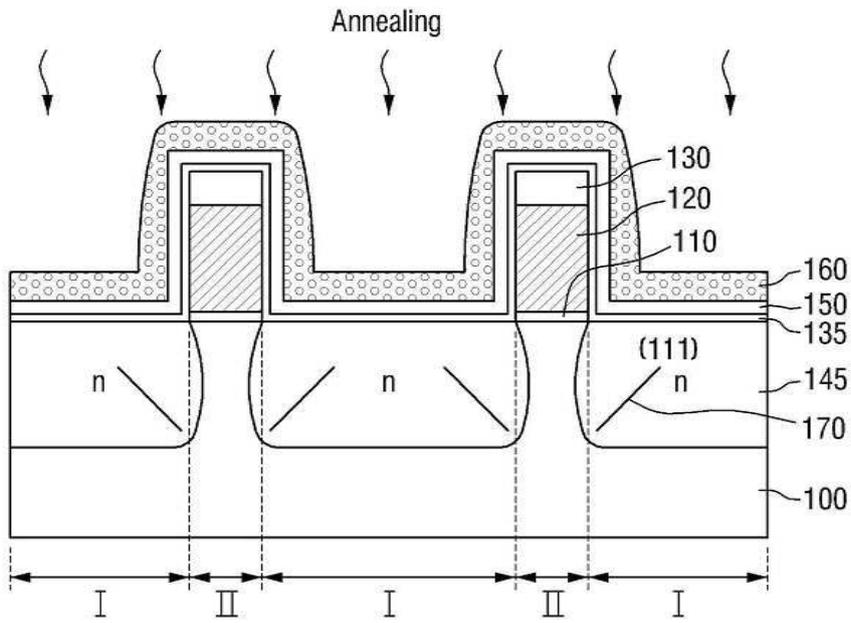
도면13



도면14



도면15



도면16

