

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2015-70086
(P2015-70086A)

(43) 公開日 平成27年4月13日(2015.4.13)

(51) Int.Cl.	F I	テーマコード(参考)
HO 1 L 23/12 (2006.01)	HO 1 L 23/12 F	5 F 0 4 4
HO 1 L 21/60 (2006.01)	HO 1 L 21/60 3 1 1 Q	
	HO 1 L 23/12 E	

審査請求 未請求 請求項の数 13 O L (全 20 頁)

(21) 出願番号 特願2013-202463 (P2013-202463)
(22) 出願日 平成25年9月27日 (2013.9.27)

(71) 出願人 308017571
シナプティクス・ディスプレイ・デバイス株式会社
東京都小平市上水本町五丁目2番1号
(74) 代理人 100102864
弁理士 工藤 実
(74) 代理人 100117617
弁理士 中尾 圭策
(72) 発明者 中原 道弘
奈良県天理市樺本町2613番地の1 株式会社ルネサスエスピードライバ内
Fターム(参考) 5F044 KK06 KK09 LL00 QQ01

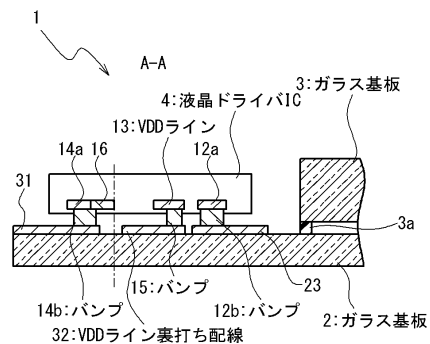
(54) 【発明の名称】 集積回路モジュール及び表示モジュール

(57) 【要約】 (修正有)

【課題】コストを抑制しながら電源ラインの実効的な抵抗を低減した集積回路モジュール及び表示モジュールを提供する。

【解決手段】集積回路モジュール1が、ガラス基板3と、ガラス基板3に表面実装によって実装された集積回路チップ4とを具備する。集積回路チップ4は、特定方向に延伸する電源ライン13と、電源ライン13に接合されたバンプ15とを備えている。ガラス基板の集積回路チップに対向する面には、VDDライン裏打ち配線となる導電体32が形成されている。導電体32は、バンプ15に接合されている。

【選択図】 図4



【特許請求の範囲】**【請求項 1】**

ガラス基板と、
前記ガラス基板に表面実装によって実装された集積回路チップ
とを具備し、
前記集積回路チップは、
第 1 方向に延伸する第 1 電源ラインと、
前記第 1 電源ラインに電氣的に接合された第 1 パンプ
とを備え、

前記ガラス基板の前記集積回路チップに対向する面には、第 1 導電体が形成され、
前記第 1 導電体が、前記第 1 パンプに接合された
集積回路モジュール。

10

【請求項 2】

請求項 1 に記載の集積回路モジュールであって、
前記集積回路チップは、更に、前記第 1 パンプから前記第 1 方向にずれた位置において
前記第 1 電源ラインに接合する第 2 パンプを備え、
前記第 1 導電体は、前記第 1 方向に延伸するように設けられ、
前記第 1 導電体は、前記第 1 パンプと前記第 2 パンプとに接合された
集積回路モジュール。

20

【請求項 3】

請求項 2 に記載の集積回路モジュールであって、
前記第 1 電源ラインには、電源電圧が供給され、
前記集積回路チップは、更に、
前記第 1 方向に延伸する第 2 電源ラインと、
第 3 パンプ及び第 4 パンプ

とを具備し、

前記第 2 電源ラインは接地電位に維持され、
前記第 3 パンプと前記第 4 パンプは、前記第 1 方向における位置が異なる位置において
前記第 2 電源ラインに接合され、
前記ガラス基板の前記集積回路チップに対向する前記面には、第 2 導電体が形成され、
前記第 2 導電体は、前記第 3 パンプと前記第 4 パンプとに接合された
集積回路モジュール。

30

【請求項 4】

請求項 1 に記載の集積回路モジュールであって、
前記集積回路チップは、更に、
前記第 1 方向に延伸する第 2 電源ラインと、
前記第 2 電源ラインに接合された第 2 パンプ

とを具備し、

前記第 1 導電体は、前記第 1 パンプと前記第 2 パンプとに接合された
集積回路モジュール。

40

【請求項 5】

請求項 4 に記載の集積回路モジュールであって、
前記第 1 電源ライン及び前記第 2 電源ラインには、電源電圧が供給され、
前記集積回路チップは、更に、
前記第 1 方向に延伸し、接地電位に維持される第 3 電源ライン及び第 4 電源ラインと

、
前記第 3 電源ラインに接合された第 3 パンプと、
前記第 4 電源ラインに接合された第 4 パンプ

とを備え、

前記第 3 電源ラインは、前記第 1 電源ラインと前記第 2 電源ラインの間に設けられ、

50

前記第 2 電源ラインは、前記第 3 電源ラインと前記第 4 電源ラインの間に設けられ、前記ガラス基板の前記集積回路チップに対向する前記面には、第 2 導電体が形成され、前記第 2 導電体は、前記第 3 パンプと前記第 4 パンプとに接合された集積回路モジュール。

【請求項 6】

請求項 1 乃至 5 のいずれかに記載の集積回路モジュールであって、前記集積回路チップは、1 対の長辺と 1 対の短辺を有し、前記第 1 方向は、前記 1 対の長辺と平行な方向である集積回路モジュール。

【請求項 7】

請求項 1 に記載の集積回路モジュールであって、前記集積回路チップは、更に、前記第 1 方向に垂直な第 2 方向に延伸する第 2 電源ラインと、第 1 ランドと、第 2 ランド第 2 パンプ

とを備え、

前記第 2 電源ラインと、前記第 1 ランドと、前記第 2 ランドは、前記ガラス基板に最も近い第 1 金属配線層に位置し、

前記第 1 電源ラインは、前記第 1 金属配線層よりも前記ガラス基板から離れた第 2 金属配線層に位置し、

前記第 1 ランドと前記第 2 ランドは、前記第 1 電源ラインに電氣的に接続され、前記第 1 パンプは、前記第 1 ランドに接合され、前記第 2 パンプは、前記第 2 ランドに接合され、前記第 1 導電体が、前記第 2 パンプに接合された集積回路モジュール。

【請求項 8】

請求項 7 に記載の集積回路モジュールであって、前記集積回路チップは、1 対の長辺と 1 対の短辺を有し、前記第 1 方向は、前記 1 対の短辺と平行な方向である集積回路モジュール。

【請求項 9】

画素とソース線とが形成されたガラス基板と、

前記ガラス基板に表面実装によって実装され、前記ソース線を駆動するドライバ I C とを具備し、

前記ドライバ I C は、第 1 方向に延伸する第 1 電源ラインと、前記第 1 電源ラインに接合する第 1 パンプ

とを備え、

前記ガラス基板の前記ドライバ I C に対向する面には、第 1 導電体が形成され、前記第 1 導電体が、前記第 1 パンプに接合された表示モジュール。

【請求項 10】

請求項 9 に記載の表示モジュールであって、

前記ドライバ I C は、更に、前記第 1 パンプから前記第 1 方向にずれた位置において前記第 1 電源ラインに接合する第 2 パンプを備え、

前記第 1 導電体は、前記第 1 方向に延伸するように設けられ、前記第 1 導電体は、前記第 1 パンプと前記第 2 パンプとに接合された表示モジュール。

【請求項 11】

10

20

30

40

50

請求項 10 に記載の表示モジュールであって、
前記ドライバ IC は、更に、前記ソース線を駆動するソース出力回路を備え、
前記第 1 電源ラインから前記ソース出力回路に電源電圧が供給される
表示モジュール。

【請求項 12】

請求項 9 に記載の表示モジュールであって、
前記ドライバ IC は、更に、

前記第 1 方向に延伸する第 2 電源ラインと、
前記第 2 電源ラインに接合された第 2 パンプ

とを具備し、

前記第 1 導電体は、前記第 1 パンプと前記第 2 パンプとに接合された
表示モジュール。

【請求項 13】

請求項 12 に記載の表示モジュールであって、

前記ドライバ IC は、更に、前記ソース線を駆動するソース出力回路を備え、

前記第 1 電源ライン及び前記第 2 電源ラインから前記ソース出力回路に電源電圧が供給
される

表示モジュール。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、集積回路モジュール及び表示モジュールに関し、特に、ガラス基板と、該ガラス基板に表面実装によって実装された集積回路チップとを有する集積回路モジュールに関する。

【背景技術】

【0002】

ICチップ（集積回路チップ）には、電源電圧や回路接地（circuit ground）を供給するための電源ラインが集積化される。なお、本明細書でいう「電源ライン」とは、所定の電源電圧に維持されるラインと、接地電位に維持されるライン（特に、「接地ライン」と呼ぶことがある）の両方を含む概念であることに留意されたい。

【0003】

ある種の ICチップでは、電源ラインが長大であり、このような ICチップでは、電源ラインの抵抗の低減が求められることがある。例えば、液晶表示パネルを駆動する液晶ドライバ ICでは、一般に、液晶表示パネルのソース線（信号線、データ線とも呼ばれる）を駆動するソース出力回路に電源電圧を供給するための電源ラインが設けられる。多数のソース線を駆動する表示パネルドライバでは、多数のソース出力回路が ICチップの端に沿って並べられるので、ソース出力回路に電源電圧を供給する電源ラインは長大になる。電源ラインが長大になると抵抗が増加し、電源ラインにおける電圧降下の問題が重大になる。

【発明の概要】

【発明が解決しようとする課題】

【0004】

電源ラインの低抵抗化の一つの手法としては、電源ラインのライン幅を太くすることが考えられる。しかしながら、電源ラインのライン幅を太くすると、ICチップの電源ラインが延伸する方向と垂直の方向の寸法が大きくなってしまふ。例えば、液晶ドライバ ICでは、ソース出力回路に電源電圧を供給するための電源ラインが液晶ドライバ ICの長辺方向（即ち、ソース出力回路が並べられる方向）に設けられることがある。この場合、電源ラインのライン幅を太くすると、液晶ドライバ ICの短辺方向の幅が大きくなってしまふ。近年の液晶表示装置では、液晶ドライバ ICを搭載する領域が小さくなっており、液晶ドライバ ICの短辺方向の幅の増大は好ましくない。

10

20

30

40

50

【0005】

電源ラインの低抵抗化の他の手法としては、金属配線層を追加することも考えられる。複数の金属配線層に設けられた金属配線をビアコンタクトによって電氣的に接続して電源ラインとして用いることにより、低抵抗の電源ラインを実現することができる。しかしながら、金属配線層を追加することは、コストの増大を招く。

【0006】

発明者は、ガラス基板と、該ガラス基板に表面実装によって実装された集積回路チップとを有する集積回路モジュールに関して検討を行った結果、コストを抑制しながら電源ラインの実効的な抵抗を低減する手法を見出した。

【0007】

したがって、本発明の課題は、コストを抑制しながら電源ラインの実効的な抵抗を低減することにある。

【課題を解決するための手段】

【0008】

本発明の一の観点では、集積回路モジュールが、ガラス基板と、ガラス基板に表面実装によって実装された集積回路チップとを具備する。集積回路チップは、特定方向に延伸する電源ラインと、該電源ラインに接合されたパンプとを備えている。ガラス基板の集積回路チップに対向する面には、導電体が形成されている。該導電体は、該パンプに接合されている。

【0009】

本発明の他の観点では、表示モジュールが、画素とソース線とが形成されたガラス基板と、ガラス基板に表面実装によって実装され、ソース線を駆動するドライバICとを具備する。ドライバICは、特定方向に延伸する電源ラインと、該電源ラインに接合するパンプとを備えている。ガラス基板のドライバICに対向する面には、導電体が形成されている。該導電体は、該パンプに接合されている。

【発明の効果】

【0010】

本発明によれば、コストを抑制しながら電源ラインの実効的な抵抗を低減するための技術が提供される。

【図面の簡単な説明】

【0011】

【図1】本発明の第1の実施形態の集積回路モジュールとして構成された液晶表示モジュールの構成を示す平面図である。

【図2】第1の実施形態における液晶ドライバICの構成を概略的に示す平面図である。

【図3】液晶ドライバICを除いたときの第1の実施形態の液晶表示モジュールの構造を概略的に示す平面図である。

【図4】A - A断面における液晶表示モジュールの構造を示す断面図である。

【図5】B - B断面における液晶表示モジュールの構造を示す断面図である。

【図6】第1の実施形態の液晶表示モジュールの一変形例を示す図であり、液晶ドライバICの構造を示す平面図である。

【図7】該変形例において、液晶ドライバICを除いたときの液晶表示モジュールの構造を概略的に示す平面図である。

【図8】該変形例における、A' - A'断面における液晶表示モジュールの構造を示す断面図である。

【図9】第1の実施形態の液晶表示モジュールの他の変形例を示す図であり、液晶ドライバICの構造を示す平面図である。

【図10】該他の変形例における、液晶ドライバICを除いたときの液晶表示モジュールの構造を概略的に示す平面図である。

【図11】第1の実施形態の液晶表示モジュールの更に他の変形例を示す図であり、液晶ドライバICの構造を示す平面図である。

10

20

30

40

50

【図 1 2】第 2 の実施形態における液晶ドライバ I C の構成を概略的に示す平面図である。

【図 1 3】液晶ドライバ I C を除いたときの第 2 の実施形態の液晶表示モジュールの構成を概略的に示す平面図である。

【図 1 4】A - A 断面における液晶表示モジュールの構造を示す断面図である。

【図 1 5】第 2 の実施形態の液晶表示モジュールの一変形例を示す図であり、液晶ドライバ I C の構造を示す平面図である。

【図 1 6】該変形例において、液晶ドライバ I C を除いたときの液晶表示モジュールの構成を概略的に示す平面図である。

【図 1 7】該変形例における、C - C 断面における液晶表示モジュールの構造を示す断面図である。

【図 1 8】該変形例における、D - D 断面における液晶表示モジュールの構造を示す断面図である。

【図 1 9】第 3 の実施形態における液晶ドライバ I C の構成を概略的に示す平面図である。

【図 2 0】図 1 9 の E 部の近傍の拡大平面図である。

【図 2 1】液晶ドライバ I C を除いたときの第 3 の実施形態の液晶表示モジュールの構成を概略的に示す平面図である。

【図 2 2】F - F 断面における液晶表示モジュールの構造を示す断面図である。

【発明を実施するための形態】

【0012】

以下、図面を参照しながら本発明の実施形態を説明する。以下の説明に使用される図面においては、発明の理解を容易にするために、実際の構造体を簡略化して図示することがあり、また、図面上の寸法が実際の構造体の寸法を必ずしも反映していないことに留意されたい。また、以下の説明において、同一の構成要素には、同一又は対応する参照番号が付され、詳細な説明は省略することがあることに留意されたい。

【0013】

本発明の一実施形態では、集積回路モジュールが、ガラス基板と、該ガラス基板に表面実装によって実装された集積回路チップとを有している。集積回路チップには、電源ライン（電源電圧が供給されるライン、又は、接地電位に維持されるライン）が、特定の方向に延伸するように設けられている。該電源ラインには、バンプが接合される。

【0014】

本実施形態では、ガラス基板の集積回路チップに対向する面に導電体が形成される。該導電体はバンプを介して電源ラインに接合され、該導電体を用いて電源ラインの実効的な抵抗が低減される。このような構成により、本実施形態の集積回路モジュールは、コストを抑制しながら電源ラインの実効的な抵抗を低減することができる。以下、本発明の様々な実施形態について具体的に説明する。

【0015】

（第 1 の実施形態）

図 1 は、本発明の第 1 の実施形態の集積回路モジュールの構成を示す平面図である。第 1 の実施形態の集積回路モジュールは、液晶表示モジュール 1 として構成されている。液晶表示モジュール 1 は、ガラス基板 2、3 と、液晶ドライバ I C 4 とを備えている。

【0016】

ガラス基板 2、3 は、スペーサを介して互いに対向して接合されており、液晶表示パネルを構成している。ガラス基板 2 には、ソース線（信号線、データ線とも呼ばれる）、ゲート線（走査線、ディジット線とも呼ばれる）、薄膜素子（例えば、TFT（thin film transistor）を含む画素、及び、ゲート線を駆動する GIP（gate in panel）回路が集積化される。一方、ガラス基板 3 には、対向電極（共通電極とも呼ばれる）が形成されており、ガラス基板 3 は、対向電極が形成された面においてガラス基板 2 に対向している。ガラス基板 2、3 の間には液晶が充填される。

10

20

30

40

50

【0017】

液晶ドライバIC4は、集積回路が集積化されたICチップである。液晶ドライバIC4には、ガラス基板2に形成されたソース線を駆動する回路や、GIP回路を制御する回路等の様々な回路が集積化されている。液晶ドライバIC4は、表面実装によって（本実施形態では、フリップチップ接続によって）ガラス基板2に搭載されている。なお、ガラス基板2にGIP回路が形成されず、ゲート線を駆動する回路が液晶ドライバIC4に集積化されてもよい。

【0018】

図2は、液晶ドライバIC4の構成を概略的に示す平面図である。本実施形態では、液晶ドライバIC4は、長辺4aと、長辺4aに垂直な短辺4bとを有する矩形状に形成されている。以下において、長辺4aに平行な方向を長辺方向、短辺4bに平行な方向を短辺方向ということがある。

10

【0019】

液晶ドライバIC4は、ソース出力回路11と、ソース出力端子12と、VDDライン13と、VDD端子14と、パンプ15とを備えている。ソース出力回路11は、その出力がソース出力端子12に接続されており、対応するソース出力端子12に接続されたソース線を駆動する。ソース出力回路11及びソース出力端子12は、一方の長辺4aに沿って長辺方向に並んで配置されている。

【0020】

ソース出力端子12は、ソース出力パッド12aとパンプ12bとを備えている。ソース出力パッド12aは、ソース出力回路11の出力に接続されており、パンプ12bは、ソース出力パッド12aに接合されている。ソース出力パッド12aは、液晶ドライバIC4の最上層の金属配線層（即ち、液晶ドライバIC4がガラス基板2に搭載されたときに、ガラス基板2に最も近接して位置する金属配線層）に位置している。

20

【0021】

VDDライン13は、外部装置からVDD端子14に供給された電源電圧を各ソース出力回路11に供給する。本実施形態では、VDDライン13に、2つのVDD端子14が配線16を介して接続されている。本実施形態では、VDDライン13が長辺方向に延伸して設けられている。VDDライン13は、液晶ドライバIC4の最上層の金属配線層に位置している。

30

【0022】

VDD端子14は、VDDパッド14aとパンプ14bとを備えている。VDDパッド14aは、配線16に接続されており、パンプ14bは、VDDパッド14aに接合されている。VDDパッド14aは、液晶ドライバIC4の最上層の金属配線層に設けられる。

【0023】

VDDライン13には、適宜の間隔でパンプ15が接合されている。後に詳細に説明するように、パンプ15は、ガラス基板2にVDDライン13に平行に形成された配線（本実施形態では、ITO配線）に接続され、VDDライン13の実効的な抵抗を低減するために用いられる。

40

【0024】

図3は、液晶表示モジュール1から液晶ドライバIC4を除いたときの液晶表示モジュール1の構造を概略的に示す平面図である。ここで、図3の破線4cは、液晶ドライバIC4が搭載される位置を示している。ガラス基板2の液晶ドライバIC4に対向する面には、VDD端子接続配線31と、VDDライン裏打ち配線32と、ソース線接続配線33とが形成されている。VDD端子接続配線31は、液晶ドライバIC4がガラス基板2に搭載されたときにVDD端子14に接続される配線であり、外部装置から供給された電源電圧をVDD端子14に供給する。

【0025】

VDDライン裏打ち配線32は、液晶ドライバIC4のパンプ15に接合される配線で

50

ある。VDDライン裏打ち配線32は、液晶ドライバIC4がガラス基板2に搭載されたときに、VDDライン13が延伸する向きに平行になるような方向に延伸するように形成されている。

【0026】

ソース線接続配線33は、ガラス基板2のソース線に接続されており（ソース線は、ガラス基板2のガラス基板3に対向する部分に形成されることに留意されたい）、液晶ドライバIC4がガラス基板2に搭載されたときにソース出力端子12に接続される配線である。

【0027】

本実施形態では、VDD端子接続配線31、VDDライン裏打ち配線32及びソース線接続配線33が、ITO（酸化インジウムスズ：indium tin oxide）配線として形成される。ITO配線は、現在、ガラス基板の表面に形成される配線の材料として最も広く用いられている材料の一つである。ただし、他の導電性材料、例えば、他の導電性酸化物や金属材料が、VDD端子接続配線31、VDDライン裏打ち配線32及びソース線接続配線33として用いられても良い。

【0028】

なお、図3には、ガラス基板2に形成されている配線の一部のみが概略的に図示されていることに留意されたい。ガラス基板2には、例えば、液晶ドライバIC4の信号入力端子に信号を供給する配線や液晶ドライバIC4からガラス基板2に形成されたGIP回路に制御信号を供給する配線等も形成され得る。

【0029】

図4、図5は、液晶ドライバIC4をガラス基板2に搭載したときの液晶表示モジュール1の構造を概略的に示す断面図である。図4は、図1、図2におけるA-A断面における液晶表示モジュール1の構造を示しており、図5は、図1、図2におけるB-B断面における構造を示している。ここで、A-A断面は、ソース出力端子12を通る断面とVDD端子14を通る断面とを合成した断面であることに留意されたい。また、図4において、符号3aは、ガラス基板2、3を対向させて接合するスペーサを示している。

【0030】

液晶ドライバIC4は、ガラス基板2に、表面実装によって（本実施形態では、フリップチップ接続によって）搭載される。詳細には、液晶ドライバIC4のVDD端子14の bumps 14bがガラス基板2の上に形成されたVDD端子接続配線31に接合され、ソース出力端子12の bumps 12bが、ソース線接続配線33に接合されている。更に、VDDライン13に接合された bumps 15が、VDDライン裏打ち配線32に接合されている。この結果、図5に図示されているように、VDDライン裏打ち配線32が、VDDライン13に並列に接続されることになる。

【0031】

このような構成の液晶表示モジュール1の利点は、VDDライン13の実効的な抵抗を低減できることである。本実施形態の液晶表示モジュール1では、VDDライン13が bumps 15を介してVDDライン裏打ち配線32に接合されている。即ち、VDDライン裏打ち配線32がVDDライン13に電氣的に並列に接続される。このため、VDDライン13の実効的な抵抗を低減することができる。これは、VDDライン13の抵抗に起因する電源電圧の電圧降下を抑制するために有効である。

【0032】

上記の実施形態では、ガラス基板2に形成された配線を用いて電源ラインの実効的な抵抗を低減する手法が電源電圧をソース出力回路11に供給するVDDライン13に適用されているが、当該手法は、接地電位に固定される電源ライン（以下では、「GNDライン」と呼ぶ。）に適用されても良い。GNDラインの抵抗の低減は、液晶ドライバIC4内における接地電位の変動を抑制するために好適である。

【0033】

図6、図7、図8は、ガラス基板2に形成された配線を用いてGNDラインの実効的な

10

20

30

40

50

抵抗を低減する手法が採用された場合の液晶表示モジュール1の変形例の構造を示す図である。詳細には、図6は、液晶表示モジュール1の液晶ドライバIC4の構造を示す平面図であり、図7は、液晶ドライバIC4を取り除いたときの液晶表示モジュール1の構造を示す平面図であり、図8は、図6、図7のA'-A'断面における液晶表示モジュール1の構造を示す断面図である。ここで、A'-A'断面は、ソース出力端子12を通る断面とGND端子18を通る断面とを合成した断面であることに留意されたい。

【0034】

図6に図示されているように、液晶ドライバIC4には、VDDライン13とVDD端子14と共に、GNDライン17とGND端子18とが設けられる。GNDライン17は、回路接地を提供するために用いられる電源ラインであり、接地電位に維持される。本実施形態では、GNDライン17に、2つのGND端子18が配線21を介して接続されている。本実施形態では、GNDライン17は、液晶ドライバIC4の長辺方向に（即ち、VDDライン13と平行な方向に）延伸して設けられている。GNDライン17は、液晶ドライバIC4の最上層の金属配線層に位置している。GNDライン17には、適宜の間隔でバンプ19が接合されている。

10

【0035】

GND端子18は、GNDパッド18aとバンプ18bとを備えている。GNDパッド18aは、配線21に接続されており、バンプ18bは、GNDパッド18aに接合されている。GNDパッド18aは、液晶ドライバIC4の最上層の金属配線層に位置している。

20

【0036】

また、図7に図示されているように、ガラス基板2には、VDD端子接続配線31とVDDライン裏打ち配線32に加え、GND端子接続配線34とGNDライン裏打ち配線35とが形成される。GND端子接続配線34は、液晶ドライバIC4がガラス基板2に搭載されたときにGND端子18に接続される配線であり、外部装置によって接地電位に維持される。即ち、GND端子接続配線34は、GND端子18を接地電位に維持するために用いられる配線である。

【0037】

GNDライン裏打ち配線35は、GNDライン17に接続されたバンプ19に接合される配線である。GNDライン裏打ち配線35は、液晶ドライバIC4がガラス基板2に搭載されたときに、GNDライン17が延伸する向きに平行になるような方向に延伸するように形成されている。

30

【0038】

GND端子接続配線34とGNDライン裏打ち配線35は、VDD端子接続配線31とVDDライン裏打ち配線32と同様に、ITO（酸化インジウムスズ：indium tin oxide）配線として形成されてもよい。ただし、他の導電性材料、例えば、他の導電性酸化物や金属材料が、GND端子接続配線34及びGNDライン裏打ち配線35として用いられても良い。

【0039】

液晶ドライバIC4がガラス基板2に搭載されると、図8に示されているように、GND端子18のバンプ18bがガラス基板2の上に形成されたGND端子接続配線34に接合され、更に、GNDライン17に接合されたバンプ19が、GNDライン裏打ち配線35に接合される。この結果、GNDライン裏打ち配線35が、GNDライン17に電氣的に並列に接続されることになる。

40

【0040】

このような構成によれば、VDDライン13に加え、GNDライン17の実効的な抵抗を低減することができる。上述のように、GNDライン17の実効的な抵抗を低減することは、液晶ドライバIC4内における接地電位の変動を抑制するために好適である。

【0041】

なお、図1～図8には、VDD端子14が、配線16によってVDDライン13の両端

50

に接続されている構造が図示されているが、VDD端子14がVDDライン13に接続される位置は、様々に変更可能である。例えば、図9に示されているように、VDD端子14が、液晶ドライバIC4の長辺4aの中央付近に位置し、配線16を介してVDDライン13の midpoint の付近に接続されてもよい。この場合、図10に示されているように、VDD端子接続配線31の位置は、VDD端子14の位置に合わせて変更され、液晶ドライバIC4の長辺4aの中央付近に配置される。GND端子18及びGND端子接続配線34についても同様である。

【0042】

また、上述の実施形態では、外部装置から供給された電源電圧がVDDライン13に供給されているが、液晶ドライバIC4の内部で生成された電源電圧がVDDライン13に供給される構成でもよい。図11は、このような構成の液晶ドライバIC4の構成を示す平面図である。図11の構成では、液晶ドライバIC4は、レギュレータ22を備えている。レギュレータ22は、VDD端子14に供給された電源電圧から内部電源電圧を生成し、VDDライン13に供給する。VDDライン13に供給された内部電源電圧は、ソース出力回路11に供給されてソース線の駆動に使用される。

10

【0043】

また、上記の実施形態では、ガラス基板2の上に形成された配線を用いて電源ラインの実効的な抵抗を低減する手法が、ソース出力回路11に電源電圧を供給するVDDライン13及び/又は接地電位を供給するGNDライン17に適用されているが、当該手法は、他の回路に電源電圧又は回路接地を供給する電源ラインに適用されてもよい。

20

【0044】

(第2の実施形態)

図12、図13、図14は、第2の実施形態の液晶表示モジュール1Aの構造を示す図である。詳細には、図12は、液晶表示モジュール1Aの液晶ドライバIC4Aの構造を示す平面図であり、図13は、液晶ドライバIC4Aを取り除いたときの液晶表示モジュール1Aの構造を示す平面図であり、図14は、図12、図13のA-A断面における液晶表示モジュール1Aの構造を示す断面図である。

【0045】

液晶ドライバICその他の集積回路では、複数の電源ラインが並行して配置されることがある。このような場合には、電源ラインを適宜の間隔で短絡することで、電源ラインの実効的な抵抗が低減される。しかしながら、回路接続に用いる配線が存在する等の集積回路のレイアウト上の理由で、並行して配置された電源ラインを集積回路の内部において互いに接続できない場合がある。これは、電源ラインの実効的な抵抗を増大させてしまう。第2の実施形態においては、ガラス基板2の上に形成された配線が複数の電源ラインを短絡するシャント配線として用いられ、これにより、電源ラインの実効的な抵抗が低減される。以下、第2の実施形態の液晶表示モジュール1Aの構造について詳細に説明する。

30

【0046】

図12に図示されているように、第2の実施形態の液晶ドライバIC4Aの構成は、第1の実施形態の液晶ドライバIC4とほぼ同様であるが、複数の、より具体的には2本のVDDライン13A、13Bが長辺方向に延伸して設けられている点で相違している。VDDライン13A、13Bは、外部装置からVDD端子14に供給された電源電圧を各ソース出力回路11に供給する。VDDライン13A、13Bは、液晶ドライバIC4の最上層の金属配線層に位置している。VDDライン13Aには、バンプ15Aが適宜の間隔で設けられており、VDDライン13Bには、バンプ15Bが適宜の間隔で設けられている。一つのバンプ15Aと一つのバンプ15Bとで一つのバンプ対が構成されており、一つのバンプ対のバンプ15A、15Bは、互いに近接して設けられている。

40

【0047】

一方、図13に図示されているように、ガラス基板2の上には、VDD端子接続配線31、ソース線接続配線33に加え、VDDシャント配線36が設けられる。各VDDシャント配線36は、一つのバンプ対のバンプ15A、15Bに対応する位置に設けられてい

50

る。

【0048】

VDDシャント配線36は、VDD端子接続配線31とVDDライン裏打ち配線32と同様に、ITO（酸化インジウムスズ：indium tin oxide）配線として形成されてもよい。ただし、他の導電性材料、例えば、他の導電性酸化物や金属材料が、VDDシャント配線36として用いられても良い。

【0049】

図14に図示されているように、液晶ドライバIC4がガラス基板2に搭載されると、各VDDシャント配線36は、対応するバンク対のバンク15A、15Bに接合される。その結果、VDDライン13A、13Bは、バンク15A、15B及びVDDシャント配線36によって短絡される。このような構成によれば、VDDライン13A、13Bを適宜の間隔で短絡することができ、VDDライン13A、13Bの実効的な抵抗を低減することができる。

10

【0050】

このような技術は、複数のVDDラインとGNDラインとが交互に配置された場合に、VDDラインを互いに短絡し、GNDラインを互いに短絡する場合にも適用できる。図15、図16、図17、図18は、このような構成の液晶表示モジュール1Aの構造の例を示す図である。詳細には、図15は、液晶表示モジュール1Aの液晶ドライバIC4Aの構造を示す平面図であり、図16は、液晶ドライバIC4を取り除いたときの液晶表示モジュール1の構造を示す平面図である。また、図17は、図15、図16のC-C断面における液晶表示モジュール1Aの構造を示す断面図であり、図18は、図15、図16のD-D断面における液晶表示モジュール1Aの構造を示す断面図である。

20

【0051】

図15に図示されているように、液晶ドライバIC4Aには、2本のVDDライン13A、13Bと2本のGNDライン17A、17Bとが交互に配置されている。VDDライン13A、13B、及びGNDライン17A、17Bは、いずれも、液晶ドライバIC4Aの長辺方向に延伸して設けられており、液晶ドライバIC4の最上層の金属配線層に位置している。2本のVDDライン13A、13Bの両端は、配線16によってVDD端子14に電氣的に接続されている。また、GNDライン17Aの両端は、配線23によってGNDライン17Bに電氣的に接続され、GNDライン17Bの両端は、配線21によってGND端子18に電氣的に接続されている。ここで、配線23は、上から2番目の金属配線層に位置しており、配線23とGNDライン17A、17Bとは、ピアコンタクトを介して電氣的に接続される。

30

【0052】

VDDライン13Aには、バンク15Aが適宜の間隔で設けられており、VDDライン13Bには、バンク15Bが適宜の間隔で設けられている。一つのバンク15Aと一つのバンク15Bとで一つのバンク対が構成されており、一つのバンク対のバンク15A、15Bは、互いに近接して設けられている。

【0053】

同様に、GNDライン17Aには、バンク19Aが適宜の間隔で設けられており、GNDライン17Bには、バンク19Bが適宜の間隔で設けられている。一つのバンク19Aと一つのバンク19Bとで一つのバンク対が構成されており、一つのバンク対のバンク19A、19Bは、互いに近接して設けられている。

40

【0054】

一方、図16に図示されているように、ガラス基板2の上には、VDD端子接続配線31、ソース線接続配線33、及び、GND端子接続配線34に加え、VDDシャント配線36とGNDシャント配線37とが設けられる。各VDDシャント配線36は、一つのバンク対のバンク15A、15Bに対応する位置に設けられている。同様に、各GNDシャント配線37は、一つのバンク対のバンク19A、19Bに対応する位置に設けられている。一実施形態では、VDDシャント配線36とGNDシャント配線37は、ITO（酸

50

化インジウムスズ：indium tin oxide) 配線として形成されてもよい。ただし、他の導電性材料、例えば、他の導電性酸化物や金属材料が、VDDシャント配線36とGNDシャント配線37として用いられても良い。

【0055】

図17に図示されているように、液晶ドライバIC4Aがガラス基板2に搭載されると、各VDDシャント配線36は、対応するバンク対のバンク15A、15Bに接合される。その結果、VDDライン13A、13Bは、バンク15A、15B及びVDDシャント配線36によって短絡される。このような構成によれば、VDDライン13A、13Bを適宜の間隔で短絡することができ、VDDライン13A、13Bの実効的な抵抗を低減することができる。

10

【0056】

同様に、図18に図示されているように、液晶ドライバIC4Aがガラス基板2に搭載されると、各GNDシャント配線37は、対応するバンク対のバンク19A、19Bに接合される。その結果、GNDライン17A、17Bは、バンク19A、19B及びGNDシャント配線37によって短絡される。このような構成によれば、GNDライン17A、17Bを適宜の間隔で短絡することができ、GNDライン17A、17Bの実効的な抵抗を低減することができる。

【0057】

(第3の実施形態)

図19、図20、図21及び図22は、第3の実施形態の液晶表示モジュール1Bの構造を示す図である。詳細には、図19は、液晶表示モジュール1Bの液晶ドライバIC4Bの構造を示す平面図であり、図20は、図19のE部の近傍の拡大図である。また、図21は、液晶ドライバIC4Bを取り除いたときの液晶表示モジュール1Bの構造を示す平面図であり、図22は、図19、図20、図21に図示されたF-F断面における液晶表示モジュール1Bの構造を示す断面図である。

20

【0058】

第3の実施形態においては、液晶ドライバIC4Bの短辺方向に延伸する電源ラインの実効的な抵抗を低減するための構造が提供される。詳細には、図19及び図20に図示されているように、第3の実施形態では、VDDライン13とGNDライン17とが、液晶ドライバIC4Bの長辺方向に延伸するように設けられる。VDDライン13とGNDライン17とは、液晶ドライバIC4Bの最上層の金属配線層に設けられる。

30

【0059】

また、液晶ドライバIC4Bの短辺方向に、VDDライン24が延伸されている。VDDライン24は、上から2番目の金属配線層(即ち、液晶ドライバIC4がガラス基板2に搭載されたときに、ガラス基板2に2番目に近接して位置する金属配線層)に設けられる。

【0060】

留意すべきことは、集積回路のプロセスによっては、最上層の金属配線層の配線の膜厚が厚く、最上層の金属配線層よりも下層の金属配線層に位置する配線の膜厚が薄い場合がある点である。このような場合には、下層の金属配線層に位置する配線の抵抗が、最上層の金属配線層に位置する配線の抵抗よりも増大し、そのような配線が電源ラインとして用いられた場合には、電源ラインの抵抗が十分に低減できないことがある。第3の実施形態の液晶ドライバIC4Bについていえば、長辺方向に延伸するVDDライン13及びGNDライン17が最上層の金属配線層に設けられる場合、上から2番目の金属配線層に位置し、短辺方向に延伸するVDDライン24の抵抗が十分に低減できないことがある。第3の実施形態では、このような状況においてVDDライン24の実効的な抵抗を低減するための技術が提供される。以下、第3の実施形態における液晶ドライバIC4Bの構造について詳細に説明する。

40

【0061】

図22を参照して、VDDライン24は、長辺方向に延伸するVDDライン13にピア

50

コンタクト 27 を介して接続されており、VDDライン 13 から電源電圧を供給される。更に、VDDライン 24 の両方の端部に対向するように、ランド 25 A、25 B が設けられる。ランド 25 A、25 B は、最上層の金属配線層に位置している。ランド 25 A、25 B は、それぞれ、ピアコンタクト 28 A、28 B を介して VDDライン 24 に接続されている。ランド 25 A、25 B には、それぞれ、バンプ 26 A、26 B が接合されている。

【0062】

一方、図 21 に図示されているように、ガラス基板 2 の上には、VDDライン裏打ち配線 38 が設けられる。VDDライン裏打ち配線 38 は、液晶ドライバ IC 4 B のバンプ 26 A、26 B に接合される配線である。VDDライン裏打ち配線 38 は、液晶ドライバ IC 4 B がガラス基板 2 に搭載されたときに、VDDライン 24 が延伸する向きに平行になるような方向に延伸するように形成されている。一実施形態では、VDDライン裏打ち配線 38 は、ITO (酸化インジウムスズ: indium tin oxide) 配線として形成されてもよい。ただし、他の導電性材料、例えば、他の導電性酸化物や金属材料が、VDDライン裏打ち配線 38 として用いられても良い。

10

【0063】

図 22 を再度に参照して、液晶ドライバ IC 4 B がガラス基板 2 に搭載されると、ランド 25 A、25 B に接合されたバンプ 26 A、26 B が、VDDライン裏打ち配線 38 に接合される。この結果、VDDライン裏打ち配線 38 が、VDDライン 24 に並列に接続されることになる。このような構造によれば、最上層の金属配線層でない金属配線層 (本実施形態では、上から 2 番目の金属配線層) に位置し、短辺方向に延伸する VDDライン 24 の実効的な抵抗を低減することができる。上述のように、VDDライン 24 の実効的な抵抗を低減することは、VDDライン 24 の抵抗に起因する電源電圧の電圧降下を抑制するために有効である。

20

【0064】

同様の手法は、最上層の金属配線層でない金属配線層 (本実施形態では、上から 2 番目の金属配線層) に位置し、短辺方向に延伸する GNDラインの実効的な抵抗を低減するためにも用いられ得る。

【0065】

以上には、本発明の実施形態が様々に記載されているが、本発明は、上記の実施形態に限定されない。本発明が、様々な変更と共に実施され得ることは、当業者には自明的であろう。

30

【0066】

例えば、上記の実施形態では液晶表示モジュールとして構成された集積回路モジュールについて記述されているが、本発明は、ガラス基板と、該ガラス基板に表面実装によって実装された集積回路チップとを有する集積回路モジュールに一般的に適用可能である。特に、本発明は、他の表示パネル (例えば、有機 EL (electroluminescence) 表示パネル) を備えた表示モジュールにも適用可能である。

【符号の説明】

【0067】

- 1、1 A、1 B : 液晶表示モジュール
- 2、3 : ガラス基板
- 4、4 A、4 B : 液晶ドライバ IC
- 4 a : 長辺
- 4 b : 短辺
- 4 c : 破線
- 11 : ソース出力回路
- 12 : ソース出力端子
- 12 a : ソース出力パッド
- 12 b : バンプ

40

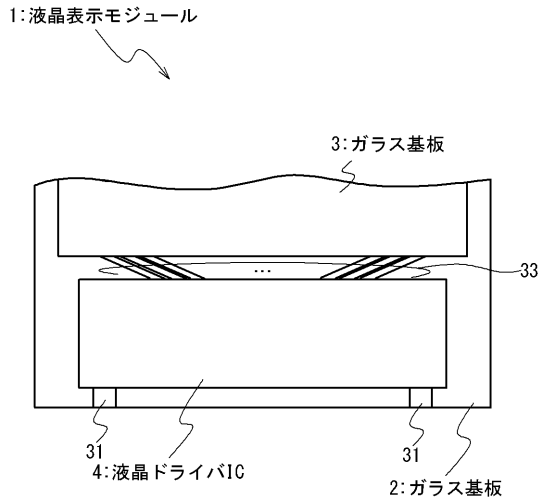
50

1 3、1 3 A、1 3 B : V D D ライン
1 4 : V D D 端子
1 4 a : V D D パッド
1 4 b : バンプ
1 5、1 5 A、1 5 B : バンプ
1 6 : 配線
1 7、1 7 A、1 7 B : G N D ライン
1 8 : G N D 端子
1 8 a : G N D パッド
1 8 b : バンプ
1 9、1 9 A、1 9 B : バンプ
2 1 : 配線
2 2 : レギュレータ
2 3 : 配線
2 4 : V D D ライン
2 5 A、2 5 B : ランド
2 6 A、2 6 B : バンプ
2 7 : ビアコンタクト
2 8 A、2 8 B : ビアコンタクト
3 1 : V D D 端子接続配線
3 2 : V D D ライン裏打ち配線
3 3 : ソース線接続配線
3 4 : G N D 端子接続配線
3 5 : G N D ライン裏打ち配線
3 6 : V D D シャント配線
3 7 : G N D シャント配線
3 8 : V D D ライン裏打ち配線

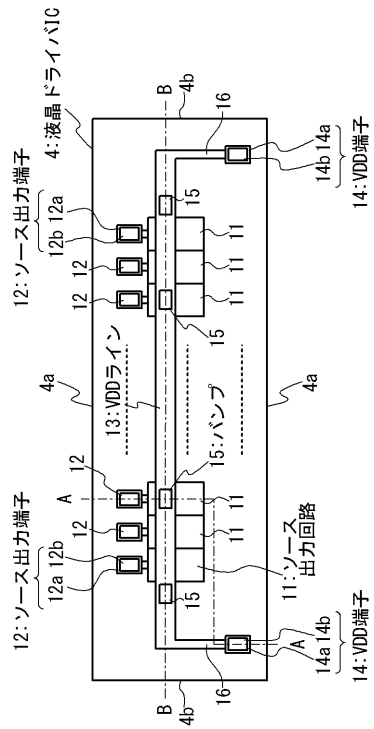
10

20

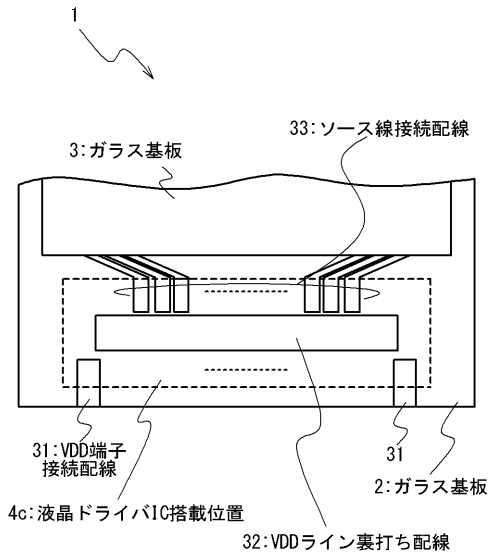
【 図 1 】



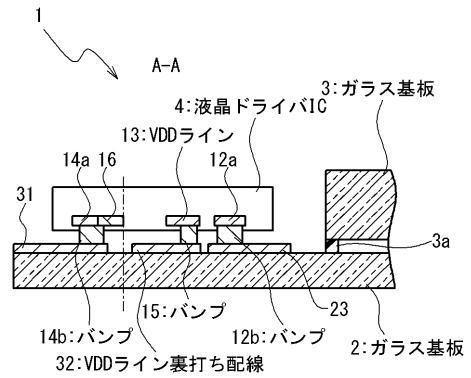
【 図 2 】



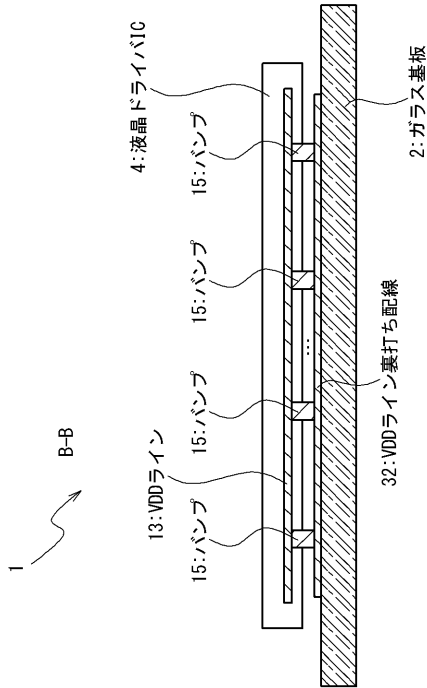
【 図 3 】



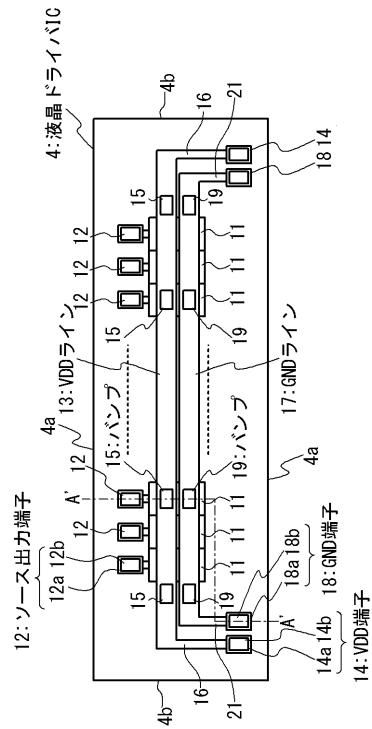
【 図 4 】



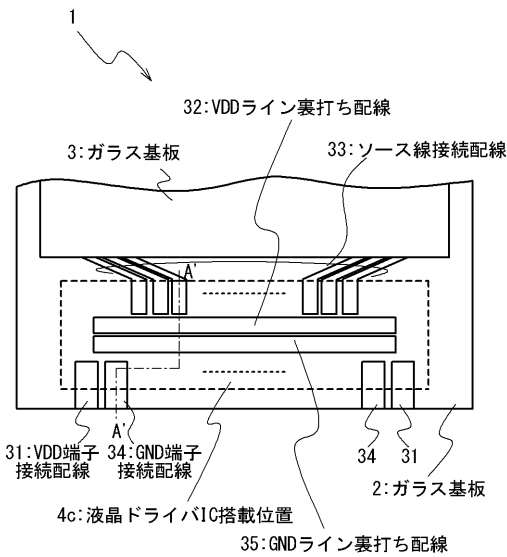
【 図 5 】



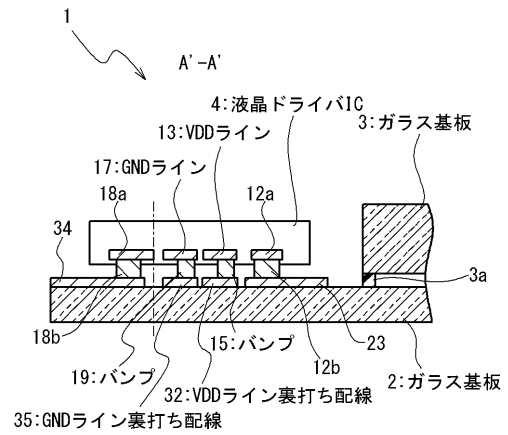
【 図 6 】



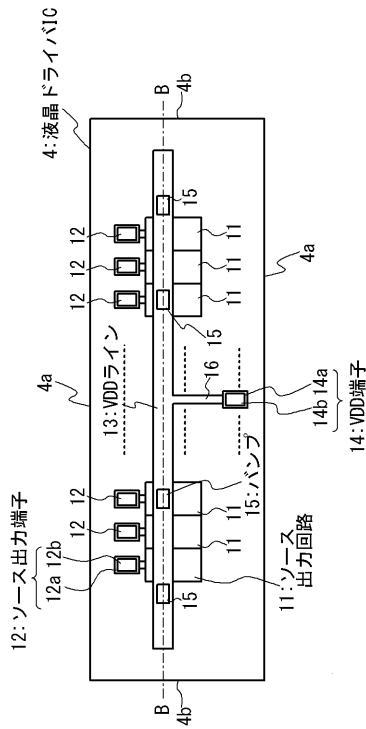
【 図 7 】



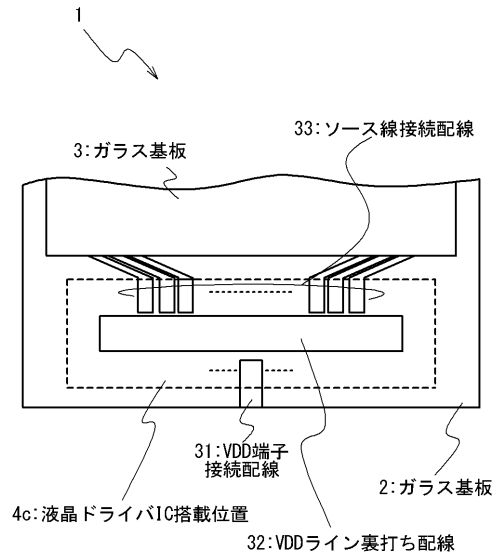
【 図 8 】



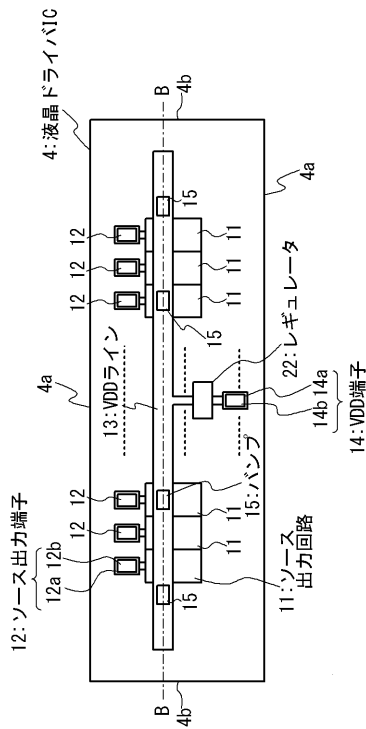
【 図 9 】



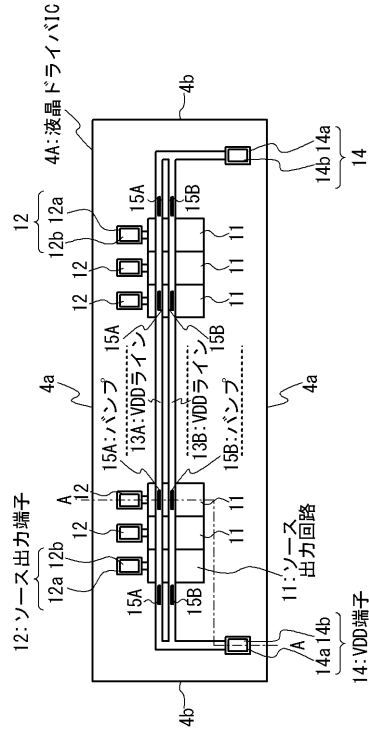
【 図 10 】



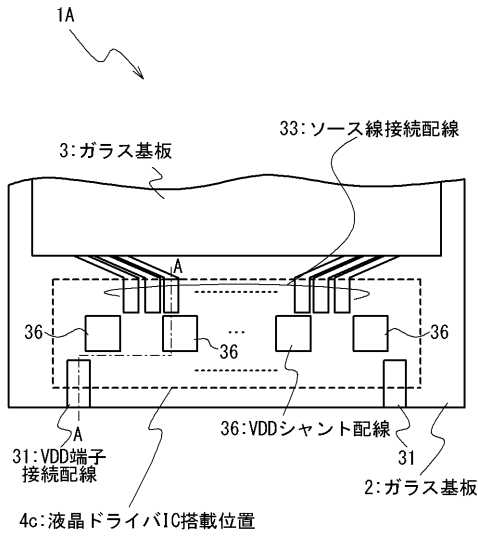
【 図 11 】



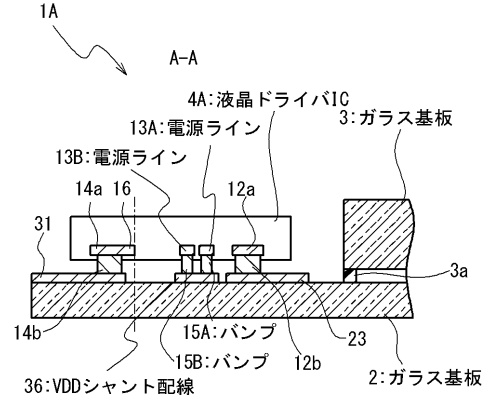
【 図 12 】



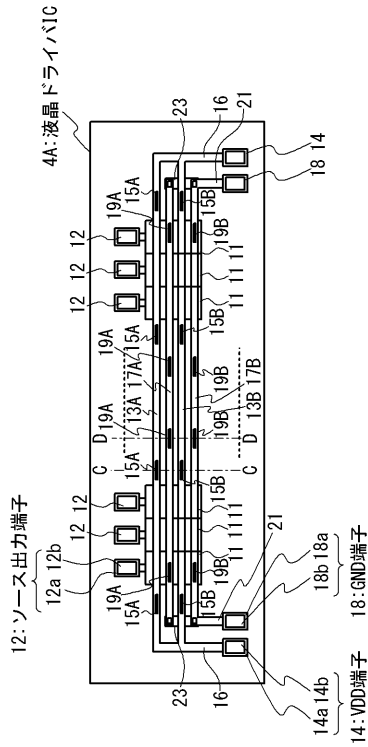
【図13】



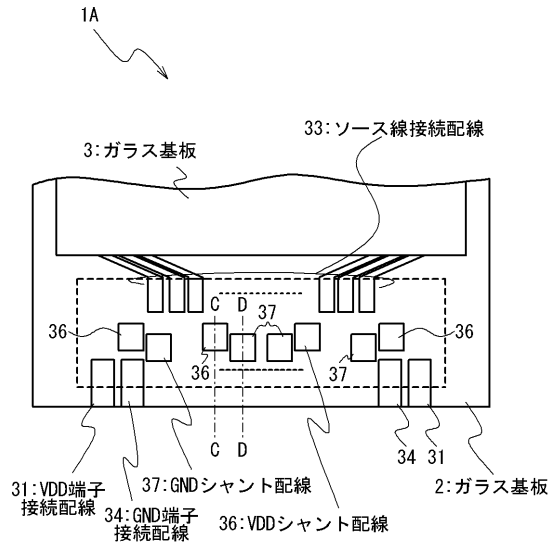
【図14】



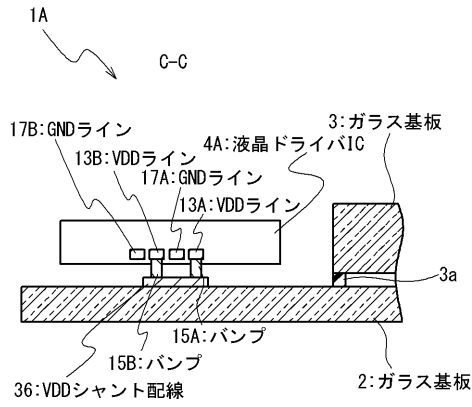
【図15】



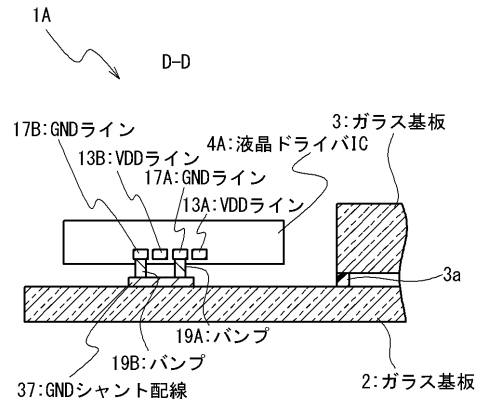
【図16】



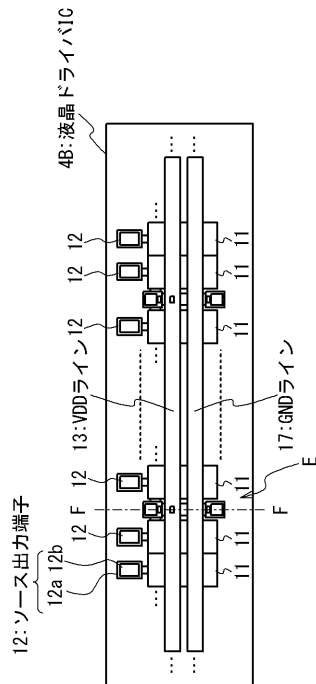
【図17】



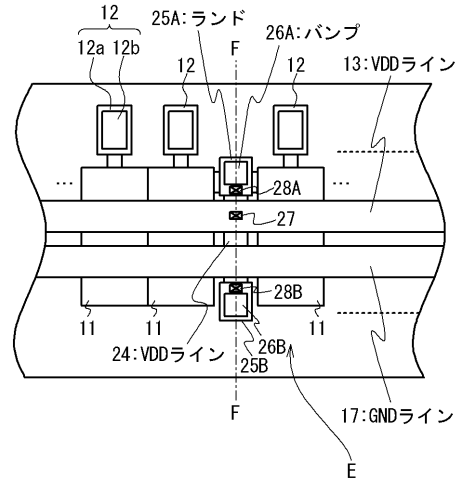
【図18】



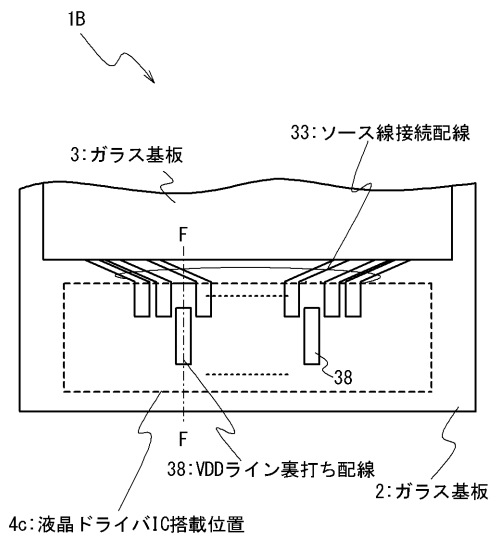
【図19】



【図20】



【図 2 1】



【図 2 2】

