

Beschreibung

[0001] Die vorliegende Erfindung bezieht sich auf eine Vorrichtung zum Erzeugen von Sendesignalen in einer Mobilfunkstation und insbesondere auf die Erzeugung von Verwürfelungscodes, die zum Verwürfeln von binären Signalen, die in physikalischen Kanälen eines Mobilfunksystems übertragen werden, verwendet werden, und die Erzeugung von Präambeln, die zur Steuerung des Zugriffs auf einen jeweiligen physikalischen Kanal in denselben gesendet werden.

[0002] Ein aktuelles Beispiel eines Mobilfunksystems ist das Universal Mobile Telecommunications System (UMTS). Die Basisarchitektur eines UMTS-Mobilfunksystems weist u. a. Mobilstationen (User Equipment (UE)) und ein Funkzugangnetz (UMTS Terrestrial Radio Access Network (UTRAN)) auf. Das Funkzugangnetz beinhaltet Einrichtungen zur Übertragung von Daten über Funk, wie z. B. Basisstationen, die bei UMTS-Mobilfunksystemen Node B genannt werden. Die Basisstationen versorgen jeweils einen bestimmten Bereich bzw. eine Zelle, in der sich Mobilstationen aufhalten können. Die Schnittstelle zwischen einer Mobilstation und einer Basisstation, deren Kommunikation drahtlos über Funk erfolgt, wird als Funkschnittstelle (Uu Interface) bezeichnet.

[0003] Im Folgenden sind Teile der technischen Spezifikation 3GPP TS 25.213, V5.4.0 (2003-09), Spreading and modulation (FDD), und der technischen Spezifikation 3GPP TS 25.211, V5.5.0 (2003-09), Physical channels and mapping of transport channels (FDD), des 3rd Generation Partnership Project (3GPP), Technical Specification Group Radio Access Network, wiedergegeben.

[0004] Bei einem UMTS-Mobilfunksystem werden zu sendende digitale Daten zunächst einer Kanalcodierung unterzogen. Die digitalen Daten werden dadurch mit einer Redundanz versehen und gegen eine fehlerhafte Übertragung über einen gestörten Mobilfunkkanal gesichert bzw. es wird eine Fehlerkorrektur beim jeweiligen Empfänger der Daten ermöglicht. Die digitalen Daten werden anschließend durch ein Vielfachzugriffsverfahren im Rahmen der verfügbaren Übertragungsbandbreite auf physikalische Kanäle verteilt. Schließlich werden die digitalen Daten digital moduliert, um über einen Mobilfunkkanal übertragen zu werden. Der Mobilfunkkanal wird durch ein Duplexverfahren für einen Sendebetrieb und einen Empfangsbetrieb aufgeteilt.

[0005] Im UMTS-Standard bzw. im 3GPP-Standard (Third Generation Partnership Project) wird als Vielfachzugriffsverfahren das Codevielfachzugriffsverfahren (CDMA; CDMA = Code Division Multiple Access) verwendet, bei dem ein zu übertragender bipolarer Daten-Bitstrom mit einer teilnehmerspezifischen bipolaren Codefolge bzw. einem Spreizcode multipliziert und gespreizt wird. Die Elemente des Spreizcodes nennt man Chips, um sie von den Bits des Daten-Bitstroms semantisch unterscheiden zu können. Chips sind im Prinzip nichts anderes als Bits. Durch die Multiplikation des Daten-Bitstroms mit dem Chipstrom entsteht wieder ein bipolarer Datenstrom. Allgemein ist die Rate des Chipstroms ein Vielfaches der Rate des Daten-Bitstroms und dieselbe ist durch die Länge des Spreizcodes, die durch einen Spreizfaktor (SF) angegeben ist, bestimmt. Der Spreizfaktor entspricht der Anzahl von Chips pro Bit. Bei konstanter Chiprate auf der Funk-Übertragungsstrecke zwischen Sendern und Empfängern ist die im Chipstrom dargestellte Daten-Bitrate nur vom Spreizfaktor des jeweiligen teilnehmerspezifischen Spreizcodes abhängig. Bei dem UMTS-Mobilfunksystem werden orthogonale Spreizcodes mit variablem Spreizfaktor (OVSF; OVSF = Orthogonal Variable Spreading Factor) verwendet, um variable Datenraten realisieren zu können. Die Datenrate kann dabei in einem Bereich von 32 kbit/s bis 2 Mbit/s schwanken.

[0006] Als Modulationsverfahren wird bei dem UMTS-Mobilfunksystem die Vierphasenumtastung (QPSK; QPSK = Quaternary Phase Shift Keying) angewendet, bei der jeweils zwei aufeinanderfolgende Chips einer zu übertragenden Chipfolge zu einem Chippaar zusammengefasst werden. Ein Chippaar wird jeweils auf ein Symbol eines durch einen realen Inphasezweig (I) und einen imaginären Quadraturzweig (Q) des QPSK-Modulationsverfahrens aufgespannten Symbolraums in der komplexen Ebene abgebildet, der vier Elemente aufweist. Aufgrund des vierwertigen Modulationsverfahrens werden pro Modulationsschritt je zwei Chips übertragen. Die Brutto-Chiprate ist daher doppelt so groß wie die Modulationsrate.

[0007] Zur Trennung von Sendesignalen und Empfangssignalen einer Basisstation oder einer Mobilstation bzw. zur Trennung der Aufwärtsstrecke (Uplink) von der Mobilstation zu der Basisstation und der Abwärtsstrecke (Downlink) von der Basisstation zu der Mobilstation können bei UMTS-Mobilfunksystemen das Zeitduplex-Verfahren (TDD; TDD = Time Division Duplex) oder das Frequenzduplex-Verfahren (FDD; FDD = Frequency Division Duplex) verwendet werden. Bei dem FDD-Verfahren senden und empfangen die Stationen in jeweils getrennten Frequenzbändern. Dabei ist das Sendeband der einen Station das Empfangsband der anderen Station und umgekehrt.

[0008] Das breitbandige Codevielfachzugriffsverfahren (WCDMA-Verfahren; WCDMA = Wideband Code Division Multiple Access) ist durch das ETSI (European Telecommunications Standard Institute) als Basis für die FDD-UMTS-Funkschnittstelle (Uu-Interface) gewählt worden, bei der ein Betrieb mit gleicher Datenrate in beiden Übertragungsrichtungen bzw. ein symmetrischer Aufwärts/Abwärts-Betrieb möglich ist. Gemäß dem UMTS-Standard werden Daten zwischen den Basisstationen und den Mobilstationen in Zeiträumen (Frames) übertragen. Jeder Zeiträumen weist jeweils 15 Zeitschlitz (Slots) auf, die jeweils 2560 Chips enthalten. Ein Zeiträumen hat eine Dauer von 10 ms, wobei somit ein Zeitschlitz eine Dauer von 666 μ s und ein Chip eine Dauer von etwa 0,2604 μ s aufweisen. Die Chiprate beträgt 38400 Chips pro Zeiträumen bzw. 3,84 MChips/s.

[0009] Das Vielfachzugriffsverfahren wenden alle Teilnehmer an, um mit einem teilnehmerspezifischen Spreizcode ihren Nutzdaten einen Fingerabdruck aufzuprägen, der es erlaubt, das gesendete Signal aus der Summe der empfangenen Signale wiederherzustellen. Im Empfänger kann man aus der empfangenen Chipfolge die Bits des Daten-Bitstroms wiedergewinnen, indem der Vorgang der Multiplikation wiederholt wird. Hierzu wird der Chipstrom mit demselben Spreizcode, der bereits im Sender verwendet wurde, erneut phasenrichtig multipliziert bzw. korreliert, woraus wieder der gesendete Daten-Bitstrom resultiert.

[0010] Verschiedene Daten-Bitströme, die ausgehend von einem Sender parallel übertragen werden sollen, werden in dem realen Inphasezweig und dem imaginären Quadraturzweig des QPSK-Modulationsverfahrens mit verschiedenen, orthogonalen Spreizcodes multipliziert und anschließend addiert. Das komplexe Summensignal erfährt anschließend noch eine Verwürfelung bzw. ein Scrambling, das durch eine chipweise und zeitraumenausgerichtete komplexe Multiplikation des Summensignals mit einem spezifischen komplexen Verwürfelungscode bzw. Scrambling-Code erfolgt. In dem FDD-Modus des UMTS-Mobilfunksystems ist der Verwürfelungscode stationsspezifisch, d. h. jede Basisstation und jede Mobilstation verwenden einen anderen Verwürfelungscode.

[0011] Der Verwürfelungscode dient im Gegensatz zum Spreizcode nicht zur Bandspreizung, sondern nur zur orthogonalen Codierung. Daher hat der Verwürfelungscode eine feste Länge von exakt 38400 Chips, was genau der Länge von einem Zeiträumen entspricht. Jeder dieser Zeiträumen wird mit einem zugewiesenen Verwürfelungscode chipweise multiplikativ codiert. Aufgrund des bei UMTS-Mobilfunksystemen verwendeten QPSK-Modulationsverfahrens werden zwei Bitströme gleichzeitig übertragen, wobei jeder Bitstrom getrennt codiert wird. Es existieren daher jeweils zwei Verwürfelungscodes, ein "realer" und ein "imaginärer" Verwürfelungscode für den Inphasezweig bzw. den Quadraturzweig des QPSK-Modulationsverfahrens. Es existieren ferner 2^{24} lange Verwürfelungscodes mit 38400 Chips und 2^{24} kurze Verwürfelungscodes mit 256 Chips.

[0012] Fig. 5 zeigt einen bekannten Generator zum Erzeugen von langen Verwürfelungscodes für die Aufwärtsstrecke. Die Chips der Verwürfelungscodes werden mit Schieberegistern erzeugt, wobei auf der Aufwärtsstrecke in jedem Schieberegister seriell geschaltete Register verwendet werden. Gesteuert durch ein Taktsignal mit 3,84 MHz, das der Chiprate von 3,84 MChip/s entspricht, werden jeweils Informationen von einem Ausgang eines Registers an einen Eingang eines nächsten Registers verschoben. Die Register sind über Modulo-2-Addierer (MOD2), z. B. Exklusiv-Oder-Gatter (XOR), rückgekoppelt.

[0013] Die langen Verwürfelungscodes $c_{\text{long},1,n}$ und $c_{\text{long},2,n}$ werden aus einer positionsweisen Modulo-2-Addition von 38400-Chip-Segmenten von zwei binären Codefolgen x und y , die mittels zwei Polynomen erzeugt werden, aufgebaut. Die x -Codefolge wird unter Verwendung eines Polynoms $X^{25} + X^3 + 1$ aufgebaut. Die y -Codefolge wird unter Verwendung eines Polynoms $X^{25} + X^3 + X^2 + X + 1$ aufgebaut. Die resultierenden Codefolgen bilden daher Segmente eines Satzes von Gold-Codefolgen. Der lange Verwürfelungscode $c_{\text{long},2,n}$ ist eine um 16777232 Chips verschobene Version des langen Verwürfelungscodes $c_{\text{long},1,n}$. Es ist $n_{23}, n_{22}, \dots, n_0$ die binäre 24-Bit-Darstellung der Verwürfelungscodenummer n , wobei n_0 das niederwertigste Bit (LSB; LSB = Least Significant Bit) und n_{23} das höchstwertigste Bit (MSB; MSB = Most Significant Bit) ist. Die x -Codefolge hängt von der ausgewählten Verwürfelungscodenummer n ab und wird als x_n bezeichnet. $x_n(i)$ und $y_n(i)$ bezeichnen das i -te Symbol der Codefolgen x_n bzw. y_n . Die Codefolgen x_n und y_n werden wie folgt aufgebaut.

[0014] Zu Beginn der Erzeugung des Verwürfelungscodes werden die Register mit vorgegebenen Bits initialisiert. Die Anfangsbedingungen lauten:

$$x_n(0) = n_0, x_n(1) = n_1, \dots, x_n(22) = n_{22}, x_n(23) = n_{23}, x_n(24) = 1. \quad (1)$$

$$y(0) = y(1) = \dots = y(23) = y(24) = 1 \quad (2)$$

[0015] Es gelten die folgenden rekursiven Definitionen von aufeinanderfolgenden Symbolen:

$$x_n(i + 25) = x_n(i + 3) + x_n(i) \text{ modulo } 2, i = 0, \dots, 2^{25} - 27. \quad (3)$$

$$y(i + 25) = y(i + 3) + y(i + 2) + y(i + 1) + y(i) \text{ modulo } 2, i = 0, \dots, 2^{25} - 27. \quad (4)$$

[0016] Die binäre Gold-Codefolge z_n ist definiert durch:

$$z_n(i) = x_n(i) + y(i) \text{ modulo } 2, i = 0, 1, 2, \dots, 2^{25} - 2 \quad (5)$$

[0017] Die reelle Gold-Codefolge Z_n ergibt sich zu:

$$Z_n(i) = \begin{cases} +1 & \text{wenn } z_n(i) = 0 \\ -1 & \text{wenn } z_n(i) = 1 \end{cases} \text{ für } i = 0, 1, \dots, 2^{25} - 2. \quad (6)$$

[0018] Die reellen langen Verwürfelungscodes $c_{\text{long},1,n}$ und $c_{\text{long},2,n}$ sind nun wie folgt definiert:

$$c_{\text{long},1,n} = Z_n(i), i = 0, 1, 2, \dots, 2^{25} - 2; \text{ und} \quad (7)$$

$$c_{\text{long},2,n} = Z_n((i + 16777232) \text{ modulo } (2^{25} - 1)), i = 0, 1, 2, \dots, 2^{25} - 2. \quad (8)$$

[0019] Der komplexe lange Verwürfelungscode ist schließlich definiert durch:

$$c_{\text{long},n}(i) = c_{\text{long},1,n}(i)(1 + j(-1)^{\lfloor i/2 \rfloor} c_{\text{long},2,n}(2\lfloor i/2 \rfloor)), \quad (9)$$

wobei $i = 0, 1, \dots, 2^{25} - 2$ ist und $\lfloor \cdot \rfloor$ den ganzzahligen Anteil der Zahl $i/2$ darstellt.

[0020] Fig. 6 zeigt einen bekannten Generator zum Erzeugen von kurzen Verwürfelungscodes für die Aufwärtsstrecke. Die kurzen Verwürfelungscodes $c_{\text{short},1,n}(i)$ und $c_{\text{short},2,n}(i)$ sind durch eine Codefolge aus der Familie der periodisch erweiterten S(2)-Codes definiert. Es ist $n_{23}, n_{22}, \dots, n_0$ die binäre 24-Bit-Darstellung der Verwürfelungscodenummer n . Die n -te quaternäre S(2)-Codefolge $z_n(i)$, $0 \leq n \leq 16777215$, wird durch eine Modulo-4-Addition (MOD4) von drei Codefolgen, einer quaternären Codefolge $a(i)$ und zwei binären Codefolgen $b(i)$ und $d(i)$, erhalten, wobei die Initialisierung der drei Codefolgen aus der Verwürfelungscodenummer n bestimmt wird. Die Codefolge $z_n(i)$ der Länge 255 wird gemäß der folgenden Beziehung erzeugt:

$$z_n(i) = a(i) + 2b(i) + 2d(i) \text{ modulo } 4, i = 0, 1, \dots, 254, \quad (10)$$

wobei die quaternäre Codefolge $a(i)$ rekursiv durch das Polynom $g_0(x) = x^8 + x^5 + 3x^3 + x^2 + 2x + 1$ mit

$$\begin{aligned} a(0) &= 2n_0 + 1 \text{ modulo } 4; \\ a(i) &= 2n_i \text{ modulo } 4, i = 1, 2, \dots, 7; \\ a(i) &= 3a(i-3) + a(i-5) + 3a(i-6) + 2a(i-7) + 3a(i-8) \\ &\text{ modulo } 4, i = 8, 9, \dots, 254; \end{aligned} \quad (11)$$

die binäre Codefolge $b(i)$ rekursiv durch das Polynom $g_1(x) = x^8 + x^7 + x^5 + x + 1$ mit

$$\begin{aligned} b(i) &= n_{8+i} \text{ modulo } 2, i = 0, 1, \dots, 7; \\ b(i) &= b(i-1) + b(i-3) + b(i-7) + b(i-8) \text{ modulo } 2, i = 8, 9, 254; \end{aligned} \quad (12)$$

und die binäre Codefolge $d(i)$ rekursiv durch das Polynom $g_2(x) = x^5 + x^7 + x^5 + x^4 + 1$ mit

$$\begin{aligned} d(i) &= n_{16+i} \text{ modulo } 2, i = 0, 1, \dots, 7; \\ d(i) &= d(i-1) + d(i-3) + d(i-4) + d(i-8) \text{ modulo } 2, i = 8, 9, 254; \end{aligned} \quad (13)$$

erzeugt wird. Die Codefolge $z_n(i)$ wird auf eine Länge von 256 Chips erweitert, indem $z_n(255) = z_n(0)$ gesetzt wird. Die Abbildung von $z_n(i)$ auf die reellen binären kurzen Verwürfelungscodes $c_{\text{short},1,n}(i)$ und $c_{\text{short},2,n}(i)$, mit $i = 0, 1, \dots, 255$ ist in der folgenden Tabelle 1 angegeben.

$z_n(1)$	$c_{\text{short},1,n}(i)$	$c_{\text{short},2,n}(i)$
0	+1	+1
1	-1	+1
2	-1	-1
3	+1	-1

Tabelle 1

[0021] Der komplexe kurze Verwürfelungscode $c_{\text{short},n}(i)$ ist definiert durch:

$$C_{\text{short},n}(i) = c_{\text{short},1,n}(i \bmod 256)(1 + j(-1)^i c_{\text{short},2,n}(2\lfloor (i \bmod 256)/2 \rfloor)) \quad (14)$$

wobei $i = 0, 1, 2, \dots$ ist und $\lfloor \cdot \rfloor$ den ganzzahligen Anteil der Zahl $(i \bmod 256)/2$ darstellt.

[0022] Auf der Aufwärtsstrecke (Uplink) werden Informationen von den Mobilstationen über eine Funkverbindung zu den Basisstationen übertragen. Die Informationen von verschiedenen Mobilstationen werden nach dem CDMA-Vielfachzugriffsverfahren codiert und in physikalischen Kanälen, die zu einem Funksignal zusammengefasst sind, über einen gemeinsamen Frequenzkanal bzw. Funkkanal zu den Basisstationen übertragen, mit denen die Mobilstationen in einem Funkkontakt stehen. In dem FDD-Modus ist ein physikalischer Kanal durch den Spreizcode und durch den Frequenzkanal definiert. Auf der FDD-Aufwärtsstrecke werden physikalische Kanäle zusätzlich auch durch die Phasenlage des Trägersignals unterschieden. Physikalische Kanäle verwenden daher entweder eine Cosinus- oder eine Sinus-Schwingung als Trägersignal. Dies wird dadurch realisiert, dass über den reellen Inphasezweig (I) des QPSK-Modulationsverfahrens ein anderer physikalischer Kanal übertragen wird als über den imaginären Quadraturzweig.

[0023] Man unterscheidet allgemein zwischen sogenannten dedizierten (dedicated) bzw. zweckgebundenen physikalischen Kanälen und gemeinsamen (common) physikalischen Kanälen. Ein dedizierter physikalischer Kanal wird exklusiv von einer Verbindung genutzt und wird beim Verbindungsaufbau und gegebenenfalls während der Verbindung neu zugewiesen. Gemeinsame physikalische Kanäle werden von mehreren Verbindungen gleichzeitig oder abwechselnd genutzt.

[0024] Physikalische Kanäle sind im FDD-Modus beispielsweise der dedizierte physikalische Datenkanal (DPDCH; DPDCH = Dedicated Physical Data Channel), der dedizierte physikalische Steuerkanal (DPCCH; DPCCH = Dedicated Physical Control Channel), der physikalische Zufallszugriffkanal (PRACH; PRACH = Physical Random Access Channel) und der gemeinsame physikalische Paketkanal (PCPCH; PCPCH = Physical Common Packet Channel). Neben den physikalischen Kanälen existieren im FDD-Modus ferner Indikator-Kanäle. Diese sind Ein- oder Zwei-Bit-Nachrichten, die mit einem Spreizcode gespreizt und zu einem bestimmten Zeitpunkt übertragen werden. Spreizcode, Frequenzkanal und Zeitpunkt charakterisieren einen Indikator-Kanal. Indikator-Kanäle dienen zum Benachrichtigen und zum Anzeigen bestimmter Ereignisse. Ein Beispiel eines Indikator-Kanals ist der Erfassungsanzeigekanal AICH; AICH = Acquisition Indication Channel).

[0025] Der dedizierte physikalische Datenkanal DPDCH existiert nur auf der Aufwärtsstrecke und dient zur Übertragung von codierten und verschachtelten Nutz- und Signalisierungsdaten aus höheren Schichten des UTRA-Protokollstapels. Zur Übertragung können ein oder parallel mehrere DPDCH verwendet werden. Werden mehr als ein DPDCH parallel genutzt, müssen alle DPDCH denselben Spreizfaktor aufweisen, wobei maximal sechs DPDCH parallel übertragen werden können. Dabei werden die DPDCH möglichst gleichmäßig auf den Inphase- und Quadratur-Zweig des QPSK-Modulationsverfahrens verteilt.

[0026] Der dedizierte physikalische Steuerkanal DPCCH ist ein physikalischer Kanal zur Steuerung der Datenübertragung zwischen Partnerinstanzen der physikalischen Schicht des UTRA-Protokollstapels für die Aufwärtsstrecke. Über denselben werden ausschließlich Informationen der physikalischen Schicht, z. B. Leistungssteuerungs-Befehle, Transportformat-Indikatoren oder Pilot-Bits übertragen. Zu jeder Schicht-1-Verbindung gehört genau ein DPCCH.

[0027] Der physikalische Zufallszugriffkanal PRACH dient dem Zufallszugriff und existiert nur auf der Aufwärtsstrecke. Über den PRACH werden Nachrichten des Zufallszugrifftransportkanals (RACH; RACH = Random Access Channel) des UTRA-Protokollstapels übertragen. Der RACH kann dabei sowohl zum Rufaufbau als auch zur Übertragung von kleinen Datenpaketen verwendet werden. Ein typischer Einsatzfall für den PRACH

ist beispielsweise die Anforderung von Funkressourcen eines Mobilfunksystems, wenn eine Mobilstation ein Telefongespräch einleitet. Da alle Mobilstationen einer Zelle den PRACH gemeinsam verwenden, um dem Mobilfunksystem mitzuteilen, dass Funkressourcen benötigt werden, muss mit einem bestimmten Verfahren sichergestellt werden, dass es beim Zugriff auf den PRACH nicht zu Kollisionen zwischen verschiedenen Mobilstationen kommt. Das Verfahren, das dies gewährleistet, ist das Slotted-ALOHA-Verfahren. Zufallszugriffe auf den PRACH können zu definierten Zeitpunkten, in Zugriffszeitschlitz (Access Slots), stattfinden. Ein Zugriffszeitschlitz entspricht der Dauer von 5120 Chips, das heißt, ein Zugriffszeitschlitz ist doppelt so lang wie ein normaler Zeitschlitz, wie beispielsweise für einen DPDCH. Innerhalb von 20 ms existieren 15 Zugriffszeitschlitz, die jeweils einen Zugriffskanal (Access Channel) definieren. Der Zufallszugriff teilt sich in eine Konkurrenzphase und eine Übertragungsphase auf. In der Konkurrenzphase greifen die Mobilstationen nach dem Slotted-ALOHA-Verfahren innerhalb eines Zugriffszeitschlitzes durch Senden einer PRACH-Präambel auf den PRACH zu. In der Übertragungsphase wird dann ein PRACH-Nachrichtenteil übertragen.

[0028] Der gemeinsame physikalische Paketkanal PCPCH dient schließlich zum Übertragen von Datenpaketen des gemeinsamen Pakettransportkanals (CPCH; CPCH = Common Packet Channel) des UTRA-Protokollstapels nach einem Trägererfassungsmehrfachzugriffsverfahren mit Kollisionserfassung (Carrier Sense Multiple Access with Collision Detection (CSMA/CD)). Die Mobilstation kann analog zu dem physikalischen Zufallszugriffkanal PRACH zu bestimmten Zugriffszeitschlitz mit der Übertragung in dem PCPCH beginnen. In welchem Zugriffszeitschlitz die Mobilstation senden darf hängt von der aktuellen Systemrahmennummer (SFN; SFN = System Frame Number) ab.

[0029] Der Verwürfelungscode zum Verwürfeln der physikalischen Kanäle DPCCH/DPDCH auf der Aufwärtsstrecke kann entweder ein langer oder ein kurzer Verwürfelungscode sein. Wenn der Verwürfelungscode erzeugt wird, werden unterschiedliche Codefolgen, die einen Bestandteil des Verwürfelungscode bilden, für den langen und den kurzen Verwürfelungscode, wie im Folgenden definiert, verwendet. Der n-te Aufwärtsstrecken-Verwürfelungscode für die physikalischen Kanäle DPCCH/DPDCH, der als $S_{dpch,n}$ bezeichnet wird, ist definiert als

$$S_{dpch,n(i)} = C_{long,n(i)}, \quad i = 0, 1, \dots, 38399, \quad (15)$$

wenn lange Verwürfelungscodes verwendet werden, und definiert als

$$S_{dpch,n(i)} = C_{short,n(i)}, \quad i = 0, 1, \dots, 38399, \quad (16)$$

wenn kurze Verwürfelungscodes verwendet werden. Der unterste Index i entspricht jeweils dem Chip, der zeitlich zuerst übertragen wird.

[0030] Für die Verwürfelung des physikalischen Kanals PRACH müssen Verwürfelungscodes zum Verwürfeln der PRACH-Nachrichtenteile und der PRACH-Präambeln des PRACH erzeugt werden. Der Verwürfelungscode, der für den Nachrichtenteil des physikalischen Kanals PRACH verwendet wird, ist 10 ms lang, und es gibt 8192 unterschiedliche definierte PRACH-Nachrichten-Verwürfelungscodes. Der n-te PRACH-Nachrichtenteil-Verwürfelungscode, der als $S_{r-msg,n}$ bezeichnet wird, wobei $n = 0, 1, \dots, 8191$, basiert auf dem langen Verwürfelungscode und ist definiert als

$$S_{r-msg,n(i)} = C_{long,n(i + 4096)}, \quad i = 0, 1, \dots, 38399; \quad (17)$$

wobei der unterste Index i dem Chip entspricht, der zeitlich zuerst übertragen wird. Der PRACH-Nachrichtenteil-Verwürfelungscode entspricht einem Verwürfelungscode, der für die PRACH-Präambel verwendet wird, bzw. dem PRACH-Präambel-Verwürfelungscode. Für einen PRACH wird die gleiche Verwürfelungscodenummer für beide Verwürfelungscodes verwendet, d. h. wenn der PRACH-Präambel-Verwürfelungscode $S_{r-pre,n}$ ist, dann ist der PRACH-Nachrichtenteil-Verwürfelungscode $S_{r-msg,n}$, wobei die Verwürfelungscodenummer n für beide Verwürfelungscodes gleich ist.

[0031] Die PRACH-Präambel $C_{pre,n}$ ist eine komplexe Folge. Dieselbe ist aus dem PRACH-Präambel-Verwürfelungscode $S_{r-pre,n}$ und einer PRACH-Präambel-Signatur $C_{sig,s}$ wie folgt aufgebaut:

$$C_{pre,n,s}(i) = S_{r-pre,n}(i) \times C_{sig,s}(i) \times e^{j\left(\frac{\pi}{4} + \frac{\pi}{2}i\right)}, \quad i = 0, 1, 2, 3, \dots, 4095;$$

(18)

wobei $i = 0$ dem Chip entspricht, der zeitlich zu erst übertragen wird.

[0032] Der PRACH-Präambel-Verwürfelungscode ist aus dem langen Verwürfelungscode aufgebaut. Es gibt insgesamt 8192 PRACH-Präambel-Verwürfelungscodes. Der n -te PRACH-Präambel-Verwürfelungscode, $n = 0, 1, \dots, 8191$, ist definiert als:

$$S_{r\text{-pre},n}(i) = C_{\text{long},1,n}(i), i = 0, 1, \dots, 4095. \quad (19)$$

[0033] Die PRACH-Präambel-Signatur besteht aus 256 Wiederholungen einer Signatur $P_s(n)$ mit einer Länge von 16 Chips, wobei $n = 0 \dots 15$. Dieselbe ist wie folgt definiert:

$$C_{\text{sig},s}(i) = P_s(i \text{ modulo } 16), i = 0, 1, \dots, 4095. \quad (20)$$

Die Signatur $P_s(n)$ mit der Signaturnummer s stammt aus einem Satz von 16 Hadamard-Codes der Länge 16. Es gibt daher pro Zugriffszeitschlitz 16 verschiedene PRACH-Präambeln mit jeweils 4096 Chips, so dass pro Zugriffszeitschlitz also 16 parallele Zugriffskanäle zur Verfügung stehen, mit denen Mobilstationen kollisionsfrei zugreifen können.

[0034] Eine Mobilstation, die auf den PRACH zugreifen möchte, wählt einen verfügbaren Zugriffszeitschlitz und dann eine der 16 PRACH-Präambeln aus. Anschließend wird die PRACH-Präambel mit einer niedrigen Sendeleistung übertragen und auf eine Quittung gewartet, die über den Indikator-Kanal AICH empfangen wird. Wird keine Quittung von der Basisstation empfangen oder empfängt die Mobilstation eine negative Quittung, so wählt sie einen neuen Zugriffszeitschlitz und eine neue PRACH-Präambel aus und überträgt dieselbe mit einer etwas höheren Sendeleistung. Dies wird bis zum Erreichen einer Maximalzahl von Versuchen so lange wiederholt, bis eine positive Quittung empfangen wird. Im Falle einer erfolgreichen Konkurrenzphase, d. h. einer positiven Quittung, überträgt die Mobilstation mit einer Verzögerung von drei oder vier Zeitschlitz ihre PRACH-Nachricht. Die PRACH-Nachrichten-Bits werden über den reellen Inphase-Zweig (I) des QPSK-Modulationsverfahrens übertragen.

[0035] Eine PCPCH-Zugriffsübertragung weist eine oder mehrere PCPCH-Zugriffspräambeln mit 4096 Chips, eine PCPCH-Kollisionserfassungspräambel mit 4096 Chips, eine PCPCH-Leistungssteuerpräambel mit einer Länge von entweder 0 oder 8 Zeitschlitz und einen PCPCH-Nachrichtenteil variabler Länge mit $N \times 10$ ms auf. Der Satz von Verwürfelungscodes, der für den PCPCH-Nachrichtenteil verwendet wird, ist 10 ms lang, zellspezifisch und jeder PCPCH-Nachrichtenteil-Verwürfelungscode entspricht der Signatur und dem Zugriffs-Teil-Kanal, der durch die PCPCH-Zugriffspräambel verwendet wird. Es können sowohl lange als auch kurze Verwürfelungscodes verwendet werden, um den PCPCH-Nachrichtenteil zu verwürfeln. Es gibt auf der Aufwärtsstrecke 64 Verwürfelungscodes, die pro Zelle definiert sind, und 32768 unterschiedliche PCPCH-Verwürfelungscodes, die in dem System definiert sind.

[0036] Wenn die langen Verwürfelungscodes verwendet werden, basiert der n -te PCPCH-Nachrichtenteil-Verwürfelungscode, der mit $S_{c\text{-msg},n}$ bezeichnet wird, wobei $n = 8192, 8193, \dots, 40959$, auf dem langen Verwürfelungscode und ist definiert als

$$S_{c\text{-msg},n}(i) = C_{\text{long},n}(i), i = 0, 1, \dots, 38399. \quad (21)$$

[0037] Wenn die kurzen Verwürfelungscodes verwendet werden, basiert der n -te PCPCH-Nachrichtenteil-Verwürfelungscode, der mit $S_{c\text{-msg},n}$ bezeichnet wird, wobei $n = 8192, 8193, \dots, 40959$, auf dem kurzen Verwürfelungscode und ist definiert als

$$S_{c\text{-msg},n}(i) = C_{\text{short},n}(i), i = 0, 1, \dots, 38399. \quad (22)$$

Der unterste Index i entspricht dem Chip, der zeitlich zuerst übertragen wird.

[0038] Der Verwürfelungscode für die PCPCH-Leistungssteuerpräambel ist gleich dem PCPCH-Nachrichtenteil-Verwürfelungscode. Die Phase des Verwürfelungscodes ist derart gewählt, dass das Ende des Codes mit der Zeitrahmengrenze an dem Ende der PCPCH-Leistungssteuerpräambel ausgerichtet ist.

[0039] Ähnlich zu den PRACH-Präambeln sind die PCPCH-Zugriffspräambeln $C_{c\text{-acc},n,s}$ komplexe Folgen. Die PCPCH-Zugriffspräambeln sind aus PCPCH-Präambel-Verwürfelungscodes $S_{c\text{-acc},n}$ und einer PCPCH-Präambel-Signatur $C_{\text{sig},s}$ wie folgt aufgebaut:

$$C_{c-acc,n,s}(i) = S_{c-acc,n}(i) \times C_{sig,s}(i) \times e^{j\left(\frac{\pi}{4} + \frac{\pi}{2}i\right)}, \quad i = 0, 1, 2, 3, \dots, 4095. \quad (23)$$

[0040] Der PCPCH-Zugriffspräambel-Verwürfelungscode ist aus den langen Verwürfelungscodes aufgebaut. Es gibt insgesamt 40960 PCPCH-Zugriffspräambel-Verwürfelungscodes. Der n-te PCPCH-Zugriffspräambel-Verwürfelungscode, wobei $n = 0, \dots, 40959$, ist definiert als:

$$S_{c-acc,n}(i) = c_{long,1,n}(i), \quad i = 0, 1, \dots, 4095. \quad (24)$$

[0041] Die PCPCH-Zugriffspräambel verwendet die gleichen 16 Signaturen wie beim PRACH, wobei beim PCPCH eine geringere Anzahl definierter Codefolgen genutzt werden kann als beim PRACH. Auch der PCPCH-Zugriffspräambel-Verwürfelungscode kann gleich dem PRACH-Präambel-Verwürfelungscode sein.

[0042] Eine Mobilstation, die auf den PCPCH zugreifen möchte, sendet zuerst in den Zugriffszeitschlitz die PCPCH-Zugriffspräambel aus bevor die eigentlichen Nachrichten übertragen werden. Diese PCPCH-Zugriffspräambel werden, wie bereits beim PRACH beschrieben, mit wachsender Leistung gesendet, bis von der Basisstation über den AICH eine Quittung empfangen wird.

[0043] In UMTS-Mobilfunksystemen versorgen die Basisstationen (Node B) jeweils eine oder mehrere Zellen, in der sich Mobilstationen aufhalten können. Die Basisstationen verarbeiten empfangene Funksignale der sich in ihren Zellen aufhaltenden Mobilstationen, und die Mobilstationen verarbeiten Funksignale der umgebenden Basisstationen. Diese Verarbeitung umfasst u. a. die Fehlerkorrektur über die Kanalcodierung, das Spreizen bzw. Entspreizen nach dem CDMA-Vielfachzugriffverfahren, das Verwürfeln und das Modulieren bzw. Demodulieren nach dem QPSK-Modulationsverfahren. Die Basisstationen und die Mobilstationen des UMTS-Mobilfunksystems weisen dazu jeweils zweckgebundene Datenverarbeitungseinrichtungen und mindestens eine zentrale Datenverarbeitungseinrichtung auf. Die zweckgebundenen Datenverarbeitungseinrichtungen stehen unter sich sowie mit der zentralen Datenverarbeitungseinrichtung in einer Austauschverbindung.

[0044] Die zentrale Datenverarbeitungseinrichtung, die zweckgebundenen Datenverarbeitungseinrichtungen etc. sind üblicherweise in einem Basisbandchip vorgesehen. Die zentrale Datenverarbeitungseinrichtung ist bei den Basisstationen und den Mobilstationen des UMTS-Mobilfunksystems beispielsweise ein digitaler Signalprozessor (DSP), um die berechnungsmäßig aufwendigen Funktionen eines Kommunikationsprotokolls auszuführen. Der DSP programmiert die zweckgebundenen Datenverarbeitungseinrichtungen für die Ausführung bestimmter definierter Funktionen mit Hilfe von internen lokal vorhandenen Registern oder Speichern, die zum Speichern von Parametern vorgesehen sind. Die zweckgebundenen Datenverarbeitungseinrichtungen weisen beispielsweise bei dem UMTS-Mobilfunksystem einen RAKE-Empfänger, eine Suchvorrichtung bzw. einen Searcher, einen Kanaldecodierer und einen Sendeteil auf. Ein zentraler Block eines Sendeteils einer UMTS-Mobilstation ist ein Sende-(TX-)Modulator. Der Sende-Modulator dient zum Erzeugen der OVSF-Spreizcodes und Verwürfelungscodes, zum Spreizen und Verwürfeln von Signalen verschiedener physikalischer Kanäle und zum Verarbeiten der gespreizten Signale. Der Sende-Modulator verarbeitet sowohl die dedizierten physikalischen Datenkanäle DPDCH als auch die dedizierten physikalischen Steuerkanäle DPCCCH und erzeugt die Verwürfelungscodes für die physikalischen Kanäle PRACH und PCPCH.

[0045] Üblicherweise werden der Verwürfelungscode $S_{dpch,n}$ für den dedizierten physikalischen Datenkanal DPDCH und den dedizierten physikalischen Steuerkanal DPCCCH nach den Gleichungen 15 und 16 und die Präambeln $C_{pre,n,s}$ und $C_{c-acc,n,s}$ für den physikalischen Zufallszugriffkanal PRACH und den gemeinsamen physikalischen Paketkanal PCPCH nach den Gleichungen 18 und 23 in getrennten Einrichtungen in dem Basisbandchip einer Mobilstation erzeugt. Die Präambeln werden abhängig von der jeweiligen Signatur $C_{sig,s}$ nach Gleichung 20 bereits in dem digitalen Signalprozessor DSP erzeugt und dann zu dem Sende-Modulator übertragen.

[0046] Ein Nachteil der Erzeugung der Verwürfelungscodes und der Präambeln in getrennten Einrichtungen besteht darin, dass damit zwar eine größere Unabhängigkeit bei der Steuerung der Einrichtungen verbunden ist, jedoch auch der Aufwand, z. B. hinsichtlich der verbrauchten Chipfläche eines Basisbandchips, größer ist.

[0047] Ein weiterer Nachteil der Erzeugung der Verwürfelungscodes und der Präambeln in getrennten Einrichtungen besteht darin, dass die Erzeugung der Signatur und der Präambel im DSP und die Übertragung

derselben zum Sende-Modulator mit einer zusätzlichen Datenübertragung mit entsprechendem Aufwand an Leistung und Steuerung verbunden ist.

[0048] Die Druckschrift WO 01/05081 A1 beschreibt ein Verfahren zum Erzeugen von Präambel-Sequenzen in einem CDMA-Mobilfunksystem, bei welchem in einer Mobilstation ein innerer und ein äußerer Code erzeugt werden und der äußere Code mit dem inneren Code für die Erzeugung der Präambel-Sequenz in der Mobilstation multipliziert wird.

[0049] Die Druckschrift US 2003/0099357 A1 beschreibt ebenfalls eine Vorrichtung und ein Verfahren für die Erzeugung von zellspezifischen Verwürfelungscodes in einem CDMA-Mobilkommunikationssystem. In der [Fig. 1](#) wird ein Verwürfelungscode-Generator dargestellt, welcher einen x-Sequenz-Generator und einen y-Sequenz-Generator enthält.

[0050] In der Druckschrift EP 1 343 265 A1 wird ein Verfahren und eine Vorrichtung zum Erzeugen von Verwürfelungscodes in einem CDMA-Kommunikationssystem mittels LFSR-Schieberegistern (linear feedback shift register) beschrieben.

[0051] Die Aufgabe der vorliegenden Erfindung besteht darin, eine Vorrichtung zum Erzeugen von Verwürfelungscodes und Präambeln zu schaffen, die weniger aufwendig ist und die zu übertragende Datenmenge zwischen einem digitalen Signalprozessor und einem Sende-Modulator reduziert.

[0052] Diese Aufgabe wird durch eine Vorrichtung nach Anspruch 1 gelöst.

[0053] Die der vorliegenden Erfindung zugrundeliegende Idee besteht darin, die Erkenntnis zu nutzen, dass die Gleichungen 15, 16, 17, 21 und 22 für die kurzen und langen Verwürfelungscodes für die physikalischen Kanäle DPDCH, DPCCH, PRACH und PCPCH gleich sind bzw. der PRACH-Nachrichtenteil-Verwürfelungscode von Gleichung 17 aus dem Verwürfelungscode für die anderen physikalischen Kanälen durch Verschiebung um 4096 Chips abgeleitet werden kann, und dass der PRACH-Präambel-Verwürfelungscode nach Gleichung 19 und der PCPCH-Präambel-Verwürfelungscode nach Gleichung 24 direkt aus dem Realteil des langen Verwürfelungscodes $C_{\text{long},n}$ nach Gleichung 9 abgeleitet werden können.

[0054] Diese Erkenntnisse ermöglichen, dass die Verwürfelungscodes für die physikalischen Kanäle DPDCH, DPCCH, PRACH und PCPCH und die Präambeln für die physikalischen Kanäle PRACH und PCPCH in einer einzigen gemeinsamen Vorrichtung, wie z. B. einem Hardware-Block, erzeugt und verarbeitet werden können, und dass für den physikalischen Kanal PRACH lediglich eine Verschiebung des zugrundeliegenden Verwürfelungscodes um 4096 Chips durchgeführt werden muss.

[0055] Ein Vorteil der Vorrichtung der vorliegenden Erfindung besteht darin, dass die Erzeugung der Verwürfelungscodes und der Präambeln im Wesentlichen ohne Vorlaufzeit erfolgt und beispielsweise die Datenübertragungsrate von einem DSP zu einem Sende-Modulator verringert wird. Dies liegt vor allem daran, dass die Präambeln nicht in dem digitalen Signalprozessor DSP, sondern zusammen mit den Verwürfelungscodes in einer einzigen Vorrichtung bzw. einem einzigen Generator erzeugt werden und daher nicht zum Sende-Modulator übertragen werden müssen.

[0056] Ein weiterer Vorteil der Vorrichtung der vorliegenden Erfindung besteht darin, dass möglichst viele Einrichtungen gemeinsam für das Senden in den physikalischen Kanälen DPDCH, DPCCH, PRACH und PCPCH und für die Erzeugung der PRACH/PCPCH-Präambeln verwendet werden. Insbesondere werden die PRACH/PCPCH-Präambel-Verwürfelungscodes $S_{\text{r-pre},n}$ und $S_{\text{c-acc},n}$ nach den Gleichungen 19 und 24 und die Verwürfelungscodes $S_{\text{dpch},n}$, $S_{\text{r-msg},n}$ und $S_{\text{c-msg},n}$ nach den Gleichungen 15, 16, 17, 21 und 22 für die physikalischen Kanäle DPDCH, DPCCH, PRACH und PCPCH von demselben Verwürfelungscode-Generator erzeugt.

[0057] Ein weiterer Vorteil der Vorrichtung der vorliegenden Erfindung besteht darin, dass die Vorrichtung nicht schneller als im UMTS-Chiptakt betrieben wird und dadurch zusätzlicher Energieverbrauch verhindert wird. Die oben genannten Codes sind auf der Basis von UMTS-Chips definiert und besitzen damit eine Datenrate von 3,84 MHz. Die Takt bzw. Clock-Versorgung benötigt keine zusätzlichen Takte, d. h. die gesamte Vorrichtung ist mit 3,84 MHz getaktet.

[0058] Ein weiterer Vorteil der Vorrichtung der vorliegenden Erfindung besteht darin, dass alle arithmetischen Operationen, die zur Erzeugung der Präambeln und der Verwürfelungscodes notwendig sind, effizient durch elementare Bit-Operationen in der Vorrichtung der Erfindung durchgeführt werden. Der Aufwand für die Erzeu-

gung der PRACH/PCPCH-Präambeln ist äußerst gering, da beispielsweise der in den Gleichungen 18 und 23 für die PRACH-Präambel $C_{pre,n,s}$ und die PCPCH-Präambel $C_{c-acc,n,s}$ angegebene Exponentialterm direkt mit einfachen Bit-Operationen realisiert werden kann.

[0059] Ein weiterer Vorteil der Vorrichtung der vorliegenden Erfindung besteht darin, dass ein Großteil der elementaren Bit-Operationen in Hardware, wie z. B. einer speziell entworfenen Schaltung, die als dedizierte oder zweckgebundene Hardware bezeichnet wird, ausgeführt wird. In einer solchen Schaltung können einzelne UND-, ODER-, XOR-Schaltungen etc. separat definiert werden. Man kann also bei allen logischen Verknüpfungen genau definieren, mit wie vielen Bits gerechnet wird. Dies ist auch deshalb vorteilhaft, da es sich bei den Verwürfelungscodes, bei den Spreizcodes und bei den Präambeln um komplexe Signale handelt, welche nur die Werte -1 und 1 annehmen können und also direkt binär verarbeitet werden können. Außerdem können elementare Bit-Operationen wie Bit-Inversion in Hardware wesentlich effizienter realisiert werden als in einem DSP.

[0060] In den Unteransprüchen finden sich vorteilhafte Weiterbildungen und Verbesserungen der in Anspruch 1 angegebenen Vorrichtung.

[0061] Gemäß einer bevorzugten Weiterbildung der Vorrichtung weist der Verwürfelungscodes-Generator einen Verwürfelungscodes-Generator zum Erzeugen von langen Verwürfelungscodes und einen Verwürfelungscodes-Generator zum Erzeugen von kurzen Verwürfelungscodes auf.

[0062] Ein Vorteil dieser bevorzugten Weiterbildung besteht darin, dass ein einziger Verwürfelungscodes-Generator, d. h. beispielsweise ein Hardware-Block, zum Erzeugen von sowohl kurzen als auch langen Verwürfelungscodes verwendet wird, was eine Vereinfachung darstellt.

[0063] Gemäß einer weiteren bevorzugten Weiterbildung weist der Verwürfelungscodes-Generator zum Erzeugen von langen Verwürfelungscodes eine Einrichtung zum zeitlichen Verschieben von binären Codefolgen, aus denen die Verwürfelungscodes aufgebaut sind, auf, wobei die Einrichtung die binären Codefolgen abhängig von zugeordneten physikalischen Kanälen zeitlich verschiebt.

[0064] Gemäß einer weiteren bevorzugten Weiterbildung weist der Verwürfelungscodes-Generator zum Erzeugen von langen Verwürfelungscodes Schieberegister zum Erzeugen der binären Codefolgen auf.

[0065] Gemäß einer weiteren bevorzugten Weiterbildung der Vorrichtung weist die Einrichtung zum zeitlichen Verschieben Register zum Einlesen von Bittabellen und UND-Schaltungen zur bitweisen UND-Verknüpfung der Codefolgen mit Bits der Bittabellen, um die zeitliche Verschiebung der Codefolgen durchzuführen, auf, wobei die UND-Schaltungen Eingänge, die mit Ausgängen der Register und der Schieberegister verbunden sind, und Ausgänge aufweisen, an denen die verschobenen Codefolgen ausgegeben werden.

[0066] Ein Vorteil dieser Weiterbildung besteht darin, dass die bei der Erzeugung des Verwürfelungscodes notwendige Verschiebung des zugrundeliegenden Verwürfelungscodes um 4096 Chips durch die Verwendung von gesteuerten Registern und UND-Schaltungen einfach und direkt ohne Zeitverlust erfolgt, da die Verschiebung durch Registermasken bzw. Bittabellen, die die Register und UND-Schaltungen ansteuern, realisiert wird.

[0067] Gemäß einer weiteren bevorzugten Weiterbildung der Vorrichtung weist der Verwürfelungscodes-Generator zum Erzeugen von langen Verwürfelungscodes eine Einrichtung zum Aufbauen der Verwürfelungscodes aus den Codefolgen auf, wobei die Einrichtung Eingänge, die mit den Ausgängen der UND-Schaltungen verbunden sind, und mindestens einen Ausgang aufweist, an dem die Verwürfelungscodes ausgegeben werden.

[0068] Gemäß einer weiteren bevorzugten Weiterbildung der Vorrichtung weist die Einrichtung zum Aufbauen der Verwürfelungscodes aus den Codefolgen Exklusiv-Oder-(XOR-)Schaltungen auf.

[0069] Gemäß einer weiteren bevorzugten Weiterbildung der Vorrichtung werden die physikalischen Kanäle über den reellen Inphasezweig und/oder den imaginären Quadraturzweig eines Modulationsverfahrens mit Vierphasenumtastung (QPSK) übertragen.

[0070] Gemäß einer weiteren bevorzugten Weiterbildung der Vorrichtung ist einer der Ausgänge des Verwürfelungscodes-Generators, der dem Inphasezweig des QPSK-Modulationsverfahrens zugeordnet ist, mit dem ersten Eingang jedes Multiplizierers verbunden.

[0071] Gemäß einer weiteren bevorzugten Weiterbildung der Vorrichtung wird die Vorrichtung in einer Sende/Empfangs-Station eines Mobilfunksystems verwendet.

[0072] Gemäß einer weiteren bevorzugten Weiterbildung der Vorrichtung ist die Sende/Empfangs-Station eine Mobilstation eines UMTS-Mobilfunksystems.

[0073] Gemäß einer weiteren bevorzugten Weiterbildung der Vorrichtung sind die physikalischen Kanäle die physikalischen Kanäle DPDCH, DPCCH, PRACH und PCPCH des UMTS-Mobilfunksystems, und die binären Codefolgen werden durch die Einrichtung zum zeitlichen Verschieben derart verschoben, dass die langen Verwürfelungscodes für den physikalischen Kanal PRACH um 4096 Chips zeitlich verschoben sind.

[0074] Ein Vorteil dieser Weiterbildung besteht darin, dass die PRACH/PCPCH-Präambeln beispielsweise nicht von dem DSP sondern von der Vorrichtung gemäß der Erfindung innerhalb eines Sende-Modulators erzeugt werden. Damit ergibt sich eine deutlich reduzierte Datenübertragung von dem DSP zu dem Sende-Modulator, wobei im Wesentlichen nur noch die Nummer der Signatur übertragen wird, was vorzugsweise direkt durch ein Steuerregister durchgeführt wird.

[0075] Bevorzugte Ausführungsbeispiele der vorliegenden Erfindung sind nachfolgend unter Bezugnahme auf die beigefügten Zeichnungen näher erläutert. Es zeigen:

[0076] **Fig. 1** ein Ausführungsbeispiel einer Vorrichtung zum Erzeugen von Verwürfelungscodes und Präambeln gemäß der Erfindung;

[0077] **Fig. 2** einen Verwürfelungscodes-Generator gemäß der Erfindung;

[0078] **Fig. 3** einen Verwürfelungscodes-Generator zum Erzeugen von langen Verwürfelungscodes gemäß der Erfindung;

[0079] **Fig. 4** schematisch einen Präambel-Generator zum Erzeugen von nicht-verwürfelten Präambeln gemäß der Erfindung;

[0080] **Fig. 5** einen bekannten Generator zum Erzeugen von langen Verwürfelungscodes für die Aufwärtsstrecke; und

[0081] **Fig. 6** einen bekannten Generator zum Erzeugen von kurzen Verwürfelungscodes für die Aufwärtsstrecke.

[0082] **Fig. 1** zeigt ein Ausführungsbeispiel einer Vorrichtung **1** zum Erzeugen von Verwürfelungscodes und Präambeln gemäß der Erfindung. Die Vorrichtung **1**, wie z. B. ein Generator, ist in einem Sende-Modulator einer Mobilstation verwendbar und weist eine Daten-Schnittstelle **2**, einen Zwischenspeicher **3**, einen Spreizcodegenerator **4**, Multiplizierer **5**, **6** und **7**, einen Verstärkungsfaktor-Generator **8**, weitere Multiplizierer **9**, **10** und **11**, einen Addierer **12**, einen Verwürfelungscodes-Generator **13**, einen weiteren Multiplizierer **14**, einen Präambel-Generator **15**, weitere Multiplizierer **16** und **17**, eine Auswahl-Einrichtung **18** und eine Steuerparameter-Schnittstelle **19** auf.

[0083] Die Vorrichtung **1** ist über die Daten-Schnittstelle **2** mit einem Datenbus eines digitalen Signalprozessors DSP (nicht gezeigt) verbunden, um in dem digitalen Signalprozessor erzeugte Daten, wie z. B. 1-Bit-Datensignale, von physikalischen Kanälen DPDCH₁, DPDCH₂ und DPCCH etc. zu der Vorrichtung **1** zu übertragen. Ausgänge der Daten-Schnittstelle **2** sind mit Eingängen des Zwischenspeichers **3** verbunden, der die von der Daten-Schnittstelle **2** mit einer bestimmten Datenrate gelieferten Daten zwischenspeichert und die Datenrate in eine Chiprate umsetzt. Der Spreizcodegenerator **4** dient dazu, um OVFS-Spreizcodes zu erzeugen. Ausgänge des Zwischenspeichers **3** und Ausgänge des Spreizcodegenerators **4** sind mit Eingängen der Multiplizierer **5**, **6** und **7** zum Multiplizieren der binären Signale in den physikalischen Kanälen DPDCH₁, DPDCH₂ und DPCCH mit den OVFS-Spreizcodes verbunden, um die einzelnen Signale in den physikalischen Kanäle zu spreizen und 1-Bit-Ausgangssignale an Ausgängen der Multiplizierer **5**, **6** und **7** zu erzeugen.

[0084] Der Verstärkungsfaktor-Generator **8** dient zum Erzeugen von kanalspezifischen Verstärkungsfaktoren $\hat{\alpha}$, wobei die Verstärkungsfaktoren in vorzeichenlose 4-Bit-Worte quantisiert werden und dazu verwendet werden, um im Falle von unterschiedlichen Spreizfaktoren Leistungsdifferenzen der einzelnen physikalischen Kanäle auszugleichen bzw. die physikalischen Kanäle geeignet zu gewichten. Ausgänge des Verstärkungsfaktor-

Generators **8** und der Multiplizierer **5**, **6** und **7** sind mit Eingängen der Multiplizierer **9**, **10** und **11** zum Multiplizieren der gespreizten binären Signale der physikalischen Kanäle DPDCH₁, DPDCH₂ und DPCCH mit dem jeweiligen Verstärkungsfaktor verbunden, um 5-Bit-Ausgangssignale an Ausgängen der Multiplizierer **9**, **10** und **11** zu erzeugen.

[0085] Der folgende Addierer **12** addiert das gespreizte und gewichtete binäre Signal in dem physikalischen Kanal DPCCH, das an einem Eingang des Addierers **12** anliegt, und das gespreizte und gewichtete binäre Signal in dem physikalischen Kanal DPDCH₂, das an einem weiteren Eingang des Addierers **12** anliegt, um ein 6-Bit-Ausgangssignal an einem Ausgang desselben zu erzeugen. Dadurch werden die physikalischen Kanäle DPDCH₁ und DPDCH₂ gleichmäßig auf den Inphasezweig (I) und den Quadraturzweig (Q) des QPSK-Modulationsverfahrens verteilt.

[0086] Der Verwürfelungscode-Generator **13** erzeugt bei diesem Ausführungsbeispiel Verwürfelungscodes für die physikalischen Kanäle DPDCH und DPCCH und für die Präambeln der physikalischen Kanäle PRACH und PCPCH. Der Verwürfelungscode-Generator **13** liefert an Ausgängen desselben zwei 1-Bit-Ausgangssignale für den Inphasezweig (I) und den Quadraturzweig (Q) des QPSK-Modulationsverfahrens und ist mit Eingängen des Multiplizierers **14** verbunden. Der Multiplizierer **14** multipliziert die gespreizten und gewichteten binären Signale der physikalischen Kanäle mit dem komplexen Verwürfelungscode, um verwürfelte 8-Bit-Ausgangssignale in dem Inphasezweig (I) und dem Quadraturzweig (Q) des QPSK-Modulationsverfahrens an zugeordneten Ausgängen desselben zu erzeugen.

[0087] Der Präambel-Generator **15** erzeugt für die physikalischen Kanäle PRACH und PCPCH die nicht-verwürfelten Präambeln, d. h. die mit einem Exponentialterm multiplizierten Signaturen der Präambeln nach Gleichung 18 und 23, und liefert an Ausgängen desselben zwei 8-Bit-Ausgangssignale für den Inphasezweig und den Quadraturzweig des QPSK-Modulationsverfahrens. Der Präambel-Generator **15** ist mit den Ausgängen desselben mit ersten Eingängen der Multiplizierer **16** und **17** verbunden, und der Verwürfelungscode-Generator **13** ist mit dem Ausgang desselben, der dem Inphasezweig (I, Realteil) zugeordnet ist, mit zweiten Eingängen der Multiplizierer **16** und **17** verbunden. Die Multiplizierer **16** und **17** verwürfeln die unverwürfelten Präambeln mit dem reellen Präambel-Verwürfelungscode $c_{\text{long},1,n}$ nach Gleichung 19 und 24, um die Präambeln nach den Gleichungen 18 und 20 an Ausgängen derselben zu erzeugen. Die Auswahl-Einrichtung **18** ist mit Eingängen derselben mit Ausgängen der Multiplizierer **14**, **16** und **17** verbunden und dient dazu, um entweder die verwürfelten Ausgangssignale oder die verwürfelten Präambeln auszuwählen und dieselben auszugeben. Die Auswahl-Einrichtung **18** ist vorzugsweise ein Multiplexer.

[0088] Über die Steuerparameter-Schnittstelle **19** erhält die Vorrichtung **1** Steuerparameter von dem digitalen Signalprozessor DSP. Die Steuerparameter-Schnittstelle **19** ist mit einem Ausgang derselben mit einem Eingang des Zwischenspeichers **3** verbunden und liefert dem Zwischenspeicher **3** die Spreizfaktoren, um die Umsetzung zwischen der Datenrate der physikalischen Kanäle auf die Chiprate durchzuführen. Die Steuerparameter-Schnittstelle **19** ist mit einem weiteren Ausgang derselben mit einem Eingang des Spreizcode-Generators **4** verbunden und liefert dem Spreizcode-Generator **4** ebenfalls die Spreizfaktoren, um die einzelnen physikalischen Kanäle zu spreizen. Die Steuerparameter-Schnittstelle **19** ist mit einem weiteren Ausgang derselben mit einem Eingang des Verwürfelungscode-Generators **13** verbunden und liefert dem Verwürfelungscode-Generator **13** die Verwürfelungscodenummer und ein Auswahlsignal, um die langen oder kurzen Verwürfelungscodes auszuwählen. Die Steuerparameter-Schnittstelle **19** ist schließlich mit einem weiteren Ausgang derselben mit einem Eingang des Präambel-Generators **15** verbunden, um demselben eine Signaturnummer für die Berechnung einer Präambel zu liefern.

[0089] [Fig. 2](#) zeigt einen Verwürfelungscode-Generator **13** zum Erzeugen von Verwürfelungscodes. Der Verwürfelungscode-Generator **13** weist einen ersten Verwürfelungscode-Generator **13'** zum Erzeugen von langen Verwürfelungscodes $c_{\text{long},1,n}$ und $c_{\text{long},2,n}$, einen zweiten Verwürfelungscode-Generator **13''** zum Erzeugen von kurzen Verwürfelungscodes $c_{\text{short},1,n}$ und $c_{\text{short},2,n}$, einen Multiplexer **20**, einen Multiplizierer **21**, eine Einrichtung **22** und eine Steuerung **23** auf.

[0090] Der erste Verwürfelungscode-Generator **13'** weist Ausgänge auf, an denen die langen Verwürfelungscodes $c_{\text{long},1,n}$ und $c_{\text{long},2,n}$ ausgegeben werden. Der zweite Verwürfelungscode-Generator **13''** weist Ausgänge auf, an denen die kurzen Verwürfelungscodes $c_{\text{short},1,n}$ und $c_{\text{short},2,n}$ ausgegeben werden. Die Ausgänge der Verwürfelungscode-Generatoren **13'** und **13''** sind mit Eingängen des Multiplexers **20** verbunden, der abhängig von einem Codeauswahlsignal **24**, das an einem weiteren Eingang desselben anliegt und zum Auswählen der langen oder kurzen Verwürfelungscodes dient, den ersten langen oder kurzen Verwürfelungscode $c_{\text{long},1,n}$

oder $c_{\text{short},1,n}$ an einem ersten Ausgang und den zweiten langen oder kurzen Verwürfelungscode $c_{\text{long},2,n}$ oder $c_{\text{short},2,n}$ an einem zweiten Ausgang ausgibt.

[0091] Die Einrichtung **22** dient zum Erzeugen des jeweiligen imaginären Ausdrucks $j(-1)^i c_{\text{long},2,n}(2_{\lfloor i/2 \rfloor})$ oder $j(-1)^i c_{\text{short},2,n}(2_{\lfloor (i \bmod 256)/2 \rfloor})$ in den Gleichungen 9 oder 14 und weist einen Multiplexer **25**, einen ersten Zweig **26**, der einen Eingang der Einrichtung **22** direkt mit einem ersten Eingang (0) des Multiplexers **25** verbindet, und einen zweiten Zweig **27**, der den Eingang der Einrichtung **22** mit einem zweiten Eingang (1) des Multiplexers **25** verbindet, auf. Der zweite Zweig **27** weist eine Verzögerungseinrichtung **28** und einen Invertierer **29** auf. Die Einrichtung **22** ist mit dem Eingang derselben mit dem zweiten Ausgang des Multiplexers **20** verbunden. Die Verzögerungseinrichtung **28** in dem zweiten Zweig **27** ist mit einem Eingang derselben direkt mit dem Eingang der Einrichtung **22** verbunden und ist mit einem Ausgang derselben mit einem Eingang des Invertierers **29** verbunden. Der Invertierer **29** weist hingegen einen Ausgang auf, der mit dem zweiten Eingang (1) des Multiplexers **25** verbunden ist.

[0092] Wenn der Index i in den Gleichungen für die Verwürfelungscodes geradzahlig ist, dann wird das Signal an dem ersten Eingang (0) des Multiplexers **25** an einen Ausgang des Multiplexers **25** bzw. der Einrichtung **22** weitergegeben, und wenn der Index i ungeradzahlig ist, dann wird das Signal an dem zweiten Eingang (1) des Multiplexers **25** an den Ausgang des Multiplexers **25** bzw. der Einrichtung **22** weitergegeben. Der Multiplexer **25** weist einen weiteren Eingang auf, mit dem die Steuerung **23** verbunden ist. Die Steuerung **23** wird durch ein Zeitrahmenstartsignal **30**, das den Beginn eines Zeitrahmens anzeigt, initialisiert bzw. auf Null gesetzt. Die Steuerung **23** steuert dann den Multiplexer **25** derart an, dass nach der Initialisierung der erste Eingang (0), dann folgend der zweite Eingang (1) und dann wieder der erste Eingang (0) usw. des Multiplexers **25** ausgewählt werden. Es wird also beginnend mit dem ersten Eingang des Multiplexers **25** abwechselnd das Eingangssignal an dem ersten Eingang und das Eingangssignal an dem zweiten Eingang des Multiplexers **25** an dem Ausgang des Multiplexers **25** ausgegeben.

[0093] Der erste Ausgang des Multiplexers **20** ist mit einem ersten Ausgang des Verwürfelungscode-Generators **13** verbunden, um dort den Realteil des langen oder des kurzen Verwürfelungscodes $C_{\text{long},n}$ und $C_{\text{short},n}$ auszugeben. Der erste Ausgang des Multiplexers **20** ist ferner mit einem ersten Eingang des Multiplizierers **21** verbunden, und der Ausgang der Einrichtung **22** ist mit einem zweiten Eingang des Multiplizierers **21** verbunden. Der Multiplizierer **21** multipliziert daher den jeweiligen ersten Verwürfelungscode $c_{\text{long},1,n}$ oder $c_{\text{short},1,n}$, der den Realteil des jeweiligen langen oder kurzen komplexen Verwürfelungscodes $C_{\text{long},n}$ oder $C_{\text{short},n}$ in den Gleichungen 9 oder 14 darstellt, mit dem imaginären Ausdruck $j(-1)^i c_{\text{long},2,n}(2_{\lfloor i/2 \rfloor})$ oder $j(-1)^i c_{\text{short},2,n}(2_{\lfloor (i \bmod 256)/2 \rfloor})$, um den Imaginärteil des langen oder kurzen komplexen Verwürfelungscodes $C_{\text{long},n}$ oder $C_{\text{short},n}$ zu erzeugen. Der Imaginärteil wird an einem Ausgang des Multiplizierers **21**, der einen zweiten Ausgang des Verwürfelungscode-Generators bildet, ausgegeben.

[0094] **Fig. 3** zeigt einen Verwürfelungscode-Generator **13'** zum Erzeugen von langen Verwürfelungscodes gemäß der Erfindung. Der Verwürfelungscode-Generator **13'** weist zwei Schieberegister **31** und **32**, eine Einrichtung **33** zum Initialisieren, eine Einrichtung **34** zum Zusammensetzen eines Bitworts, eine Einrichtung **35** zum Liefern einer Anfangsbedingung, einen Speicher **36** mit Abgriffsmasken **37**, **38**, **39** und **40**, UND-Schaltungen **41**, **42**, **43** und **44** zur bitweisen UND-Verknüpfung, Register **45**, **46**, **47** und **48** und XOR-Schaltungen **49**, **50**, **51**, **52**, **53** und **54** auf.

[0095] Die Schieberegister **31** und **32** dienen zum Erzeugen der oben beschriebenen x-Codefolge und y-Codefolge und sind schematisch in **Fig. 5** gezeigt. Mit einem Eingang des Schieberegisters **32** für die y-Codefolge ist ein Ausgang der Einrichtung **33** zum Initialisieren des Schieberegisters **32** verbunden, die die Anfangsbedingungen (25-Bit) für y nach Gleichung 2 liefert. Mit einem Eingang des Schieberegisters **31** für die x-Codefolge ist ein Ausgang der Einrichtung **34** zum Zusammensetzen eines Bitworts verbunden, das zum Initialisieren des Schieberegisters **31** für die x-Codefolge verwendet wird. Ein Eingang der Einrichtung **34** zum Zusammensetzen eines Bitworts ist mit einem Ausgang der Einrichtung **35** zum Liefern der Anfangsbedingung für $x_n(24)$ nach Gleichung 1 verbunden, und die Einrichtung **34** erhält ferner an einem weiteren Eingang als Eingangssignal die Verwürfelungscodenummer, die hier 24 Bit aufweist. Die Einrichtung **34** setzt aus der Anfangsbedingung für $x_n(24)$ und der Verwürfelungscodenummer das Bitwort zum Initialisieren des Schieberegisters **31** für die x-Codefolge zusammen, das dann 25 Bits aufweist und an dem Ausgang der Einrichtung **34** ausgegeben wird.

[0096] In dem Speicher **36** sind die Abgriffsmasken **37**, **38**, **39** und **40** in Form von Bit-Tabellen gespeichert. Die Abgriffsmasken **37**, **38**, **39** und **40** werden verwendet, um die UND-Schaltungen **41**, **42**, **43** und **44** zu steuern. Dem Schieberegister **31** zum Erzeugen der x-Codefolge sind eine erste und eine zweite Abgriffsmaske

37 und **38** zugeordnet. Dem Schieberegister **32** zum Erzeugen der y-Codefolge sind eine dritte und eine vierte Abgriffsmaske **39** und **40** zugeordnet. Der Speicher **36** weist vorzugsweise einen Nur-Lese-Speicher (ROM; ROM = Read Only Memory) auf, in dem vier Bit-Tabellen mit 16×25 Bit gespeichert sind, d. h. es sind 25 Bit für die x- und y-Codefolgen vorgesehen und es können 16 mögliche Werte einer Verschiebung um 4096 Chips berechnet werden. Ausgänge des Speichers **36** sind mit jeweiligen Eingängen der Register **45**, **46**, **47** und **48** verbunden, wobei dem Schieberegister **31** zum Erzeugen der x-Codefolge ein erstes und ein zweites Register **45** und **46** zugeordnet sind und dem Schieberegister **32** zur Erzeugung der y-Codefolge ein drittes und ein viertes Register **47** und **48** zugeordnet sind. In das erste Register **45** kann die Bit-Tabelle der ersten Abgriffsmaske **37** und in das zweite Register **46** die Bit-Tabelle der zweiten Abgriffsmaske **38** eingelesen werden. In das dritte Register **47** kann die Bit-Tabelle der dritten Abgriffsmaske **39** und in das vierte Register **48** die Bit-Tabelle der vierten Abgriffsmaske **40** eingelesen werden. Ein Ausgang des Schieberegisters **31** zum Erzeugen der x-Codefolge und Ausgänge des ersten und des zweiten Registers **45** und **46** sind mit Eingängen einer ersten bzw. einer zweiten UND-Schaltung **41** und **42** verbunden. Ein Ausgang des Schieberegisters **32** zum Erzeugen der y-Codefolge und Ausgänge des dritten und des vierten Registers **47** und **48** sind mit Eingängen einer dritten bzw. einer vierten UND-Schaltung **43** und **44** verbunden. Die UND-Schaltungen **41**, **42**, **43** und **44** dienen dazu, um lediglich die Bits der x- und y-Codefolgen an einen Ausgang der jeweiligen UND-Schaltung **41**, **42**, **43** und **44** weiterzuleiten und für die Erzeugung des langen Verwürfelungscodes zu verwenden, für die ein zugeordnetes Bit in der Bit-Tabelle der jeweiligen Abgriffsmaske **37**, **38**, **39** und **40** gesetzt, z. B. gleich 1, ist.

[0097] Durch eine geeignete Wahl der Bits in den Abgriffsmasken **37**, **38**, **39** und **40** kann die Verschiebung um 4096 Chips in Gleichung 17 realisiert werden, und der Verwürfelungscode-Generator **13'** kann sowohl zum Erzeugen von Verwürfelungscodes für die physikalischen Kanäle DPDCH, DPCCH und PCPCH als auch für den physikalischen Kanal PRACH und in Verbindung mit dem Präambel-Generator **15** von [Fig. 1](#) zum Erzeugen von sowohl Präambeln für den physikalischen Kanal PCPCH als auch den physikalischen Kanal PRACH verwendet werden. Die Wahl der Bits ergibt sich aus einer Berechnung in Polynomringen und ist beispielsweise für das erste Register **45**: 0 0 1 1 1 1 1 1 0 1 1 1 0 1 1 0 0 1 1 1 0 1 1 1 0.

[0098] Ein Ausgang der ersten UND-Schaltung **41** ist mit einem Eingang einer ersten XOR-Schaltung **49** zur XOR-Verknüpfung verbunden. Ein Ausgang der zweiten UND-Schaltung **42** ist mit einem Eingang einer zweiten XOR-Schaltung **50** verbunden. Ein Ausgang der dritten UND-Schaltung **43** ist mit einem Eingang einer dritten XOR-Schaltung **51** verbunden. Und ein Ausgang der vierten UND-Schaltung **44** ist mit einem Eingang einer vierten XOR-Schaltung **52** verbunden. Ausgänge der ersten und der dritten XOR-Schaltung **49** und **51** sind mit Eingängen einer fünften XOR-Schaltung **53** verbunden, und Ausgänge der zweiten und der vierten XOR-Schaltung **50** und **52** sind mit Eingängen einer sechsten XOR-Schaltung **54** verbunden. Die Verschaltung der XOR-Schaltungen **49**, **50**, **51**, **52**, **53** und **54** dient dazu, um die Summe von Gleichung 5 und die langen Verwürfelungscodes $c_{\text{long},1,n}$ und $c_{\text{long},2,n}$ der Gleichungen 7 und 8 aus den 25-Bit-Ausgangssignalen der UND-Schaltungen **41**, **42**, **43** und **44** zu erzeugen.

[0099] Beim Betrieb des Verwürfelungscode-Generators **13'** wird demselben an einem Eingang über ein Signal **55** zu dem Speicher **36** angezeigt, ob der Verwürfelungscode und die Präambel für den physikalischen Kanal PRACH erzeugt werden sollen und eine Verschiebung des ursprünglich für die physikalischen Kanäle DPDCH, DPCCH und PCPCH erzeugten Verwürfelungscodes notwendig ist. Die Verschiebung wird von dem DSP in ein Steuerregister geschrieben, das bei jedem Zeitrahmenbeginn neu gelesen wird. Das Signal **55** weist hier vorzugsweise 4 Bit auf, die für die 16 möglichen Verschiebungen verwendet werden. Den Schieberegistern **31** und **32** und den Registern **45**, **46**, **47** und **48** wird ferner der Beginn eines Zeitrahmens über das Zeitrahmenstartsignal **30** angezeigt. Der 25-Bit-Inhalt der Register **45**, **46**, **47** und **48** wird bei jedem Chip aktualisiert.

[0100] [Fig. 4](#) zeigt schematisch einen Präambel-Generator **15** zum Erzeugen von nicht-verwürfelten Präambeln, d. h. der mit einem Exponentialterm multiplizierten Signaturen $C_{\text{sig},s}$ in den Gleichungen 18 und 23. Der Präambel-Generator **15** weist ein rückgekoppeltes Register **56**, einen Zähler **57** und Addierer **58**, **59** und **60** auf.

[0101] Das Register **56** erzeugt eine 16-Chip-Präambel-Signatur $C_{\text{sig},s}$ nach Gleichung 20 an einem Ausgang desselben, die 256 mal für einen Index $i = 0, 1, \dots, 4095$ wiederholt wird. Mit dem Zähler **57** wird sowohl die Länge einer Präambel in Chips gezählt bzw. der Index i hochgezählt als auch ein Signal zum Bilden der Exponentialfunktion in den Gleichungen 18 und 23 abhängig von dem Index i erzeugt. Die ersten zwei Bits 0 und 1 des Zählers **57** sind an zwei Eingänge eines ersten Addierers **58** angelegt. Ein Ausgang des ersten Addierers **58** ist mit einem ersten Eingang eines zweiten Addierers **59** verbunden. Ein zweiter Eingang des zweiten Addierers **59** ist mit einem Ausgang des Registers **56** verbunden. Der zweite Addierer **59** liefert an einem Ausgang desselben den Realteil von $C_{\text{sig},s}(i) \times \exp(j(\pi/4 + i\pi/2))$ in den Gleichungen 18 und 23. Der

Ausgang des Registers **56** ist ferner mit einem ersten Eingang eines dritten Addierers **60** verbunden. An einem zweiten Eingang des dritten Addierers **60** ist das zweite Bit (1) des Zählers **57** angelegt, und der dritte Addierer **60** liefert an einem Ausgang desselben den Imaginärteil von $C_{\text{sig},s}(i) \times \exp(j(\pi/4 + i\pi/2))$ in den Gleichungen 18 und 23. Die Addierer **58**, **59** und **60** realisieren daher die Rotation für den Realteil und den Imaginärteil von $C_{\text{sig},s}(k) \times \exp(j(\pi/4 + k\pi/2))$.

[0102] Man erkennt, dass die Erzeugung der Präambel in Hardware fast keinen Aufwand bedeutet. Die Verwendung eines Präambel-Generators ist damit wesentlich günstiger als die Übertragung der Daten von einem DSP zu einem Generator. In Verbindung mit der in [Fig. 1](#) gezeigten Vorrichtung erhält man eine sehr günstige Struktur, durch deren Konzept einer gemeinsamen Hardware sich ein hoher Anteil an Wiederverwendung und eine einfache Steuerung über Steuerregister ergibt.

[0103] Die Vorrichtung der Erfindung wird bei alternativen Ausführungsbeispielen in Sende/Empfangs-Stationen von beliebigen Mobilfunksystemen verwendet, in denen verwürfelte physikalische Kanäle und Präambeln genutzt werden. Solche Sende/Empfangs-Stationen sind beispielsweise eine Mobilstation, eine Basisstation etc. eines UMTS-Mobilfunksystems. Die Vorrichtung der Erfindung ist vorzugsweise in einem Sende-Modulator eines Basisband-Chips integriert.

Patentansprüche

1. Vorrichtung zum Erzeugen von Sendesignalen in einer Mobilfunkstation, mit:
 - einem Spreizcode-Generator (**4**) zum Erzeugen von Spreizcodes und einem Verwürfelungscode-Generator (**13**) zum Erzeugen von Verwürfelungscodes und einem Präambel-Generator (**15**) zum Erzeugen von nicht-verwürfelten Präambeln, die zur Steuerung des Zugriffs auf einen jeweiligen physikalischen Kanal in denselben gesendet werden,
 - einem ersten Multiplizierer (**14**) mit einem ersten Eingang für die Zufuhr spreizcodierter Datensignale in dedizierten physikalischen Kanälen (DPDCH, DPCCH) und einem zweiten Eingang, welcher mit einem Ausgang des Verwürfelungscode-Generators (**13**) verbunden ist, und
 - einem zweiten Multiplizierer (**16**, **17**), dessen erster Eingang mit dem Ausgang des Verwürfelungscode-Generators (**13**) verbunden ist und dessen zweiter Eingang mit einem Ausgang des Präambel-Generators (**15**) verbunden ist, und an dessen Ausgang die verwürfelten Präambeln ausgegeben werden.
2. Vorrichtung nach Anspruch 1, dadurch gekennzeichnet, dass
 - die Ausgänge des ersten (**14**) und des zweiten Multiplizierers (**16**, **17**) mit Eingängen einer Auswahl-Einrichtung (**18**) verbunden sind, welche dafür ausgelegt ist, um entweder die spreizcodierten und verwürfelten Datensignale der dedizierten physikalischen Kanäle oder die verwürfelten Präambeln an einen Ausgang der Auswahlrichtung (**18**) zu liefern.
3. Vorrichtung nach Anspruch 1 oder 2, dadurch gekennzeichnet, dass
 - der Präambel-Generator (**15**) komplexwertige Präambeln erzeugt und der zweite Multiplizierer (**16**, **17**) einen mit einem Inphase-Ausgang des Präambel-Generators (**15**) verbundenen Multiplizierer (**16**) und einen mit einem Quadratur-Ausgang des Präambel-Generators (**15**) verbundenen Multiplizierer (**17**) aufweist.
4. Vorrichtung nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, dass der Verwürfelungscode-Generator (**13**) einen Verwürfelungscode-Generator (**13'**) zum Erzeugen von langen Verwürfelungscodes und einen Verwürfelungscode-Generator (**13''**) zum Erzeugen von kurzen Verwürfelungscodes aufweist.
5. Vorrichtung nach Anspruch 4, dadurch gekennzeichnet, dass der Verwürfelungscode-Generator (**13'**) zum Erzeugen von langen Verwürfelungscodes eine Einrichtung (**36**, **37**, **38**, **39**, **40**, **41**, **42**, **43**, **44**, **45**, **46**, **47**, **48**) zum zeitlichen Verschieben von binären Codefolgen, aus denen die Verwürfelungscodes aufgebaut sind, aufweist, wobei die Einrichtung (**36**, **37**, **38**, **39**, **40**, **41**, **42**, **43**, **44**, **45**, **46**, **47**, **48**) die binären Codefolgen abhängig von zugeordneten physikalischen Kanälen zeitlich verschiebt.
6. Vorrichtung nach Anspruch 5, dadurch gekennzeichnet, dass der Verwürfelungscode-Generator (**13'**) zum Erzeugen von langen Verwürfelungscodes Schieberegister (**31**, **32**) zum Erzeugen der binären Codefolgen aufweist.

7. Vorrichtung nach Anspruch 6, dadurch gekennzeichnet, dass die Einrichtung (36, 37, 38, 39, 40, 41, 42, 43, 44, 45, 46, 47, 48) zum zeitlichen Verschieben folgende Merkmale aufweist:
Register (45, 46, 47, 48) zum Einlesen von Bittabellen (37, 38, 39, 40); und
UND-Schaltungen (41, 42, 43, 44) zur bitweisen UND-Verknüpfung der Codefolgen mit Bits der Bittabellen (37, 38, 39, 40), um die zeitliche Verschiebung der Codefolgen durchzuführen, wobei die UND-Schaltungen (41, 42, 43, 44) Eingänge, die mit Ausgängen der Register (45, 46, 47, 48) und der Schieberegister (31, 32) verbunden sind, und Ausgänge aufweisen, an denen die verschobenen Codefolgen ausgegeben werden.
8. Vorrichtung nach Anspruch 7, dadurch gekennzeichnet, dass der Verwürfelungscode-Generator (13') zum Erzeugen von langen Verwürfelungscodes eine Einrichtung (49, 50, 51, 52, 53, 54) zum Aufbauen der Verwürfelungscodes aus den Codefolgen aufweist, wobei die Einrichtung (49, 50, 51, 52, 53, 54) Eingänge, die mit den Ausgängen der UND-Schaltungen (41, 42, 43, 44) verbunden sind, und mindestens einen Ausgang aufweist, an dem die Verwürfelungscodes ausgegeben werden.
9. Vorrichtung nach Anspruch 8, dadurch gekennzeichnet, dass die Einrichtung zum Aufbauen der Verwürfelungscodes aus den Codefolgen Exklusiv-Oder-(XOR-)Schaltungen (49, 50, 51, 52, 53, 54) aufweist.
10. Vorrichtung nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, dass die physikalischen Kanäle über den realen Inphasezweig und/oder den imaginären Quadraturzweig eines Modulationsverfahrens mit Vierphasenumtastung (QPSK) übertragen werden.
11. Vorrichtung nach Anspruch 10, dadurch gekennzeichnet, dass einer der Ausgänge des Verwürfelungscode-Generators (13), der dem Inphasezweig des QPSK-Modulationsverfahrens zugeordnet ist, mit dem ersten Eingang jedes Multiplizierers (16, 17) verbunden ist.
12. Vorrichtung nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, dass die Vorrichtung (1) in einer Sende/Empfangs-Station eines Mobilfunksystems verwendet wird.
13. Vorrichtung nach Anspruch 12, dadurch gekennzeichnet, dass die Sende/Empfangs-Station eine Mobilstation eines UMTS-Mobilfunksystems ist.
14. Vorrichtung nach Anspruch 13, dadurch gekennzeichnet, dass die physikalischen Kanäle die physikalischen Kanäle DPDCH, DPCCH, PRACH und PCPCH des UMTS-Mobilfunksystems sind, und die binären Codefolgen durch die Einrichtung (36, 37, 38, 39, 40, 41, 42, 43, 44, 45, 46, 47, 48) zum zeitlichen Verschieben derart verschoben werden, dass die langen Verwürfelungscodes für den physikalischen Kanal PRACH um 4096 Chips zeitlich verschoben sind.

Es folgen 6 Blatt Zeichnungen

Anhängende Zeichnungen

FIG 1

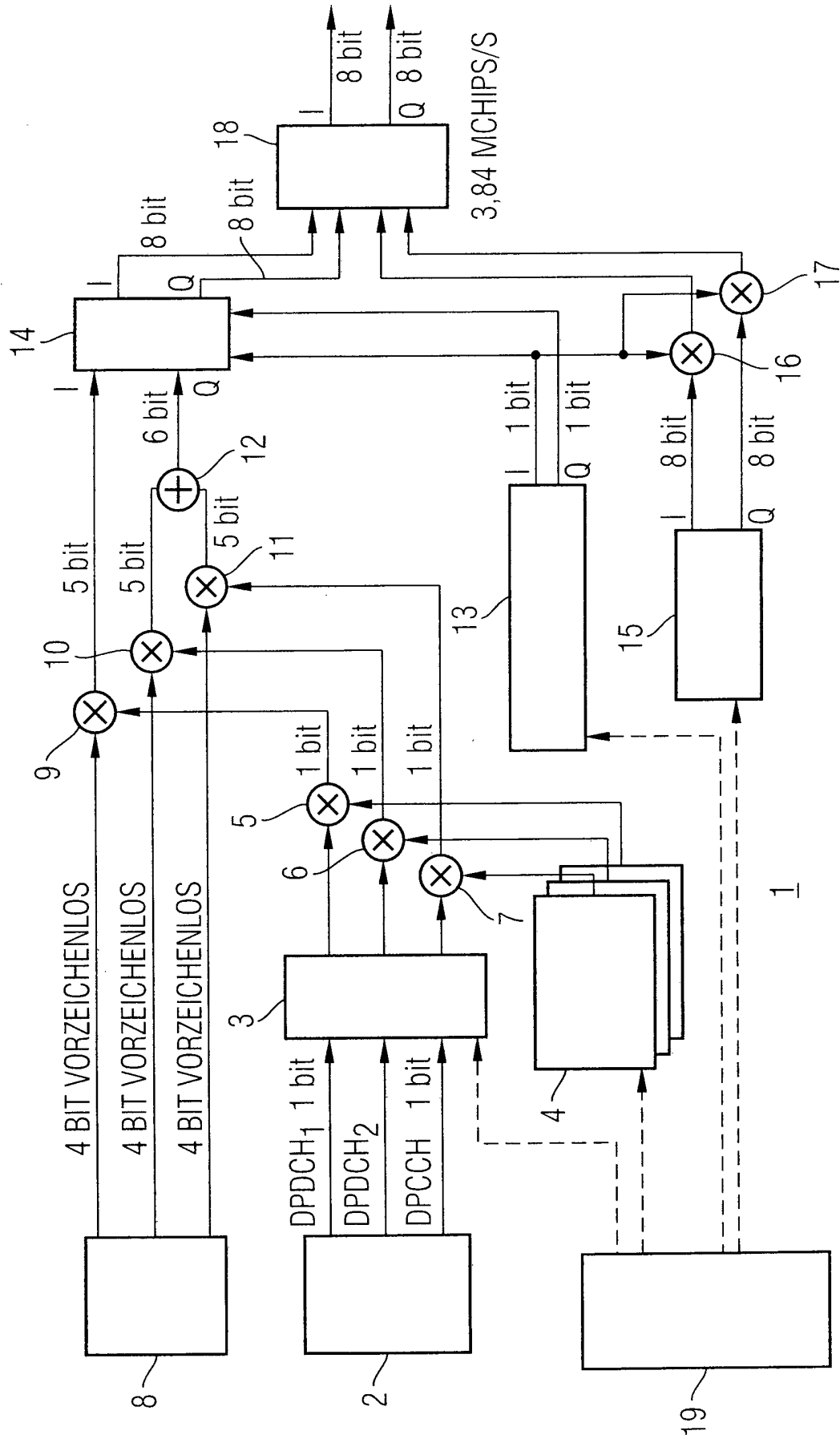


FIG 2

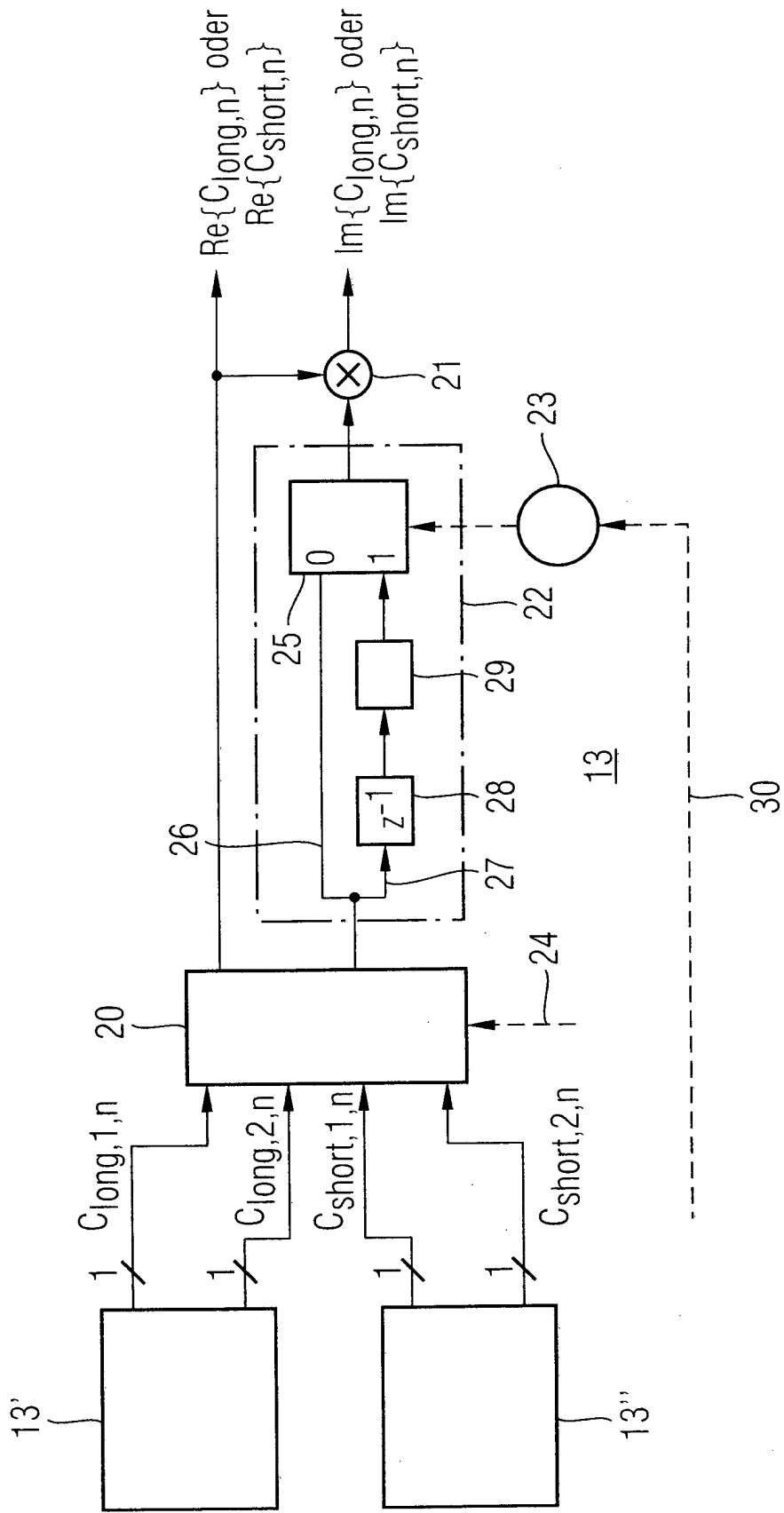


FIG 4

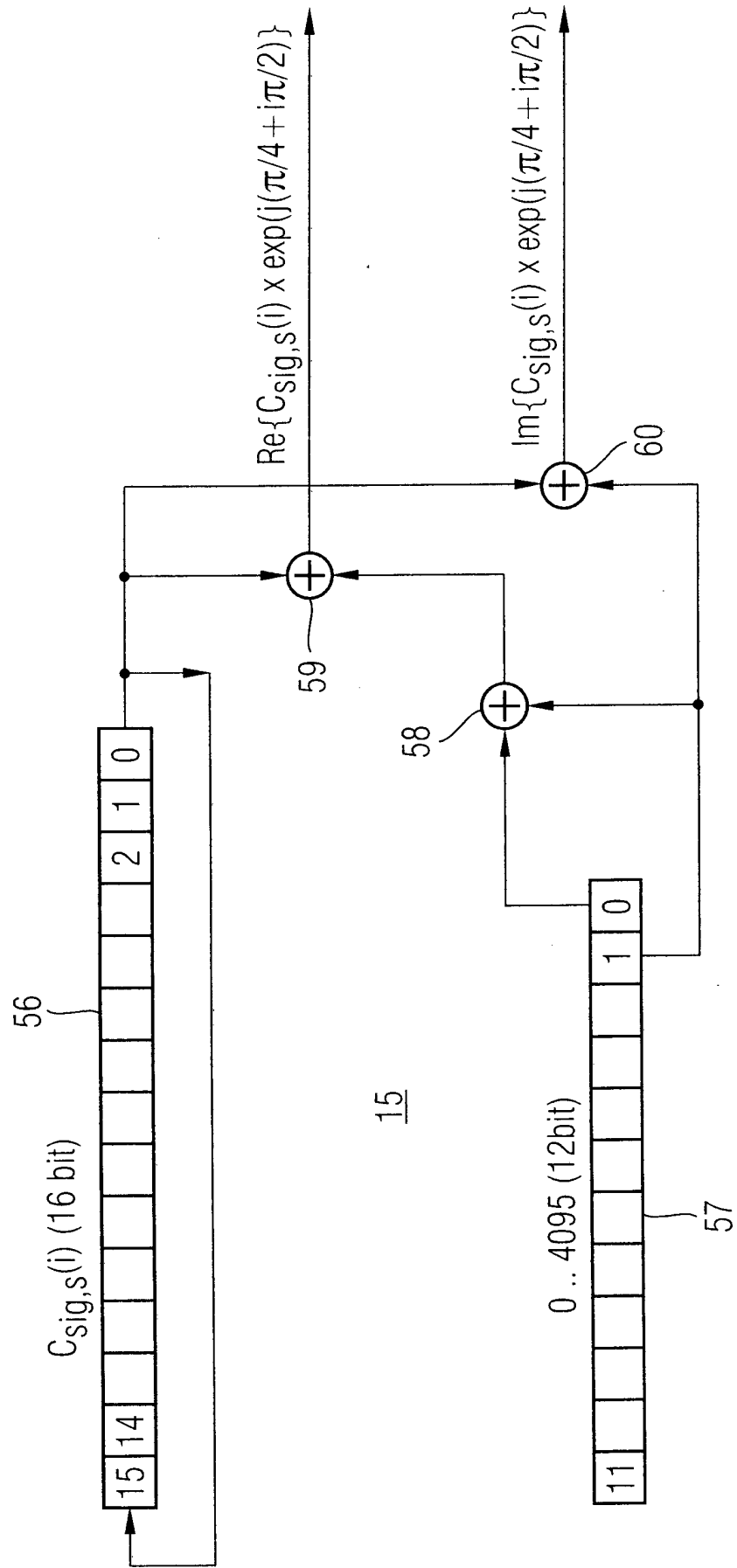


FIG 5
Stand der Technik

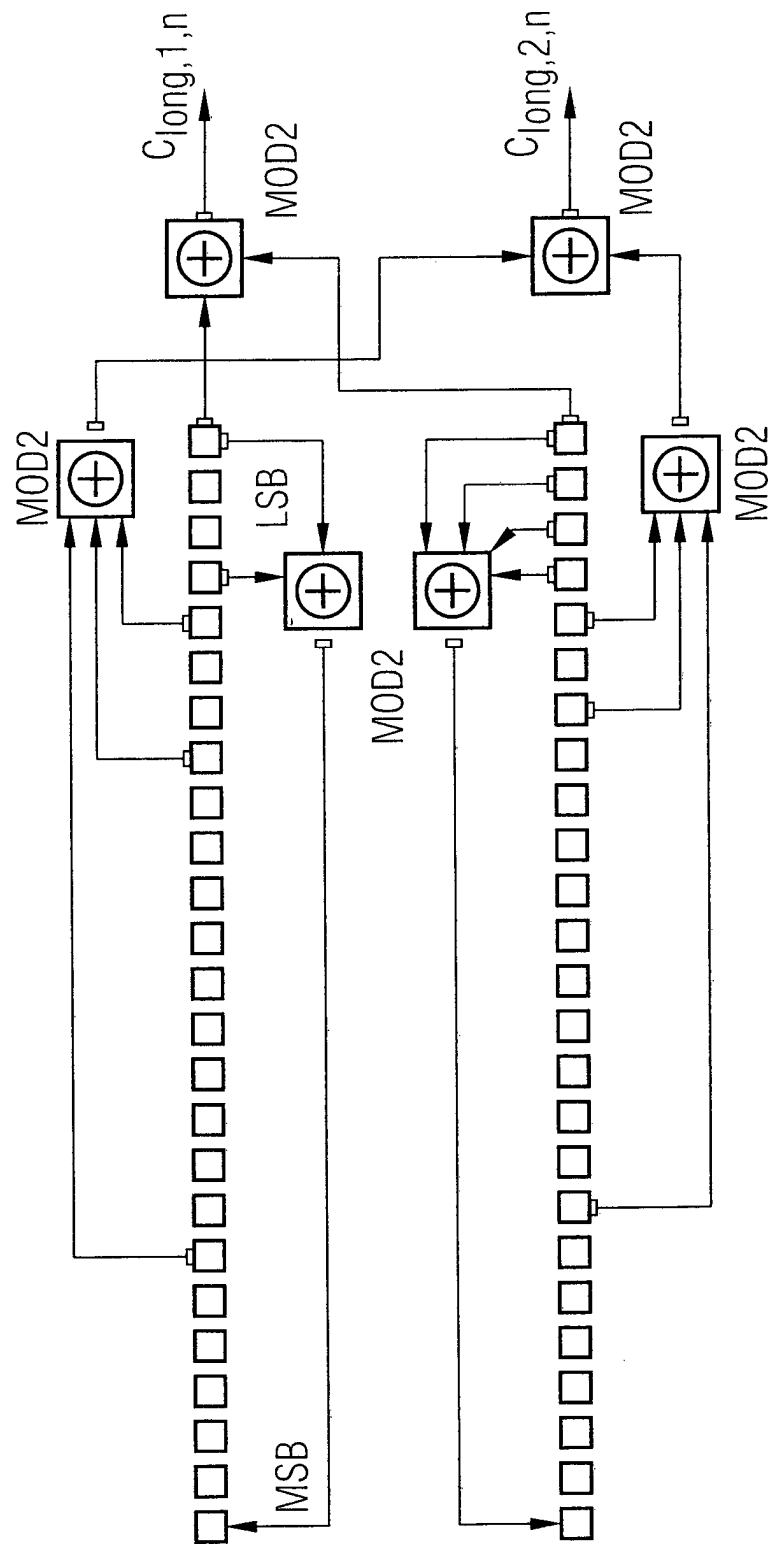


FIG 6

Stand der Technik

