



(12) 发明专利申请

(10) 申请公布号 CN 114217752 A

(43) 申请公布日 2022. 03. 22

(21) 申请号 202111231668.3

(22) 申请日 2021.10.22

(71) 申请人 济南宇视智能科技有限公司

地址 250101 山东省济南市高新区舜华南
路汉峪金谷A2区5栋4层

(72) 发明人 林杰 贾召飞 王新成 马龙飞

(74) 专利代理机构 北京品源专利代理有限公司
11332

代理人 马迪

(51) Int. Cl.

G06F 3/14 (2006.01)

H04N 5/04 (2006.01)

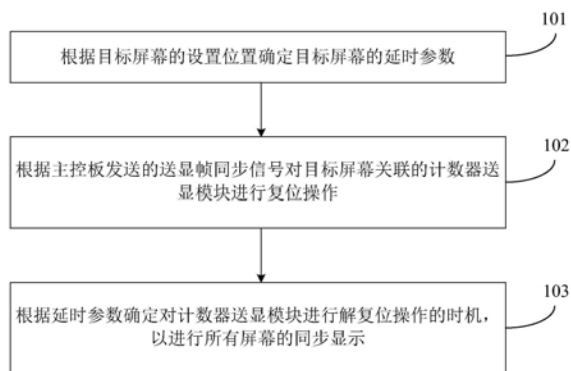
权利要求书2页 说明书12页 附图6页

(54) 发明名称

多屏同步显示的控制方法、装置、电子设备和存储介质

(57) 摘要

本发明实施例公开了一种多屏同步显示的控制方法、装置、电子设备和存储介质。该多屏同步显示的控制方法包括：根据目标屏幕的设置位置确定所述目标屏幕的延时参数；根据主控板发送的送显帧同步信号对所述目标屏幕关联的计数器送显模块进行复位操作；根据所述延时参数确定对所述计数器送显模块进行解复位操作的时机，以进行所有屏幕的同步显示。本发明实施例通过主控板发送的送显帧同步信号实现对所有屏幕计数器送显模块的复位同步，同时通过屏幕位置确定延时参数解决了多屏显示时出现的不同行显示屏画面显示不同步的问题，实现电视墙的画面同步效果，适用性强。



1. 一种多屏同步显示的控制方法,其特征在于,所有屏幕由同一个主控板进行控制显示,包括:

根据目标屏幕的设置位置确定所述目标屏幕的延时参数;

根据主控板发送的送显帧同步信号对所述目标屏幕关联的计数器送显模块进行复位操作;

根据所述延时参数确定对所述计数器送显模块进行解复位操作的时机,以进行所有屏幕的同步显示。

2. 根据权利要求1所述的方法,其特征在于,所述延时参数根据消隐延时时间进行确定;其中,消隐延时时间为相邻行屏幕之间的延迟时间差;

相应的,根据所述延时参数确定对所述计数器送显模块进行解复位操作的时机,包括:

确定所述延时参数和预设单帧采集时间的比较结果;其中,所述预设单帧采集时间为根据送显图像分辨率确定的单帧图像采集时间;

若所述延时参数小于所述预设单帧采集时间,则按照所述延时参数对所述目标屏幕的图像显示进行延迟后,执行对所述计数器送显模块的解复位操作;

若所述延时参数大于或等于所述预设单帧采集时间,则根据所述延时参数确定跳帧参数和延时余量参数,按照所述跳帧参数和延时余量参数对所述目标屏幕的图像显示进行延迟后,执行对所述计数器送显模块的解复位操作。

3. 根据权利要求2所述的方法,其特征在于,所述消隐延时时间根据如下公式进行确定:

消隐延时时间=水平总像素*(垂直总像素-前沿参数-同步宽度参数-后沿参数)/时钟参数;

其中,水平总像素=水平有效像素+水平消隐像素,所述垂直总像素=垂直有效像素+垂直消隐像素;水平有效像素、水平消隐像素、垂直有效像素和垂直消隐像素根据送显图像分辨率进行确定;所述前沿参数、同步宽度参数、后沿参数和时钟参数根据所述送显图像的时序特征进行确定。

4. 根据权利要求1所述的方法,其特征在于,在根据所述延时参数确定对所述计数器送显模块进行解复位操作的时机之前,所述方法还包括:

确定所述主控板的时钟与所述目标屏幕关联的输出业务板卡的时钟是否是同源时钟;

若不是同源时钟,则根据所述主控板的时钟对所述输出业务板卡的时钟进行校正后,执行根据所述延时参数确定对所述计数器送显模块进行解复位操作的时机;

若是同源时钟,则执行根据所述延时参数确定对所述计数器送显模块进行解复位操作的时机。

5. 根据权利要求4所述的方法,其特征在于,根据所述主控板的时钟对所述输出业务板卡的时钟进行校正,包括:

所述输出业务板卡产生本地时钟;

根据主控板发送的时钟帧同步信号对所述目标屏幕关联的计数器模块进行复位操作;

根据进行复位操作后的计数器模块重新产生参考时钟。

6. 根据权利要求1所述的方法,其特征在于,在根据目标屏幕的设置位置确定所述目标屏幕的延时参数之前,所述方法还包括:

确定所述目标屏幕的同步显示模式；其中，所述同步显示模式根据所述目标屏幕的屏幕属性特征进行确定；

若所述同步显示模式为同步模式，则根据主控板的送显帧同步信号对目标屏幕关联的计数器送显模块进行解复位操作；

若所述同步显示模式为同步延时模式，则继续执行根据目标屏幕的设置位置确定所述目标屏幕的延时参数。

7. 根据权利要求6所述的方法，其特征在于，根据主控板的送显帧同步信号对目标屏幕关联的计数器送显模块进行解复位操作，包括：

锁定目标屏幕的图像显示参数；

对所述目标屏幕关联的计数器送显模块进行复位操作；

若接收到主控板发送的送显帧同步信号，则对所述目标屏幕关联的计数器送显模块进行解复位操作。

8. 一种多屏同步显示的控制装置，其特征在于，所有屏幕由同一个主控板进行控制显示，包括：

延时参数确定模块，用于根据目标屏幕的设置位置确定所述目标屏幕的延时参数；

送显复位模块，用于根据主控板发送的送显帧同步信号对所述目标屏幕关联的计数器送显模块进行复位操作；

送显解复位模块，用于根据所述延时参数确定对所述计数器送显模块进行解复位操作的时机，以进行所有屏幕的同步显示。

9. 一种电子设备，其特征在于，包括：

一个或多个处理器；

存储装置，用于存储一个或多个程序，

当所述一个或多个程序被所述一个或多个处理器执行，使得所述一个或多个处理器实现如权利要求1-7中任一所述的多屏同步显示的控制方法。

10. 一种计算机可读存储介质，其上存储有计算机程序，其特征在于，该程序被处理器执行时实现如权利要求1-7中任一所述的多屏同步显示的控制方法。

多屏同步显示的控制方法、装置、电子设备和存储介质

技术领域

[0001] 本发明实施例涉及屏幕显示技术领域,尤其涉及一种多屏同步显示的控制方法、装置、电子设备和存储介质。

背景技术

[0002] 随着智慧城市的大力推广,由于单一大屏生产难度大、成本高等原因,一般使用多屏拼接的方式实现大屏显示,使得监控类拼控设备越来越普及。例如监控现场使用拼控设备将多个显示屏的显示画面拼接在一起,使多个显示屏组成的电视墙共同显示同一张画面。

[0003] 对于拼控设备,往往设置有多个输出板卡,且多个输出板卡可以创建多个画面输出接口,每个画面输出接口与一个显示屏连接,实现拼控设备对多个显示屏的同时控制。在多个显示屏拼接成的电视墙是多行多列的情况下,将一个图像输入源拖入到整个电视墙中,由于每个显示屏的图像刷新起始时间是一样的,但是对于整个电视墙而言,整个图像的扫描是从上往下依次进行的,导致位于不同行的显示屏在显示图像时,会出现画面不同步的现象,且行数越大不同步现象就越严重,影响电视墙的整体显示效果。

发明内容

[0004] 本发明实施例提供一种多屏同步显示的控制方法、装置、电子设备和存储介质,解决了多屏显示时出现的不同行显示屏画面显示不同步的问题,实现电视墙的画面同步效果,适用性强。

[0005] 第一方面,本发明实施例提供了一种多屏同步显示的控制方法,所有屏幕由同一个主控板进行控制显示,包括:

[0006] 根据目标屏幕的设置位置确定所述目标屏幕的延时参数;

[0007] 根据主控板发送的送显帧同步信号对所述目标屏幕关联的计数器送显模块进行复位操作;

[0008] 根据所述延时参数确定对所述计数器送显模块进行解复位操作的时机,以进行所有屏幕的同步显示。

[0009] 第二方面,本发明实施例还提供了一种多屏同步显示的控制装置,所有屏幕由同一个主控板进行控制显示,包括:

[0010] 延时参数确定模块,用于根据目标屏幕的设置位置确定所述目标屏幕的延时参数;

[0011] 送显复位模块,用于根据主控板发送的送显帧同步信号对所述目标屏幕关联的计数器送显模块进行复位操作;

[0012] 送显解复位模块,用于根据所述延时参数确定对所述计数器送显模块进行解复位操作的时机,以进行所有屏幕的同步显示。

[0013] 第三方面,本发明实施例还提供了一种电子设备,包括:

[0014] 一个或多个处理器；

[0015] 存储装置,用于存储一个或多个程序,

[0016] 当所述一个或多个程序被所述一个或多个处理器执行,使得所述一个或多个处理器实现如本发明任一实施例所述的多屏同步显示的控制方法。

[0017] 第四方面,本发明实施例还提供了一种计算机可读存储介质,其上存储有计算机程序,该程序被处理器执行时实现如本发明任一实施例所述的多屏同步显示的控制方法。

[0018] 本发明实施例根据目标屏幕的设置位置确定目标屏幕的延时参数;根据主控板发送的送显帧同步信号对目标屏幕关联的计数器送显模块进行复位操作;根据延时参数确定对计数器送显模块进行解复位操作的时机,以进行所有屏幕的同步显示。通过主控板发送的送显帧同步信号实现对所有屏幕计数器送显模块的复位同步,同时通过屏幕位置确定延时参数解决了多屏显示时出现的不同行显示屏画面显示不同步的问题,实现电视墙的画面同步效果,适用性强。

附图说明

[0019] 图1是本发明实施例一中的多屏同步显示的控制方法的流程图;

[0020] 图2是由3行3列的显示屏幕构成的电视墙示意图;

[0021] 图3是本发明实施例二中的多屏同步显示的控制方法的流程图;

[0022] 图4是同步模式下的多屏同步显示的控制方法的流程图;

[0023] 图5是同步延时模式下主控板的时钟与各屏幕关联的输出业务板卡的时钟是同源时钟时,多屏同步显示的控制方法的流程图;

[0024] 图6是同步延时模式下主控板的时钟与各屏幕关联的输出业务板卡的时钟是非同源时钟时,多屏同步显示的控制方法的流程图;

[0025] 图7是本发明实施例三中的多屏同步显示的控制装置的结构示意图;

[0026] 图8是本发明实施例四中的电子设备的结构示意图。

具体实施方式

[0027] 下面结合附图和实施例对本发明作进一步的详细说明。可以理解的是,此处所描述的具体实施例仅仅用于解释本发明,而非对本发明的限定。另外还需要说明的是,为了便于描述,附图中仅示出了与本发明相关的部分而非全部结构。

[0028] 实施例一

[0029] 图1是本发明实施例一中的多屏同步显示的控制方法的流程图,本实施例可适用于实现对拼控设备控制的多个显示屏幕进行显示同步控制的情况,所有屏幕由同一个主控板进行控制显示。该方法可以由多屏同步显示的控制装置来执行,该装置可以采用软件和/或硬件的方式实现,并可配置在电子设备中,例如电子设备可以是后台服务器等具有通信和计算能力的设备。如图1所示,该方法具体包括:

[0030] 步骤101、根据目标屏幕的设置位置确定目标屏幕的延时参数。

[0031] 其中,目标屏幕是构成电视墙的多个屏幕中的任一屏幕,目标屏幕的设置位置是指该目标屏幕在电视墙上的所在位置,例如由于屏幕所在行数会影响其显示同步效果,因此目标屏幕的设置位置是指目标屏幕的所在行数。

[0032] 由于目标屏幕的所在行数会影响目标屏幕的同步显示效果。如图2所示为由3行3列的显示屏幕构成的电视墙示意图,第一行显示屏幕1和第二行显示屏幕4的刷新率是一样的,且每个屏幕的图像刷新起始时间是一样的。但对于整个电视墙而言,整个图像的扫描起始点是A1,从上往下依次扫描。对于采集60帧而言,显示屏幕1从A1扫描到A2图像需要16.66ms的时间,在同一时刻第二行的显示屏幕4已经从A2扫描到A3的位置,此时第一行显示屏幕的屏幕画面与第二行显示屏幕的屏幕画面将会出现16.66ms的延时,即出现画面不同步现象。为了解决该问题,首先需要确定显示屏幕的延时参数,即延时时间,根据该延时时间控制对显示屏幕的画面显示。

[0033] 具体的,目标屏幕的设置位置包括目标屏幕的所在行数,根据目标屏幕的所在行数确定目标屏幕的显示画面比第一行屏幕显示画面所延时的时间,作为延时参数。示例性的,第一行屏幕的延时参数为0,第二行屏幕以第一行屏幕为标准,延时参数为一帧图像的显示时间,该显示时间根据图像分辨率进行计算确定,例如延时参数可以设置为16.66ms,依次类推,行数越大不同步现象就越严重,所对应的延时参数进行翻倍处理。

[0034] 步骤102、根据主控板发送的送显帧同步信号对目标屏幕关联的计数器送显模块进行复位操作。

[0035] 其中,目标屏幕关联的计数器送显模块用于对目标屏幕显示画面的时间进行控制。由于目标屏幕所在行数不同所要进行延时的参数不同,并且电视墙中所有屏幕的延时参数是根据第一行的显示屏幕为参考标准,因此首先需要对电视墙中所有屏幕的计数器送显模块进行复位操作。复位操作即将送显计数器进行清零操作,以在清零后进行重新计数。

[0036] 具体的,主控板向所控制的所有屏幕关联的计数器送显模块发送送显帧同步信号,当目标屏幕关联的计数器送显模块接收到临近的主控板发送的送显帧同步信号,则对该计数器送显模块进行复位清零操作。示例性的,主控板FPGA向所有输出业务板卡的FPGA计数器送显模块发送帧脉冲,目标屏幕关联的输出业务板卡的FPGA在确定延时参数后接收到临近的主控板发送的帧脉冲,则FPGA计数器送显模块执行复位操作。由于FPGA计数器送显模块需要等进行延时参数同步后再进行复位操作,使得所有输出业务板卡的FPGA计数器送显模块复位时机相同,即同时进行计数清零操作,为后续进行延时同步显示打下基础。

[0037] 步骤103、根据延时参数确定对计数器送显模块进行解复位操作的时机,以进行所有屏幕的同步显示。

[0038] 其中,解复位操作是指对计数器送显模块进行重新计数的恢复操作。开始重新计数就表示按照该计数时间对屏幕的画面进行送显。

[0039] 由于目标屏幕若位于电视墙的非第一行,则目标屏幕的画面送显开始时间需要在第一行屏幕的画面送显开始时间的基础上按照延时参数进行延时操作,以保证目标屏幕的画面与第一行屏幕的画面保持同步。

[0040] 具体的,按照延时参数对目标屏幕对应的画面输出接口进行延迟后,对计数器送显模块进行解复位操作。同时按照任一屏幕的延时参数对该屏幕对应的画面输出接口进行延迟后,对所有屏幕关联的计数器送显模块进行解复位操作,使得所有屏幕关联的计数器送显模块同时开始重新计数,并且按照对应延时对相应的画面输出接口进行输出画面,使得所有屏幕进行同步显示画面。

[0041] 在一个可行的实施例中,延时参数根据消隐延时时间进行确定;其中,消隐延时时间

间为相邻行屏幕之间的延迟时间差；

[0042] 相应的,步骤103,包括:

[0043] 确定延时参数和预设单帧采集时间的比较结果;其中,预设单帧采集时间为根据送显图像分辨率确定的单帧图像采集时间;

[0044] 若延时参数小于预设单帧采集时间,则按照延时参数对目标屏幕的图像显示进行延迟后,执行对计数器送显模块的解复位操作;

[0045] 若延时参数大于或等于预设单帧采集时间,则根据延时参数确定跳帧参数和延时余量参数,按照跳帧参数和延时余量参数对目标屏幕的图像显示进行延迟后,执行对计数器送显模块的解复位操作。

[0046] 其中,延时参数是指图像显示时图像中的有效像素显示所需的延时时间,由于一帧图像进行显示时包括有效像素和消隐像素,图像在屏幕上进行显示时是只显示有效像素,因此需要按照去除消隐像素后的延时时间对目标屏幕的画面显示进行延时,以保证画面延时的准确性。由于目标屏幕的延时参数是相较于第一行屏幕的延时参数,消隐延时时间为相邻行屏幕之间的延迟时间差,目标屏幕的延时参数确定根据目标屏幕与第一行屏幕之间行数差和消隐延时时间的乘积进行确定。示例性的,相邻行屏幕之间的延迟时间差大概为一帧图像的显示时长,具体的准确时间可以根据图像的分辨率进行计算确定,例如延迟时间差可以设置为16ms(大概为16ms,准确时间需要通过计算获得),则第三行目标屏幕与第一行屏幕之间的行数差为2,则第二行目标屏幕的延时参数为32ms,该值可以根据相邻行屏幕之间的延迟时间差进行确定,以此类推。

[0047] 由于目标屏幕的延时参数表示了该目标屏幕的画面显示的初始时间需要延时的程度,但是若目标屏幕的延时时间超过了一帧图像的采集时间,在这种情况下,若仍按照延时时间对目标屏幕的画面显示进行延迟则会造成画面显示不准确的问题。因此在本发明实施例中,若目标屏幕确定的需要进行延迟的延时参数大于或等于预设单帧采集时间,则采用直接进行跳帧延迟处理的方式对目标屏幕的画面显示进行延迟。

[0048] 具体的,由于预设单帧采集时间表示了目标屏幕所要显示的画面单帧采集的时间,该采集时间中既包括了有效像素的采集时间,也包括消隐像素的采集时间。确定延时参数和预设单帧采集时间的比较结果,若延时参数小于预设单帧采集时间表示该目标屏幕所需延迟的时间小于一帧图像的采集时间,则可以直接根据延时参数对目标屏幕的图像显示进行延迟;若延时参数大于或等于预设单帧采集时间表示该目标屏幕所需延迟的时间大于一帧图像的采集时间,则目标屏幕需要按照跳帧处理延迟时间。例如目标屏幕的跳帧参数等于消隐延迟时间与跳帧参考时间相除的取整值,延时余量参数为消隐延迟时间与前序延迟总时间相除的余数。

[0049] 示例性的,根据送显图像分辨率确定预设单帧采集时间为16.66ms,若目标屏幕位于电视墙的第二行,则确定的延时参数大概为16ms,该具体数值可以根据实际情况进行计算得到,在此不作严格限定,由于16ms小于16.66ms,则第二行的屏幕直接按照延时参数对图像显示进行显示延迟即可。若目标屏幕位于电视墙的第三行,则确定的延时参数大概为32ms,同样,该具体数值可以根据实际情况进行计算得到,在此不作严格限定,由于32ms大于16.66ms,即第三行屏幕所需延时的时间大于一帧图像的采集时间,因此需要按照跳帧参数和延时余量参数对第三行的目标屏幕的图像显示进行延迟。其中,跳帧参考时间表示了

目标屏幕所需进行跳帧的倍数,因此前序延迟总时间为32ms,则跳帧参数为 $32\text{ms}/32\text{ms}=1$ 帧,延时余量参数为0,即第三行目标屏幕进行延时需要进行跳一帧处理即可。在对所有屏幕按照延时参数进行相应延时后,执行对关联的输出业务板卡中FPGA计数器送显模块的解复位操作,使得FPGA计数器送显模块从清零开始重新开始计数,对屏幕进行送显操作。

[0050] 在一个可行的实施例中,消隐延时时间根据如下公式进行确定:

[0051] 消隐延时时间=水平总像素*(垂直总像素-前沿参数-同步宽度参数-后沿参数)/时钟参数;

[0052] 其中,水平总像素=水平有效像素+水平消隐像素,垂直总像素=垂直有效像素+垂直消隐像素;水平有效像素、水平消隐像素、垂直有效像素和垂直消隐像素根据送显图像分辨率进行确定;前沿参数、同步宽度参数、后沿参数和时钟参数根据送显图像的时序特征进行确定。

[0053] 由于消隐延时时间需要消除图像中不显示的消隐数据带来的影响,因此根据送显图像的消隐数据进行确定,但是由于在屏幕显示时是在垂直方向上带来的延时,而水平方向上需要按照正常画面进行扫描,因此在本发明实施例中目标屏幕的消隐延时时间需要保留水平方向上的消隐数据,去除垂直方向上的消隐数据带来的影响。其中,前沿参数、同步宽度参数和后沿参数之和表示了消隐像素,前沿参数、同步宽度参数和后沿参数根据送显图像的时序特征进行确定,即根据送显图像的输出分辨率进行确定。水平总像素和垂直总像素表示了水平方向和垂直方向上图像上的总像素点。

[0054] 在一个可行的实施例中,在步骤103之前,该方法还包括:

[0055] 确定主控板的时钟与目标屏幕关联的输出业务板卡的时钟是否是同源时钟;

[0056] 若不是同源时钟,则根据主控板的时钟对输出业务板卡的时钟进行校正后,执行根据延时参数确定对计数器送显模块进行解复位操作的时机;

[0057] 若是同源时钟,则执行根据延时参数确定对计数器送显模块进行解复位操作的时机。

[0058] 主控板的时钟与目标屏幕关联的输出业务板卡的时钟是否是同源时钟是指输出业务板卡的时钟是否产生自己的本地时钟信号,若输出业务板卡产生自己的本地时钟信号,以本地时钟信号为基准进行送显计数,则主控板的时钟与目标屏幕关联的输出业务板卡的时钟是非同源时钟;若输出业务板卡不产生自己的本地时钟信号,以主控板的时钟信号为基准进行送显计数,则主控板的时钟与目标屏幕关联的输出业务板卡的时钟是同源时钟。示例性的,业务板卡的时钟采用主控CPLD产生的时钟,则是同源时钟,否则为非同源时钟。

[0059] 若主控板的时钟与目标屏幕关联的输出业务板卡的时钟是同源时钟,则在对计数器送显模块进行清零操作,且按照延时参数进行延迟后,对计数器送显模块执行解复位操作即可,例如通过对不同行屏幕送显时间进行延时以及跳帧数配置给关联的FPGA,由FPGA控制内部计数器送显模块来实现延时同步的目的,从而达到整个画面视觉同步的现象。

[0060] 若主控板的时钟与目标屏幕关联的输出业务板卡的时钟是非同源时钟,用主控CPLD产生的帧脉冲作为校准时钟,由输出业务板卡FPGA自行产生参考时钟来代替主控CPLD产生的帧脉冲,以此实现所有输出业务板卡时钟同步的效果。在实现所有输出业务板卡时钟同步后,按照延时参数进行延迟后,对计数器送显模块执行解复位操作即可。

[0061] 在一个可行的实施例中,根据主控板的时钟对输出业务板卡的时钟进行校正,包括:

[0062] 输出业务板卡产生本地时钟;

[0063] 根据主控板发送的时钟帧同步信号对目标屏幕关联的计数器模块进行复位操作;

[0064] 根据进行复位操作后的计数器模块重新产生参考时钟。

[0065] 主控板的时钟与目标屏幕关联的输出业务板卡的时钟是非同源时钟,主控板产生的时钟和输出业务板卡的时钟为非同源时钟,例如主控CPLD时钟脉冲比输出业务板卡的时钟快的情况下,每一帧都会快,累加后会存在某一帧第二行屏幕快于第一行屏幕,导致不同步现象。此时单纯的根据延时参数进行延时不能达到同步的效果,在本发明实施例中采用每个输出业务板卡上的FPGA自行产生脉冲信号,使其脉冲信号代替主控板产生的脉冲信号。示例性的,主控CPLD产生的时钟作为校准时钟,当电视墙配置参数完成后,下发参数同步,随后输出业务板卡等到主控板CPLD发送的时钟帧同步信号到达之后,对所有输出业务板卡FPGA产生本地脉冲的计数器进行清零,使其达到所有输出业务板卡FPGA本地脉冲同步的效果。

[0066] 在一个可行的实施例中,在步骤101之前,该方法还包括:

[0067] 确定目标屏幕的同步显示模式;其中,同步显示模式根据目标屏幕的屏幕属性特征进行确定;

[0068] 若同步显示模式为同步模式,则根据主控板的送显帧同步信号对目标屏幕关联的计数器送显模块进行解复位操作;

[0069] 若同步显示模式为同步延时模式,则继续执行根据目标屏幕的设置位置确定目标屏幕的延时参数。

[0070] 其中,目标屏幕的屏幕属性特征根据屏幕材质以及其他特征进行确定,示例性的,预先建立目标屏幕的屏幕属性特征与同步显示模式的关联关系,在确定目标屏幕的屏幕属性特征后,即可确定对目标屏幕进行操作的同步显示模式。示例性的,目标屏幕为LCD屏时,同步显示模式可以为同步延时模式;目标屏幕为小间距LED屏幕时,同步显示模式为同步模式,具体根据屏幕属性特征决定的屏幕显示原理进行确定。

[0071] 若目标屏幕的同步显示模式为同步延时模式,则继续执行根据目标屏幕的设置位置确定目标屏幕的延时参数,即按照目标屏幕的所在行数下发延时参数,保证所有输出业务板卡以及各个FPGA同步。

[0072] 由于每块输出业务板上电时间不同,所以每块输出业务板卡送显时间也会不同,因此会屏幕显示导致不同步问题。在本发明实施例中,若目标屏幕的同步显示模式为同步模式,实现FPGA同步,首先保证所有的输出业务板卡FPGA时钟都为同源时钟,统一由主控板FPGA产生;其次主控板FPGA会产生一个送显帧同步信号,例如帧同步脉冲,所有屏幕关联的输出业务板卡根据此帧同步脉冲对每个FPGA的计数器送显模块进行解复位。

[0073] 在一个可行的实施例中,根据主控板的送显帧同步信号对目标屏幕关联的计数器送显模块进行解复位操作,包括:

[0074] 锁定目标屏幕的图像显示参数;

[0075] 对目标屏幕关联的计数器送显模块进行复位操作;

[0076] 若接收到主控板发送的送显帧同步信号,则对目标屏幕关联的计数器送显模块进

行解复位操作。

[0077] 在创建电视墙时,不同分辨率电视墙会下发对应分辨率的VESA标准视频显示时序信号给输出业务板卡的FPGA,即目标屏幕的图像显示参数;当信号稳定后FPGA会将锁相环锁定,即目标屏幕关联的FPGA锁定目标屏幕的图像显示参数;与此同时会复位FPGA内部计数器送显模块,使计数器清零。然后所有输出业务板卡FPGA模块等到主控板FPGA产生临近的帧同步脉冲到达之后,FPGA将内部计数器送显模块进行解复位操作,使其计数器送显模块进行统一计数操作,由此实现所有输出业务板卡的FPGA达到同步送显的效果。

[0078] 本发明实施例根据目标屏幕的设置位置确定目标屏幕的延时参数;根据主控板发送的送显帧同步信号对目标屏幕关联的计数器送显模块进行复位操作;根据延时参数确定对计数器送显模块进行解复位操作的时机,以进行所有屏幕的同步显示。通过主控板发送的送显帧同步信号实现对所有屏幕计数器送显模块的复位同步,同时通过屏幕位置确定延时参数解决了多屏显示时出现的不同行显示屏画面显示不同步的问题,实现电视墙的画面同步效果,适用性强。

[0079] 实施例二

[0080] 图3是本发明实施例二中的多屏同步显示的控制方法的流程图,如图3所示,该方法包括:

[0081] 在web界面上对多屏同步显示的控制模式进行配置,例如下发命令配置为同步模式或者同步延时模式;客户端在接收到web界面的配置后下发同步命令,多屏显示的控制软件在接收到该命令后向驱动下发同步命令,驱动在接收到该命令后,根据该命令设置相关参数,该参数包括各屏幕的延时参数等。各屏幕关联的FPGA根据寄存器中保存的相关参数进行处理,实现对多屏的同步送显。

[0082] 图4所示为同步模式下的多屏同步显示的控制方法的流程图。如图4所示,在同步模式下,首先需要根据送显图像的输出分辨率重新配置电视墙分辨率,以及配置电视墙行、场消隐参数,即不同分辨率电视墙会下发对应分辨率的VESA标准视频显示时序信号给输出业务板卡的FPGA;当信号稳定后FPGA会将锁相环锁定,即各屏幕关联的FPGA锁定目标屏幕的相关显示参数。待锁定参数后,对各屏幕关联的FPGA计数器送显模块进行复位操作,即执行计数清零操作,然后所有输出业务板卡FPGA模块等到主控板FPGA产生临近的帧同步脉冲到达之后,FPGA将内部计数器送显模块进行解复位操作,使其计数器送显模块进行统一计数操作,由此实现所有输出业务板卡的FPGA达到同步送显的效果。进行同时统一计数操作后,产生送显行场消隐参数,按照该参数对送显图像进行送显,实现多屏画面的同步显示效果。在同步模式下,首先保证所有输出业务板卡FPGA时钟都为同源时钟,统一由主控板FPGA产生;其次主控板FPGA会产生一个帧同步脉冲,所有的输出板卡根据此帧同步脉冲对每个FPGA的计数器送显模块进行解复位。解决了由于每块输出业务板上电时间不同,导致的每块输出业务板卡送显时间不同产生的不同步问题。

[0083] 图5所示为同步延时模式下主控板的时钟与各屏幕关联的输出业务板卡的时钟是同源时钟时,多屏同步显示的控制方法的流程图。如图5所示,在同步延时模式下,针对主控板的时钟与各屏幕关联的输出业务板卡的时钟是同源时钟时,首先软件下发不同行V0(画面输出接口)的延时等级,不同延时等级对应不同的延时参数,其中,每个V0关联一个显示屏。图5中仅示例了四行屏幕的延时参数,依次类推,在此不再赘述,16ms为消隐延时

间,根据送显图像的输出分辨率进行确定。

[0084] 每个屏幕对应一个寄存器用来配置和保存该屏幕的延时参数以及其使能位,再将各屏幕的延时参数配置到关联的不同输出业务板卡的FPGA中,并且使得所有FPGA参数同步,同步延时使能位置位操作。各输出业务板卡的FPGA接收到临近的主控板FPGA帧脉冲后,执行对FPGA计数器送显模块的复位操作,使得计数器清零。最后根据各屏幕的延时参数确定对相应计数器送显模块进行解复位操作的时机,以进行所有屏幕的同步显示。

[0085] 示例性的,软件根据V0所在的行数不同,下发相应的配置命令,即每行V0的送显延时参数。所有延时参数都以第一行V0为基准进行配置,第一行V0不进行延时,第二行延时16ms,16ms是由于图像送显的视频显示时序标准中,含有消隐数据,将消隐去除后,一帧图像的有效数据显示时间为16ms。第3行延时32ms,但由于采集60帧,一帧所用时间为16.6ms,延时时间必须在16.6ms以内才能生效,因此从第三行开始,延时参数不能直接配置为32ms。由于FPGA中会缓存4帧图像数据,读比写晚一帧,FPGA采集按照60帧采集,但内部会将60帧抽帧为30帧处理,最后送显再倍帧为60帧送显。所以第3行V0直接跳一帧,从下一帧开始送显,延时配0ms,依次类推;第4行V0,需要进行跳帧处理,先跳一帧,然后再延时16ms。此时所有LCD屏,视觉上显示效果同步,实际上每块V0都进行了相应的延时处理,实现多屏的同步显示效果。其中,所涉及到的延时时长和显示时间等数值可以根据实际显示图像的分辨率进行准确计算得到,在本示例中的数值只是其中一个示例,是一个大概值。

[0086] 图6所示为同步延时模式下主控板的时钟与各屏幕关联的输出业务板卡的时钟是非同源时钟时,多屏同步显示的控制方法的流程图。如图6所示,在同步延时模式下,针对主控板的时钟与各屏幕关联的输出业务板卡的时钟是非同源时钟时,主控板CPLD脉冲比V00快的情况下,每一帧都会快,累加后,会存在某一帧V01快于V00,导致不同行V0显示不同步现象。由于是非同源时钟,单纯的根据延时参数不能达到同步的效果,因此在该情况下,软件下发不同行V0的延时等级后,在对延时参数进行配置以及对FPGA计数器送显模块进行复位操作的同时,执行用主控板CPLD产生的帧脉冲作为校准时钟,由输出业务板FPGA自行产生参考时钟来代替主控CPLD产生的帧脉冲,以此实现所有输出板时钟同步的效果。示例性的,每个输出板卡包括扩展柜上面的FPGA自行产生脉冲信号,使其脉冲信号代替CPLD产生的脉冲信号,去进行跳帧操作。主控CPLD产生的时钟作为校准时钟,当电视墙配置参数完成后,下发参数同步,随后等到主控板CPLD发送的临近的帧脉冲到达之后,对所有输出板卡FPGA产生本地脉冲的计数器清零,使其达到所有FPGA本地脉冲同步的效果,此时可实现同步延时的效果。在此基础上,根据延时参数确定对各计数器送显模块进行解复位操作的时机,以进行所有屏幕的同步显示。

[0087] 本发明实施例可实现同源时钟或者非同源时钟下的画面同步效果,适用性强,同步效果好。通过对不同行屏幕所对应的FPGA配置相应的送显延时参数以及跳帧数,以此来实现整个电视墙不同行屏幕之间的画面同步效果,且电视墙不同行屏幕的延时使用FPGA进行控制,FPGA控制其内部计数器送显模块的复位和解复位时机,从而实现对不同FPGA对关联的不同屏幕进行延时送显的目的,同步效果安全可靠,效率高。

[0088] 实施例三

[0089] 图7是本发明实施例三中的多屏同步显示的控制装置的结构示意图,本实施例可适用于实现对拼控设备控制的多个显示屏幕进行显示同步控制的情况,所有屏幕由同一个

主控板进行控制显示。如图7所示,该装置包括:

[0090] 延时参数确定模块710,用于根据目标屏幕的设置位置确定所述目标屏幕的延时参数;

[0091] 送显复位模块720,用于根据主控板发送的送显帧同步信号对所述目标屏幕关联的计数器送显模块进行复位操作;

[0092] 送显解复位模块730,用于根据所述延时参数确定对所述计数器送显模块进行解复位操作的时机,以进行所有屏幕的同步显示。

[0093] 本发明实施例根据目标屏幕的设置位置确定目标屏幕的延时参数;根据主控板发送的送显帧同步信号对目标屏幕关联的计数器送显模块进行复位操作;根据延时参数确定对计数器送显模块进行解复位操作的时机,以进行所有屏幕的同步显示。通过主控板发送的送显帧同步信号实现对所有屏幕计数器送显模块的复位同步,同时通过屏幕位置确定延时参数解决了多屏显示时出现的不同行显示屏画面显示不同步的问题,实现电视墙的画面同步效果,适用性强。

[0094] 可选的,所述延时参数根据消隐延时时间进行确定;其中,消隐延时时间为相邻行屏幕之间的延迟时间差;

[0095] 相应的,送显解复位模块,具体用于:

[0096] 确定所述延时参数和预设单帧采集时间的比较结果;其中,所述预设单帧采集时间为根据送显图像分辨率确定的单帧图像采集时间;

[0097] 若所述延时参数小于所述预设单帧采集时间,则按照所述延时参数对所述目标屏幕的图像显示进行延迟后,执行对所述计数器送显模块的解复位操作;

[0098] 若所述延时参数大于或等于所述预设单帧采集时间,则根据所述延时参数确定跳帧参数和延时余量参数,按照所述跳帧参数和延时余量参数对所述目标屏幕的图像显示进行延迟后,执行对所述计数器送显模块的解复位操作。

[0099] 可选的,所述消隐延时时间根据如下公式进行确定:

[0100] 消隐延时时间=水平总像素*(垂直总像素-前沿参数-同步宽度参数-后沿参数)/时钟参数;

[0101] 其中,水平总像素=水平有效像素+水平消隐像素,所述垂直总像素=垂直有效像素+垂直消隐像素;水平有效像素、水平消隐像素、垂直有效像素和垂直消隐像素根据送显图像分辨率进行确定;所述前沿参数、同步宽度参数、后沿参数和时钟参数根据所述送显图像的时序特征进行确定。

[0102] 可选的,所述装置还包括同源时钟判断模块,用于在根据所述延时参数确定对所述计数器送显模块进行解复位操作的时机之前,包括:

[0103] 判断单元,用于确定所述主控板的时钟与所述目标屏幕关联的输出业务板卡的时钟是否是同源时钟;

[0104] 时钟校正单元,用于若不是同源时钟,则根据所述主控板的时钟对所述输出业务板卡的时钟进行校正后,执行根据所述延时参数确定对所述计数器送显模块进行解复位操作的时机;

[0105] 送显解复位单元,用于若是同源时钟,则执行根据所述延时参数确定对所述计数器送显模块进行解复位操作的时机。

- [0106] 可选的,时钟校正单元,具体用于:
- [0107] 所述输出业务板卡产生本地时钟;
- [0108] 根据主控板发送的时钟帧同步信号对所述目标屏幕关联的计数器模块进行复位操作;
- [0109] 根据进行复位操作后的计数器模块重新产生参考时钟。
- [0110] 可选的,所述方法还包括模式选择模块,用于在根据目标屏幕的设置位置确定所述目标屏幕的延时参数之前,包括:
- [0111] 模式确定单元,用于确定所述目标屏幕的同步显示模式;其中,所述同步显示模式根据所述目标屏幕的屏幕属性特征进行确定;
- [0112] 同步模式单元,用于若所述同步显示模式为同步模式,则根据主控板的送显帧同步信号对目标屏幕关联的计数器送显模块进行解复位操作;
- [0113] 同步延时模式单元,用于若所述同步显示模式为同步延时模式,则继续执行根据目标屏幕的设置位置确定所述目标屏幕的延时参数。
- [0114] 可选的,同步模式单元,包括:
- [0115] 锁定目标屏幕的图像显示参数;
- [0116] 对所述目标屏幕关联的计数器送显模块进行复位操作;
- [0117] 若接收到主控板发送的送显帧同步信号,则对所述目标屏幕关联的计数器送显模块进行解复位操作。
- [0118] 本发明实施例所提供的多屏同步显示的控制装置可执行本发明任意实施例所提供的多屏同步显示的控制方法,具备执行多屏同步显示的控制方法相应的功能模块和有益效果。

[0119] 实施例四

[0120] 图8是本发明实施例四提供的一种电子设备的结构示意图。图8示出了适于用来实现本发明实施方式的示例性电子设备12的框图。图8显示的电子设备12仅仅是一个示例,不应对本发明实施例的功能和使用范围带来任何限制。

[0121] 如图8所示,电子设备12以通用计算设备的形式表现。电子设备12的组件可以包括但不限于:一个或者多个处理器或者处理单元16,系统存储装置28,连接不同系统组件(包括系统存储装置28和处理单元16)的总线18。

[0122] 总线18表示几类总线结构中的一种或多种,包括存储装置总线或者存储装置控制器,外围总线,图形加速端口,处理器或者使用多种总线结构中的任意总线结构的局域总线。举例来说,这些体系结构包括但不限于工业标准体系结构 (ISA) 总线,微通道体系结构 (MAC) 总线,增强型ISA总线、视频电子标准协会 (VESA) 局域总线以及外围组件互连 (PCI) 总线。

[0123] 电子设备12典型地包括多种计算机系统可读介质。这些介质可以是任何能够被电子设备12访问的可用介质,包括易失性和非易失性介质,可移动的和不可移动的介质。

[0124] 系统存储装置28可以包括易失性存储装置形式的计算机系统可读介质,例如随机存取存储装置 (RAM) 30和/或高速缓存存储装置32。电子设备12可以进一步包括其它可移动/不可移动的、易失性/非易失性计算机系统存储介质。仅作为举例,存储系统34可以用于读写不可移动的、非易失性磁介质(图8未显示,通常称为“硬盘驱动器”)。尽管图8中未示

出,可以提供用于对可移动非易失性磁盘(例如“软盘”)读写的磁盘驱动器,以及对可移动非易失性光盘(例如CD-ROM,DVD-ROM或者其它光介质)读写的光盘驱动器。在这些情况下,每个驱动器可以通过一个或者多个数据介质接口与总线18相连。存储装置28可以包括至少一个程序产品,该程序产品具有一组(例如至少一个)程序模块,这些程序模块被配置以执行本发明各实施例的功能。

[0125] 具有一组(至少一个)程序模块42的程序/实用工具40,可以存储在例如存储装置28中,这样的程序模块42包括但不限于操作系统、一个或者多个应用程序、其它程序模块以及程序数据,这些示例中的每一个或某种组合中可能包括网络环境的实现。程序模块42通常执行本发明所描述的实施例中的功能和/或方法。

[0126] 电子设备12也可以与一个或多个外部设备14(例如键盘、指向设备、显示器24等)通信,还可与一个或者多个使得用户能与该设备12交互的设备通信,和/或与使得该设备12能与一个或多个其它计算设备进行通信的任何设备(例如网卡,调制解调器等等)通信。这种通信可以通过输入/输出(I/O)接口22进行。并且,电子设备12还可以通过网络适配器20与一个或者多个网络(例如局域网(LAN),广域网(WAN)和/或公共网络,例如因特网)通信。如图8所示,网络适配器20通过总线18与电子设备12的其它模块通信。应当明白,尽管图8中未示出,可以结合电子设备12使用其它硬件和/或软件模块,包括但不限于:微代码、设备驱动器、冗余处理单元、外部磁盘驱动阵列、RAID系统、磁带驱动器以及数据备份存储系统等。

[0127] 处理单元16通过运行存储在系统存储装置28中的程序,从而执行各种功能应用以及数据处理,例如实现本发明实施例所提供的多屏同步显示的控制方法,所有屏幕由同一个主控板进行控制显示,包括:

[0128] 根据目标屏幕的设置位置确定所述目标屏幕的延时参数;

[0129] 根据主控板发送的送显帧同步信号对所述目标屏幕关联的计数器送显模块进行复位操作;

[0130] 根据所述延时参数确定对所述计数器送显模块进行解复位操作的时机,以进行所有屏幕的同步显示。

[0131] 实施例五

[0132] 本发明实施例五还提供了一种计算机可读存储介质,其上存储有计算机程序,该程序被处理器执行时实现如本发明实施例所提供的多屏同步显示的控制方法,所有屏幕由同一个主控板进行控制显示,包括:

[0133] 根据目标屏幕的设置位置确定所述目标屏幕的延时参数;

[0134] 根据主控板发送的送显帧同步信号对所述目标屏幕关联的计数器送显模块进行复位操作;

[0135] 根据所述延时参数确定对所述计数器送显模块进行解复位操作的时机,以进行所有屏幕的同步显示。

[0136] 本发明实施例的计算机存储介质,可以采用一个或多个计算机可读的介质的任意组合。计算机可读介质可以是计算机可读信号介质或者计算机可读存储介质。计算机可读存储介质例如可以是但不限于电、磁、光、电磁、红外线、或半导体的系统、装置或器件,或者任意以上的组合。计算机可读存储介质的更具体的例子(非穷举的列表)包括:具有一个或多个导线的电连接、便携式计算机磁盘、硬盘、随机存取存储器(RAM)、只读存储器(ROM)、可

擦式可编程只读存储器 (EPROM或闪存)、光纤、便携式紧凑磁盘只读存储器 (CD-ROM)、光存储器件、磁存储器件、或者上述的任意合适的组合。在本文件中,计算机可读存储介质可以是任何包含或存储程序的有形介质,该程序可以被指令执行系统、装置或者器件使用或者与其结合使用。

[0137] 计算机可读的信号介质可以包括在基带中或者作为载波一部分传播的数据信号,其中承载了计算机可读的程序代码。这种传播的数据信号可以采用多种形式,包括但不限于电磁信号、光信号或上述的任意合适的组合。计算机可读的信号介质还可以是计算机可读存储介质以外的任何计算机可读介质,该计算机可读介质可以发送、传播或者传输用于由指令执行系统、装置或者器件使用或者与其结合使用的程序。

[0138] 计算机可读介质上包含的程序代码可以用任何适当的介质传输,包括但不限于无线、电线、光缆、RF等等,或者上述的任意合适的组合。

[0139] 可以以一种或多种程序设计语言或其组合来编写用于执行本发明操作的计算机程序代码,所述程序设计语言包括面向对象的程序设计语言诸如Java、Smalltalk、C++,还包括常规的过程式程序设计语言诸如“C”语言或类似的设计语言。程序代码可以完全地在用户计算机上执行、部分地在用户计算机上执行、作为一个独立的软件包执行、部分在用户计算机上部分在远程计算机上执行、或者完全在远程计算机或服务器上执行。在涉及远程计算机的情形中,远程计算机可以通过任意种类的网络包括局域网 (LAN) 或广域网 (WAN) 连接到用户计算机,或者,可以连接到外部计算机 (例如利用因特网服务提供商来通过因特网连接)。

[0140] 注意,上述仅为本发明的较佳实施例及所运用技术原理。本领域技术人员会理解,本发明不限于这里所述的特定实施例,对本领域技术人员来说能够进行各种明显的变化、重新调整和替代而不会脱离本发明的保护范围。因此,虽然通过以上实施例对本发明进行了较为详细的说明,但是本发明不仅仅限于以上实施例,在不脱离本发明构思的情况下,还可以包括更多其他等效实施例,而本发明的范围由所附的权利要求范围决定。

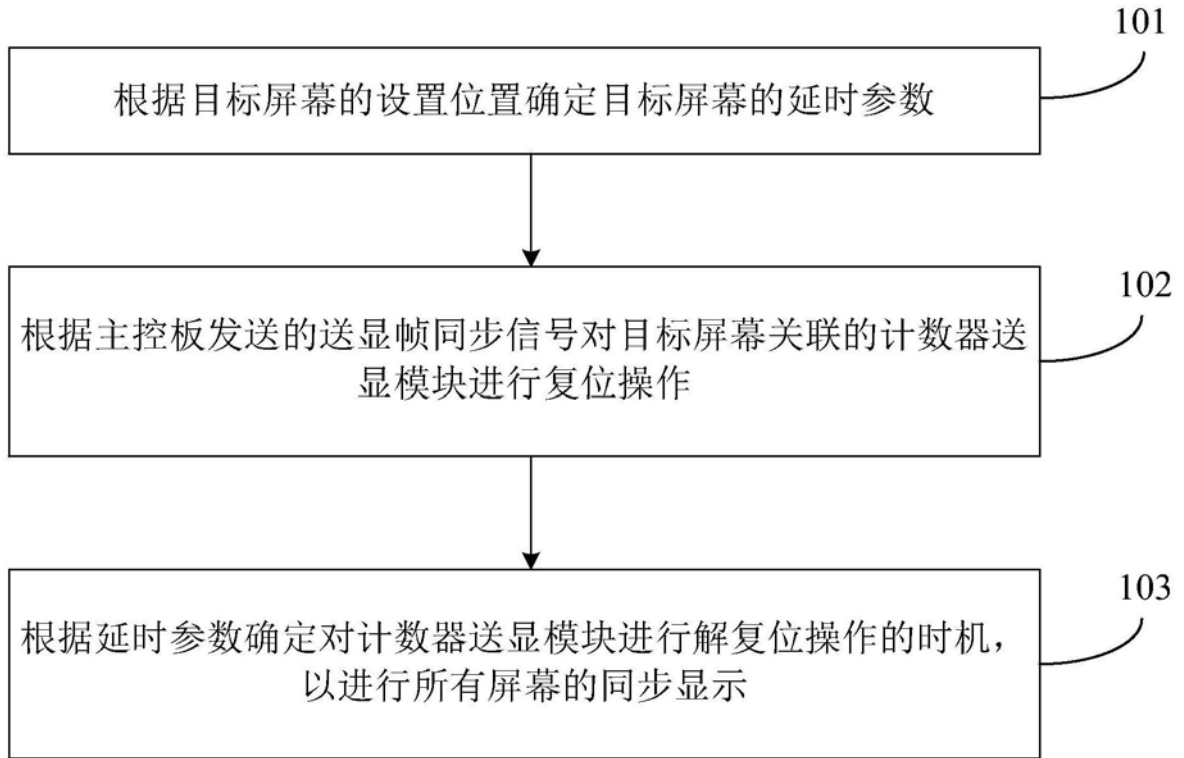


图1

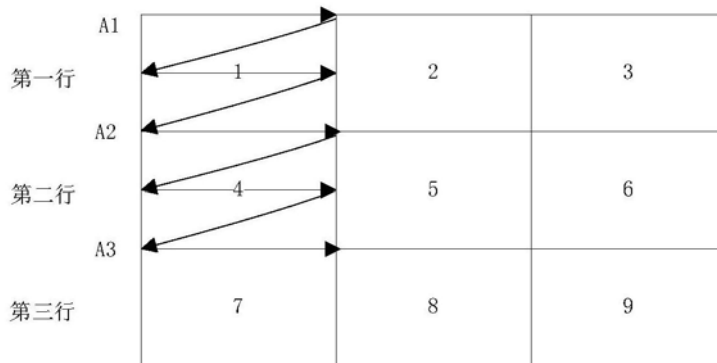


图2



图3

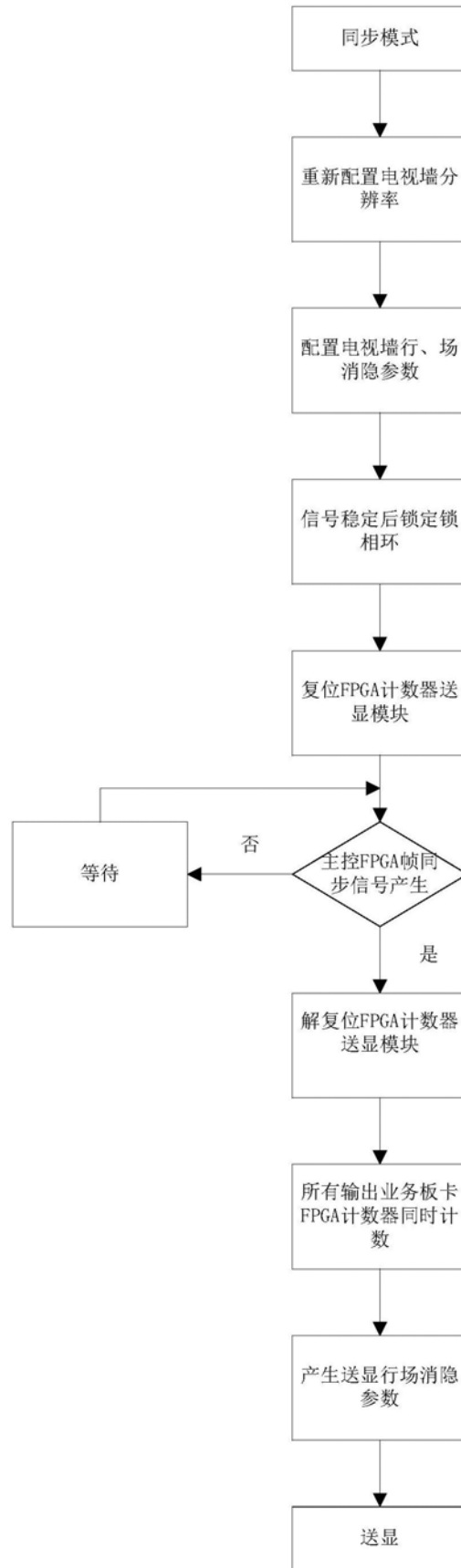


图4

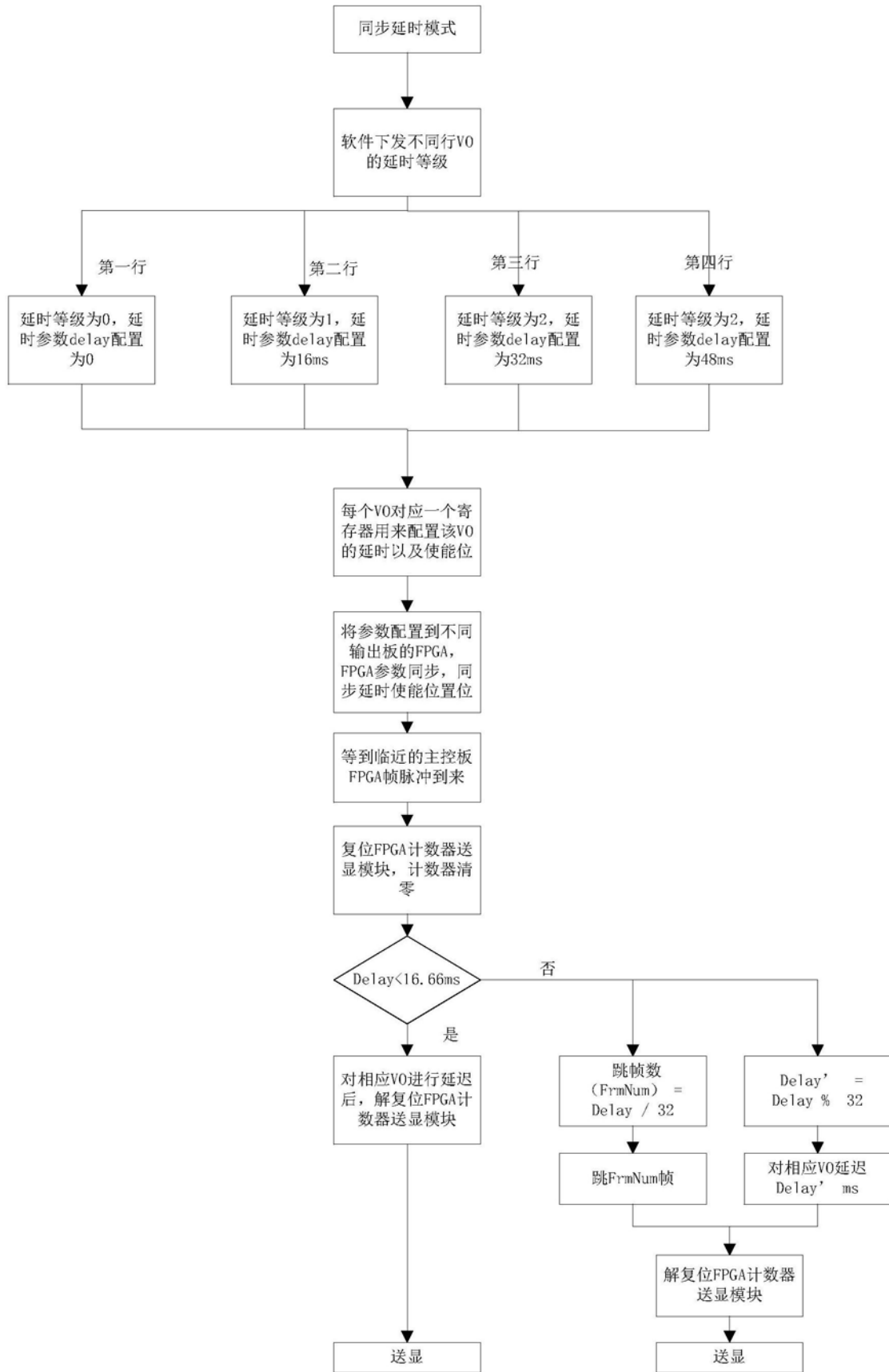


图5

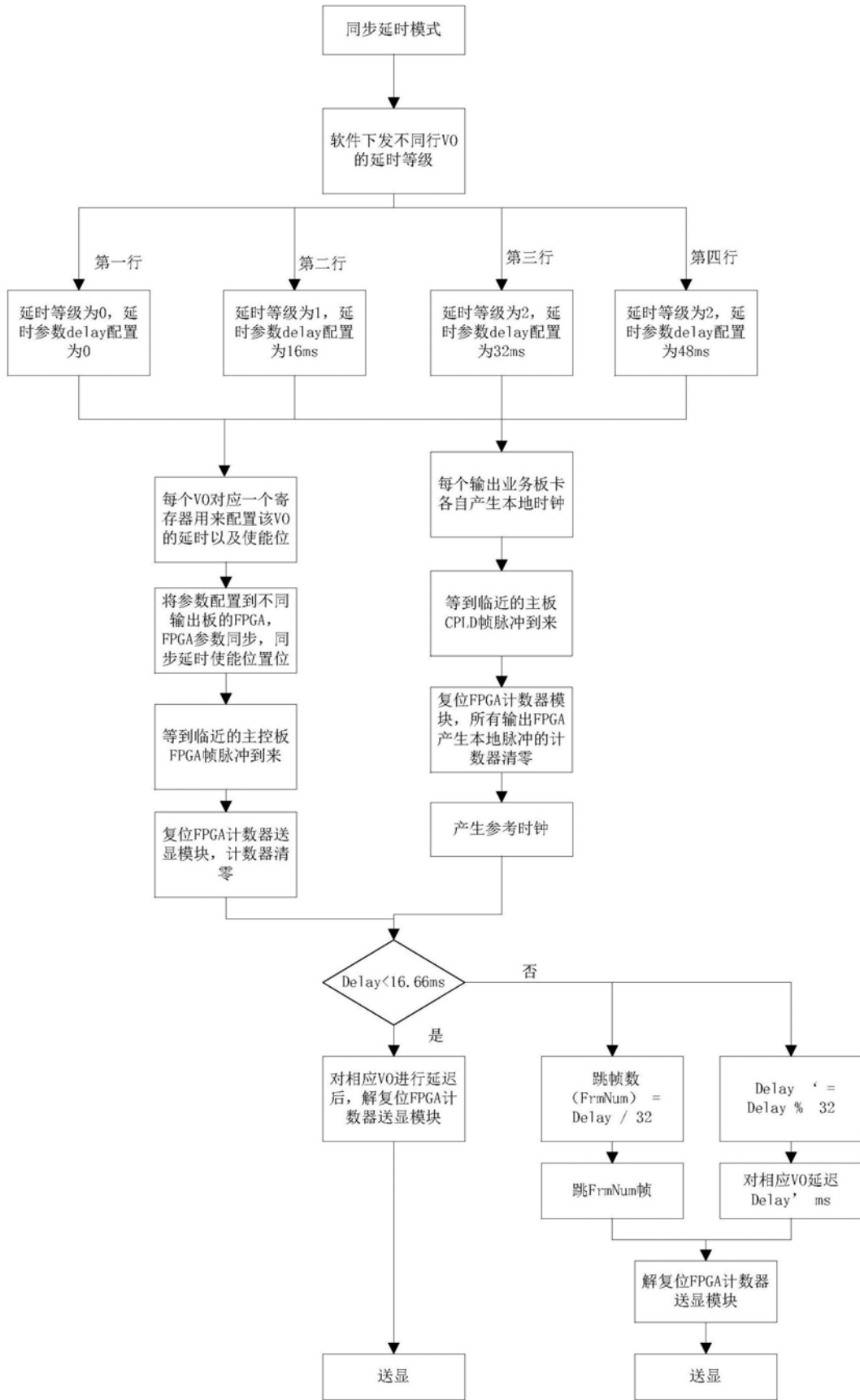


图6



图7

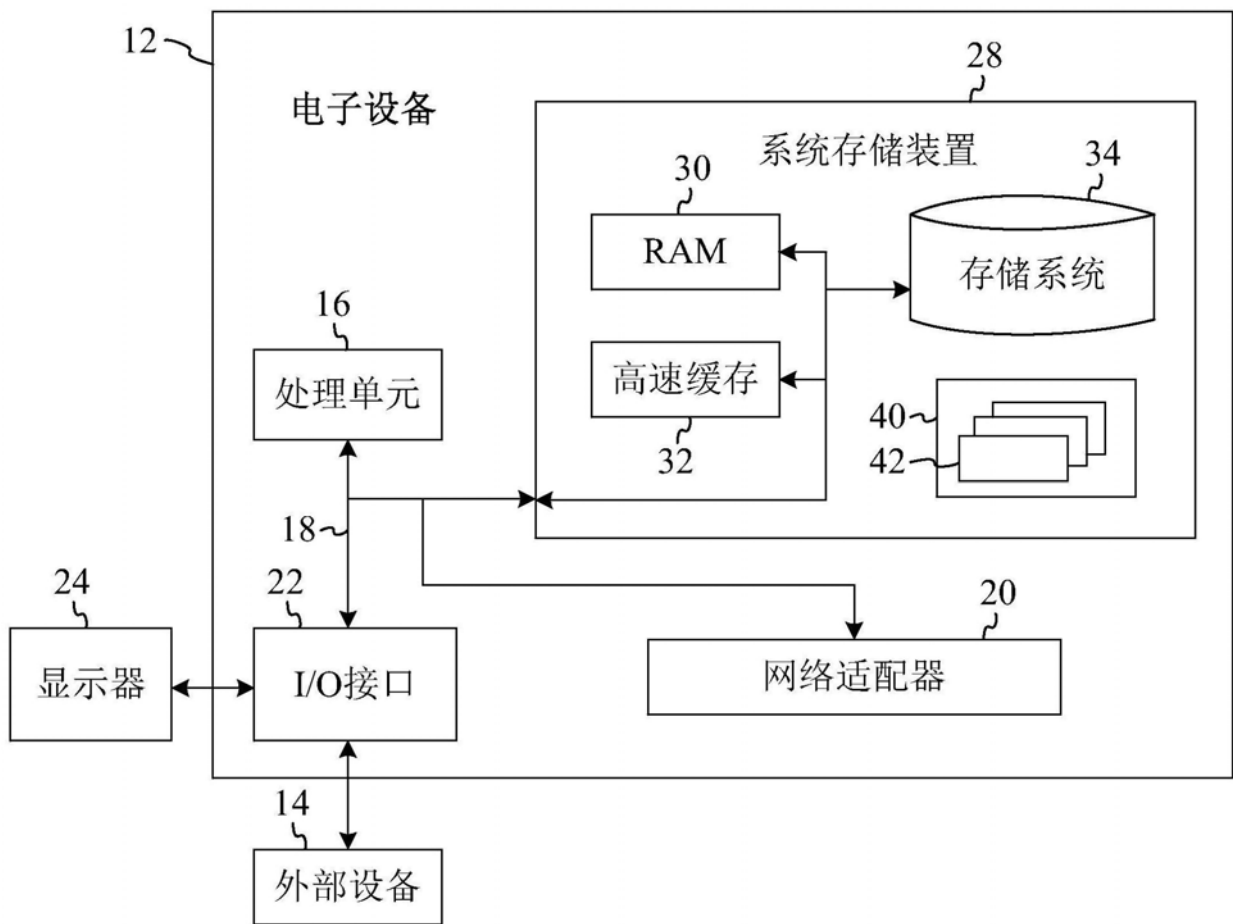


图8