



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I523498 B

(45)公告日：中華民國 105 (2016) 年 02 月 21 日

(21)申請案號：099146105

(22)申請日：中華民國 99 (2010) 年 12 月 27 日

(51)Int. Cl. : **H04N19/129 (2014.01)****H04N19/176 (2014.01)****H04N19/423 (2014.01)****H04N19/436 (2014.01)****H04N19/85 (2014.01)**

(30)優先權：2010/01/19 日本

2010-008864

(71)申請人：瑞薩電子股份有限公司(日本) RENESAS ELECTRONICS CORPORATION (JP)
日本(72)發明人：望月誠二 MOCHIZUKI, SEIJI (JP)；秋江一志 AKIE, KAZUSHI (JP)；柴山哲也
SHIBAYAMA, TETSUYA (JP)；岩田憲一 IWATA, KENICHI (JP)

(74)代理人：林志剛

(56)參考文獻：

TW 200818900A

TW 200913724A

CN 1068754C

US 2007/0046684A1

US 2008/0198929A1

審查人員：葉月芬

申請專利範圍項數：35 項 圖式數：16 共 91 頁

(54)名稱

動畫像編碼方法、動畫像解碼方法、動畫像編碼裝置及動畫像解碼裝置

(57)摘要

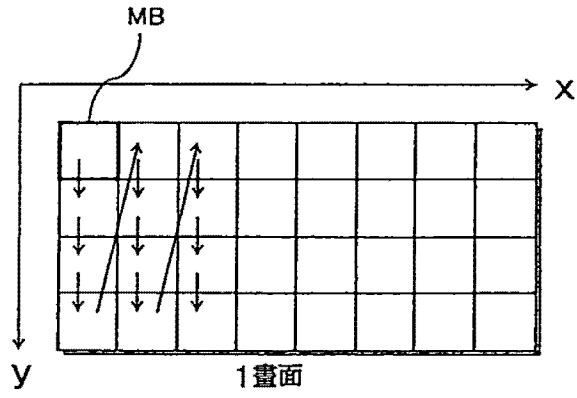
將用以儲存週邊巨集區塊資訊之記憶體的記憶容量之增大減輕。動畫像編碼方法，係使用編碼處理裝置，而將在水平方向之橫寬幅為較垂直方向之縱寬幅更大的橫長畫面的動畫像中所包含之複數之巨集區塊(MB)作編碼。在編碼時，編碼(MB)之週邊的複數之完成編碼的複數之(MB)的資訊，係被儲存在內藏之資訊儲存記憶體(204)中。在編碼時，最初，在橫長畫面之橫寬幅的左端處所被配列在垂直方向上之複數之(MB)係依序被作編碼，其之編碼資訊係被儲存在(204)中。之後，接下來，在橫長畫面之橫寬幅的左端之水平方向右鄰處所被配列在垂直方向上之複數之(MB)係依序被作編碼。

指定代表圖：

符號簡單說明：

MB . . . 巨集區塊

圖4



發明專利說明書

(本申請書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號：099146105

※申請日：099 年 12 月 27 日

一、發明名稱：(中文/英文)

動畫像編碼方法、動畫像解碼方法、動畫像編碼裝置及動畫像解碼裝置

How 1P/2P (2014.01)

How 1P/16 (2014.01)

※IPC 分類：How 1P/423 (2014.01)

How 1P/436 (2014.01)

How 1P/85 (2014.01)

二、中文發明摘要：

[課題]將用以儲存週邊巨集區塊資訊之記憶體之記憶容量之增大減輕。

[解決手段]動畫像編碼方法，係使用編碼處理裝置，而將在水平方向之橫寬幅為較垂直方向之縱寬幅更大的橫長畫面的動畫像中所包含之複數之巨集區塊 (MB) 作編碼。在編碼時，編碼 (MB) 之週邊的複數之完成編碼的複數之 (MB) 的資訊，係被儲存在內藏之資訊儲存記憶體 (204) 中。在編碼時，最初，在橫長畫面之橫寬幅的左端處所被配列在垂直方向上之複數之 (MB) 係依序被作編碼，其之編碼資訊係被儲存在 (204) 中。之後，接下來，在橫長畫面之橫寬幅的左端之水平方向右鄰處所被配列在垂直方向上之複數之 (MB) 係依序被作編碼。

三、英文發明摘要：

四、指定代表圖：

- (一) 本案指定代表圖為：第(4)圖。
- (二) 本代表圖之元件符號簡單說明：

MB：巨集區塊

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：無

六、發明說明：

【發明所屬之技術領域】

本發明，係有關於動畫像編碼方法、動畫像解碼方法、動畫像編碼裝置及動畫像解碼裝置，特別是有關對於將用以儲存週邊巨集區塊資訊之記憶體的記憶容量之增大減輕一事而為有效的技術。

【先前技術】

被稱作 MPEG-2 之動畫像的一般性之壓縮方式，係為藉由 ISO/IEC 13818-2 所作了標準化之規格。MPEG-2，係根據下述之原理所進行者：亦即是，經由從位元串流而將冗長資訊削除，來對於視訊記憶容量與所需要之帶域寬幅作削減。另外，MPEG，係為 Moving Picture Experts Group 之略稱。

MPEG-2 之規格，由於係僅對於位元串流之語法（壓縮編碼資料列之規則或者是編碼資料之位元串流的構成方法）以及解碼程序作規定，因此，係為能夠在衛星播放服務、有線電視、互動電視、網路等之各種狀況下而充分地作利用之具有柔軟性者。

在 MPEG-2 之編碼處理程序中，最初，為了對於數位視訊之各像素的顏色與輝度的成分作規定，視訊訊號係被樣本化並被量化。代表顏色與輝度之成分的值，係使用離散餘弦變換（DCT：Discrete Cosine Transform）而被變換為頻率值。經由 DCT 所得到之變換係數，係具有依畫像之

輝度與顏色而為相異之頻率。被作了量化之DCT變換係數，係經由進行將位元串流更進而作壓縮之可變長度編碼（VLC：Variable Length Coding）而被作編碼。

在MPEG-2、MPEG-4、MPEG-4 AVC（H.264）等之國際標準動畫像編碼方法中，為了使用時間方向之相關而實現高編碼效率，係使用有圖框間預測編碼。在圖框之編碼模式中，係存在有：並不使用圖框間之相關地作編碼之I圖框、和根據在過去而作了編碼之1個圖框來進行預測之P圖框、以及根據在過去而作了編碼的2個圖框來進行預測之B圖框。

在此圖框間預測編碼中，係從動畫像而將被作了運動補償之參考畫像（預測畫像）作減算，由此減算所得之預測殘差係被作編碼。編碼之處理，係包含有DCT（離散餘弦變換）等之正交變換和量化以及可變長度編碼之處理。運動補償（運動修正），係為包含有使圖框間預測之參考圖框作空間性移動的處理者，運動補償之處理，係以被編碼圖框之區塊單位而被進行。當在畫像內容中並不存在有運動的情況時，係並不存在有移動，與被預測像素相同位置之像素係被作使用。當存在有運動的情況時，係對於最為適合之區塊作探索，而移動量係被設為運動向量。運動補償之區塊，在MPEG-2之編碼方法中，係為16像素×16像素／16像素×8像素之區塊，在MPEG-4之編碼方法中，係為16像素×16像素／16像素×8像素／8像素×8像素之區塊，在MPEG-4 AVC（H.264）之編碼方法中，係為16像素×16

像素 / 16 像素 × 8 像素 / 8 像素 × 16 像素 / 8 像素 × 8 像素 / 8 像素 × 4 像素 / 4 像素 × 8 像素 / 4 像素 × 4 像素之區塊。

上述之編碼處理，係為在每一影像畫面（圖框或者是圖場）中而被進行者，將畫面作了細分化之區塊（通常係為 16 像素 × 16 像素，在 MPEG 中係被稱為巨集區塊（MB））係成為處理單位。亦即是，在應進行編碼之區塊的每一者中，係從已被作了編碼之參考畫像而選擇出最為類似之區塊（預測畫像），編碼畫像（區塊）與預測畫像之差分訊號，係被作編碼（正交變換、量化等）。在畫面內之被作編碼的區塊與預測訊號的相對位置之差，係被稱為運動向量。

在下述非專利文獻 1 中，係記載有以建議 H.264 / AVC 為準據之視訊編碼技術。由建議 H.264 / AVC 所進行之視訊編碼，係由為了將視訊文脈（video context）有效地作表現所設計的視訊編碼層（VCL：Video Coding Layer）、和為了將視訊之 VCL 表現作格式化並且為了進行由各種之傳輸層或者是記憶媒體所致的傳輸而以適當之方法來賦予標頭資訊之網路抽象層（NCL：Network Abstraction Layer），所構成者。

又，在下述非專利文獻 2 中，係記載有：由 H.264 / AVC 所進行之視訊編碼層（VCL），係為依據被稱作區塊基礎混合視訊編碼（Block based Hybrid video coding）之工作方式（Approach）所進行者。VCL 設計，係由巨集區塊、切片、切片區塊所構成者，各畫像係被分割為固定尺

寸之複數的巨集區塊，各巨集區塊係包含有：在輝度成分上之 16×16 樣本的四角形畫像區域、和在與其相對應之2個的色差成分之各個中的四角形樣本區域。1個畫像，係可包含有一個或者是此以上之切片，各切片，在將有效序列和畫像參考組作賦予的意義上，係為具有自我關連性者，切片表現，基本上由於係可並不使用從其他之切片而來的資訊便被作解碼，因此，語法元素係能夠從位元串流和畫像之區域的樣本之值而解析出來。然而，在為了進行更加完全性之解碼而橫跨切片邊界地將解塊濾波器作適應，係成為需要從其他之切片而來的數個的資訊。又，各切片，由於係與畫像之其他切片相獨立地而被作編碼並被作解碼，因此，在下述非專利文獻2中，係對於能夠將切片作平行處理一事有所記載。

另外，MPEG-2，係在國際電性通訊聯盟（ITU：International Telecommunication Union）中作為H.262而被規格化，又，係被ISO／IEC作為國際標準ISO／IEC 13818-2而承認。進而，MPEG-4，係被ISO／IEC作為國際標準ISO／IEC 14496-2而承認。又更進而，MPEG-4 AVC（Advanced Video Coding），係在國際電性通訊聯盟（ITU）中作為H.264而被規格化，又，係被ISO／IEC作為國際標準ISO／IEC 14496-10而承認。

[先前技術文獻]

[非專利文獻]

[非專利文獻1] Thomas Wiegand et al, "Overview of the H.264/AVC Video Coding Standard", IEEE TRANSACTIONS ON CIRCUITS AND SYSTEMS FOR VIDEO TECHNOLOGY, JULY 2003, PP.1-19.

[非專利文獻2] GARY J. SULLIVAN et al, "Video Compression-From Concept to the H.264/AVC Standard", PROCEEDING OF THE IEEE, VOL.93, No.1, JANUARY 2005, PP.18-31.

【發明內容】

[發明所欲解決之課題]

本發明者們，係在本發明之前，便已對於下一世代之國際標準動畫像編碼方式而進行了研究、開發。

另一方面，如同上述一般，在編碼處理中，I圖框、P圖框或者是B圖框之1枚的影像畫面，係被分割為複數之被稱作巨集區塊（MB）的小區域，並從位置在1枚的影像畫面之左上方處的巨集區塊（MB）起，來依據作顯示之逐線掃描的順序而對於右方向以及下方向的複數之巨集區塊（MB）依序實行編碼處理。在動畫像編碼中，係利用動畫像畫面內之巨集區塊（MB）的空間性之相關關係，而將動畫像資訊作壓縮。亦即是，在對於1個的巨集區塊（MB）作處理時，係根據其週邊之巨集區塊（1枚的影像畫面之上方向以及左方向的巨集區塊）的資訊，而預測出被作處理之1個的巨集區塊（MB）之資訊，在動畫像編碼

處理中，係僅有其與預測資訊間之差分會被作編碼。

例如，在 MPEG-4 之框內編碼處理中，係藉由作為區塊之像素資訊的 DCT 係數的 DC 成分以及 AC 成分來實行區塊間預測。又，在 MPEG-4 AVC (H.264 / AVC) 之區塊間預測中，係藉由 DCT 變換處理後之區塊的像素值之 DC 成分以及 AC 成分來實行區塊間預測。

又，在 MPEG-4 與 MPEG-4 AVC (H.264 / AVC) 之編碼處理的用以檢測出運動向量之運動預測中，係實行有被編碼圖框之編碼對照區塊與參考圖框之複數之區塊間的區塊匹配。在進行區塊匹配時，係藉由最初所探索出之 4 像素精確度運動向量之 1 個的巨集區塊 (MB) 之週邊的複數之巨集區塊 (MB)，來實行 2 像素精確度運動向量之探索與 1 像素精確度運動向量之探索，並檢測出最終之運動向量。

更進而，在用以將在準據於 MPEG-4 AVC (H.264 / AVC) 而進行畫像解碼時所產生的區塊變形作減少之解塊濾波處理中，係有必要對於區塊邊界之左右合計 8 像素以及上下合計 8 像素而實行依據特定之演算式的濾波處理，並對於左右合計 8 像素與上下合計 8 像素作改寫。

另一方面，在電視播送或者是影像記錄等之中所使用的動畫像之畫像尺寸，係持續著擴大的傾向，近年來，高精細 HD (High Definition) 尺寸之 1920 像素 × 1080 像素係成為主流。故而，可以推測到，今後之動畫像的畫像尺寸，亦會逐漸地普及至 4K × 2K 尺寸之 4096 像素 × 2048 像素

或者是 8K×4K 之 8192 像素 × 4096 像素 等的超高精細畫像。

此種有著畫像尺寸之擴大傾向的下一世代之動畫像編碼方式，係成為有必要對於上述之超高精細畫像有所對應。另外，在動畫像編碼處理與動畫像解碼處理中，如同上述一般，係需要被處理巨集區塊（MB）之週邊的複數之巨集區塊（MB）的資訊。故而，在藉由系統大規模半導體積體電路（系統 LSI）所構成之動畫像編碼／解碼處理裝置之半導體晶片中，係需要對於將週邊巨集區塊資訊作儲存之內藏記憶體（ON CHIP SRAM）進行積體化。一般而言，在藉由系統 LSI 所構成之動畫像編碼／解碼處理裝置的半導體晶片處，係被連接有經由同步型動態隨機記憶體（SDRAM）等所構成的畫像記憶體。在此畫像記憶體中，係成為能夠將編碼處理或者是解碼處理前之動畫像資料以及編碼處理或者是解碼處理後之動畫像資料作儲存。但是，由於此畫像記憶體，對於將週邊巨集區塊資訊作儲存一事而言，存取速度係變得較慢，因此，週邊巨集區塊資訊，係設為被儲存在內藏記憶體（ON CHIP SRAM）中。另一方面，有必要儲存在內藏記憶體（ON CHIP SRAM）中之週邊巨集區塊資訊量，係會對應於畫像尺寸之增大而有所增加，相對於此，內藏記憶體（ON CHIP SRAM）之記憶容量則係有所限度，此一問題，係經由本發明者們所進行的檢討而成為明瞭。

本發明，係為根據上述一般之本發明者們在本發明之前所作的檢討之結果所進行者。

故而，本發明之目的，係在於將用以儲存週邊巨集區塊資訊之記憶體的記憶容量之增大減輕。

本發明之前述以及其他目的、以及新穎之特徵，應可藉由本說明書之記述以及所添附之圖面而成爲明瞭。

[用以解決課題之手段]

在本申請案中所揭示之發明中，若是對代表性者作簡單說明，則係如下所述。

亦即是，本發明之代表性實施形態，係爲一種動畫像編碼方法，係使用編碼處理裝置（201），而將在水平方向之橫寬幅爲較垂直方向之縱寬幅更大的橫長畫面之動畫像中所包含之複數之巨集區塊（MB）作編碼。

在前述複數之巨集區塊的編碼時，應編碼之巨集區塊（MB）之週邊的複數之完成編碼的複數之巨集區塊（MB）的資訊，係被儲存在內藏於前述編碼處理裝置中之資訊儲存記憶體（204）中。

在前述複數之巨集區塊之前述編碼時，最初，在前述橫長畫面之前述橫寬幅的左端處所被配列在前述垂直方向上之複數之巨集區塊（MB）係依序被作編碼，藉由此，在前述左端處所被配列在前述垂直方向上之前述複數之巨集區塊（MB）的編碼資訊，係被儲存在前述資訊儲存記憶體（204）中。

在被配列於前述垂直方向上之前述複數之巨集區塊被作了編碼後，接著係使在前述橫長畫面之前述橫寬幅的前

述左端之水平方向右鄰處所被配列在前述垂直方向上之複數之巨集區塊（MB）依序被作編碼（參考圖3、圖4、圖5）。

[發明之效果]

在本申請案中所揭示之發明中，若是對藉由代表性者所可得到之效果作簡單說明，則係如下所述。

亦即是，若依據本發明，則係能夠將用以儲存週邊巨集區塊資訊之記憶體的記憶容量之增大減輕。

【實施方式】

1.實施形態之概要

首先，針對在本申請案中所揭示之發明的代表性之實施形態而作概要說明。在關於代表性實施形態之概要說明中所附加有括弧而作參考的圖面之參考符號、係僅為對於被包含在附加有該符號之構成要素的概念中之物作例示者。

（1）本發明之代表性實施形態，係為一種動畫像編碼方法，係使用編碼處理裝置（201），而將在水平方向之橫寬幅為較垂直方向之縱寬幅更大的橫長畫面中所包含之複數之巨集區塊（MB）作編碼。

在前述複數之巨集區塊的編碼時，應編碼之巨集區塊（MB）之週邊的複數之完成編碼的複數之巨集區塊（MB）的資訊，係被儲存在內藏於前述編碼處理裝置中

之資訊儲存記憶體（204）中。

在所述複數之巨集區塊之前述編碼時，最初，在所述橫長畫面之前述橫寬幅的左端處所被配列在所述垂直方向上之複數之巨集區塊（MB）係依序被作編碼，藉由此，在所述左端處所被配列在所述垂直方向上之前述複數之巨集區塊（MB）的編碼資訊，係被儲存在所述資訊儲存記憶體（204）中。

在被配列於所述垂直方向上之前述複數之巨集區塊被作了編碼後，接著係使在所述橫長畫面之前述橫寬幅的前述左端之水平方向右鄰處所被配列在所述垂直方向上之複數之巨集區塊（MB）依序被作編碼（參考圖3、圖4、圖5）。

若依據所述實施形態，則係能夠將用以儲存週邊巨集區塊資訊之記憶體的記憶容量之增大減輕。

在理想之實施形態中，係具備有下述特徵：亦即是，在所述左端之前述水平方向右鄰處所被配列在所述垂直方向上之前述複數之巨集區塊（MB）依序被作編碼時，係使用有被儲存在所述資訊儲存記憶體（204）中之在所述左端處所被配列在所述垂直方向上之前述複數之巨集區塊（MB）之前述編碼資訊（參考圖3、圖4、圖5）。

在其他理想實施形態中，係具備有下述特徵：亦即是，在所述被配列在垂直方向上之前述複數之巨集區塊的各巨集區塊被作了編碼之後，經由所述編碼處理裝置（201），來對於所述各巨集區塊而判定其是否為位置在

前述縱寬幅之下端或者是上端處的最後或者是最初之巨集區塊（圖3：參考步驟104）。

在更理想之實施形態中，係具備有下述特徵：亦即是，當在前述橫長畫面之前述橫寬幅之前述左端之前述水平方向右鄰處所被配列在前述垂直方向上之前述複數之巨集區塊（MB）被作了編碼之後，經由前述編碼處理裝置（201），來對於被作了編碼之前述複數之巨集區塊（MB）而判定其是否為位置在前述橫寬幅之右端的最後之複數之巨集區塊（圖3：參考步驟106）。

在其他更理想之實施形態中，係具備有下述特徵：亦即是，當經由前述編碼處理裝置（201），而判定前述各巨集區塊係並非為位置在前述縱寬幅之前述下端或者是前述上端處之前述最後或者是前述最初之巨集區塊的情況時，係將代表在前述左端之前述垂直方向上而下一個被作編碼之巨集區塊的位置之垂直方向巨集區塊計數器（205）的計數值，作1的增數（圖3，參考步驟105）。

在具體性之實施形態中，係具備有下述特徵：亦即是，當經由前述編碼處理裝置（201），而判定被作了編碼之前述複數之巨集區塊（MB）係並非為位置在前述橫寬幅之前述右端處之前述最後之複數之巨集區塊的情況時，係將代表在前述橫長畫面之前述橫寬幅之前述水平方向上而下一個被作編碼之複數之巨集區塊的位置之水平方向巨集區塊計數器（207）的計數值，作1的增數（圖3：參考步驟107）。

(2) 本發明之另一觀點的代表性實施形態，係為一種動畫像解碼方法，係使用解碼處理裝置(201)，而將在水平方向之橫寬幅為較垂直方向之縱寬幅更大的橫長畫面中所包含之複數之巨集區塊(MB)作解碼。

在前述複數之巨集區塊的解碼時，應解碼之巨集區塊(MB)之週邊的複數之完成解碼的複數之巨集區塊(MB)的資訊，係被儲存在內藏於前述解碼處理裝置中之資訊儲存記憶體(204)中。

在前述複數之巨集區塊之前述解碼時，最初，在前述橫長畫面之前述橫寬幅的左端處所被配列在前述垂直方向上之複數之巨集區塊(MB)係依序被作解碼，藉由此，在前述左端處所被配列在前述垂直方向上之前述複數之巨集區塊(MB)的解碼資訊，係被儲存在前述資訊儲存記憶體(204)中。

在被配列於前述垂直方向上之前述複數之巨集區塊被作了解碼後，接著係使在前述橫長畫面之前述橫寬幅的前述左端之水平方向右鄰處所被配列在前述垂直方向上之複數之巨集區塊(MB)依序被作解碼(參考圖3、圖4、圖5)。

若依據前述實施形態，則係能夠將用以儲存週邊巨集區塊資訊之記憶體的記憶容量之增大減輕。

在理想之實施形態中，係具備有下述特徵：亦即是，在前述左端之前述水平方向右鄰處所被配列在前述垂直方向上之前述複數之巨集區塊(MB)依序被作解碼時，係

使用有被儲存在前述資訊儲存記憶體（204）中之在前述左端處所被配列在前述垂直方向上之前述複數之巨集區塊（MB）的前述解碼資訊（參考圖3、圖4、圖5）。

在其他理想實施形態中，係具備有下述特徵：亦即是，在前述被配列在垂直方向上之前述複數之巨集區塊的各巨集區塊被作了解碼之後，經由前述解碼處理裝置（201），來對於前述各巨集區塊而判定其是否為位置在前述縱寬幅之下端或者是上端處的最後或者是最初之巨集區塊（圖3：參考步驟104）。

在更理想之實施形態中，係具備有下述特徵：亦即是，當在前述橫長畫面之前述橫寬幅的前述左端之前述水平方向右鄰處所被配列在前述垂直方向上之前述複數之巨集區塊（MB）被作了解碼之後，經由前述解碼處理裝置（201），來對於被作了解碼之前述複數之巨集區塊（MB）而判定其是否為位置在前述橫寬幅之右端的最後之複數之巨集區塊（圖3：參考步驟106）。

在其他更理想之實施形態中，係具備有下述特徵：亦即是，當經由前述解碼處理裝置（201），而判定前述各巨集區塊係並非為位置在前述縱寬幅之前述下端或者是前述上端處之前述最後或者是前述最初之巨集區塊的情況時，係將代表在前述左端之前述垂直方向上而下一個被作解碼之巨集區塊的位置之垂直方向巨集區塊計數器（205）的計數值，作1的增數（圖3：參考步驟105）。

在具體性之實施形態中，係具備有下述特徵：亦即

是，當經由前述解碼處理裝置（201），而判定被作了解碼的前述複數之巨集區塊（MB）係並非為位置在前述橫寬幅之前述右端處之前述最後之複數之巨集區塊的情況時，係將代表在前述橫長畫面之前述橫寬幅之前述水平方向上而下一個被作解碼之複數之巨集區塊的位置之水平方向巨集區塊計數器（207）的計數值，作1的增數（圖3：參考步驟107）。

（3）本發明之代表性的其他實施形態，係為一種動畫像編碼處理裝置（201），其係具備有用以將在水平方向之橫寬幅為較垂直方向之縱寬幅更大的橫長畫面中所包含之複數之巨集區塊（MB）作編碼的編碼處理部（203）和資訊儲存記憶體（204）。

在由前述編碼處理部（203）所致之前述複數之巨集區塊的編碼時，應編碼之巨集區塊（MB）之週邊的複數之完成編碼的複數之巨集區塊（MB）的資訊，係被儲存在前述資訊儲存記憶體（204）中。

在前述複數之巨集區塊之前述編碼時，最初，在前述橫長畫面之前述橫寬幅的左端處所被配列在前述垂直方向上之複數之巨集區塊（MB），係經由前述編碼處理部（203）而依序被作編碼，藉由此，在前述左端處所被配列在前述垂直方向上之前述複數之巨集區塊（MB）的編碼資訊，係經由前述編碼處理部（203）而被儲存在前述資訊儲存記憶體（204）中。

在被配列於前述垂直方向上之前述複數之巨集區塊被

作了編碼後，接著係使在前述橫長畫面之前述橫寬幅的前述左端之水平方向右鄰處所被配列在前述垂直方向上之複數之巨集區塊（MB），經由前述編碼處理部（203）而依序被作編碼（參考圖3、圖4、圖5）。

若依據前述實施形態，則係能夠將用以儲存週邊巨集區塊資訊之記憶體的記憶容量之增大減輕。

在理想之實施形態中，係具備有下述特徵：亦即是，在前述左端之前述水平方向右鄰處所被配列在前述垂直方向上之前述複數之巨集區塊（MB）經由前述編碼處理部（203）而依序被作編碼時，係使用有被儲存在前述資訊儲存記憶體（204）中之在前述左端處所被配列在前述垂直方向上之前述複數之巨集區塊（MB）的前述編碼資訊（參考圖3、圖4、圖5）。

在其他理想實施形態中，係具備有下述特徵：亦即是，在前述被配列在垂直方向上之前述複數之巨集區塊的各巨集區塊（MB）被作了編碼之後，經由前述動畫像編碼處理裝置（201），來對於前述各巨集區塊而判定其是否為位置在前述縱寬幅之下端或者是上端處的最後或者是最初之巨集區塊（圖3：參考步驟104）。

進而，在其他之理想之實施形態中，係具備有下述特徵：亦即是，當在前述橫長畫面之前述橫寬幅的前述左端之前述水平方向右鄰處所被配列在前述垂直方向上之前述複數之巨集區塊（MB）被作了編碼之後，經由前述動畫像編碼處理裝置（201），來對於被作了編碼之前述複數

之巨集區塊 (MB) 而判定其是否為位置在前述橫寬幅之右端的最後之複數之巨集區塊 (圖3: 參考步驟106)。

更進而, 由其他之理想之實施形態所致的前述動畫像編碼處理裝置 (201), 係更進而具備有: 垂直方向巨集區塊計數器 (205), 其係對於在前述垂直方向上而下一個被作編碼之巨集區塊的位置作表示 (參考圖5)。

係具備有下述特徵: 亦即是, 當經由前述動畫像編碼處理裝置 (201), 而判定前述各巨集區塊係並非為位置在前述縱寬幅之前述下端或者是前述上端處之前述最後或者是前述最初之巨集區塊的情況時, 係將前述垂直方向巨集區塊計數器 (205) 的計數值, 作1的增數 (圖3, 參考步驟105)。

更進而, 由其他之理想之實施形態所致的前述動畫像編碼處理裝置 (201), 係更進而具備有: 水平方向巨集區塊計數器 (207), 其係對於在前述水平方向上而下一個被作編碼之巨集區塊的位置作表示 (參考圖5)。

係具備有下述特徵: 亦即是, 當經由前述動畫像編碼處理裝置 (201), 而判定被作了編碼的前述複數之巨集區塊 (MB) 係並非為位置在前述橫寬幅之右端處之前述最後之複數巨集區塊的情況時, 係將前述水平方向巨集區塊計數器 (207) 的計數值, 作1的增數 (圖3, 參考步驟107)。

由更理想之實施形態所致之前述動畫像編碼處理裝置 (201), 係被設為能夠與可將被包含在前述橫長畫面之

前述動畫像中的前述複數之巨集區塊作儲存的畫像記憶體（702、902、1302）作連接。

係具備有下述特徵：亦即是，設為在將在前述橫長畫面之前述縱寬幅的前述上端處所被配列在前述水平方向上之複數之巨集區塊（1、2、3、4）儲存在前述畫像記憶體中之後，能夠接著而將前述橫長畫面之前述縱寬幅的前述上端之垂直方向下鄰處所被配列在前述水平方向上之複數之巨集區塊（5、6、7、8）儲存在前述畫像記憶體中（參考圖13、圖14、圖15）。

在其他之更理想之實施形態中，係具備有下述特徵：亦即是，前述動畫像編碼處理裝置（701），係更進而具備有：畫像旋轉部（703），係從前述畫像記憶體而將前述橫長畫面讀出，並將畫像作90°旋轉，之後，將所產生的旋轉畫像寫入至前述畫像記憶體中，設為能夠將被儲存在前述畫像記憶體中之旋轉畫像讀出並供給至前述編碼處理部（704）處（參考圖13）。

進而，在其他之更理想之實施形態中，前述動畫像編碼處理裝置（201），係更進而具備有：畫像記憶體介面（903、906、1303、1306、1309）（參考圖14、圖15）。

係具備有下述特徵：亦即是，前述畫像記憶體介面，係被設為能夠進行：從前述畫像記憶體而將前述橫長畫面之在前述橫寬幅的前述左端處所被配列在前述垂直方向上之前述複數之巨集區塊（9、5、1）讀出，並供給至前述編碼處理部（904、1304），之後，接著將前述橫長畫面

之在前述橫寬幅的前述左端之水平方向右鄰處所被配列在前述垂直方向上之複數之巨集區塊（10、6、2）讀出，並供給至前述編碼處理部（904、1304）（參考圖14、圖15）。

又，由其他之更理想之實施形態所致的前述動畫像編碼處理裝置，係具備有下述特徵：亦即是，係更進而具備有：畫像讀取位址產生部（906、1306），係藉由此而成爲能夠進行：從前述畫像記憶體而將前述橫長畫面之在前述橫寬幅的前述左端處所被配列在前述垂直方向上之前述複數之巨集區塊（9、5、1）讀出，並供給至前述編碼處理部（904、1304），之後，接著將前述橫長畫面之在前述橫寬幅的前述左端之水平方向右鄰處所被配列在前述垂直方向上之複數之巨集區塊（10、6、2）讀出，並供給至前述編碼處理部（904、1304）（參考圖14、圖15）。

由具體之實施形態所致的前述動畫像編碼處理裝置，係具備有下述特徵：亦即是，係更進而具備有：畫像旋轉部（903、1303），係藉由此，而成爲能夠產生將根據從前述畫像讀取位址產生部所產生之位址而從前述畫像記憶體所讀出之前述複數之巨集區塊的各巨集區塊作了略90°旋轉的旋轉畫像，並供給至前述編碼處理部（參考圖14、圖15）。

在由最爲具體之實施形態所致的前述動畫像編碼處理裝置中，係具備有下述特徵：亦即是，前述編碼處理部（704、904、1304），係包含有可變長度編碼部和正交變

換器、量化器以及運動預測部之各動作功能（參考圖16）。

（4）本發明之代表性的另一其他實施形態，係為一種動畫像解碼處理裝置（201），其係具備有用以將在水平方向之橫寬幅為較垂直方向之縱寬幅更大的橫長畫面之動畫像中所包含之複數之巨集區塊（MB）作解碼的解碼處理部（203）和資訊儲存記憶體（204）。

在由前述解碼處理部（203）所致之前述複數之巨集區塊的解碼時，應解碼之巨集區塊（MB）之週邊的複數之完成解碼的複數之巨集區塊（MB）的資訊，係被儲存在前述資訊儲存記憶體（204）中。

在前述複數之巨集區塊之前述解碼時，最初，在前述橫長畫面之前述橫寬幅的左端處所被配列在前述垂直方向上之複數之巨集區塊（MB），係經由前述解碼處理部（203）而依序被作解碼，藉由此，在前述左端處所被配列在前述垂直方向上之前述複數之巨集區塊（MB）的解碼資訊，係經由前述解碼處理部（203）而被儲存在前述資訊儲存記憶體（204）中。

在被配列於前述垂直方向上之前述複數之巨集區塊被作了解碼後，接著係使在前述橫長畫面之前述橫寬幅的前述左端之水平方向右鄰處所被配列在前述垂直方向上之複數之巨集區塊（MB），經由前述解碼處理部（203）而依序被作解碼（參考圖3、圖4、圖5）。

若依據前述實施形態，則係能夠將用以儲存週邊巨集

區塊資訊之記憶體的記憶容量之增大減輕。

在理想之實施形態中，係具備有下述特徵：亦即是，在前述左端之前述水平方向右鄰處所被配列在前述垂直方向上之前述複數之巨集區塊（MB）經由前述解碼處理部（203）而依序被作解碼時，係使用有被儲存在前述資訊儲存記憶體（204）中之在前述左端處所被配列在前述垂直方向上之前述複數之巨集區塊（MB）的前述解碼資訊（參考圖3、圖4、圖5）。

在其他理想實施形態中，係具備有下述特徵：亦即是，在前述被配列在垂直方向上之前述複數之巨集區塊的各巨集區塊（MB）被作了解碼之後，經由前述動畫像解碼處理裝置（201），來對於前述各巨集區塊而判定其是否為位置在前述縱寬幅之下端或者是上端處的最後或者是最初之巨集區塊（圖3：參考步驟104）。

進而，在其他之理想之實施形態中，係具備有下述特徵：亦即是，當在前述橫長畫面之前述橫寬幅的前述左端之前述水平方向右鄰處所被配列在前述垂直方向上之前述複數之巨集區塊（MB）被作了解碼之後，經由前述動畫像解碼處理裝置（201），來對於被作了解碼之前述複數之巨集區塊（MB）而判定其是否為位置在前述橫寬幅之右端的最後之複數之巨集區塊（圖3：參考步驟106）。

更進而，由其他之理想之實施形態所致的前述動畫像解碼處理裝置（201），係更進而具備有：垂直方向巨集區塊計數器（205），其係對於在前述垂直方向上而下一

個被作解碼之巨集區塊的位置作表示（參考圖5）。

係具備有下述特徵：亦即是，當經由前述動畫像解碼處理裝置（201），而判定前述各巨集區塊係並非為位置在前述縱寬幅之前述下端或者是前述上端處之前述最後或者是前述最初之巨集區塊的情況時，係將前述垂直方向巨集區塊計數器（205）的計數值，作1的增數（圖3，參考步驟105）。

更進而，由其他之理想之實施形態所致之前述動畫像解碼處理裝置（201），係更進而具備有：水平方向巨集區塊計數器（207），其係對於在前述水平方向上而下一個被作解碼之複數之巨集區塊的位置作表示（參考圖5）。

係具備有下述特徵：亦即是，當經由前述動畫像解碼處理裝置（201），而判定被作了解碼之前述複數之巨集區塊（MB）係並非為位置在前述橫寬幅之前述右端處之前述最後的複數之巨集區塊的情況時，係將前述水平方向巨集區塊計數器（207）的計數值，作1的增數（圖3，參考步驟107）。

由另一理想之實施形態所致之前述動畫像解碼處理裝置（711、911、1311），係被設為能夠與可將前述複數之巨集區塊作儲存的畫像記憶體（712、912、1312）作連接。

在其他之更理想之實施形態中，係具備有下述特徵：亦即是，前述動畫像解碼處理裝置（711），係更進而具

備有：畫像旋轉部（713），係從前述畫像記憶體而將前述橫長畫面讀出，並將畫像作 90° 旋轉，之後，將所產生的旋轉畫像寫入至前述畫像記憶體中（參考圖13）。

由更理想之實施形態所致之前述動畫像解碼處理裝置（911、1311），係更進而具備有可將動畫像編碼訊號作供給之外部介面（913、916、918、1313、1316、1318）。

係具備有下述特徵：亦即是，前述外部介面，係被設為能夠進行：將被包含在前述動畫像編碼訊號中之前述橫長畫面之在前述橫寬幅的前述左端處所被配列在前述垂直方向上之前述複數之巨集區塊（9、5、1），供給至前述解碼處理部（914、1314），之後，接著將被包含在前述動畫像編碼訊號中之前述橫長畫面之在前述橫寬幅的前述左端之水平方向右鄰處所被配列在前述垂直方向上之複數之巨集區塊（10、6、2），供給至前述解碼處理部。

前述動畫像解碼處理裝置，係在對於被包含在從前述外部介面所供給而來之前述動畫像編碼訊號中之前述橫長畫面之在前述橫寬幅的前述左端處所被配列在前述垂直方向上之前述複數之巨集區塊而作了解碼處理之後，接著對於被包含在從前述外部介面所供給而來之前述動畫像編碼訊號中之前述橫長畫面之在前述橫寬幅的前述左端之水平方向右鄰處所被配列在前述垂直方向上之複數之巨集區塊，而進行解碼處理。

前述動畫像解碼處理裝置，係被設為能夠與可將水平

方向之橫寬幅為較垂直方向之縱寬幅更大的解碼動畫像資訊作儲存的畫像記憶體（912、1312）作連接。

前述動畫像解碼處理裝置，係被設為能夠進行：將前述橫長畫面之在前述橫寬幅的前述左端處所被配列在前述垂直方向上之前述複數之巨集區塊的解碼處理資訊，儲存在前述畫像記憶體之第1記憶區域（9、5、1）中，之後，接著將前述動畫像編碼訊號中所包含之前述橫長畫面之在前述橫寬幅的前述左端之水平方向右鄰處所被配列在前述垂直方向上之前述複數之巨集區塊的解碼處理資訊，儲存在前述畫像記憶體之第2記憶區域（10、6、2）中。

前述畫像記憶體之前述第1記憶區域與前述第2記憶區域，係與水平方向之顯示橫寬幅為較垂直方向之顯示縱寬幅更大的橫長之動畫像顯示畫面之在前述顯示橫寬幅之前述左端處所配列在前述垂直方向上之複數之畫像資訊、和在前述顯示橫寬幅的前述左端之水平方向右鄰處所被配列在前述垂直方向上之複數之畫像資訊，而分別相對應（參考圖14、圖15）。

在其他之更理想之實施形態中，前述動畫像解碼處理裝置，係更進而具備有：畫像寫入位址產生部（918、1318），係藉由此而成為能夠進行：將前述橫長畫面之在前述橫寬幅的前述左端處所被配列在前述垂直方向上之前述複數之巨集區塊的解碼處理資訊，儲存在前述畫像記憶體之前述第1記憶區域中，之後，接著將前述動畫像編碼訊號中所包含之前述橫長畫面之在前述橫寬幅的前述左端

之水平方向右鄰處所被配列在前述垂直方向上之前述複數之巨集區塊的解碼處理資訊，儲存在前述畫像記憶體之前述第2記憶區域中（參考圖14、圖15）。

在具體性之實施形態中，前述外部介面，係被設為能夠產生將在前述動畫像編碼訊號中所包含之前述複數之巨集區塊作了略90°旋轉後之旋轉畫像並供給至前述解碼處理部（參考圖14、圖15）。

在由最為具體之實施形態所致的前述動畫像解碼處理裝置中，係具備有下述特徵：亦即是，前述解碼處理部（714、914、1314），係包含有可變長度解碼部和逆量化器、逆正交變換器以及運動補償部之各動作功能（參考圖16）。

2.實施形態之詳細內容

接著，針對實施形態作更進一步的詳細敘述。另外，在為了對於用以實施發明之最佳實施形態作說明之全圖中，對於與前圖具備有相同之功能的零件，係附加相同之符號，並省略對其之重複說明。

（實施形態1）

〈動畫像編碼／解碼處理方式中之階層構造〉

圖1，係為對於在由本發明之實施形態1所致的動畫像編碼／解碼處理方式中之階層構造作說明之圖。

如圖1中所示一般，由本發明之實施形態1所致之動畫

編碼方式，係具備有從與動畫像之全體相對應的序列（Sequence）10起直到離散餘弦變換（DCT：Discrete Cosine Transform）之處理單位的區塊（block）15、16、17為止的6階層之構造。亦即是，第1階層係為序列（Sequence）10，第2階層係為畫像群組（GOP）11、第3階層係為畫像（Picture）12、第4階層係為切片（Slice）13、第5階層係為巨集區塊（Macro-block）14、第6階層係為區塊（Block）15、16、17。在畫像群組（GOP）11中所包含之畫像（Picture）12的數量、或者是在切片（Slice）13中所包含之巨集區塊（Macro-block）14的數量，係成為較具備有柔軟性。

如圖1中所示一般，第3階層之畫像（Picture）12的動畫像之畫像縱寬幅，係成為較動畫像之畫面橫寬幅更短，而成為橫長畫面。在先前技術之MPEG-2的動畫編碼方式／解碼處理方式中，第4階層係為切片（Slice）13，其係被配置在第3階層之畫像（Picture）12的橫寬幅方向上，第5階層之巨集區塊（MB）14，亦係在被配置於橫寬幅方向上之第4階層之切片13的內部，於橫寬幅方向上而依序被作編碼或者是解碼之處理。相對於此，在由本發明之實施形態1所致的動畫編碼方式中，第4階層係為切片（Slice）13，其係被配置在第3階層之畫像（Picture）12的縱寬幅方向上，第5階層之巨集區塊（MB）14，亦係在被配置於縱寬幅方向上之第4階層之切片13的內部，如同以虛線之箭頭所示一般地而在縱寬幅方向上而依序被作編

碼或者是解碼之處理。

〈編碼位元串流之構成〉

圖2，係為對於藉由在圖1中所示之由本發明之實施形態1所致的動畫像編碼方式而被作了編碼之編碼位元串流的構成作展示之圖。

圖2中所示之位元串流，係成為將序列層211、畫像群組（GOP）層221、畫像層231、切片層241、巨集區塊（MB）層251之相異的層作了重合之階層。故而，下方之各層，係成為其之上方的各層之一部分。序列層211，係為序列之連續，各序列，係包含有複數之畫像群組（GOP）的群組。畫像群組（GOP）層221之群組，係為畫像之群組的連續，各GOP，係包含有1個或者是多數之畫像。畫像層231，係為畫像（包含I圖框、P圖框、B圖框）之連續，各畫像230，係包含有1個或者是多數之切片240。切片層242，係為切片240之連續，各切片240，係包含有1個或者是多數之巨集區塊250。巨集區塊（MB）層251，係為巨集區塊之連續。

為了對於圖2中所示之位元串流作解碼，係需要有關於位元串流之確實的資訊，此資訊，通常係被包含於在位元串流中所包含之標頭中。故而，位元串流之各層的資料之各區塊，一般而言係具備有包含與位元串流之編碼以及解碼相關連的關連資訊之標頭。例如，在序列層211中，序列210係具備有序列標頭212、在GOP層221中，GOP220

係具備有 GOP 標頭 222、在畫像層 231 中，畫像 230 係具備有畫像標頭 232、在切片層 241 中，切片 240 係具備有切片標頭 242，在 MB 層 251 中，巨集區塊 (MB) 250 係具備有巨集區塊 (MB) 標頭 252。

序列標頭 212 係包含有：被稱作水平尺寸 (horizontal_size) 之畫像 12 的寬幅、被稱作垂直尺寸 (vertical_size) 之畫像 12 的高度、被稱作縱橫比例 (aspect_ratio_information) 的像素之縱橫比等的資訊。

GOP 標頭 222 係包含有：被稱作時間碼 (time_code) 之參數、和被稱作封閉 GOP (closed_gop) 或者是斷線鍊結 (broken_link) 之對於 GOP 的構造作記述之參數的資訊。

畫像標頭 232，係包含有對於畫像係為 I 畫像與 P 畫像以及 B 畫像中之何者的畫像一事作標示的被稱作畫像編碼形態 (picture_coding_type) 的參數等之資訊。畫像標頭 232，係更進而包含有對於運動向量係根據何者之畫像而被作了編碼一事作標示的被稱作 F 碼 (f_code) 之參數。

切片標頭 242，係包含有代表切片之開始的切片開始碼 (slice_start_code)、和對於切片之最初的巨集區塊 (MB) 之垂直位置、水平位置作標示的參數等之資訊。

巨集區塊 (MB) 標頭 252，係包含有：巨集區塊位址、和巨集區塊之形態、和巨集區塊 250 是否包含有運動向量和運動向量之形態 (順方向、逆方向)、以及以巨集區塊單位而作指定之量化器尺度等的資訊。進而，巨集區

塊 (MB) 標頭 252 , 係對於離散餘弦變換 (DCT) 之形態和 DCT 係數等作決定。

〈 動畫像編碼處理 / 解碼處理之處理程序 〉

圖 3 , 係為對於由本發明之實施形態 1 所致的動畫像編碼 / 解碼處理之處理程序作展示的流程图。

於圖 3 中所展示之由本發明之實施形態 1 的動畫編碼方式所致之位元串流的語法 (壓縮編碼資料列之規格或者是編碼資料之位元串流的構成方法) , 係遵循使用圖 1 與圖 2 所說明了的規則。

在圖 3 的步驟 101 之前 , 實行由本發明之實施形態 1 所致的動畫像之編碼 / 解碼處理的處理之動畫像編碼 / 解碼處理裝置 , 係經由對於上述之語法作解析 , 而判斷出應依據由本發明之實施形態 1 所致的語法來實行動畫像之編碼 / 解碼處理的處理。

在此判斷之後 , 於圖 3 中 , 係經由步驟 101 , 而開始一枚的影像畫面 (畫像 12) 之動畫像編碼處理或者是動畫像解碼處理的處理 , 並經由步驟 102 而將巨集區塊 (MB) 之座標 (x , y) 初期化為原點 (0 , 0) 。經由步驟 103 , 位置在巨集區塊座標 (x , y) 處之 1 個的巨集區塊 (MB) 係被作編碼處理或者是解碼處理。經由步驟 104 , 而判定在步驟 103 處所被作了處理之巨集區塊 (MB) 是否位於畫面下端。在步驟 104 中 , 當判定出被作了處理的巨集區塊 (MB) 係並非位於畫面下端的情況時 , 係在步驟 105 處 ,

將巨集區塊座標 (x , y) 之縱方向的座標 y 作 1 的增數，之後，反覆進行步驟 103 之巨集區塊 (MB) 的編碼處理或者是解碼處理。當經由步驟 104，而判定被作了處理之巨集區塊 (MB) 係位於畫面下端的情況時，係在步驟 106 處，判定被作了處理之巨集區塊 (MB) 是否位於畫面右端。在步驟 106 中，當判定出被作了處理的巨集區塊 (MB) 係並非位於畫面右端的情況時，係在步驟 107 處，將巨集區塊座標 (x , y) 之橫方向的座標 x 作 1 的增數，並將縱方向之座標 y 重置為初期值 0，之後，反覆進行步驟 103 之巨集區塊 (MB) 的編碼處理或者是解碼處理。當在步驟 106 處而判定出被作了處理之巨集區塊 (MB) 係位於畫面右端的情況時，係在步驟 108 處，而結束 1 枚的影像畫面之動畫像編碼處理或者是動畫像解碼處理的處理。

圖 4，係為對於經由在圖 3 之流程圖中所示之由本發明之實施形態 1 所致的動畫像編碼 / 解碼處理之程序，而對於 1 枚的影像畫面之被配置在 2 維巨集區塊座標 (x 、 y) 處的複數之巨集區塊 (MB) 依序作處理的模樣作展示之圖。

如圖 4 中所示一般，從 1 枚的影像畫面之位置在左上的巨集區塊 (MB) 開始，最初之處理的移動方向，係並非依循顯示之逐線掃描的順序地被設定為畫面之橫右方向，而是被設定為畫面之縱下方向。若是經由朝向畫面之縱下方向的處理而完成了處理之巨集區塊 (MB) 到達了影像畫面之下端，則處理係被移動至位置在更一個右側的巨集

區塊 (MB) 之列的上端處之巨集區塊 (MB) (處理係被反覆進行) ， 又 ， 處理之移動方向 ， 係被設為畫面之縱下方向 。

〈 動畫像編碼 / 解碼處理裝置之構成 〉

圖 5 ， 係為對於能夠實行在圖 3 之流程圖中所示之由本發明之實施形態 1 所致的動畫像編碼 / 解碼處理之處理程序的由本發明之實施形態 1 所致的動畫編碼 / 解碼處理裝置的構成作展示之圖 。

如圖 5 中所示一般 ， 在藉由系統 LSI 所構成之動畫像編碼 / 解碼處理裝置 201 處 ， 係被連接有經由同步型動態隨機存取記憶體所構成的畫像記憶體 202 。 動畫像編碼 / 解碼處理裝置 201 之半導體晶片 ， 係包含有：巨集區塊編碼 / 解碼處理部 203 、 和週邊巨集區塊資訊儲存記憶體 204 、 和垂直方向巨集區塊計數器 205 、 和畫面下端判定部 206 、 和水平方向巨集區塊計數器 207 、 和畫面右端判定部 208 、 以及 AND 邏輯閘電路 209 。

在動畫像編碼處理時 ， 動畫像編碼 / 解碼處理裝置 201 ， 係為使用被儲存在畫像記憶體 202 中之原畫像和參考畫像 ， 而實行動畫像編碼處理 ， 並將動畫像編碼位元串流以及參考畫像輸出至畫像記憶體 202 處者 。 又 ， 在動畫像解碼處理時 ， 動畫像編碼 / 解碼處理裝置 201 ， 係為使用被儲存在畫像記憶體 202 中之動畫像編碼位元串流和參考畫像 ， 而實行動畫像解碼處理 ， 並將解碼動畫像輸出至畫

像記憶體 202 處者。

巨集區塊編碼／解碼處理部 203，係為對於位置在經由垂直方向巨集區塊計數器 205 和水平方向巨集區塊計數器 207 所標示出的巨集區塊座標處之巨集區塊（MB），而實行編碼處理或者是解碼處理者。

週邊巨集區塊資訊儲存記憶體 204，係將從巨集區塊編碼／解碼處理部 203 所輸出之畫面之縱下方向（垂直方向）的複數之巨集區塊（MB）的資訊作儲存。故而，巨集區塊編碼／解碼處理部 203，係將左側列之巨集區塊（MB）的資訊從週邊巨集區塊資訊儲存記憶體 204 而讀出，並實行編碼或者是解碼之處理。垂直方向巨集區塊計數器 205，係經由從巨集區塊編碼／解碼處理部 203 所輸出之巨集區塊處理結束訊號，而將計數值作 1 的增數。垂直方向巨集區塊計數器 205 之輸出訊號的垂直方向巨集區塊位置訊號，係被供給至畫面下端判定部 206 處。當經由以畫面下端判定部 203 所獲得之巨集區塊位置之判定結果而判定出巨集區塊位置係為畫面下端的情況時，垂直方向巨集區塊計數器 205 係被清除（重置）為初期值（0），水平方向巨集區塊 207 之計數值係被作 1 的增數。又，水平方向巨集區塊計數器 207 之輸出訊號的水平方向巨集區塊位置訊號，係被供給至畫面右端判定部 208 處。當經由以畫面右端判定部 208 所獲得之巨集區塊位置之判定結果，而判定出巨集區塊位置係為畫面右端，同時，經由以畫面下端判定部 206 所獲得之巨集區塊位置之判定結果，而判定出

巨集區塊位置係為畫面下端的情況時，在AND邏輯閘電路209處，係被供給有畫面下端判定部206之判定結果和畫面右端判定部208之判定結果。故而，根據AND邏輯閘電路209之輸出所產生的HIGH準位（“1”）之畫面處理結束訊號，係被供給至巨集區塊編碼／解碼處理部203處。

〈 動畫像編碼位元串流之資料配列 〉

圖6，係為對於在使圖5中所示之由本發明之實施形態1所致的動畫像編碼／解碼處理裝置作為解碼處理裝置而動作時所供給之動畫像編碼位元串流的資料配列作展示之圖。

如圖6中所示一般，在動畫像編碼位元串流之資料配列中，係接續於畫像標頭301，而最初係被配置有畫面左上端之巨集區塊座標（0，0）的巨集區塊（MB（0，0））之被作了編碼的資訊302。接著，從垂直下方向之巨集區塊座標（0，1）的巨集區塊（MB（0，1））被編碼後的資訊303起，朝向垂直下方向而依序被配置有巨集區塊（MB）之被作了編碼的資訊。在畫面左下端之巨集區塊座標（0，h-1）的巨集區塊（MB（0，h-1））被編碼後的資訊304之後，係被配置有從畫面左端起之第2列的巨集區塊座標（1，0）之巨集區塊（MB（1，0））的被編碼後之資訊305。之後，相同的，係被配置有直到畫面右下端之巨集區塊座標（w-1，h-1）之巨集區塊（MB（w-1，h-1））為止的被作了編碼之資訊。另外，於圖6所示之畫

像標頭 301 中，實際上，係為包含有圖 2 中所示之序列標頭 212、GOP 標頭 222、畫像標頭 232、切片標頭 242、巨集區塊（MB）標頭 252 者。其結果，經由對於圖 6 中所示之畫像標頭 301 作解析，係成為能夠判斷出應依循由本發明之實施形態 1 所致的語法來進行動畫像之編碼／解碼處理的處理。又，經由對於在圖 2 所示之序列標頭 212 中所包含的被稱作水平尺寸之畫像 12 的寬幅和被稱作垂直尺寸之畫像 12 的高度作解析，係成為能夠得知在圖 3 之處理程序中的步驟 104 處所判斷之畫面下端和步驟 106 處所判斷的畫面右端。

〈週邊巨集區塊〉

圖 7，係為對於在實行與本發明相異之先前技術之編碼處理的情況時之處理對象巨集區塊（MB）401 與在處理對象巨集區塊（MB）401 之預測中所被使用之 4 個的週邊巨集區塊（MB）402～405 間的關係作展示之圖。

圖 8，係為對於在實行於圖 1～圖 6 中所說明了的由本發明之實施形態 1 所致的動畫像之編碼／解碼處理之處理程序的情況時之處理對象巨集區塊（MB）401 與在處理對象巨集區塊（MB）401 之預測中所被使用之 4 個的週邊巨集區塊（MB）406～409 間的關係作展示之圖。

於圖 7 中，由於係必須要在位置於處理對象巨集區塊（MB）401 之右上方的巨集區塊（MB）404 仍為未處理之狀態下來對於處理對象巨集區塊（MB）401 進行處理，因

此，參考資訊係減少，預測精確度係會劣化。相對於此，在由本發明之實施形態1所致的圖8中，在處理對象巨集區塊（MB）401之處理時序處，由於4個的週邊巨集區塊（MB）406～409係全部為完成處理的狀態，因此，係成為能夠避免由於參考資訊之減少所導致的預測精確度之劣化。

〈週邊巨集區塊資訊之儲存記憶體〉

圖9，係為對於根據先前技術之編碼處理而從位置在1枚的影像畫面之左上方的巨集區塊（MB）起來開始並以所標示之逐列掃描順序來最初朝向右方向並接著朝向下方向而依序實行複數之巨集區塊（MB）之編碼處理的模樣作展示之圖。

在圖9所示之先前技術的編碼處理中，週邊巨集區塊資訊之儲存記憶體的記憶容量，係有必要成為具備有將畫面橫寬幅之量的巨集區塊（MB）資訊502作儲存之大的記憶容量。

圖10，係為對於在圖1～圖6中所說明了的由本發明之實施形態1所致的編碼處理而從位置在1枚的影像畫面之左上方的巨集區塊（MB）起來開始而最初朝向下方向並接著朝向右方向而依序實行複數之巨集區塊（MB）之編碼處理的模樣作展示之圖。

在圖10所示之由本發明之實施形態1所致的編碼處理中，週邊巨集區塊資訊之儲存記憶體的記憶容量，係只要

具備有將畫面縱寬幅之量的巨集區塊（MB）資訊504作儲存之較小的記憶容量便已為充分。

一般而言，動畫像之畫面縱寬幅，係為較動畫像之畫面橫寬幅而更短之長度。例如，在QVGA（Quarter Video Graphic Array）尺寸中，係為320像素×240像素，在標準（Standard）尺寸中，係為720像素×480像素，在高精細HD（High Definition）尺寸中，係為1920像素×1080像素，在4K×2K尺寸中，係為4096像素×2048像素，在8K×4K尺寸中，係為8192像素×4096像素。故而，相較於在圖9所示之先前技術的編碼處理中所需要的畫面橫寬幅之量的較大容量，在圖10所示之由本發明之實施形態1所致的編碼處理中所需要的週邊巨集區塊資訊的儲存記憶體之記憶容量，係成為畫面縱寬幅之量的較小之容量。

〈巨集區塊適應型之圖框、圖場預測模式〉

圖11，係為對於將被導入至MPEG-4 AVC（H.264）之編碼方式中的巨集區塊適應型之圖框、圖場預測模式的2列之巨集區塊（MB）的對，根據先前技術之編碼處理來作編碼的模樣作展示之圖。

在圖11所示之先前技術的編碼處理中，週邊巨集區塊資訊之儲存記憶體的記憶容量，係有必要成為具備有將畫面橫寬幅之量的2倍之巨集區塊（MB）資訊602作儲存之大的記憶容量。

圖12，係為對於將被導入至MPEG-4 AVC（H.264）之

編碼方式中的巨集區塊適應型之圖框、圖場預測模式之巨集區塊（MB）的對，根據在圖1～圖6中所說明了的由本發明之實施形態1所致的編碼處理來作編碼的模樣作展示之圖。

於圖12所示之由在圖1～圖6中所說明了的本發明之實施形態1所致的編碼處理中，週邊巨集區塊資訊之儲存記憶體的記憶容量，係只要具備有將畫面縱寬幅之量的巨集區塊（MB）資訊604作儲存之較小的記憶容量便已為充分。

（實施形態2）

〈由實施形態2所致之動畫像編碼／解碼處理裝置〉

圖13，係為對於由本發明之實施形態2所致的動畫像編碼／解碼處理裝置之構成作展示之圖。

於圖13之上部，係展示有實行由本發明之實施形態2所致的動畫像編碼之處理的編碼裝置701，於圖13之下部，係展示有實行由本發明之實施形態2所致的動畫像解碼之處理的解碼裝置711。

編碼裝置701，係包含有畫像旋轉部703、和編碼處理部704、以及週邊巨集區塊資訊儲存記憶體705。編碼裝置701，係經由實行被儲存在畫像記憶體702中之原畫像的動畫像編碼處理，來將動畫像編碼位元串流和參考畫像輸出至畫像記憶體702處。

被儲存在畫像記憶體702中之原畫像，係被供給至編

碼裝置 701 之畫像旋轉部 703 處，畫像旋轉部 703，係將原畫像作 $+90^\circ$ 之右旋轉，並將旋轉畫像供給至畫像記憶體 702 處。故而，被儲存在畫像記憶體 702 中之原畫像的橫寬幅，係成為較縱寬幅更長的橫長畫像，並藉由畫面顯示之逐次掃描的順序，而在右水平方向上配列有複數之巨集區塊 (MB) 1、2、3、4，並在下垂直方向上配列有複數之巨集區塊 (MB) 1、5、9。亦即是，在被儲存於畫像記憶體 702 中之原畫像的橫寬幅之右水平方向上所配列的複數之巨集區塊 (MB) 1、2、3、4 的個數，係成為較在原畫像之縱寬幅的下垂直方向上所配列的複數之巨集區塊 (MB) 1、5、9 之個數而更大之值。

另一方面，經由畫像旋轉部 703 而被作了 $+90^\circ$ 之右旋轉並被供給至畫像記憶體 702 處之旋轉畫像，在橫寬幅之水平方向上，係包含有個數較小的複數之巨集區塊 (MB) 1、5、9，在縱寬幅之垂直方向上，係包含有個數較大的複數之巨集區塊 (MB) 1、2、3、4。又，被儲存在畫像記憶體 702 處之參考畫像，亦係與旋轉畫像相同的，在橫寬幅之水平方向上，係包含有個數較小的複數之巨集區塊 (MB) 1、5、9，在縱寬幅之垂直方向上，係包含有個數較大的複數之巨集區塊 (MB) 1、2、3、4。

編碼處理部 704，最初係將在被儲存於畫像記憶體 702 處之旋轉畫像的橫寬幅之水平方向上所配列的個數較小之複數之巨集區塊 (MB) 9、5、1 和在被儲存於畫像記憶體 702 中之參考畫像的橫寬幅之水平方向上所配列的個數較

小之複數之巨集區塊 (MB) 9、5、1依序讀出，並實行動畫像編碼處理。接著，編碼處理部 704，係將在被儲存於畫像記憶體 702中之旋轉畫像以及參考畫像的各橫寬幅之水平方向上所配列的個數較小之複數之巨集區塊 (MB) 10、6、2依序讀出，並實行動畫像編碼處理。又，經由動畫像編碼處理所產生之動畫像編碼位元串流，係被儲存在畫像記憶體 702中。在此動畫像編碼處理中所需要之週邊巨集區塊資訊儲存記憶體 705的記憶容量，係只需要在被儲存於畫像記憶體 702中之原畫像的縱寬幅之垂直方向上所配列的複數之巨集區塊 (MB) 9、5、1的個數便已足夠。

故而，在藉由系統 LSI來構成編碼裝置 701時，係成為能夠容易地使用較小之記憶容量的週邊巨集區塊資訊儲存記憶體 705來作為系統 LSI之內藏記憶體 (ON-CHIP SRAM)。又，將原畫像和旋轉畫像以及動畫像編碼位元串流作儲存的畫像記憶體 702，係經由同步型動態隨機存取記憶體 (SDRAM) 而構成之。

解碼裝置 711，係包含有解碼處理部 714、和週邊巨集區塊資訊儲存記憶體 715、以及畫像旋轉部 713。

解碼處理部 714，最初係將在被儲存於畫像記憶體 712處之動畫像編碼位元串流的橫寬幅之水平方向上所配列的個數較小之複數之巨集區塊 (MB) 9、5、1和在被儲存於畫像記憶體 712中之參考畫像的橫寬幅之水平方向上所配列的個數較小之複數之巨集區塊 (MB) 9、5、1依序讀

出，並實行動畫像解碼處理。接著，解碼處理部 714，係將在被儲存於畫像記憶體 712 中之動畫像編碼位元串流以及參考畫像的各橫寬幅之水平方向上所配列的個數較小之複數之巨集區塊（MB）10、6、2 依序讀出，並實行動畫像解碼處理。又，經由動畫像解碼處理所產生之動畫像解碼位元串流，係被儲存在畫像記憶體 712 中。進而，畫像旋轉部 713，係將被儲存在畫像記憶體 712 中之動畫像解碼位元串流作 90° 的左旋轉，並作為最終之動畫像解碼位元串流來再度供給至畫像記憶體 712 處。在此動畫像解碼處理中所需要之週邊巨集區塊資訊儲存記憶體 715 的記憶容量，係只需要在被儲存於畫像記憶體 712 中之動畫像編碼位元串流的橫寬幅之水平方向上所配列的複數之巨集區塊（MB）9、5、1 的個數便已足夠。

故而，在藉由系統 LSI 來構成解碼裝置 711 時，係成為能夠容易地使用較小之記憶容量的週邊巨集區塊資訊儲存記憶體 715 來作為系統 LSI 之內藏記憶體（ON-CHIP SRAM）。又，將動畫像編碼位元串流和旋轉畫像以及動畫像解碼位元串流作儲存的畫像記憶體 712，係經由同步型動態隨機存取記憶體（SDRAM）而構成之。

於圖 13 中所示之由本發明之實施形態 2 所致的動畫像之編碼裝置 701 和解碼裝置 711，係能夠使藉由系統 LSI 所構成之動畫像編碼／解碼處理裝置積體化至半導體晶片。此時，編碼處理部 704 與解碼處理部 714，係可藉由共通硬體資源來構成，週邊巨集區塊資訊儲存記憶體 705 與

週邊巨集區塊資訊儲存記憶體 715，係可藉由共通硬體資源來構成，畫像旋轉部 703 與畫像旋轉部 713，係可藉由共通硬體資源來構成。根據在電源投入時等之初期化序列中所被供給之動作模式設定資訊，係成為能夠使藉由系統 LSI 所構成之動畫像編碼／解碼處理裝置作為編碼裝置 701 與解碼裝置 711 之任一者來任意地動作。

(實施形態 3)

〈由實施形態 3 所致之動畫像編碼／解碼處理裝置〉

圖 14，係為對於由本發明之實施形態 3 所致的動畫像編碼／解碼處理裝置之構成作展示之圖。

若是與圖 13 中所示之由本發明之實施形態 2 所致的動畫像編碼／解碼處理裝置作比較，則在圖 14 所示之由本發明之實施形態 3 所致的動畫像編碼／解碼處理裝置中，係成為能夠將對於畫像記憶體 902 之存取頻度降低。

於圖 14 之上部，係展示有實行由本發明之實施形態 3 所致的動畫像編碼之處理的編碼裝置 901，於圖 14 之下部，係展示有實行由本發明之實施形態 3 所致的動畫像解碼之處理的解碼裝置 911。

編碼裝置 901，係包含有右 90° 旋轉部 903、和編碼處理部 904、和週邊巨集區塊資訊儲存記憶體 905、以及畫像讀取位址產生部 906。編碼裝置 901，係經由實行被儲存在畫像記憶體 902 中之原畫像的動畫像編碼處理，來將動畫像編碼位元串流和參考畫像輸出至畫像記憶體 902 處。

被儲存在畫像記憶體 902 中之原畫像的複數之巨集區塊 (MB)，係依據由畫像讀取位址產生部 906 所產生的位址，而被供給至編碼裝置 901 之右 90° 旋轉部 903 處，右 90° 旋轉部 903，係將使被供給而來之巨集區塊 (MB) 作了 +90° 之旋轉後的旋轉畫像供給至編碼處理部 904 處。亦即是，被儲存在畫像記憶體 902 中之原畫像的橫寬幅，係成為較縱寬幅更長的橫長畫像，並藉由畫面顯示之逐次掃描的順序，而在右水平方向上配列有複數之巨集區塊 (MB) 1、2、3、4，並在下垂直方向上配列有複數之巨集區塊 (MB) 1、5、9。其結果，在被儲存於畫像記憶體 902 中之原畫像的橫寬幅之右水平方向上所配列的複數之巨集區塊 (MB) 1、2、3、4 的個數，係成為較在原畫像之縱寬幅的下垂直方向上所配列的複數之巨集區塊 (MB) 1、5、9 之個數而更大之值。

另一方面，經由畫像旋轉部 703 而被作了 +90° 之右旋轉並被供給至編碼處理部 904 處之旋轉畫像，在橫寬幅之水平方向上，係包含有個數較小的複數之巨集區塊 (MB) 9、5、1，在縱寬幅之垂直方向上，係包含有個數較大的複數之巨集區塊 (MB) 1、2、3、4。又，被儲存在畫像記憶體 902 處之參考畫像，亦係與旋轉畫像相同的，在橫寬幅之水平方向上，係包含有個數較小的複數之巨集區塊 (MB) 9、5、1，在縱寬幅之垂直方向上，係包含有個數較大的複數之巨集區塊 (MB) 1、2、3、4。

編碼處理部 904：最初係將在從右 90° 旋轉部 903 所供

給而來之旋轉畫像的橫寬幅之水平方向上所配列的個數較小之複數之巨集區塊 (MB) 9、5、1和在被儲存於畫像記憶體 902中之參考畫像的橫寬幅之水平方向上所配列的個數較小之複數之巨集區塊 (MB) 9、5、1依序讀出，並實行動畫像編碼處理。接著，編碼處理部 904，係將在從右 90°旋轉部 903所供給而來之旋轉畫像以及被儲存在畫像記憶體 902中之參考畫像的各橫寬幅之水平方向上所配列的個數較小之複數之巨集區塊 (MB) 10、6、2依序讀出，並實行動畫像編碼處理。又，經由動畫像編碼處理所產生之動畫像編碼位元串流，係被儲存在畫像記憶體 902中。在上述之動畫像編碼處理中所需要之週邊巨集區塊資訊儲存記憶體 905的記憶容量，係只需要在被儲存於畫像記憶體 902中之原畫像的縱寬幅之垂直方向上所配列的複數之巨集區塊 (MB) 1、5、9的個數便已足夠。

故而，在藉由系統 LSI來構成編碼裝置 901時，係成為能夠容易地使用較小之記憶容量的週邊巨集區塊資訊儲存記憶體 905來作為系統 LSI之內藏記憶體 (ON-CHIP SRAM)。又，將原畫像與動畫像編碼位元串流作儲存的畫像記憶體 902，係經由同步型動態隨機存取記憶體 (SDRAM)而構成之。又，經由編碼裝置 901之動畫像編碼處理而被作了編碼的運動向量 MV1，亦係成為與被儲存在畫像記憶體 902中之原畫像處的運動向量作比較並經由右 90°旋轉部 903而作了 +90°右旋轉者。

解碼裝置 911，係包含有解碼處理部 914、和週邊巨集

區塊資訊儲存記憶體 915、和左 90°旋轉部 913、和畫像讀取位址產生部 916、和差分畫像產生部 917、以及畫像寫入位址產生部 918。

解碼處理部 914，最初係將在被儲存於畫像記憶體 912 中之動畫像編碼位元串流的橫寬幅之水平方向上所配列的個數較小之複數之巨集區塊 (MB) 9、5、1 依序讀出。在從畫像記憶體 912 所被依序讀出之動畫像編碼位元串流的橫寬幅之水平方向上所配列的個數較小之複數之巨集區塊 (MB) 9、5、1，係透過差分畫像產生部 917 而被供給至左 90°旋轉部 913 處。左 90°旋轉部 913，係產生在縱寬幅之垂直方向上所配列的複數之巨集區塊 (MB) 9、5、1，並供給至解碼處理部 914 處。

又，畫像讀取位址產生部 916，由於係將在被儲存於畫像記憶體 712 處之參考畫像的縱寬幅之垂直方向上所配列的複數之巨集區塊 (MB) 9、5、1 依序讀出，因此，解碼處理部 914，係使用動畫像編碼位元串流之複數之巨集區塊 (MB) 9、5、1 和參考畫像的複數之巨集區塊 (MB) 9、5、1 而實行動畫像解碼處理。經由動畫像解碼處理而從解碼處理部 914 所產生之動畫像解碼位元串流，係根據由畫像寫入位址產生部 918 所產生的位址，而被儲存在畫像記憶體 712 中。在此動畫像解碼處理中所需要之週邊巨集區塊資訊儲存記憶體 915 的記憶容量，係只需要在被儲存於畫像記憶體 912 中之動畫像編碼位元串流的橫寬幅之水平方向上所配列的複數之巨集區塊 (MB) 9、5、1 的個

數便已足夠。

故而，在藉由系統 LSI 來構成解碼裝置 911 時，係成爲能夠容易地使用較小之記憶容量的週邊巨集區塊資訊儲存記憶體 915 來作爲系統 LSI 之內藏記憶體（ON-CHIP SRAM）。又，將動畫像編碼位元串流和參考畫像以及動畫像解碼位元串流作儲存的畫像記憶體 912，係經由同步型動態隨機存取記憶體（SDRAM）而構成之。又，經由在解碼裝置 911 處之動畫像解碼處理所解碼了的運動向量 MV2，係爲以將經由編碼裝置 901 之動畫編碼處理所作了編碼的運動向量 MV1 之 x 座標作爲運動向量 MV2 之 y 座標、並且將運動向量 MV1 之 y 座標作爲運動向量 MV2 之 x 座標（但是，係爲負號）的方式而作了座標變換者。

於圖 14 中所示之由本發明之實施形態 3 所致的動畫像之編碼裝置 901 和解碼裝置 911，係能夠使藉由系統 LSI 所構成之動畫像編碼／解碼處理裝置積體化至半導體晶片中。此時，編碼處理部 904 與解碼處理部 914，係可藉由共通硬體資源來構成，週邊巨集區塊資訊儲存記憶體 905 與週邊巨集區塊資訊儲存記憶體 915，係可藉由共通硬體資源來構成，右 90° 旋轉部 903 與左 90° 旋轉部 913，係可藉由共通硬體資源來構成。根據在電源投入時等之初期化序列中所被供給之動作模式設定資訊，係成爲能夠使藉由系統 LSI 所構成之動畫像編碼／解碼處理裝置作爲編碼裝置 901 與解碼裝置 911 之任一者來任意地動作。

(實施形態4)

〈由實施形態4所致之動畫像編碼／解碼處理裝置〉

圖15，係為對於由本發明之實施形態4所致的動畫像編碼／解碼處理裝置之構成作展示之圖。

若是與圖14中所示之由本發明之實施形態3所致的動畫像編碼／解碼處理裝置作比較，則在圖15所示之由本發明之實施形態4所致的動畫像編碼／解碼處理裝置中，係成為能夠將被儲存在畫像記憶體1302中之參考畫像的複數之巨集區塊(MB)的配列設為與原畫像之複數之巨集區塊(MB)的配列相同。

於圖15之上部，係展示有實行由本發明之實施形態4所致的動畫像編碼之處理的編碼裝置1301，於圖15之下部，係展示有實行由本發明之實施形態4所致的動畫像解碼之處理的解碼裝置1311。

編碼裝置1301，係包含有右90°旋轉部1303、和編碼處理部1304、和週邊巨集區塊資訊儲存記憶體1305、和畫像讀取位址產生部1306、和差分畫像產生部1307、和參考畫像位址產生部1308、以及左90°旋轉部1309。編碼裝置1301，係經由實行被儲存在畫像記憶體1302中之原畫像的動畫像編碼處理，來將動畫像編碼位元串流和參考畫像輸出至畫像記憶體1302處。

根據由畫像讀取位址產生部1306所產生之位址，從畫像記憶體1302，係將在原畫像以及參考畫面之縱寬幅的垂直方向上所配列的個數較小之複數之巨集區塊(MB)9、

5、1依序讀出，並供給至差分畫像產生部1307處。差分畫像產生部1307之輸出訊號，係被供給至右90°旋轉部1303處，右90°旋轉部1303，係將把被供給而來之巨集區塊(MB)作了+90°右旋轉後的旋轉畫像供給至編碼處理部1304處。亦即是，被儲存在畫像記憶體1302中之原畫像的橫寬幅，係成為較縱寬幅更長的橫長畫像，並藉由畫面顯示之逐次掃描的順序，而在右水平方向上配列有複數之巨集區塊(MB)1、2、3、4，並在下垂直方向上配列有複數之巨集區塊(MB)1、5、9。其結果，在被儲存於畫像記憶體1302中之原畫像的橫寬幅之右水平方向上所配列的複數之巨集區塊(MB)1、2、3、4的個數，係成為較在原畫像之縱寬幅的下垂直方向上所配列的複數之巨集區塊(MB)1、5、9之個數而更大之值。

另一方面，經由右90°旋轉部1303而被作了+90°之右旋轉並被供給至編碼處理部1304處之旋轉畫像，在橫寬幅之水平方向上，係包含有個數較小的複數之巨集區塊(MB)9、5、1，在縱寬幅之垂直方向上，係包含有個數較大的複數之巨集區塊(MB)1、2、3、4。

編碼處理部1304，係對於從右90°旋轉部1303所供給而來之差分畫像產生部1307的輸出訊號之巨集區塊(MB)9、5、1依序作處理，而實行動畫像編碼處理。接著，編碼處理部1304，係對於從右90°旋轉部1303所供給而來之差分畫像產生部1307的輸出訊號之巨集區塊(MB)10、6、2依序作處理，而實行動畫像編碼處理。經由此動

畫像編碼處理所產生而從編碼處理部 1304 之輸出所產生的動畫像編碼位元串流，係被儲存在畫像記憶體 1302 中。又，編碼處理部 1304 之輸出，係被供給至左 90° 旋轉部 1309 處，左 90° 旋轉部 1309 之輸出，係根據從參考畫像位址產生部 1308 所產生之參考畫像位址，而作為參考畫像來儲存在畫像記憶體 1302 中。在此動畫像編碼處理中所需要之週邊巨集區塊資訊儲存記憶體 1305 的記憶容量，係只需要在被儲存於畫像記憶體 1302 中之原畫像的縱寬幅之垂直方向上所配列的複數之巨集區塊 (MB) 1、5、9 的個數便已足夠。

故而，在藉由系統 LSI 來構成解碼裝置 1301 時，係成為能夠容易地使用較小之記憶容量的週邊巨集區塊資訊儲存記憶體 1305 來作為系統 LSI 之內藏記憶體 (ON-CHIP SRAM)。又，將原畫像與參考畫像以及動畫像編碼位元串流作儲存的畫像記憶體 1302，係經由同步型動態隨機存取記憶體 (SDRAM) 而構成之。又，經由編碼裝置 1301 之動畫像編碼處理而被作了編碼的運動向量 MV1，亦係成為與被儲存在畫像記憶體 1302 中之原畫像處的運動向量作比較並經由右 90° 旋轉部 1303 而作了 +90° 右旋轉者。

解碼裝置 1311，係包含有解碼處理部 1314、和週邊巨集區塊資訊儲存記憶體 1315、和左 90° 旋轉部 1313、和畫像讀取位址產生部 1316、和差分畫像產生部 1317、以及畫像寫入位址產生部 1318。

解碼處理部 1314，最初係將在被儲存於畫像記憶體

1312中之動畫像編碼位元串流的橫寬幅之水平方向上所配列的個數較小之複數之巨集區塊 (MB) 9、5、1依序讀出。在從畫像記憶體1312所被依序讀出之動畫像編碼位元串流的橫寬幅之水平方向上所配列的個數較小之複數之巨集區塊 (MB) 9、5、1，係透過差分畫像產生部1317而被供給至左90°旋轉部1313處。左90°旋轉部1313，係產生在縱寬幅之垂直方向上所配列的複數之巨集區塊 (MB) 9、5、1，並供給至解碼處理部1314處。

又，畫像讀取位址產生部1316，由於係將在被儲存於畫像記憶體1312處之參考畫像的縱寬幅之垂直方向上所配列的複數之巨集區塊 (MB) 9、5、1依序讀出，因此，解碼處理部1314，係使用動畫像編碼位元串流之複數之巨集區塊 (MB) 9、5、1和參考畫像的複數之巨集區塊 (MB) 9、5、1而實行動畫像解碼處理。經由動畫像解碼處理而從解碼處理部1314所產生之動畫像解碼位元串流，係根據由畫像寫入位址產生部1318所產生的位址，而被儲存在畫像記憶體1312中。在此動畫像解碼處理中所需要之週邊巨集區塊資訊儲存記憶體915的記憶容量，係只需要在被儲存於畫像記憶體1312中之動畫像編碼位元串流的橫寬幅之水平方向上所配列的複數之巨集區塊 (MB) 9、5、1的個數便已足夠。

其結果，在藉由系統LSI來構成解碼裝置1311時，係成為能夠容易地使用較小之記憶容量的週邊巨集區塊資訊儲存記憶體1315來作為系統LSI之內藏記憶體 (ON-CHIP

SRAM)。又，將動畫像編碼位元串流和參考畫像以及動畫像解碼位元串流作儲存的畫像記憶體1312，係經由同步型動態隨機存取記憶體（SDRAM）而構成之。又，經由在解碼裝置1311處之動畫像解碼處理所解碼了的運動向量MV2，係為以將經由編碼裝置1301之動畫編碼處理所作了編碼的運動向量MV1之x座標作為運動向量MV2之y座標、並且將運動向量MV1之y座標作為運動向量MV2之x座標（但是，係為負號）的方式而作了座標變換者。

於圖15中所示之由本發明之實施形態4所致的動畫像之編碼裝置1301和解碼裝置1311，係能夠使藉由系統LSI所構成之動畫像編碼／解碼處理裝置積體化至半導體晶片中。此時，編碼處理部1304與解碼處理部1314，係可藉由共通硬體資源來構成，週邊巨集區塊資訊儲存記憶體1305與週邊巨集區塊資訊儲存記憶體1315，係可藉由共通硬體資源來構成，右90°旋轉部1303與左90°旋轉部1313，係可藉由共通硬體資源來構成。根據在電源投入時等之初期化序列中所被供給之動作模式設定資訊，係成為能夠使藉由系統LSI所構成之動畫像編碼／解碼處理裝置作為編碼裝置1301與解碼裝置1311之任一者來任意地動作。

（實施形態5）

〈由實施形態5所致之動畫像處理裝置〉

圖16，係為對於能夠作為在圖5中所示之由本發明之實施形態1所致的動畫像編碼／解碼處理裝置201之巨集區

塊編碼／解碼處理部 203、或者是作為在圖 13 中所示之由本發明之實施形態 2 所致的編碼裝置 701 之編碼處理部 704 與解碼裝置 711 之解碼處理部 714、或者是作為在圖 14 中所示之由本發明之實施形態 3 所致的編碼裝置 901 之編碼處理部 904 與解碼裝置 911 之解碼處理部 914、亦或是作為在圖 15 中所示之由本發明之實施形態 4 所致的編碼裝置 1301 之編碼處理部 1304 與解碼裝置 1311 之解碼處理部 1314 來使用的由本發明之實施形態 5 所致的動畫像處理裝置 1750 之構成作展示的圖。

於圖 16 中所示之由本發明之實施形態 5 所致的動畫像處理裝置 1750，係具備有：可變長度編碼解碼部（VLCS）1703、和第 1 動畫像處理單元（CODEC1）1719、和第 2 動畫像處理單元（CODEC2）1729、和記憶體控制部（MEC）1714、和本地記憶體控制器（LMC）1724、和全體控制部（CTRL）1715、和 DMA 控制器（DMAC）1725、和外部匯流排 1701、以及內部匯流排 1702。若依據理想之實施形態，則動畫像處理裝置 1750，係藉由被形成在例如單結晶矽基板等之 1 個的半導體基板上之大規模半導體積體電路（LSI：Large Scale Integrated Circuits）的形態所構成者。又，於圖 16 中所示之由本發明之實施形態 5 所致的動畫像處理裝置 1750，係成為能夠依據在電源投入時等之初期化序列中所被供給之動作模式設定資訊，來作為編碼裝置與解碼裝置之任一者來任意地動作。

〈可變長度編碼解碼部〉

在可變長度編碼解碼部 (VLCS) 1703處，係從硬碟 (HDD)、光碟、大容量非揮發性快閃記憶體、無線 LAN (區域網路) 等之媒體來透過 DMA 控制器 1725 而以位元串流 (BS) 的形態被供給有動畫編碼資料。在可變長度編碼解碼部 (VLCS) 1703 之內部，係內藏有串流解析部，經由此串流解析部，被配列在身為奇數行之第 1 行、第 3 行、… 處的巨集區塊，係被供給至第 1 動畫像處理單元 (CODEC1) 1719 處，另一方面，被配列在身為偶數行之第 2 行、第 4 行、… 處的巨集區塊，係被供給至第 2 動畫像處理單元 (CODEC2) 1729 處。

在可變長度編碼解碼部 (VLCS) 1703 之內部，係內藏有管線控制部，經由此管線控制部，用以進行與巨集區塊相關連之第 1 動畫像處理單元 (CODEC1) 1719 和第 2 動畫像處理單元 (CODEC2) 1729 間的並列動作之管線動作，係被作控制。亦即是，身為第 1 動畫像處理單元 (CODEC1) 1719 之內部電路的第 1 可變長度編碼解碼部 (VLCF1) 1710、和第 1 頻率變換部 (TRF1) 1711、和第 1 運動補償部 (FME1) 1712 以及第 1 去區塊濾波器 (DEB1) 1713，係為經由被可變長度編碼解碼部 (VLCS) 1703 的管線控制部所控制，而實行管線動作者。又，身為第 2 動畫像處理單元 (CODEC2) 1729 之內部電路的第 2 可變長度編碼解碼部 (VLCF2) 1720、和第 2 頻率變換部 (TRF2)

1721、和第2運動補償部（FME2）1722以及第2去區塊濾波器（DEB2）1723，係為經由被可變長度編碼解碼部（VLCS）1703的管線控制部所控制，而實行管線動作者。故而，實行管線動作之第1動畫像處理單元（CODEC1）1719和第2動畫像處理單元（CODEC2）1729間的並列動作，係成為適合於在圖12中所示之由本發明之實施形態1所致的巨集區塊適應型之圖框、圖場預測模式的巨集區塊（MB）之對（pair）的編碼處理或者是解碼處理者。

如此這般，可變長度編碼解碼部（VLCS）1703，係具備有下述之功能，亦即是，係經由將被供給而來之位元串流作可變長度解碼，而將巨集區塊與運動向量抽出，並求取出在後段之第1動畫像處理單元（CODEC1）1719和第2動畫像處理單元（CODEC2）1729中所需要的參數群之值。

〈可變長度編碼解碼部〉

從可變長度編碼解碼部（VLCS）1703而分別被供給有奇數行與偶數行之巨集區塊的第1可變長度編碼解碼部（VLCSF1）1710和第2可變長度編碼解碼部（VLCSF2）1720，係為經由實行文脈基礎（context base）適應可變長度編碼解碼，而實行運動向量資訊或巨集區塊參數或是頻率變換資訊之解碼處理者。

〈 頻率變換部 〉

第 1 頻率變換部 (TRF1) 1711 與第 2 頻率變換部 (TRF2) 1721 , 係經由從第 1 可變長度編碼解碼部 (VLCF1) 1710 和第 2 可變長度編碼解碼部 (VLCF2) 1720 而被供給有頻率變換資訊 , 來實行逆量化 (IQ : Inverse Quantization) 和逆離散餘弦變換 (IDCT : Inverse Discrete Cosine Transformation) 。亦即是 , 第 1 頻率變換部 (TRF1) 1711 、第 2 頻率變換部 (TRF2) 1721 , 係對於從第 1 可變長度編碼解碼部 (VLCF1) 1710 、第 2 可變長度編碼解碼部 (VLCF2) 1720 所供給而來之作爲頻率變換資訊的量化變換係數與量化參數進行處理 , 並作逆量化變換而算出變換係數 , 再對於所算出的逆變換係數進行逆正交變換 , 而求取出像素值或者是圖框間預測殘差 , 再將從第 1 運動補償部 (FME1) 1712 、第 2 運動補償部 (FME2) 1722 所供給而來之參考畫像與圖框間預測殘差作加算 , 而算出像素值 , 並將所算出之畫像作輸出。

〈 運動補償部 〉

第 1 運動補償部 (FME1) 1712 與第 2 運動補償部 (FME2) 1722 , 係實行運動補償處理。亦即是 , 第 1 運動補償部 (FME1) 1712 、第 2 運動補償部 (FME2) 1722 , 係使用從畫像記憶體所透過記憶體控制部 (MEC) 1714 和內部匯流排 1702 和 DMA 控制器 (DMAC) 1725 以及外部匯流排 1701 所供給而來之參考畫像 , 而實行運動探索 , 並藉由

此而算出運動向量位置之參考畫像，再輸出至第1頻率變換部（TRF1）1711、第2頻率變換部（TRF2）1721處。

〈去區塊濾波器〉

第1去區塊濾波器（DEB1）1713和第2去區塊濾波器（DEB2）1723，係為實行用以將在畫像解碼時所產生的區塊變形減少之去區塊濾波處理者。亦即是，第1和第2去區塊濾波器（DEB1、DEB2）1713、1723，係使用從第1和第2頻率變換部（TRF1、TRF2）1711、1721所供給而來的處理對象之巨集區塊（MB）的畫像資料、和從第1和第2去區塊濾波器（DEB1、DEB2）1713、1723中的內藏記憶體所供給而來之處理對象的左邊之巨集區塊（MB）的畫像資料，而實行去區塊濾波處理。

〈記憶體控制部〉

記憶體控制部（MEC）1714，係將根據從第1和第2可變長度編碼解碼部（VLCF1、VLCF2）1710、1720所供給而來之運動向量的資訊而用以在圖框間預測中作使用之參考畫像，從畫像記憶體而經由內部匯流排1702與DMA控制器（DMAC）1725以及外部匯流排1701來供給至第1和第2運動補償部（FME1、FME2）1712、1722處。

〈全體控制部〉

全體控制部（CTRL）1715，係對於動畫像處理裝置

1750之全部的內部電路之動作進行控制。例如，全體控制部（CTRL）1715，係產生對於第1和第2去區塊濾波器（DEB1、DEB2）1713、1723之動作作控制的動作控制訊號 deb_start。

〈本地區域記憶體控制器〉

本地記憶體控制器（LMC）1724，係對於在圖5中所示之由本發明之實施形態1所致的動畫像編碼／解碼處理裝置（CODEC）201之週邊巨集區塊資訊儲存記憶體204、或者是作為在圖13中所示之由本發明之實施形態2所致的編碼裝置701之週邊巨集區塊資訊儲存記憶體705與解碼裝置711之週邊巨集區塊資訊儲存記憶體715、或者是作為在圖14中所示之由本發明之實施形態3所致的編碼裝置901之週邊巨集區塊資訊儲存記憶體905與解碼裝置911之週邊巨集區塊資訊儲存記憶體915、亦或是作為在圖15中所示之由本發明之實施形態4所致的編碼裝置1301之週邊巨集區塊資訊儲存記憶體1305與解碼裝置1311之週邊巨集區塊資訊儲存記憶體1315，而對於其之寫入動作和讀出動作作控制。

例如，本地記憶體控制器（LMC）1724，係將與相關於奇數行之巨集區塊（MB）的第1動畫像處理單元（CODEC1）1719之處理結果有所關連的參數，儲存在此些之週邊巨集區塊資訊儲存記憶體中，並將與相關於偶數行之巨集區塊（MB）的在第2動畫像處理單元

(CODEC2) 1729中所必要之畫像有所關連的參數作傳輸。又，本地記憶體控制器(LMC) 1724，係將與相關於偶數行之巨集區塊(MB)的第2動畫像處理單元(CODEC2) 1729之處理結果有所關連的參數，儲存在此些之週邊巨集區塊資訊儲存記憶體中，並將與相關於奇數行之巨集區塊(MB)的在第1動畫像處理單元(CODEC1) 1719中所必要之畫像有所關連的參數作傳輸。如此這般，本地記憶體控制器(LMC) 1724，係為實行週邊巨集區塊資訊之對於週邊巨集區塊資訊儲存記憶體的儲存動作與讀出動作者，並與作為被內藏在經由系統大規模半導體積體電路(系統LSI)所構成的動畫像編碼解碼裝置(CODEC)之半導體晶片中的週邊巨集區塊資訊儲存記憶體之內藏記憶體(ON-CHIP SRAM)作連接。

〈DMA控制器〉

DMA 控制器 (DMAC : Direct Memory Access Controller) 1725，係為在被與動畫像處理裝置 1750 之外部匯流排 1701 作連接的例如經由同步型動態隨機存取記憶體 (SDRAM) 所構成之畫像記憶體、和第 1 與第 2 動畫像處理單元 1719、1729 之間，而被使用來進行包含有大量之巨集區塊 (MB) 的參考畫像或者是編碼位元串流之高速資料傳輸。

在使圖 16 中所示之由本發明之實施形態 5 所致的動畫像處理裝置 1750 作為解碼裝置而動作時，第 1 動畫像處理

單元 (CODEC1) 1719 之第 1 可變長度編碼解碼部 (VLCF1) 1710 和第 1 頻率變換部 (TRF1) 1711 以及第 1 運動補償部 (FME1) 1712，係分別作為可變長度解碼部和逆量化器、逆 DCT 變換器以及運動補償部而動作。同樣的，第 2 動畫像處理單元 (CODEC2) 1729 之第 2 可變長度編碼解碼部 (VLCF2) 1720 和第 2 頻率變換部 (TRF2) 1721 以及第 2 運動補償部 (FME2) 1722，亦係分別作為可變長度解碼部和逆量化器、逆 DCT 變換器以及運動補償部而動作。

另一方面，在使圖 16 中所示之由本發明之實施形態 5 所致的動畫像處理裝置 1750 作為編碼裝置而動作時，第 1 動畫像處理單元 (CODEC1) 1719 之第 1 可變長度編碼解碼部 (VLCF1) 1710 和第 1 頻率變換部 (TRF1) 1711 以及第 1 運動補償部 (FME1) 1712，係分別作為構成殘差編碼部之可變長度編碼部和 DCT 變換器、量化器以及運動預測部而動作。同樣的，第 2 動畫像處理單元 (CODEC2) 1729 之第 2 可變長度編碼解碼部 (VLCF2) 1720 和第 2 頻率變換部 (TRF2) 1721 以及第 2 運動補償部 (FME2) 1722，亦係分別作為構成殘差編碼部之可變長度編碼部和 DCT 變換器、量化器以及運動預測部而動作。

以上，雖根據各種之實施之形態，而對本發明者所致之發明作了具體的說明。但是，本發明係並不被限定於此，不用說，在不脫離其要旨之範圍內，係可作各種之變更。

例如，在圖 16 中所示之本發明之實施形態 5 中，第 1 動畫像處理單元（CODEC1）1719 之第 1 可變長度編碼解碼部（VLCF1）1710 和第 1 頻率變換部（TRF1）1711 和第 1 運動補償部（FME1）1712，以及第 2 動畫像處理單元（CODEC2）1729 之第 2 可變長度編碼解碼部（VLCF2）1720 和第 2 頻率變換部（TRF2）1721 和第 2 運動補償部（FME2）1722，係並不被限定於經由硬體來實現之。此些之動作功能，例如，亦可經由微處理器等之軟體處理來實現之。此時，週邊巨集區塊資訊儲存記憶體 204、705、715 等，係亦可使用微處理器等之快取記憶體。

以上所說明了的由本發明之各種實施形態所致的動畫像編碼／解碼處理裝置，係可搭載在行動電話、車輛導航系統、DVD／HDD／BD 錄影機、數位視訊攝像機、數位相機、數位電視、電話會議系統等之中。

【圖式簡單說明】

[圖 1] 圖 1，係為展示在由本發明之實施形態 1 所致的動畫像編碼／解碼處理方式中之階層構造作說明之圖。

[圖 2] 圖 2，係為對於藉由在圖 1 中所示之由本發明之實施形態 1 所致的動畫像編碼方式而被作了編碼之編碼位元串流的構成作展示之圖。

[圖 3] 圖 3，係為對於由本發明之實施形態 1 所致的動畫像編碼／解碼處理之程序作展示的流程圖。

[圖 4] 圖 4，係為對於經由在圖 3 之流程圖中所示之由本

發明之實施形態1所致的動畫像編碼／解碼處理之程序，而對於1枚的影像畫面之被配置在2維巨集區塊座標（ x 、 y ）處的複數之巨集區塊（MB）依序作處理的模樣作展示之圖。

[圖5]圖5，係為對於能夠實行在圖3之流程圖中所示之由本發明之實施形態1所致的動畫像編碼／解碼處理之程序的由本發明之實施形態1所致的動畫編碼／解碼處理裝置的構成作展示之圖。

[圖6]圖6，係為對於在使圖5中所示之由本發明之實施形態1所致的動畫像編碼／解碼處理裝置作為解碼處理裝置而動作時所供給之動畫像編碼位元串流的資料配列作展示之圖。

[圖7]圖7，係為對於在實行與本發明相異之先前技術之編碼處理的情況時之處理對象巨集區塊（MB）401與在處理對象巨集區塊（MB）401之預測中所被使用之4個的週邊巨集區塊（MB）402～405間的關係作展示之圖。

[圖8]圖8，係為對於在實行於圖1～圖6中所說明了的由本發明之實施形態1所致的動畫像之編碼／解碼處理之程序的情況時之處理對象巨集區塊（MB）401與在處理對象巨集區塊（MB）401之預測中所被使用之4個的週邊巨集區塊（MB）406～409間的關係作展示之圖。

[圖9]圖9，係為對於根據先前技術之編碼處理而從位置在1枚的影像畫面之左上方的巨集區塊（MB）起來開始並以所標示之逐列掃描順序來最初朝向右方向並接著朝向

下方向而依序實行複數之巨集區塊 (MB) 之編碼處理的模樣作展示之圖。

[圖 10]圖 10，係為對於在圖 1～圖 6中所說明了的由本發明之實施形態 1所致的編碼處理而從位置在 1枚的影像畫面之左上方的巨集區塊 (MB) 起來開始而最初朝向下方向並接著朝向右方向而依序實行複數之巨集區塊 (MB) 之編碼處理的模樣作展示之圖。

[圖 11]圖 11，係為對於將被導入至 MPEG-4 AVC (H.264) 之編碼方式中的巨集區塊適應型之圖框、圖場預測模式的 2列之巨集區塊 (MB) 的對 (pair) ，根據先前技術之編碼處理來作編碼的模樣作展示之圖。

[圖 12]圖 12，係為對於將被導入至 MPEG-4 AVC (H.264) 之編碼方式中的巨集區塊適應型之圖框、圖場預測模式之巨集區塊 (MB) 的對 (pair) ，根據在圖 1～圖 6中所說明了的由本發明之實施形態 1所致的編碼處理來作編碼的模樣作展示之圖。

[圖 13]圖 13，係為對於由本發明之實施形態 2所致的動畫像編碼／解碼處理裝置之構成作展示之圖。

[圖 14]圖 14，係為對於由本發明之實施形態 3所致的動畫像編碼／解碼處理裝置之構成作展示之圖。

[圖 15]圖 15，係為對於由本發明之實施形態 4所致的動畫像編碼／解碼處理裝置之構成作展示之圖。

[圖 16]圖 16，係為對於能夠作為在圖 5中所示之由本發明之實施形態 1所致的動畫像編碼／解碼處理裝置 201之巨

集區塊編碼／解碼處理部 203、或者是作為在圖 13 中所示之由本發明之實施形態 2 所致的編碼裝置 701 之編碼處理部 704 與解碼裝置 711 之解碼處理部 714、或者是作為在圖 14 中所示之由本發明之實施形態 3 所致的編碼裝置 901 之編碼處理部 904 與解碼裝置 911 之解碼處理部 914、亦或是作為在圖 15 中所示之由本發明之實施形態 4 所致的編碼裝置 1301 之編碼處理部 1304 與解碼裝置 1311 之解碼處理部 1314 來使用的由本發明之實施形態 5 所致的動畫像處理裝置 1750 之構成作展示的圖。

【主要元件符號說明】

- 201：動畫像編碼／解碼處理裝置
- 202：畫像記憶體
- 203：巨集區塊編碼／解碼處理部
- 204：週邊巨集區塊資訊儲存記憶體
- 205：垂直方向巨集區塊計數器
- 206：畫面下端判定部
- 207：水平方向巨集區塊計數器
- 208：畫面右端判定部
- 209：AND 邏輯閘電路
- 701：編碼裝置
- 702：畫像記憶體
- 703：畫像旋轉部
- 704：編碼處理部

- 705 : 週邊巨集區塊資訊儲存記憶體
- 711 : 解碼裝置
- 712 : 畫像記憶體
- 713 : 畫像旋轉部
- 714 : 解碼處理部
- 715 : 週邊巨集區塊資訊儲存記憶體
- 901 : 編碼裝置
- 902 : 畫像記憶體
- 903 : 右90°旋轉部
- 904 : 編碼處理部
- 905 : 週邊巨集區塊資訊儲存記憶體
- 906 : 畫像讀取位址產生部
- 911 : 解碼裝置
- 912 : 畫像記憶體
- 913 : 左90°旋轉部
- 914 : 解碼處理部
- 915 : 週邊巨集區塊資訊儲存記憶體
- 916 : 畫像讀取位址產生部
- 917 : 差分畫像產生部
- 918 : 畫像寫入位址產生部
- 1301 : 編碼裝置
- 1302 : 畫像記憶體
- 1303 : 右90°旋轉部
- 1304 : 編碼處理部

- 1305 : 週邊巨集區塊資訊儲存記憶體
- 1306 : 畫像讀取位址產生部
- 1307 : 差分畫像產生部
- 1308 : 參考畫像位址產生部
- 1309 : 左90°旋轉部
- 1311 : 解碼裝置
- 1312 : 畫像記憶體
- 1313 : 左90°旋轉部
- 1314 : 解碼處理部
- 1315 : 週邊巨集區塊資訊儲存記憶體
- 1316 : 畫像讀取位址產生部
- 1317 : 差分畫像產生部
- 1318 : 畫像寫入位址產生部

104年 7月31日 修正 對線 五(本)

七、申請專利範圍：

1. 一種動畫像編碼方法，係為使用編碼處理裝置來將被包含於水平方向之橫寬幅為較垂直方向之縱寬幅更大的橫長畫面之動畫像中的複數之巨集區塊作編碼之動畫像編碼方法，其特徵為：

前述編碼處理裝置，係被連接有畫像記憶體，並內藏有資訊儲存記憶體，該畫像記憶體，係儲存有前述動畫像之編碼前的前述複數之巨集區塊之資訊和已完成編碼的複數之巨集區塊之資訊，

在前述複數之巨集區塊的編碼時，身為被儲存在前述畫像記憶體中之前述已完成編碼的複數之巨集區塊之一部分且為在應進行編碼之巨集區塊週邊的複數之已完成編碼的複數之巨集區塊的資訊，係被儲存在前述資訊儲存記憶體中，

在前述複數之巨集區塊的前述編碼時，最初係經由將前述橫長畫面之前述橫寬幅的左端處所配列在前述垂直方向上的複數之巨集區塊依序作編碼，而將在前述左端處所配列在前述垂直方向上之前述複數之巨集區塊的編碼資訊儲存在前述資訊儲存記憶體中，

在前述被配列在垂直方向上之前述複數之巨集區塊被作了編碼後，接著，將前述橫長畫面之前述橫寬幅的前述左端之水平方向右鄰的被配列在前述垂直方向上之複數之巨集區塊，依序作編碼。

2. 如申請專利範圍第1項所記載之動畫像編碼方法，

其中，在前述左端之前述水平方向右鄰處所被配列在前述垂直方向上之前述複數之巨集區塊依序被作編碼時，係使用有被儲存在前述資訊儲存記憶體中之在前述左端處所被配列在前述垂直方向上之前述複數之巨集區塊的前述編碼資訊。

3.如申請專利範圍第2項所記載之動畫像編碼方法，其中，在前述被配列在垂直方向上之前述複數之巨集區塊的各巨集區塊被作了編碼之後，經由前述編碼處理裝置，來對於前述各巨集區塊而判定其是否為位置在前述縱寬幅之下端或者是上端處的最後或者是最初之巨集區塊。

4.如申請專利範圍第3項所記載之動畫像編碼方法，其中，當在前述橫長畫面之前述橫寬幅的前述左端之前述水平方向右鄰處所被配列在前述垂直方向上之前述複數之巨集區塊被作了編碼之後，經由前述編碼處理裝置，來對於被作了編碼之前述複數之巨集區塊而判定其是否為位置在前述橫寬幅之右端的最後之複數之巨集區塊。

5.如申請專利範圍第4項所記載之動畫像編碼方法，其中，當經由前述編碼處理裝置，而判定前述各巨集區塊係並非為位置在前述縱寬幅之前述下端或者是前述上端處之前述最後或者是前述最初之巨集區塊的情況時，係將代表在前述左端之前述垂直方向上而下一個被作編碼之巨集區塊的位置之垂直方向巨集區塊計數器的計數值，作1的增數。

6.如申請專利範圍第5項所記載之動畫像編碼方法，

其中，當經由前述編碼處理裝置，而判定被作了編碼的前述複數之巨集區塊係並非為位置在前述橫寬幅之前述右端處之前述最後之複數之巨集區塊的情況時，係將代表在前述橫長畫面之前述橫寬幅之前述水平方向上而下一個被作編碼之複數之巨集區塊的位置之水平方向巨集區塊計數器的計數值，作1的增數。

7.一種動畫像解碼方法，係為使用解碼處理裝置來將被包含於水平方向之橫寬幅為較垂直方向之縱寬幅更大的橫長畫面之動畫像中的複數之巨集區塊作解碼之動畫像解碼方法，其特徵為：

前述解碼處理裝置，係被連接有畫像記憶體，並內藏有資訊儲存記憶體，該畫像記憶體，係儲存有前述動畫像之解碼前的前述複數之巨集區塊之資訊和已完成解碼的複數之巨集區塊之資訊，

在前述複數之巨集區塊的解碼時，身為被儲存在前述畫像記憶體中之前述已完成解碼的複數之巨集區塊之一部分且為在應進行解碼之巨集區塊週邊的複數之已完成解碼的複數之巨集區塊的資訊，係被儲存在前述資訊儲存記憶體中，

在前述複數之巨集區塊之前述解碼時，最初係經由將前述橫長畫面之前述橫寬幅的左端處所配列在前述垂直方向上的複數之巨集區塊依序作解碼，而將在前述左端處所配列在前述垂直方向上之前述複數之巨集區塊的解碼資訊儲存在前述資訊儲存記憶體中，

在前述被配列在垂直方向上之前述複數之巨集區塊被作了解碼後，接著，將前述橫長畫面之前述橫寬幅的前述左端之水平方向右鄰的被配列在前述垂直方向上之複數之巨集區塊，依序作解碼。

8.如申請專利範圍第7項所記載之動畫像解碼方法，其中，在前述左端之前述水平方向右鄰處所被配列在前述垂直方向上之前述複數之巨集區塊依序被作解碼時，係使用有被儲存在前述資訊儲存記憶體中之在前述左端處所被配列在前述垂直方向上之前述複數之巨集區塊的前述解碼資訊。

9.如申請專利範圍第8項所記載之動畫像解碼方法，其中，在前述被配列在垂直方向上之前述複數之巨集區塊的各巨集區塊被作了解碼之後，經由前述解碼處理裝置，來對於前述各巨集區塊而判定其是否為位置在前述縱寬幅之下端或者是上端處的最後或者是最初之巨集區塊。

10.如申請專利範圍第9項所記載之動畫像解碼方法，其中，當在前述橫長畫面之前述橫寬幅的前述左端之前述水平方向右鄰處所被配列在前述垂直方向上之前述複數之巨集區塊被作了解碼之後，經由前述解碼處理裝置，來對於被作了解碼之前述複數之巨集區塊而判定其是否為位置在前述橫寬幅之右端的最後之複數之巨集區塊。

11.如申請專利範圍第10項所記載之動畫像解碼方法，其中，當經由前述解碼處理裝置，而判定前述各巨集區塊係並非為位置在前述縱寬幅之前述下端或者是前述上

端處之前述最後或者是前述最初之巨集區塊的情況時，係將代表在前述左端之前述垂直方向上而下一個被作解碼之巨集區塊的位置之垂直方向巨集區塊計數器的計數值，作1的增數。

12. 如申請專利範圍第11項所記載之動畫像解碼方法，其中，當經由前述解碼處理裝置，而判定被作了解碼之前述複數之巨集區塊係並非為位置在前述橫寬幅之前述右端處之前述最後之複數之巨集區塊的情況時，係將代表在前述橫長畫面之前述橫寬幅之前述水平方向上而下一個被作解碼之複數之巨集區塊的位置之水平方向巨集區塊計數器的計數值，作1的增數。

13. 一種動畫像編碼處理裝置，係為了將被包含於水平方向之橫寬幅為較垂直方向之縱寬幅更大的橫長畫面之動畫像中的複數之巨集區塊作編碼，而具備有編碼處理部與資訊儲存記憶體，該動畫像編碼處理裝置，其特徵為：

係能夠與畫像記憶體作連接，該畫像記憶體，係儲存有前述動畫像之編碼之前述複數之巨集區塊之資訊和已完成編碼的複數之巨集區塊之資訊，

在由前述編碼處理部所進行之前述複數之巨集區塊的編碼時，身為被儲存在前述畫像記憶體中之前述已完成編碼的複數之巨集區塊之一部分且為在應進行編碼之巨集區塊週邊的複數之已完成編碼的複數之巨集區塊的資訊，係被儲存在前述資訊儲存記憶體中，

在前述複數之巨集區塊之前述編碼時，最初係經由將

前述橫長畫面之前述橫寬幅的左端處所配列在前述垂直方向上的複數之巨集區塊以前述編碼處理部來依序作編碼，而將在前述左端處所配列在前述垂直方向上之前述複數之巨集區塊的編碼資訊經由前述編碼處理部來儲存在前述資訊儲存記憶體中，

在前述被配列在垂直方向上之前述複數之巨集區塊被作了編碼後，接著，將前述橫長畫面之前述橫寬幅的前述左端之水平方向右鄰的被配列在前述垂直方向上之複數之巨集區塊，經由前述編碼處理部來依序作編碼。

14.如申請專利範圍第13項所記載之動畫像編碼處理裝置，其中，在前述左端之前述水平方向右鄰處所被配列在前述垂直方向上之前述複數之巨集區塊經由前述編碼處理部而依序被作編碼時，係使用有被儲存在前述資訊儲存記憶體中之在前述左端處所被配列在前述垂直方向上之前述複數之巨集區塊的前述編碼資訊。

15.如申請專利範圍第14項所記載之動畫像編碼處理裝置，其中，在前述被配列在垂直方向上之前述複數之巨集區塊的各巨集區塊被作了編碼之後，經由前述動畫像編碼處理裝置，來對於前述各巨集區塊而判定其是否為位置在前述縱寬幅之下端或者是上端處的最後或者是最初之巨集區塊。

16.如申請專利範圍第15項所記載之動畫像編碼處理裝置，其中，當在前述橫長畫面之前述橫寬幅的前述左端之前述水平方向右鄰處所被配列在前述垂直方向上之前述

複數之巨集區塊被作了編碼之後，經由前述動畫像編碼處理裝置，來對於被作了編碼之前述複數之巨集區塊而判定其是否為位置在前述橫寬幅之右端的最後之複數之巨集區塊。

17.如申請專利範圍第16項所記載之動畫像編碼處理裝置，其中，前述動畫像編碼處理裝置，係更進而具備有：垂直方向巨集區塊計數器，係顯示在前述垂直方向上而下一個被作編碼之巨集區塊的位置，當經由前述動畫像編碼處理裝置，而判定前述各巨集區塊係並非為位置在前述縱寬幅之前述下端或者是前述上端處之前述最後或者是前述最初之巨集區塊的情況時，係將前述垂直方向巨集區塊計數器的計數值，作1的增數。

18.如申請專利範圍第17項所記載之動畫像編碼處理裝置，其中，前述動畫像編碼處理裝置，係更進而具備有：水平方向巨集區塊計數器，係顯示在前述水平方向上而下一個被作編碼之複數之巨集區塊的位置，當經由前述動畫像編碼處理裝置，而判定被作了編碼之前述複數之巨集區塊係並非為位置在前述橫寬幅之前述右端處之前述最後之複數之巨集區塊的情況時，係將前述水平方向巨集區塊計數器的計數值，作1的增數。

19.如申請專利範圍第14項所記載之動畫像編碼處理裝置，其中，係設為在將在前述橫長畫面之前述縱寬幅之前述上端處所被配列在前述水平方向上之複數之巨集區塊儲存在前述畫像記憶體中之後，能夠接著而將前述橫長畫

面之前述縱寬幅的前述上端之垂直方向下鄰處所被配列在前述水平方向上之複數之巨集區塊儲存在前述畫像記憶體中。

20.如申請專利範圍第19項所記載之動畫像編碼處理裝置，其中，前述動畫像編碼處理裝置，係更進而具備有：畫像旋轉部，係從前述畫像記憶體而將前述橫長畫面讀出，並將畫像作 90° 旋轉，之後，將所產生了的旋轉畫像寫入至前述畫像記憶體中，設為能夠將被儲存在前述畫像記憶體中之旋轉畫像讀出並供給至前述編碼處理部處。

21.如申請專利範圍第20項所記載之動畫像編碼處理裝置，其中，前述動畫像編碼處理裝置，係更進而具備有：畫像記憶體介面，係被設為能夠與前述畫像記憶體作連接，前述畫像記憶體介面，係被設為能夠進行：從前述畫像記憶體而將前述橫長畫面之在前述橫寬幅的前述左端處所被配列在前述垂直方向上之前述複數之巨集區塊讀出，並供給至前述編碼處理部，之後，接著將前述橫長畫面之在前述橫寬幅的前述左端之水平方向右鄰處所被配列在前述垂直方向上之複數之巨集區塊讀出，並供給至前述編碼處理部。

22.如申請專利範圍第19項所記載之動畫像編碼處理裝置，其中，係更進而具備有：畫像旋轉部，係成為能夠產生將從前述畫像記憶體所讀出之前述複數之巨集區塊的各巨集區塊作了 90° 旋轉的旋轉畫像，並供給至前述編碼處理部。

23.如申請專利範圍第22項所記載之動畫像編碼處理裝置，其中，係更進而具備有：畫像讀取位址產生部，係藉由此而成爲能夠進行：從前述畫像記憶體而將前述橫長畫面之在所述橫寬幅的前述左端處所被配列在所述垂直方向上之前述複數之巨集區塊讀出，並供給至前述畫像旋轉部，之後，接著將前述橫長畫面之在所述橫寬幅的前述左端之水平方向右鄰處所被配列在所述垂直方向上之複數之巨集區塊讀出，並供給至前述畫像旋轉部。

24.如申請專利範圍第13項乃至第23項中之任一項所記載之動畫像編碼處理裝置，其中，前述編碼處理部，係包含有可變長度編碼部和正交變換器、量化器以及運動預測部之各動作功能。

25.一種動畫像解碼處理裝置，係爲了將被包含於水平方向之橫寬幅爲較垂直方向之縱寬幅更大的橫長畫面之動畫像中的複數之巨集區塊作解碼，而具備有解碼處理部與資訊儲存記憶體，該動畫像解碼處理裝置，其特徵爲：

係能夠與畫像記憶體作連接，該畫像記憶體，係儲存有前述動畫像之解碼前的前述複數之巨集區塊之資訊和已完成解碼的複數之巨集區塊之資訊，

在由前述解碼處理部所進行之前述複數之巨集區塊的解碼時，身爲被儲存在前述畫像記憶體中之前述已完成解碼的複數之巨集區塊之一部分且爲在應進行解碼之巨集區塊週邊的複數之已完成解碼的複數之巨集區塊的資訊，係被儲存在前述資訊儲存記憶體中。

在前述複數之巨集區塊的前述解碼時，最初係經由將前述橫長畫面之前述橫寬幅的左端處所配列在前述垂直方向上的複數之巨集區塊以前述解碼處理部來依序作解碼，而將在前述左端處所配列在前述垂直方向上之前述複數之巨集區塊的解碼資訊經由前述解碼處理部來儲存在前述資訊儲存記憶體中，

在前述被配列在垂直方向上之前述複數之巨集區塊被作了解碼後，接著，將前述橫長畫面之前述橫寬幅的前述左端之水平方向右鄰的被配列在前述垂直方向上之複數之巨集區塊，經由前述解碼處理部來依序作解碼。

26.如申請專利範圍第25項所記載之動畫像解碼處理裝置，其中，在前述左端之前述水平方向右鄰處所被配列在前述垂直方向上之前述複數之巨集區塊經由前述解碼處理部而依序被作解碼時，係使用有被儲存在前述資訊儲存記憶體中之在前述左端處所被配列在前述垂直方向上之前述複數之巨集區塊的前述解碼資訊。

27.如申請專利範圍第26項所記載之動畫像解碼處理裝置，其中，在前述被配列在垂直方向上之前述複數之巨集區塊的各巨集區塊被作了解碼之後，經由前述動畫像解碼處理裝置，來對於前述各巨集區塊而判定其是否為位置在前述縱寬幅之下端或者是上端處的最後或者是最初之巨集區塊。

28.如申請專利範圍第27項所記載之動畫像解碼處理裝置，其中，當在前述橫長畫面之前述橫寬幅的前述左端

之前述水平方向右鄰處所被配列在前述垂直方向上之前述複數之巨集區塊被作了解碼之後，經由前述動畫像解碼處理裝置，來對於被作了解碼之前述複數之巨集區塊而判定其是否為位置在前述橫寬幅之右端的最後之複數之巨集區塊。

29.如申請專利範圍第28項所記載之動畫像解碼處理裝置，其中，前述動畫像解碼處理裝置，係更進而具備有：垂直方向巨集區塊計數器，係顯示在前述垂直方向上而下一個被作解碼之巨集區塊的位置，當經由前述動畫像解碼處理裝置，而判定前述各巨集區塊係並非為位置在前述縱寬幅之前述下端或者是前述上端處之前述最後或者是前述最初之巨集區塊的情況時，係將前述垂直方向巨集區塊計數器的計數值，作1的增數。

30.如申請專利範圍第29項所記載之動畫像解碼處理裝置，其中，前述動畫像解碼處理裝置，係更進而具備有：水平方向巨集區塊計數器，係顯示在前述水平方向上而下一個被作解碼之複數之巨集區塊的位置，當經由前述動畫像解碼處理裝置，而判定被作了解碼之前述複數之巨集區塊係並非為位置在前述橫寬幅之前述右端處之前述最後之複數之巨集區塊的情況時，係將前述水平方向巨集區塊計數器的計數值，作1的增數。

31.如申請專利範圍第26項所記載之動畫像解碼處理裝置，其中，前述動畫像解碼處理裝置，係更進而具備有：畫像旋轉部，係從前述畫像記憶體而將前述橫長畫面

讀出，並將畫像作 90° 旋轉，之後，將所產生的旋轉畫像寫入至前述畫像記憶體中。

32.如申請專利範圍第26項所記載之動畫像解碼處理裝置，其中，

前述動畫像解碼處理裝置，係更進而具備有可供給動畫像編碼訊號之外部介面，

前述外部介面，係構成爲能夠將前述動畫像編碼訊號中所包含之在前述橫長畫面的前述橫寬幅之前述左端處所配列在前述垂直方向上之前述複數之巨集區塊，供給至前述解碼處理部，之後，接著將前述動畫像編碼訊號中所包含之在前述橫長畫面之前述橫寬幅的前述左端之水平方向右鄰處所被配列在前述垂直方向上之複數之巨集區塊，供給至前述解碼處理部，

前述動畫像解碼處理裝置，係對於從前述外部介面所供給而來之前述動畫像編碼訊號中所包含之在前述橫長畫面的前述橫寬幅之前述左端處所配列在前述垂直方向上之前述複數之巨集區塊，進行解碼處理，之後，接著對於從前述外部介面所供給而來之前述動畫像編碼訊號中所包含之在前述橫長畫面之前述橫寬幅的前述左端之水平方向右鄰處所被配列在前述垂直方向上之複數之巨集區塊，進行解碼處理，

前述動畫像解碼處理裝置，係被設爲能夠將在前述橫長畫面的前述橫寬幅之前述左端處所配列在前述垂直方向上之前述複數之巨集區塊的解碼處理資訊，儲存在前述畫

像記憶體之第1記憶區域中，之後，接著將前述動畫像編碼訊號中所包含之在前述橫長畫面之前述橫寬幅的前述左端之水平方向右鄰處所被配列在前述垂直方向上之前述複數之巨集區塊的解碼處理資訊，儲存在前述畫像記憶體之第2記憶區域中，

前述畫像記憶體之前述第1記憶區域、和前述第2記憶區域，係與水平方向之顯示橫寬幅為較垂直方向之顯示縱寬幅更大的橫長動畫像顯示畫面之在前述顯示橫寬幅之左端處所配列在前述垂直方向上之複數之畫像資訊、和在前述顯示橫寬幅的前述左端之水平方向右鄰處所被配列在前述垂直方向上之複數之畫像資訊，而分別相對應。

33.如申請專利範圍第32項所記載之動畫像解碼處理裝置，其中，該動畫像解碼處理裝置，係更進而具備有：畫像寫入位址產生部，係藉由此而成為能夠進行：將前述橫長畫面之在前述橫寬幅的前述左端處所被配列在前述垂直方向上之前述複數之巨集區塊的解碼處理資訊，儲存在前述畫像記憶體之前述第1記憶區域中，之後，接著將前述動畫像編碼訊號中所包含之前述橫長畫面之在前述橫寬幅的前述左端之水平方向右鄰處所被配列在前述垂直方向上之前述複數之巨集區塊的解碼處理資訊，儲存在前述畫像記憶體之前述第2記憶區域中。

34.如申請專利範圍第33項所記載之動畫像解碼處理裝置，其中，前述外部介面，係被設為能夠產生將在前述動畫像編碼訊號中所包含之前述複數之巨集區塊作了略90°旋轉後之旋轉畫像並供給至前述解碼處理部。

35. 如申請專利範圍第25項乃至第34項中之任一項所記載之動畫像解碼處理裝置，其中，前述解碼處理部，係包含有可變長度解碼部和逆量化器、逆正交變換器以及運動補償部之各動作功能。

1994年7月1日修正
劃線(本)

圖 1

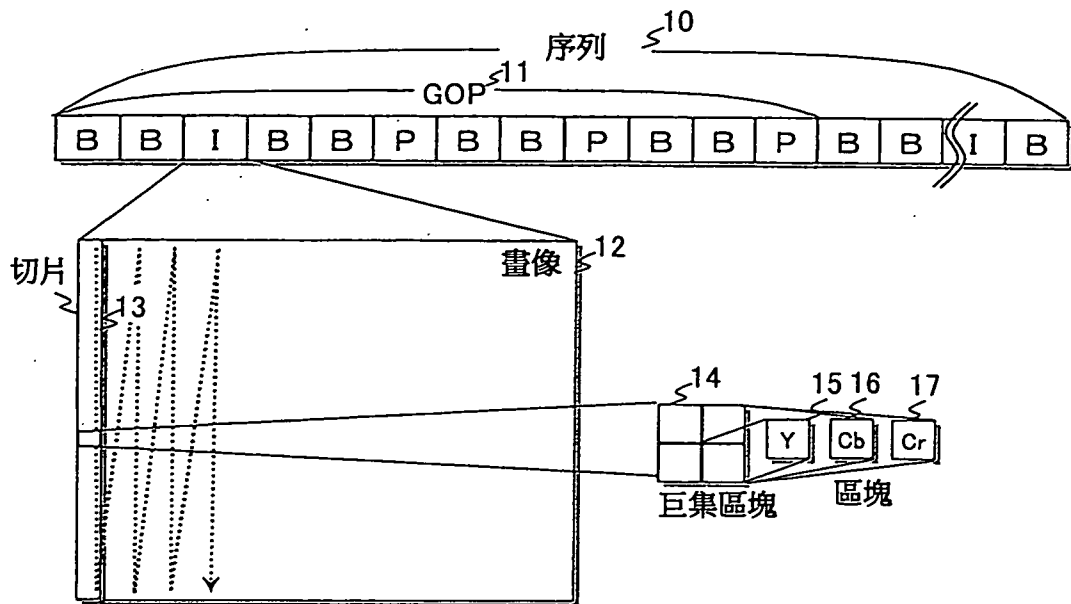


圖 2

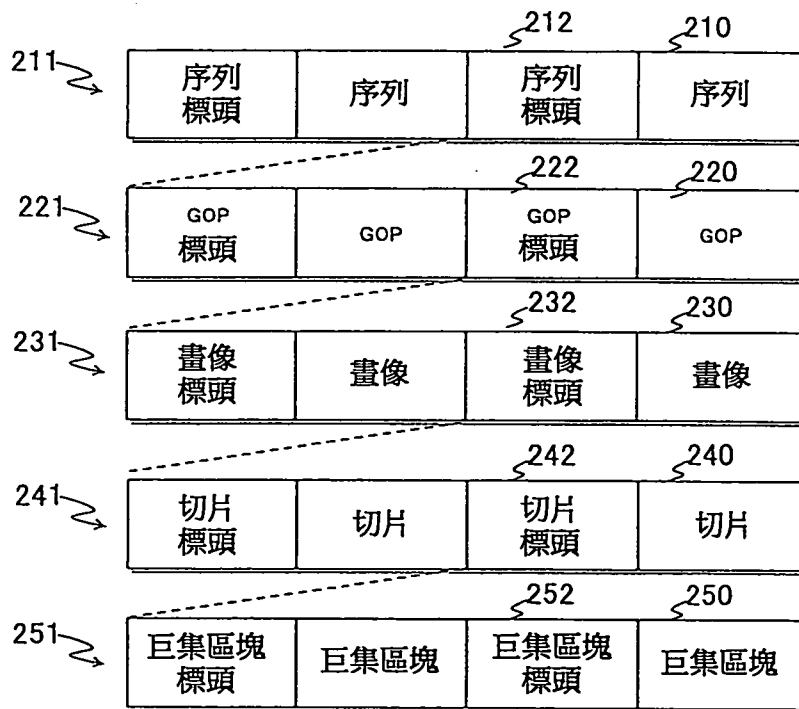


圖3

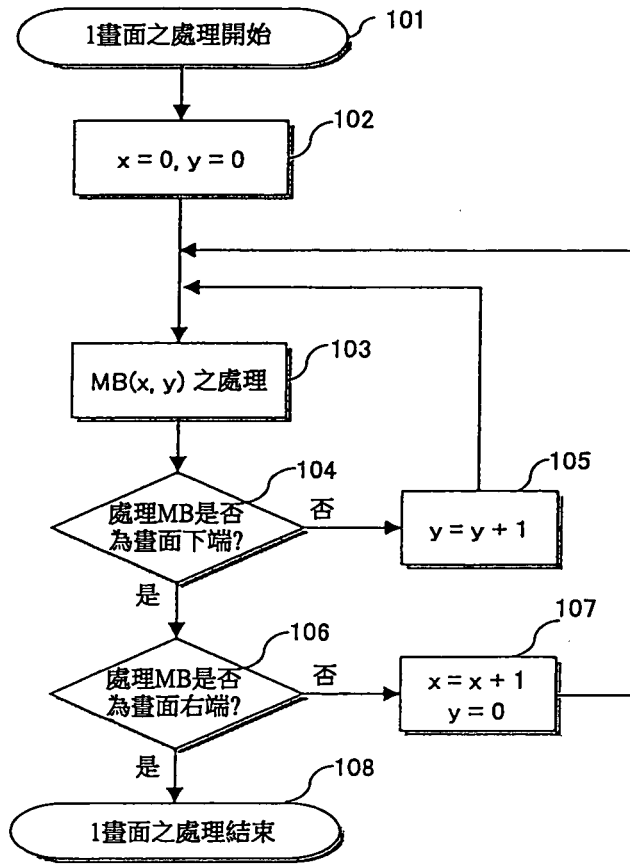


圖4

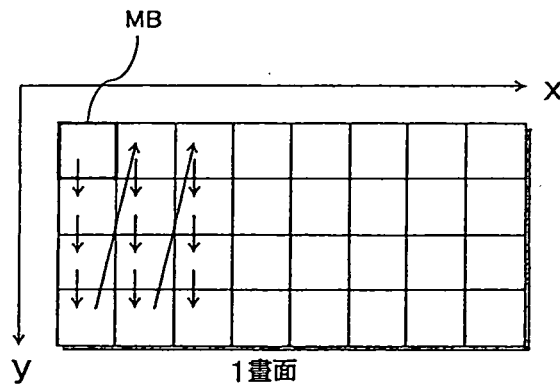


圖5

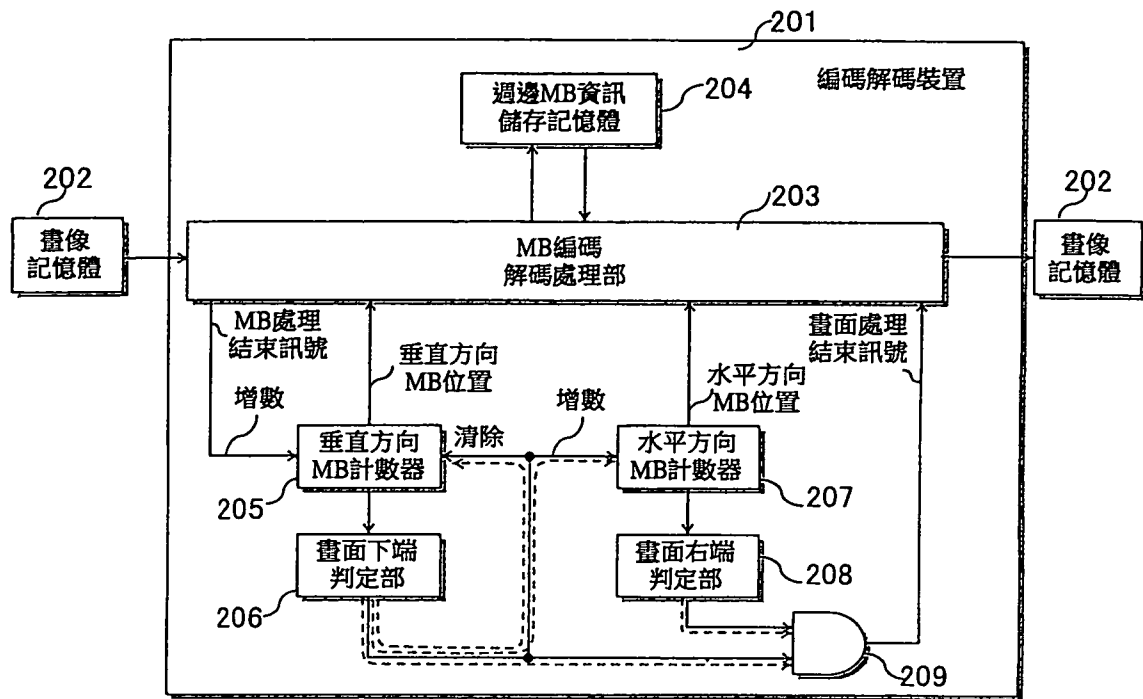


圖6

MB(x, y) : MB座標
 x : 水平方向座標 [0..w-1]
 y : 垂直方向座標 [0..h-1]

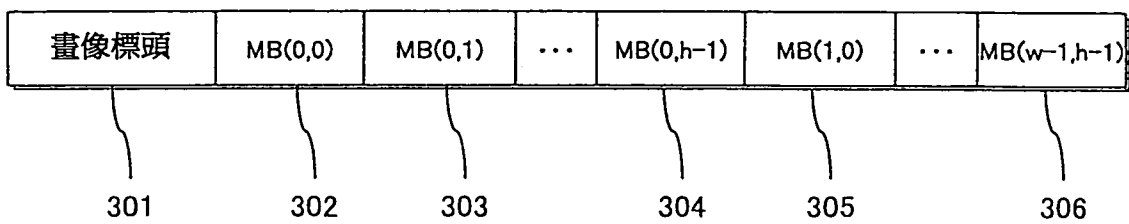


圖 7

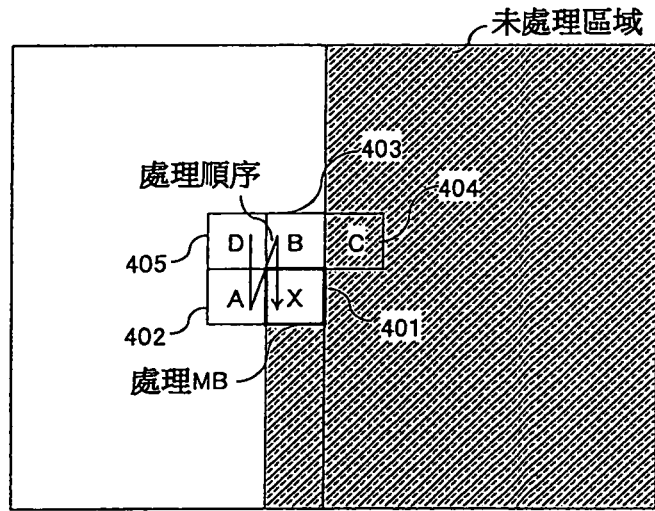


圖 8

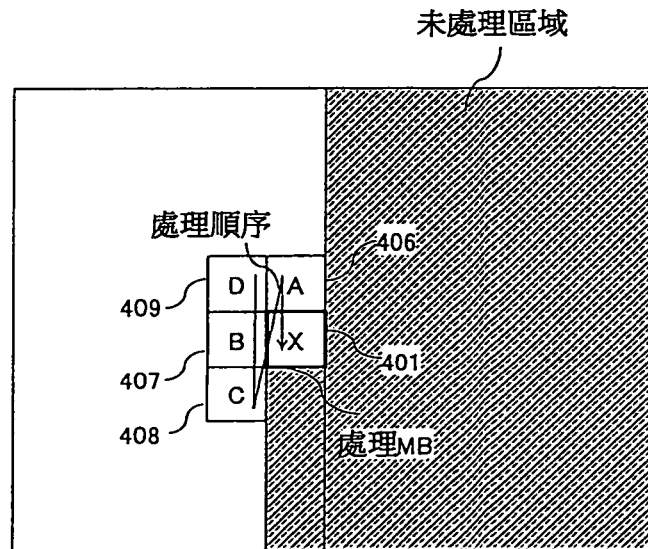


圖9

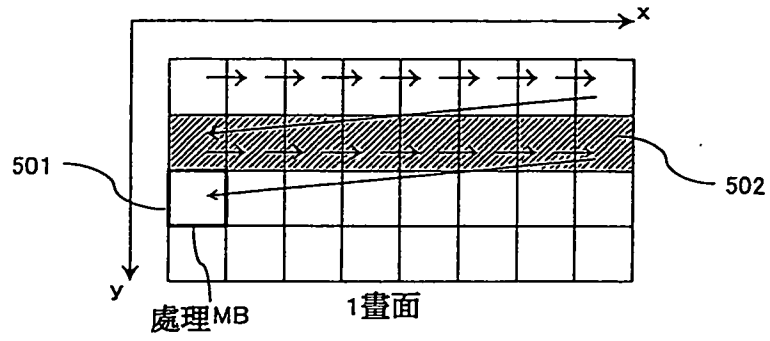


圖10

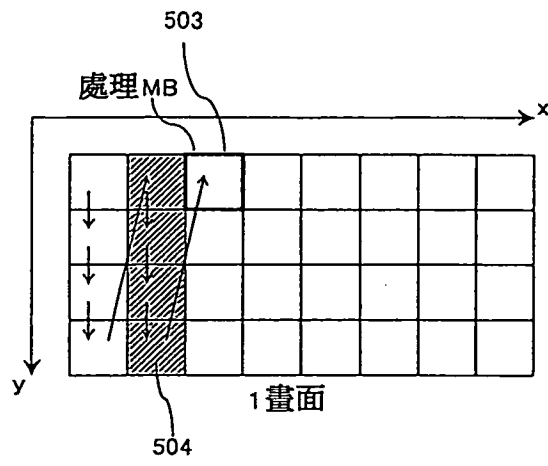


圖 11

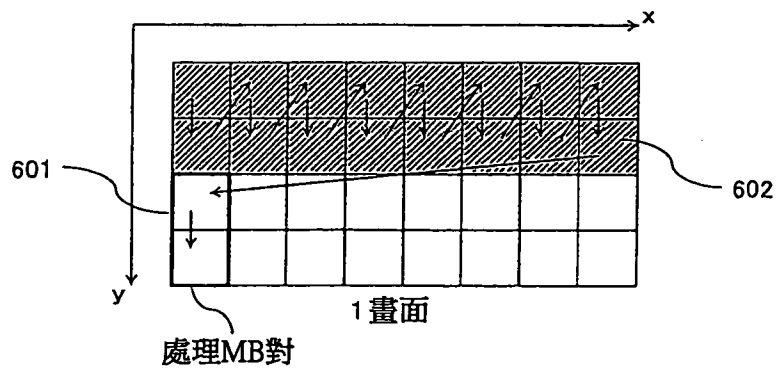


圖 12

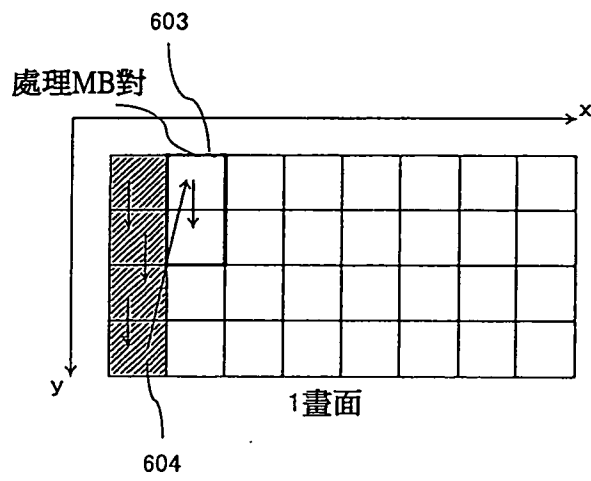


圖13

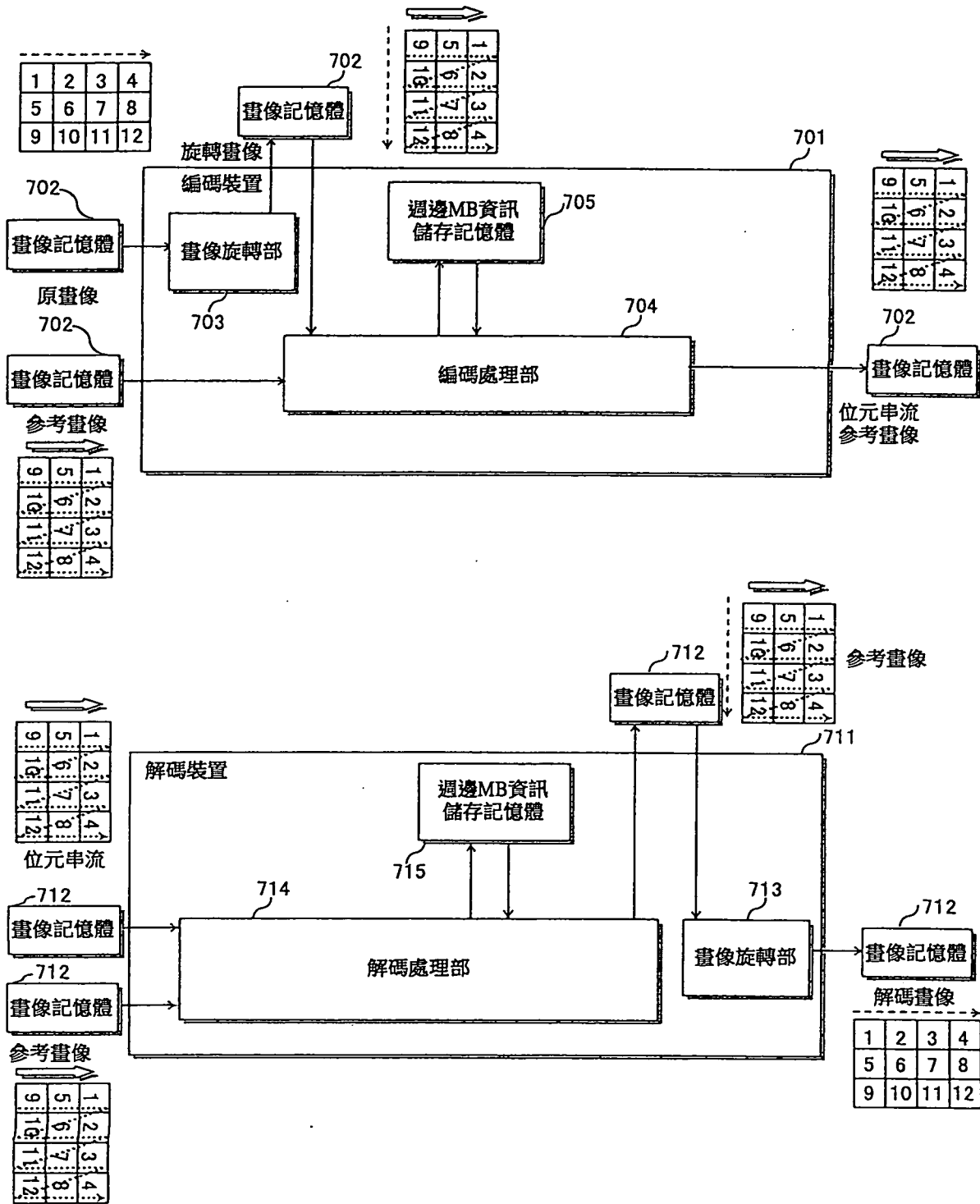


圖 14

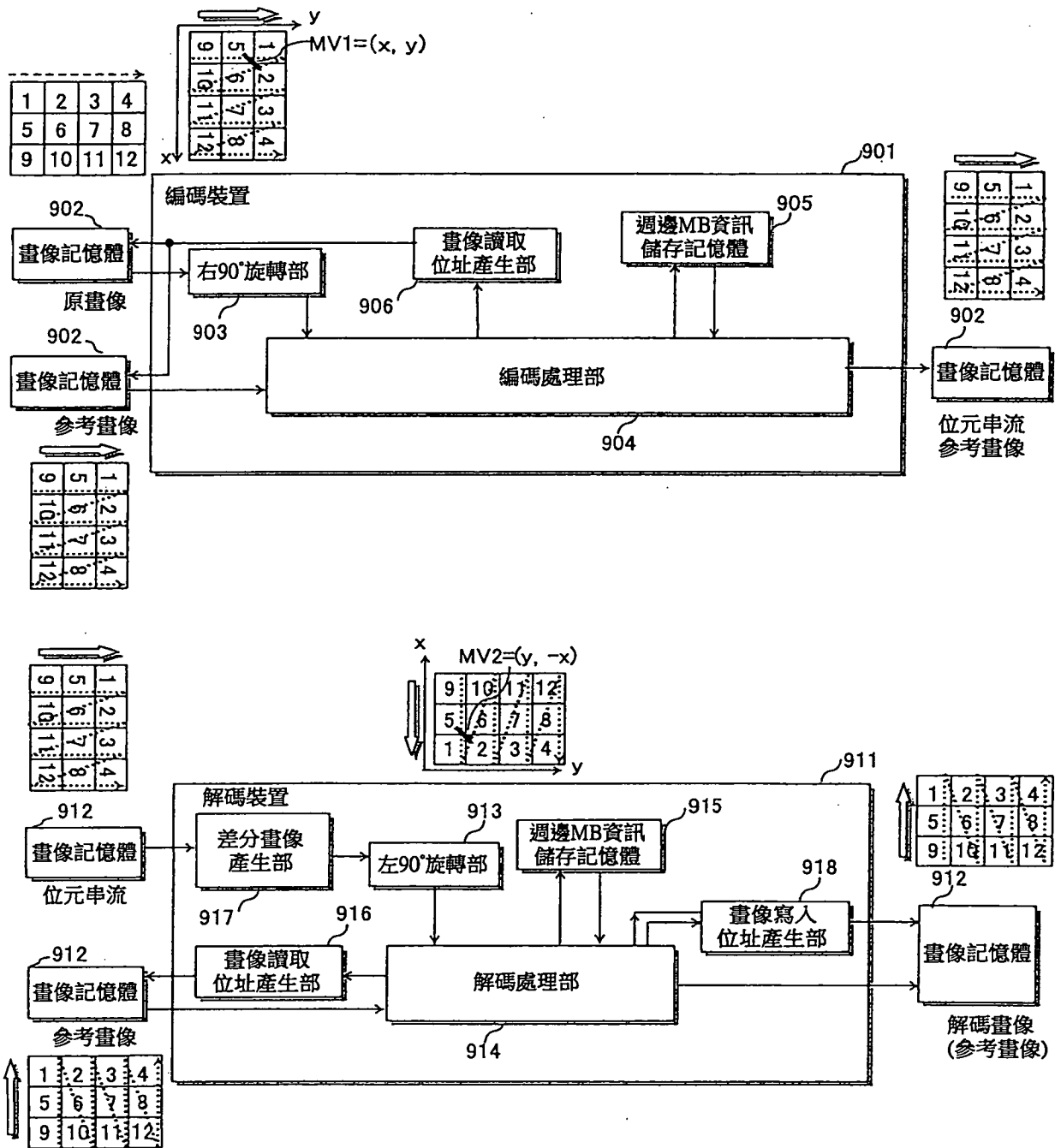


圖 15

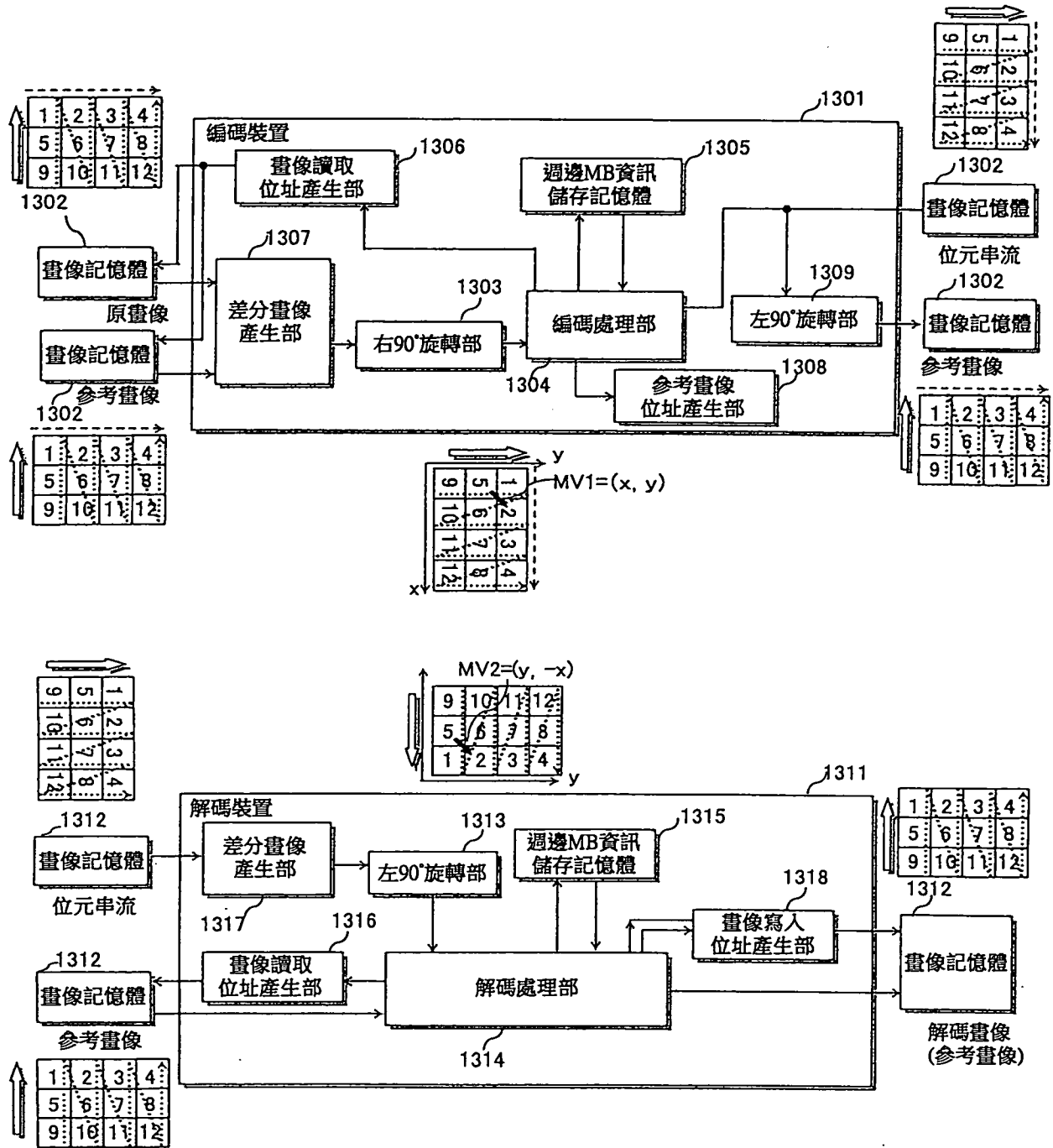


圖 16

