

(19)대한민국특허청(KR)  
(12) 등록특허공보(B1)

(51) Int. Cl.<sup>7</sup>  
H01L 27/108

(45) 공고일자 2005년07월29일  
(11) 등록번호 10-0504435  
(24) 등록일자 2005년07월21일

(21) 출원번호 10-1999-0061361  
(22) 출원일자 1999년12월23일

(65) 공개번호 10-2001-0057939  
(43) 공개일자 2001년07월05일

(73) 특허권자 주식회사 하이닉스반도체  
경기 이천시 부발읍 아미리 산136-1

(72) 발명자 이기정  
서울특별시송파구석촌동270-2호

양홍선  
경기도용인시수지구죽전리855벽산조합아파트301-508

(74) 대리인 특허법인아주

심사관 : 조지은

(54) 반도체장치의 커패시터 제조방법

요약

고유전율의 TaON막을 갖는 반도체장치의 커패시터 제조방법에 대해 개시한다. 본 발명의 커패시터 제조방법은 반도체 기판의 하부 구조물에 도전층으로 이루어진 하부전극을 형성하고, 하부전극 상부에 비정질 TaON막을 증착한 후에 600~950℃의 온도 범위의 진공 상태에서 N<sub>2</sub> 또는 NH<sub>3</sub> 가스 분위기의 급속 열처리 공정 또는 전기로를 이용한 어닐링을 실시하여 TaON 유전막을 형성한 후에, TaON 유전막 상부면에 도전층으로 이루어진 상부전극을 형성한다. 이에 따라, 본 발명은 막내의 질소(N) 함량을 일정 수준으로 유지시켜 높은 유전율( $\epsilon > 40$ )을 갖는 TaON막을 형성하므로써 고용량 커패시터의 제조가 가능하다.

대표도

도 1b

명세서

도면의 간단한 설명

도 1a 내지 도 1d는 본 발명의 일실시예에 따른 고유전체 TaON을 갖는 반도체장치의 커패시터 제조방법을 설명하기 위한 공정 순서도,

도 2는 본 발명의 다른 실시예에 따라 제조된 고유전체 TaON을 갖는 반도체장치의 커패시터 구조를 나타낸 수직 단면도,

도 3은 본 발명의 또 다른 실시예에 따라 제조된 고유전체 TaON을 갖는 반도체장치의 커패시터 구조를 나타낸 수직 단면도.

도 4a 및 도 4b는 종래 커패시터에서 비정질 TaON막을 조성했을 때 및 비정질 TaON 증착후 N<sub>2</sub>O 퍼니스 어닐링을 실시했을 때와, 그리고, 본 발명의 커패시터 제조 공정시 TaON 증착한 후에 N<sub>2</sub> 분위기의 진공 어닐링을 실시했을 때 각각 TaON 유전막내의 존재하는 원소들의 농도를 비교한 그래프들.

\* 도면의 주요 부분에 대한 부호의 설명 \*

10: 실리콘기판 20: 층간절연막

30: 하부전극 32: TaON박막

34: 표면처리막 35: 금속층

36: 상부전극

## 발명의 상세한 설명

### 발명의 목적

#### 발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체장치의 제조방법에 관한 것으로서, 특히 TaON 증착과 진공 어닐링에 의해 유전막의 질을 향상시킬 수 있는 고용량 반도체장치의 커패시터 제조방법에 관한 것이다.

현재, 반도체소자의 고집적화를 달성하기 위하여 셀 면적의 감소 및 동작 전압의 저전압화에 관한 연구/개발이 활발하게 진행되고 있다. 더구나, 고집적화가 이루어질수록 커패시터의 면적이 급격하게 감소되지만, 기억소자의 동작에 필요한 충전용량은 셀면적 감소에도 불구하고 소프트 에러(soft error)의 발생과 리프레쉬 시간의 단축을 방지하기 위해서 25fF/cell 이상 충분한 용량이 필요하다.

그러므로, DRAM용 커패시터의 충분한 용량을 확보하기 위해서 통상의 실린더 구조 변경을 통해 커패시터 면적을 증가하거나 유전막의 두께 감소를 통해 충분한 커패시턴스를 확보시키는 방법이 이루어지고 있으며, 기존 실리콘 산화막으로 사용하던 유전막을 NO(Nitride-Oxide) 또는 ONO(Oxide-Nitride-Oxide)구조라든지 높은 커패시턴스를 확보할 수 있는 Ta<sub>2</sub>O<sub>5</sub>(유전상수=20~25) 내지 BST(BaSrTiO<sub>3</sub>) 등으로 대체하려는 재료적인 연구가 진행되고 있다.

한편, 최근에는 NO유전체를 갖는 커패시터가 256M 이상의 차세대 메모리에 필요한 용량을 확보하는데 그 한계를 보이고 있기 때문에 차세대 유전물질, 예컨대 Ta<sub>2</sub>O<sub>5</sub> 유전체 개발이 연구 진행중에 있다. 하지만, 이 Ta<sub>2</sub>O<sub>5</sub> 박막 역시 불안정한 화학양론비(stoichiometry)를 갖고 있어 Ta와 O의 조성비 차이에 기인한 치환형 Ta원자가 박막내에 존재할 수밖에 없고, 또 유전막 형성시 Ta<sub>2</sub>O<sub>5</sub>의 전구체인 Ta(OC<sub>2</sub>H<sub>5</sub>)<sub>5</sub>의 유기물과 O<sub>2</sub>(또는 N<sub>2</sub>O)가스의 반응으로 인해 불순물인 탄소원자와 탄소화합물(C, CH<sub>4</sub>, C<sub>2</sub>H<sub>4</sub> 등) 및 물(H<sub>2</sub>O)이 생성된다. 결국, Ta<sub>2</sub>O<sub>5</sub> 박막내에 존재하는 산소공공과 불순물로 존재하는 탄소원자, 이온과 라디칼로 인해서 커패시터의 누설전류가 증가하게 되고 유전특성이 열화된다. 이러한 Ta<sub>2</sub>O<sub>5</sub> 박막내의 불순물을 제거하기 위하여 저온 열처리(예를 들면, plasma N<sub>2</sub>O 또는 UV-O<sub>3</sub>)를 이중, 삼중으로 처리하고 있지만 이 역시 제조 과정이 복잡하며 Ta<sub>2</sub>O<sub>5</sub> 박막의 산화 저항성이 낮기 때문에 하부전극의 산화가 발생하게 되는 단점이 있었다.

#### 발명이 이루고자 하는 기술적 과제

본 발명의 목적은 상기와 같은 종래 기술의 문제점을 해결하기 위하여  $Ta_2O_5$  박막보다 우수한 전기적 특성을 갖으며 높은 유전상수를 갖는 TaON 유전막을 얻기 위해, 비정질 TaON막을 형성하고  $N_2$  또는  $NH_3$  분위기의 진공 상태에서 어닐링을 실시하여 비정질 TaON막내의 질소 성분을 그대로 함유한 채 Ta-O-N 구조로 결정화시킴으로써 TaON 막질과 그 유전율을 크게 향상시킬 수 있는 반도체장치의 커패시터 제조방법을 제공하는데 있다.

### 발명의 구성 및 작용

상기 목적을 달성하기 위하여 본 발명은 반도체장치의 커패시터 제조 공정에 있어서, 반도체기판의 하부 구조물에 도전층으로 이루어진 하부전극을 형성하는 단계와, 하부전극 상부에 비정질 TaON박막을 증착한 후에 600~950°C의 온도 범위의 진공 상태에서 어닐링을 실시하여 TaON 유전막을 형성하는 단계와, TaON 유전막 상부면에 도전층으로 이루어진 상부전극을 형성하는 단계를 포함한다.

본 발명의 제조방법에 있어서, 상기 어닐링 공정은  $N_2$  또는  $NH_3$  가스 분위기하에서 급속 열처리 공정 또는 전기로를 이용하여 어닐링을 실시한다.

본 발명의 TaON 유전체 제조 방법은, 비정질 TaON을 증착한 후에  $NH_3$  또는  $N_2$  분위기하에서 진공 어닐링을 실시하기 때문에 TaON막내 Ta와 O의 조성비 차이에 기인한 치환형 Ta원자가 박막내에 존재하더라도 TaON 증착 초기의 질소 함량이 그대로 유지되어 커패시터 유전 특성을 크게 향상시킨다.

이하, 첨부한 도면을 참조하여 본 발명의 바람직한 실시예에 대해 상세하게 설명하고자 한다.

도 1a 내지 도 1d는 본 발명의 일실시예에 따른 고유전체 TaON을 갖는 반도체장치의 커패시터 제조방법을 설명하기 위한 공정 순서도이다. 여기서, 반도체장치는 통상의 DRAM 장치이다.

우선, 도 1a에 도시된 바와 같이, 반도체기판으로서 실리콘기판(10)의 활성 영역 상부면에 게이트 전극, 소스/드레인 등을 갖는 반도체소자(도시하지 않음)를 형성하고, 그 기판(10) 전면에 USG(Undoped Silicate Glass), BPSG(Boro Phospho Silicate Glass) 및 SiON 중에서 선택한 물질을 증착하고 화학적기계적연마(Chemical Mechanical Polishing) 공정을 실시하고 그 표면을 연마한 층간절연막(20)을 형성한다. 기판(10)의 활성영역과 접하면서 커패시터의 단면적을 확보하기 위하여 사진 및 식각 공정을 이용하여 층간절연막(20)내에 콘택홀(도시하지 않음)을 형성한다.

그리고, 상기 콘택홀내에 도전층으로서 도프트 폴리 실리콘 내지 비정질 도프트 폴리실리콘을 증착하여 하부전극(30)을 형성한다. 이때, 커패시터의 하부전극 구조는 스택(stack), 실린더(cylinder), 핀(fin), 스택실린더(stack cylinder) 중 어느 하나로 하는데, 본 실시예에서는 스택 형태로 형성하기로 한다.

이어서, 도 1b에 도시된 바와 같이, 상기 하부전극(30) 상부에 비정질 TaON박막을 증착한 후에 600~950°C의 온도 범위의 진공(Vacuum) 상태에서 어닐링을 실시하여 TaON 유전막(32)을 형성한다. 이때, 어닐링 공정은  $N_2$  또는  $NH_3$  가스 분위기하에서 급속 열처리 공정(rapid thermal process) 또는 전기로(furnace)를 이용한다. 이러한 비정질 TaON 유전막(32)의 어닐링 공정에 의해, 본 발명의 TaON막내의 질소(N) 성분이 15~30% 정도 함유된 고유전막을 확보할 수 있다.

또한, 본 발명의 비정질 TaON박막 증착 공정은, 화학기상증착법을 통해 300~600°C의 저압화학기상증착 챔버내에서 유기 금속화합물로서  $Ta(OC_2H_5)_5$  또는  $Ta(N(CH_3)_2)_5$ 의 전구체(precursor)를 기화시킨 후에  $NH_3$ 가스와 반응시킨다.

보다 상세하게, 비정질 TaON박막의 증착 공정시 Ta성분의 화학증기는 다음과 같은 공정에 의해 얻어지는데, 약 99.999%이상의  $Ta(OC_2H_5)_5$  또는  $Ta(N(CH_3)_2)_5$  용액을 질량 유량제어기(Mass Flow Controller)를 통해서 150°C 이상의 온도 범위에서 정온으로 유지되고 있는 증발기 또는 증발관으로 300mg/min이하로 정량 공급한다. 이때, 상기  $Ta(OC_2H_5)_5$  또는  $Ta(N(CH_3)_2)_5$  용액을 완전히 증발시키기 위해 사용하는 오리피스(orifice) 또는 노즐(nozzle)을 포함한 증발기는 물론이고 Ta 증기의 유로(flow path)가 되는 공급관은 Ta 증기의 응축을 방지하기 위해 150°C~200°C의 온도 범위를 항상 유지시킨다. 이와 같은 방법을 통해 저압 화학기상증착 챔버내로 공급된 Ta 화학증기를  $NH_3$  반응 가스(5sccm~500sccm 범위)와 각각 일정량을 정량 공급한 다음 100torr이하의 압력하에서 표면 반응을 유도하면 비정질의 TaON박막을 얻을 수 있다.

그 다음, 도 1c에 도시된 바와 같이, 상기 TaON 유전막(32)에 후속 어닐링 공정을 실시하여 TaON 유전막(32)과 그 표면을 균질하게 질화 또는 산화(34)시킨다. 이때, 후속 어닐링 공정은 전기로, 플라즈마 또는 급속 열처리 공정을 이용하고 N<sub>2</sub>, NH<sub>3</sub> 또는 O<sub>2</sub>, N<sub>2</sub>O, UV-O<sub>3</sub> 또는 O<sub>3</sub> 분위기에서 어닐링 공정을 실시한다.

그 다음, 도 1d에 도시된 바와 같이, 질화 또는 산화 표면처리(34)된 TaON 유전막(32) 상부에 도전층으로서 도프트 폴리실리콘을 증착하고 이를 패터닝하여 상부전극(36)을 형성하므로써 본 실시예에 따른 TaON 유전체를 갖는 SIS(Silicon-Insulator-Silicon) 구조의 커패시터 제조공정을 완료한다.

한편, 본 발명에 따른 커패시터 제조 공정시 TaON 유전막(32) 형성전에, 인시튜(in-situ) 또는 엑스시튜(ex-situ)에서 HF 증기를 이용한 건식 세정공정 또는 HF 용액을 이용한 습식 세정공정을 실시하여 하부전극(30) 표면의 자연산화막 및 파티클을 제거할 수 있다.

또, 본 발명은 TaON 유전체 형성시 하부전극과 고유전막 사이에 자연산화막의 생성을 방지하기 위해서 하부전극(30) 표면에 질화처리 공정을 실시한다. 이때, 1~5분간 NH<sub>3</sub> 분위기에서 플라즈마를 이용하여 저온표면처리하면 하부전극과 고유전막 사이의 계면 산화를 막을 수 있어 TaON 유전막(32)질이 양호해진다.

그러므로, 본 발명의 커패시터 제조방법에 의하면, 비정질 TaON을 증착한 후에 NH<sub>3</sub> 또는 N<sub>2</sub> 분위기하에서 진공 상태로 어닐링을 실시하여 초기 증착된 비정질 TaON막의 질소(N) 함량을 일정 수준(15~30%)으로 조절할 수 있으며 막질의 결정화를 유도하여 고유전체 TaON막을 제조한다.

도 2는 본 발명의 다른 실시예에 따라 제조된 고유전체 TaON을 갖는 반도체장치의 커패시터 구조를 나타낸 수직 단면도이다.

이 실시예의 커패시터 제조 방법은 도 1a 내지 도 1d의 제조 공정에 따라 진공 어닐링 방식으로 TaON 유전막(32)을 형성한 후에 상부전극으로서 전도 장벽(conduction barrier)역할을 하는 금속층(35)과 완충 역할을 하는 도프트 폴리실리콘층(36)이 적층되어 전체 MIS(Metal-Insulator-Silicon) 구조의 커패시터를 형성한다. 여기서, 금속층(35)은 전도 장벽 물질로서 TiN, TaN, W, WN, WSi, Ru, RuO<sub>2</sub>, Ir, IrO<sub>2</sub>, Pt 중에서 어느 하나를 사용한다. 또한, 도면에 도시하지는 않았지만, 상기 실시예에서 하부전극(30)을 전도 장벽역할을 하는 금속층으로 추가할 경우 전체 MIM(Metal-Insulator-Metal) 구조의 커패시터를 형성할 수 있다.

도 3은 본 발명의 또 다른 실시예에 따라 제조된 고유전체 TaON을 갖는 반도체장치의 커패시터 구조를 나타낸 수직 단면도로서, 본 발명의 또 다른 실시예의 커패시터 제조 방법은 고용량을 확보하기 위하여 하부전극(30')의 표면이 반구형 요철 구조로 폴리실리콘을 성장시킨 HSG(Hemi Spherical Grain) 형태의 하부전극을 형성한 후에, 그 하부전극(30') 상부에 상술한 일 실시예와 동일한 제조 공정에 따른 TaON 유전막(32)을 형성하여 고용량 커패시터를 제조한다.

도 4a 및 도 4b는 종래 커패시터에서 비정질 TaON막을 조성했을 때 및 비정질 TaON 증착후 N<sub>2</sub>O 퍼니스 어닐링을 실시했을 때와, 그리고, 본 발명의 커패시터 제조 공정시 TaON 증착한 후에 N<sub>2</sub> 분위기의 진공 어닐링을 실시했을 때 각각 TaON 유전막내의 존재하는 원소들의 농도를 비교한 그래프들이다.

먼저, 도 4a에 도시된 그래프를 참조하면, 종래 커패시터에서 비정질 TaON막을 조성했을 때와 비정질 TaON 증착후 N<sub>2</sub>O 퍼니스 어닐링을 실시했을 때 TaON막내의 Ta, O, N, C, Si 등의 원소들 성분을 비교하면 비정질 TaON 증착시보다 N<sub>2</sub>O 퍼니스 어닐링에 의해 TaON막의 질소(N) 손실이 크다는 것을 알 수 있다. 즉, 비정질 TaON막은 Ta와 O의 조성비 차이에 기인한 치환형 Ta원자가 박막내에 존재하기 때문에 유전막 증착시 TaON의 전구체인 Ta(OC<sub>2</sub>H<sub>5</sub>)<sub>5</sub>의 유기물과 N<sub>2</sub>O 가스의 반응으로 인해 불순물인 탄소원자와 탄소화합물(C, CH<sub>4</sub>, C<sub>2</sub>H<sub>4</sub> 등) 및 물(H<sub>2</sub>O)이 생성됨에 따라 TaON막내의 질소 성분이 크게 줄어 커패시터의 누설전류가 증가하게 되고 그 유전특성이 크게 열화된다.

반면에, 도 4b에 도시된 그래프를 참조하면, 본 발명에 따른 커패시터 제조 방법에 따라 비정질 TaON을 증착한 후에 NH<sub>3</sub> 또는 N<sub>2</sub> 분위기의 진공 상태에서 어닐링하면, 진공 어닐링 공정에 의해 TaON막내에 존재하는 Ta, O, N, C, Si 등의 원소들 중에서 N 함량이 그대로 존재(약 15~30%)하게 된다. 이에 따라, 본 발명은 종래 N<sub>2</sub>O 분위기 또는 O<sub>2</sub> 분위기에서 퍼니스 또는 급속 열처리 공정을 이용할 때보다 높은 유전율( $\epsilon > 40$ )을 갖는 TaON막을 얻을 수 있다.

**발명의 효과**

상기한 바와 같이, 본 발명은 커패시터 유전체 제조 공정시 N<sub>2</sub>O 분위기 또는 O<sub>2</sub> 분위기에서 퍼니스 또는 급속 열처리 공정을 이용할 때보다 높은 유전율( $\epsilon > 40$ )을 갖는 TaON막을 얻을 수 있어 커패시터의 누설 전류 또는 항복전압의 특성을 개선할 수 있다.

그리고, 본 발명은 종래 Ta<sub>2</sub>O<sub>5</sub> 커패시터보다 높은 양질의 TaON 유전막을 사용하고 기존 MIS 커패시터에 비해 그 유전막의 등가 산화막(T<sub>ox</sub>) 두께를 약 25Å 미만으로 낮출 수 있기 때문에 256M급 이상의 반도체 메모리장치의 커패시터의 유전체로 대체될 수 있다.

또한, 본 발명은 고용량을 확보하기 위해 하부전극 면적을 증가시키지 않고 간단한 스택 구조로 하부전극을 구현할 경우 고용전율의 TaON막에 의해 원하는 고용량을 달성할 수 있으며 하부전극의 단면적을 증가시키기 위한 제조 공정을 생략할 수 있어 종래 Ta<sub>2</sub>O<sub>5</sub> 커패시터 제조 공정에 비해 단위 공정수를 크게 줄일 수 있는 이점이 있다.

**(57) 청구의 범위**

**청구항 1.**

반도체기판의 하부 구조물에 도전층으로 이루어진 하부전극을 형성하는 단계;

상기 하부전극 상에 비정질 TaON 박막을 증착한 후 NH<sub>3</sub> 또는 N<sub>2</sub> 분위기, 600~950℃의 온도에서 급속 열처리 또는 진공 어닐링 해주는 단계; 및

상기 TaON 유전막 상에 도전층으로 이루어진 상부전극을 형성하는 단계를 포함하여 이루어진 것을 특징으로 하는 반도체장치의 커패시터 제조방법.

**청구항 2.**

삭제

**청구항 3.**

제 1항에 있어서, 상기 비정질 TaON박막 증착 공정은, Ta(OC<sub>2</sub>H<sub>5</sub>)<sub>5</sub> 또는 Ta(N(CH<sub>3</sub>)<sub>2</sub>)<sub>5</sub>를 유량 조절기를 통해 정량 공급한 후에 150~200℃의 온도 범위에서 정온으로 유지되고 있는 증발기를 통해 증발시키고 응축을 방지하기 위해 150℃ 이상되는 공급관을 따라 저압 화학기상증착 챔버내로 주입하는 것을 특징으로 하는 반도체장치의 커패시터 제조방법.

**청구항 4.**

제 1항 또는 제 3항에 있어서, 상기 비정질 TaON박막 증착 공정은, 300~600℃의 저압 화학기상증착 챔버내에서 Ta의 화학증기와 그 반응 가스인 NH<sub>3</sub> 가스를 유량조절기를 통해 각각 정량 공급한 다음, 100torr이하의 분위기에 표면 화학반응을 유도하여 비정질 TaON막을 증착하는 것을 특징으로 하는 반도체장치의 커패시터 제조방법.

#### 청구항 5.

제 1항에 있어서, 상기 상부전극을 형성하기 전에, 600~950℃ 온도 범위에서 전기로, 플라즈마 또는 금속 열처리 공정을 이용하고 N<sub>2</sub>, NH<sub>3</sub> 또는 O<sub>2</sub>, N<sub>2</sub>O, UV-O<sub>3</sub> 분위기에서 상기 TaON 유전막 표면을 균질하게 산화 또는 질화시키는 것을 특징으로 하는 반도체장치의 커패시터 제조방법.

#### 청구항 6.

제 1항에 있어서, 상기 하부전극과 상부전극의 도전층은 각각 도프트 폴리실리콘과 금속 물질을 단독 또는 적층해서 형성하는 것을 특징으로 하는 반도체장치의 커패시터 제조방법.

#### 청구항 7.

제 6항에 있어서, 상기 금속 물질은 TiN, TaN, W, WN, WSi, Ru, RuO<sub>2</sub>, Ir, IrO<sub>2</sub>, Pt 중에서 어느 하나인 것을 특징으로 하는 반도체장치의 커패시터 제조방법.

#### 청구항 8.

제 1항 또는 제 6항에 있어서, 상기 하부전극의 도전층을 폴리실리콘으로 사용할 경우 반구형 요철구조의 폴리실리콘 성장 공정을 실시하는 것을 특징으로 하는 반도체장치의 커패시터 제조방법.

#### 청구항 9.

제 1항 또는 제 6항에 있어서, 상기 하부전극의 도전층을 폴리실리콘으로 사용할 경우 상기 비정질 TaON박막을 증착하기 전에 하부전극 표면에 질화처리 공정을 실시하는 것을 특징으로 하는 반도체장치의 커패시터 제조방법.

#### 청구항 10.

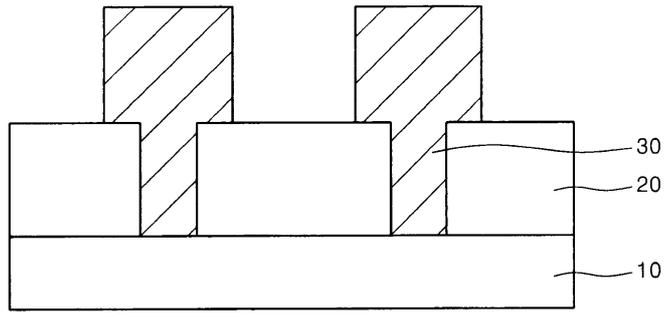
제 9항에 있어서, 상기 질화처리 공정은 1~5분간 NH<sub>3</sub> 분위기에서 인시튜 플라즈마를 이용하는 것을 특징으로 하는 반도체장치의 커패시터 제조방법.

#### 청구항 11.

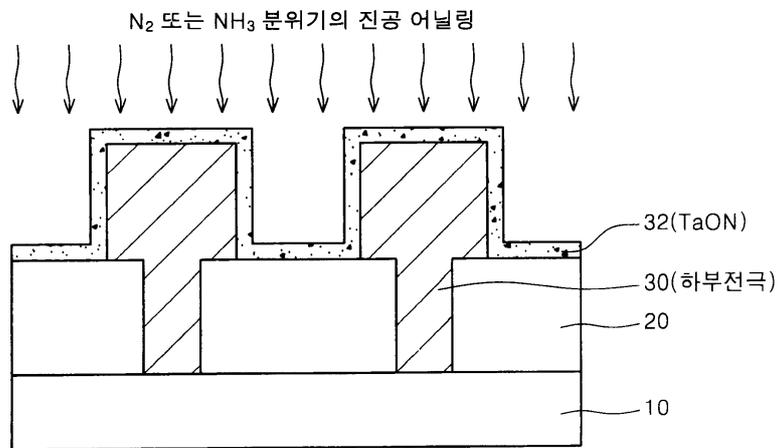
제 1항에 있어서, 상기 비정질 TaON박막을 증착하기 전에, HF 증기를 이용한 건식 세정공정, HF 용액을 이용한 습식 세정공정 중에서 어느 하나의 세정 공정으로 하부전극 표면의 자연산화막 및 파티클을 제거하는 것을 특징으로 하는 반도체장치의 커패시터 제조방법.

도면

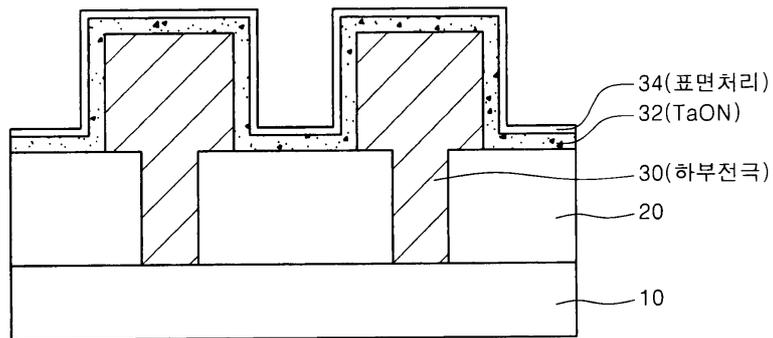
도면1a



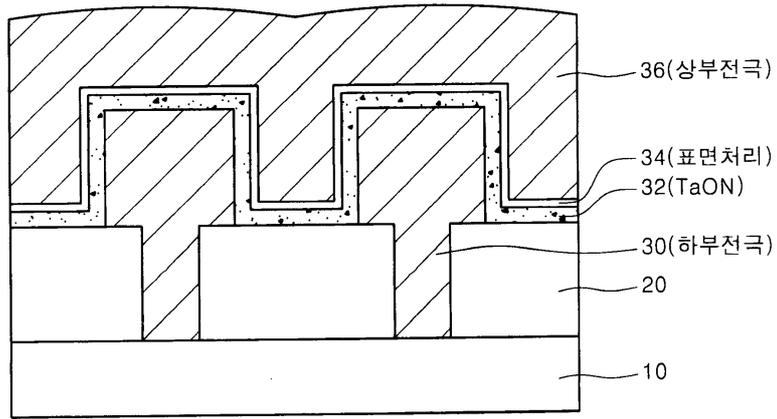
도면1b



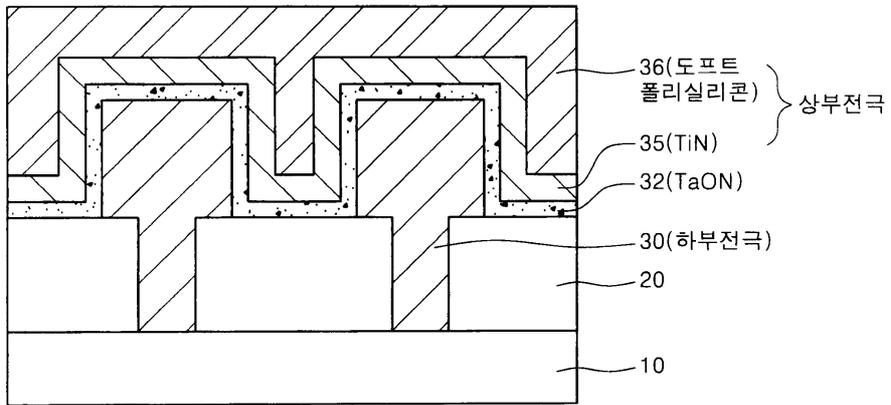
도면1c



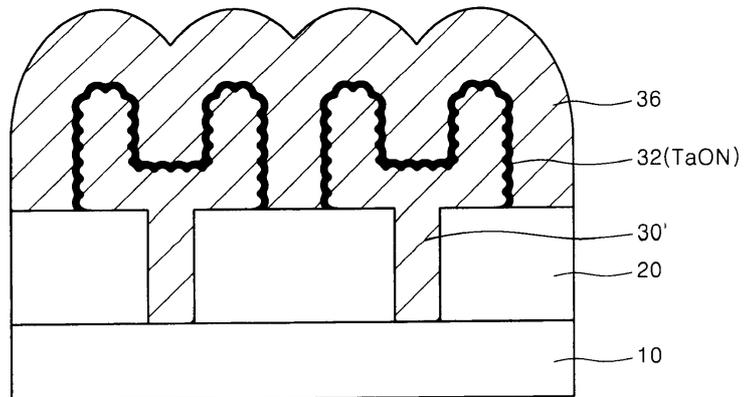
도면1d



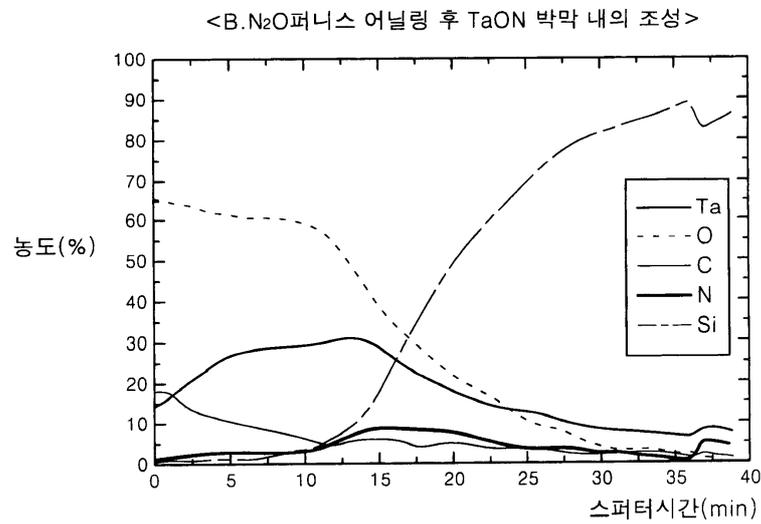
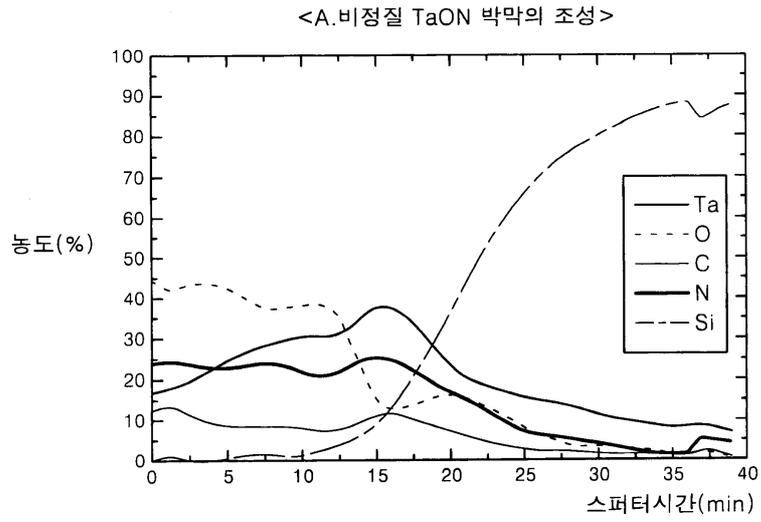
도면2



도면3



도면4a



도면4b

