



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2022년11월10일
(11) 등록번호 10-2465376
(24) 등록일자 2022년11월04일

(51) 국제특허분류(Int. Cl.)
H01L 27/32 (2006.01) H01L 29/786 (2006.01)
H01L 51/00 (2006.01)
(52) CPC특허분류
H01L 27/3262 (2013.01)
H01L 27/3258 (2013.01)
(21) 출원번호 10-2017-0076821
(22) 출원일자 2017년06월16일
심사청구일자 2020년05월26일
(65) 공개번호 10-2018-0137640
(43) 공개일자 2018년12월28일
(56) 선행기술조사문헌
KR1020150101418 A*
JP2017098020 A*
KR1020150105586 A*
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
삼성디스플레이 주식회사
경기도 용인시 기흥구 삼성로 1 (농서동)
(72) 발명자
손경석
경기도 용인시 기흥구 삼성로 1 (농서동)
김역수
경기도 용인시 기흥구 삼성로 1 (농서동)
(뒷면에 계속)
(74) 대리인
리앤목특허법인

전체 청구항 수 : 총 22 항

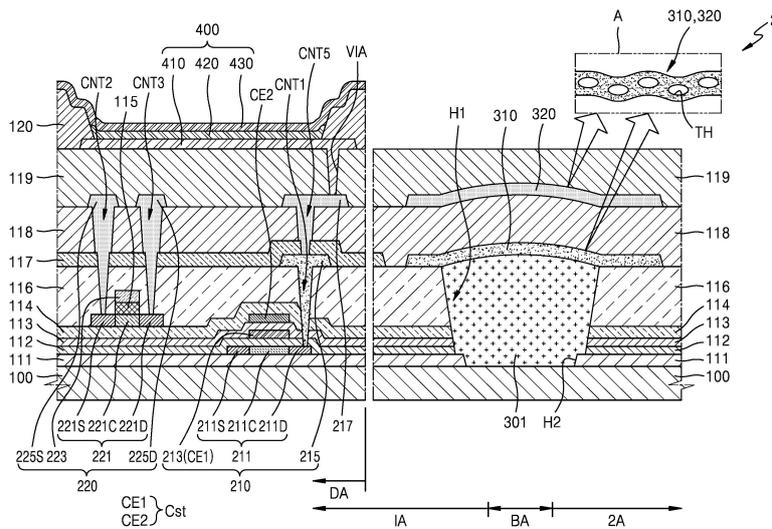
심사관 : 조성수

(54) 발명의 명칭 표시 장치 및 표시 장치의 제조 방법

(57) 요약

본 발명의 일 실시예에 따르면, 제1영역과 제2영역 사이에 위치하는 밴딩영역을 가지며, 밴딩축을 중심으로 밴딩된 기관; 상기 기관 상의 상기 제1영역에 배치된 제1박막 트랜지스터와 제2박막 트랜지스터; 및 상기 제1영역에서 상기 밴딩영역을 거쳐 상기 제2영역으로 연장되며, 서로 다른 층에 배치된 제1도전층과 제2도전층;을 포함하며, 상기 제1박막 트랜지스터는, 다결정 실리콘을 포함하는 제1활성층; 상기 제1활성층과 절연된 제1게이트전극; 및 상기 제1활성층과 연결되며 상기 제1도전층과 동일층에 배치된 제1전극을 포함하고, 상기 제2박막 트랜지스터는, 산화물 반도체를 포함하는 제2활성층; 상기 제2활성층과 절연된 제2게이트전극; 및 상기 제2활성층과 연결되며 상기 제2도전층과 동일층에 배치된 제2전극을 포함하는, 표시 장치를 제공한다.

대표도



- (52) CPC특허분류
H01L 29/786 (2021.01)
H01L 51/0097 (2013.01)

임지훈

경기도 용인시 기흥구 삼성로 1 (농서동)

- (72) 발명자

김재범

경기도 용인시 기흥구 삼성로 1 (농서동)

임준형

경기도 용인시 기흥구 삼성로 1 (농서동)

명세서

청구범위

청구항 1

제1영역과 제2영역 사이에 위치하는 벤딩영역을 가지며, 벤딩축을 중심으로 벤딩된 기판;
 상기 기판 상의 상기 제1영역에 배치된 제1박막 트랜지스터와 제2박막 트랜지스터; 및
 상기 제1영역에서 상기 벤딩영역을 거쳐 상기 제2영역으로 연장되며, 서로 다른 층에 배치된 제1도전층과 제2도전층을 포함하며,
 상기 제1박막 트랜지스터는,
 다결정 실리콘을 포함하는 제1활성층;
 상기 제1활성층과 절연된 제1게이트전극; 및
 상기 제1활성층과 연결되며 상기 제1도전층과 동일층에 배치된 제1전극을 포함하고,
 상기 제2박막 트랜지스터는,
 산화물 반도체를 포함하는 제2활성층;
 상기 제2활성층과 절연된 제2게이트전극; 및
 상기 제2활성층과 연결되며 상기 제2도전층과 동일층에 배치된 제2전극을 포함하며,
 상기 제1도전층과 상기 제2도전층은 서로 전기적으로 연결되며, 상기 제1박막 트랜지스터 및 상기 제2박막 트랜지스터 중 적어도 하나에 구동 신호를 전달하는, 표시 장치.

청구항 2

제1항에 있어서,
 상기 제1박막 트랜지스터 및 상기 제2박막 트랜지스터에 의해 구동되는 표시소자를 더 포함하며,
 상기 제1박막 트랜지스터는 상기 표시소자에 구동 전류를 전달하는 구동 박막 트랜지스터인, 표시 장치.

청구항 3

제1항에 있어서,
 상기 기판 상에 상기 제1게이트전극을 덮도록 배치된 제1층간절연층을 더 포함하며,
 상기 제2활성층은 상기 제1층간절연층 상에 배치된, 표시 장치.

청구항 4

제3항에 있어서,
 상기 제1층간절연층 상에 상기 제2게이트전극을 덮도록 배치된 제2층간절연층을 더 포함하며,
 상기 제1전극은 상기 제2층간절연층 상에 배치된, 표시 장치.

청구항 5

제4항에 있어서,
 상기 제2층간절연층 상에 상기 제1전극을 덮도록 배치된 평탄화층을 더 포함하며,
 상기 제2전극은 상기 평탄화층 상에 배치된, 표시 장치.

청구항 6

제1항에 있어서,

상기 제1전극과 전기적으로 연결되며, 상기 제2전극과 동일층에 배치된 연결전극을 더 포함하는, 표시 장치.

청구항 7

삭제

청구항 8

제1항에 있어서,

상기 제1도전층 및 상기 제2도전층은 각각 복수의 관통홀들을 포함하는, 표시 장치.

청구항 9

제1항에 있어서,

상기 제1도전층, 상기 제2도전층, 상기 제1전극 및 상기 제2전극은 알루미늄(Al)을 포함하는, 표시 장치.

청구항 10

제1영역과 제2영역 사이에 위치하는 벤딩영역을 가지며, 벤딩축을 중심으로 벤딩된 기판;

상기 기판 상의 상기 제1영역에 배치된 제1박막 트랜지스터와 제2박막 트랜지스터; 및

상기 제1영역에서 상기 벤딩영역을 거쳐 상기 제2영역으로 연장되며, 서로 다른 층에 배치된 제1도전층과 제2도전층을 포함하며,

상기 제1박막 트랜지스터는,

다결정 실리콘을 포함하는 제1활성층;

상기 제1활성층과 절연된 제1게이트전극; 및

상기 제1활성층과 연결되며 상기 제1도전층과 동일층에 배치된 제1전극을 포함하고,

상기 제2박막 트랜지스터는,

산화물 반도체를 포함하는 제2활성층;

상기 제2활성층과 절연된 제2게이트전극; 및

상기 제2활성층과 연결되며 상기 제2도전층과 동일층에 배치된 제2전극을 포함하며,

상기 기판과 상기 제1도전층 사이에 배치된 벤딩유기층을 더 포함하며,

상기 벤딩유기층은 적어도 상기 벤딩영역에 위치하는, 표시 장치.

청구항 11

제1항에 있어서,

상기 제1게이트전극 상에 상기 제1게이트전극에 대향하도록 배치된 커패시터 전극을 더 포함하며,

상기 제2활성층은 상기 커패시터 전극의 상부층에 배치된, 표시 장치.

청구항 12

표시 영역을 포함하는 기판;

상기 기판의 상기 표시 영역 상에 배치되며, 다결정 실리콘을 포함하는 제1활성층, 상기 제1활성층과 절연된 제1게이트전극, 및 상기 제1활성층과 연결된 제1전극을 포함하는 제1박막 트랜지스터;

상기 기판의 상기 표시 영역 상에 배치되며, 산화물 반도체를 포함하는 제2활성층, 상기 제2활성층과 절연된 제2게이트전극, 및 상기 제2활성층과 연결된 제2전극을 포함하는 제2박막 트랜지스터;

상기 제1게이트전극과 상기 제2활성층 사이에 배치된 제1층간절연층;
 상기 제2게이트전극과 상기 제1전극 사이에 배치된 제2층간절연층; 및
 상기 제1전극과 상기 제2전극 사이에 배치된 평탄화층을 포함하며,
 상기 제1전극은 상기 제2층간절연층 상에 배치되며, 상기 제1층간절연층 및 상기 제2층간절연층을 관통하는 콘택홀에 매립되어 상기 제1활성층과 접하고,
 상기 제2전극은 상기 평탄화층 상에 배치되며, 상기 제2층간절연층 및 상기 평탄화층을 관통하는 개구에 매립되어 상기 제2활성층과 접하는, 표시 장치.

청구항 13

제12항에 있어서,
 상기 기판은 벤딩영역을 더 포함하며,
 상기 벤딩영역에 배치되며, 상기 제1전극과 동일층에 배치된 제1도전층 및 상기 제2전극과 동일층에 배치된 제2도전층을 더 포함하는, 표시 장치.

청구항 14

제1영역을 포함하는 기판, 제1활성층, 제1게이트전극 및 제1전극을 포함하는 제1박막 트랜지스터, 및 제2활성층, 제2게이트전극 및 제2전극을 포함하는 제2박막 트랜지스터를 포함하는 표시 장치의 제조 방법에 있어서,
 상기 기판의 제1영역 상에 다결정 실리콘을 포함하는 상기 제1활성층을 형성하는 단계;
 상기 제1활성층 상에 상기 제1활성층과 절연된 상기 제1게이트전극을 형성하는 단계;
 상기 제1게이트전극 상에 제1층간절연층을 형성하는 단계;
 상기 제1층간절연층 상에 산화물 반도체를 포함하는 상기 제2활성층을 형성하는 단계;
 상기 제2활성층 상에 상기 제2활성층과 절연된 상기 제2게이트전극을 형성하는 단계;
 상기 제2게이트전극 상에 제2층간절연층을 형성하는 단계;
 상기 제1층간절연층 및 상기 제2층간절연층에 상기 제1활성층의 일부를 노출시키는 콘택홀을 형성하는 단계;
 상기 제2층간절연층 상에 상기 콘택홀에 매립되어 상기 제1활성층과 접하는 제1전극을 형성하는 단계;
 상기 제2층간절연층에 상기 제2활성층의 일부를 노출시키는 제1개구를 형성하는 단계;
 상기 제2층간절연층 상에 상기 제1전극을 덮는 제1평탄화층을 형성하는 단계;
 상기 제1평탄화층에 상기 제1개구와 중첩하는 제2개구를 형성하는 단계;
 상기 제1평탄화층 상에 상기 제1개구 및 상기 제2개구에 매립되어 상기 제2활성층과 접하는 제2전극을 형성하는 단계를 포함하는, 표시 장치의 제조 방법.

청구항 15

제14항에 있어서,
 상기 기판은 제2영역 및 상기 제1영역과 상기 제2영역 사이의 벤딩영역을 더 포함하며,
 상기 벤딩영역에 제1도전층을 형성하는 단계; 및
 상기 제1도전층 상에 제2도전층을 형성하는 단계를 더 포함하는, 표시 장치의 제조 방법.

청구항 16

제15항에 있어서,
 상기 제1도전층을 형성하는 단계는 상기 제1전극을 형성하는 단계와 동시에 수행되며,

상기 제2도전층을 형성하는 단계는 상기 제2전극을 형성하는 단계와 동시에 수행되는, 표시 장치의 제조 방법.

청구항 17

제15항에 있어서,

상기 제1도전층과 상기 제2도전층은 전기적으로 연결된, 표시 장치의 제조 방법.

청구항 18

제15항에 있어서,

상기 제1도전층, 상기 제2도전층, 상기 제1전극 및 상기 제2전극은 알루미늄(Al)을 포함하는, 표시 장치의 제조 방법.

청구항 19

제14항에 있어서,

상기 제1평탄화층 상에 상기 제2전극을 덮도록 제2평탄화층을 형성하는 단계; 및

상기 제2평탄화층 상에 상기 제1박막 트랜지스터 및 상기 제2박막 트랜지스터에 의해 구동되는 표시소자를 형성하는 단계를 더 포함하는, 표시 장치의 제조 방법.

청구항 20

제19항에 있어서,

상기 제1박막 트랜지스터는 상기 표시소자에 구동 전류를 전달하는 구동 박막 트랜지스터인, 표시 장치의 제조 방법.

청구항 21

제14항에 있어서,

상기 제1전극과 전기적으로 연결된 연결 전극을 형성하는 단계를 더 포함하며,

상기 연결 전극을 형성하는 단계는 상기 제2전극을 형성하는 단계와 동시에 수행되는, 표시 장치의 제조 방법.

청구항 22

제14항에 있어서,

상기 제1게이트전극을 형성하는 단계와 상기 제2활성층을 형성하는 단계 사이에,

상기 제1게이트전극 상에 상기 제1게이트전극과 절연되도록 커패시터 전극을 형성하는 단계를 더 포함하는, 표시 장치의 제조 방법.

청구항 23

제14항에 있어서,

상기 콘택홀을 형성하는 단계 후에,

상기 제1활성층을 열처리하는 단계; 및

상기 제1활성층의 표면을 세정하는 단계를 더 포함하는, 표시 장치의 제조 방법.

발명의 설명

기술 분야

본 발명의 실시예들은 표시 장치 및 이의 제조 방법에 관한 것으로서, 더 상세하게는 다결정 실리콘을 포함하는 박막 트랜지스터 및 산화물 반도체를 포함하는 박막 트랜지스터로 구동되는 표시 장치 및 이의 제조 방법에 관

[0001]

한 것이다.

배경 기술

- [0002] 표시 장치는 표시소자 및 표시소자를 구동하는 구동 회로를 포함한다. 구동 회로는 박막 트랜지스터 및 커패시터를 포함하는데, 고해상도의 표시 장치를 구현하기 위해 최근 다결정 실리콘을 포함하는 박막 트랜지스터가 널리 채용되고 있다. 그러나, 다결정 실리콘을 포함하는 박막 트랜지스터의 경우 누설전류가 커 표시 장치의 소비 전력이 증가하는 문제가 존재한다.
- [0003] 일반적으로 표시 장치는 기판 상에 위치한 표시영역을 갖는다. 최근, 이러한 표시 장치에 있어서 적어도 일부를 벤딩시킴으로써, 다양한 각도에서의 시인성을 향상시키거나 비표시영역의 면적을 줄이고자 하는 연구가 진행되고 있다.
- [0004] 이러한 표시 장치는 벤딩영역을 포함하는 기판을 포함하며, 벤딩영역에서 발생하는 인장 스트레스에 의한 배선의 단선 문제 등을 해결하기 위해 벤딩영역의 구조가 복잡해지고 있으며, 이에 표시 장치를 제조하기 위한 제조 비용이 증가하는 문제가 발생하고 있다.

발명의 내용

해결하려는 과제

- [0005] 본 발명은 소비 전력이 낮은 고해상도 표시 장치 및 이의 제조 방법을 제공하는 것을 목적으로 한다.
- [0006] 또, 다결정 실리콘을 포함하는 활성층과 활성층에 접하는 도전층 사이의 접촉 저항을 최소화하는 것을 다른 목적으로 한다.
- [0007] 또, 제조 공정 중 마스크 수를 최소화하여 표시 장치의 제조 비용을 감소시키는 것을 또 다른 목적으로 한다.
- [0008] 그러나 이러한 과제는 예시적인 것으로, 이에 의해 본 발명의 범위가 한정되는 것은 아니다.

과제의 해결 수단

- [0009] 본 발명의 일 관점에 따르면, 제1영역과 제2영역 사이에 위치하는 벤딩영역을 가지며, 벤딩축을 중심으로 벤딩된 기판; 상기 기판 상의 상기 제1영역에 배치된 제1박막 트랜지스터와 제2박막 트랜지스터; 및 상기 제1영역에서 상기 벤딩영역을 거쳐 상기 제2영역으로 연장되며, 서로 다른 층에 배치된 제1도전층과 제2도전층을 포함하며, 상기 제1박막 트랜지스터는, 다결정 실리콘을 포함하는 제1활성층; 상기 제1활성층과 절연된 제1게이트전극; 및 상기 제1활성층과 연결되며 상기 제1도전층과 동일층에 배치된 제1전극을 포함하고, 상기 제2박막 트랜지스터는, 산화물 반도체를 포함하는 제2활성층; 상기 제2활성층과 절연된 제2게이트전극; 및 상기 제2활성층과 연결되며 상기 제2도전층과 동일층에 배치된 제2전극을 포함하는, 표시 장치가 제공된다.
- [0010] 상기 제1박막 트랜지스터 및 상기 제2박막 트랜지스터에 의해 구동되는 표시소자를 더 포함하며, 상기 제1박막 트랜지스터는 상기 표시소자에 구동 전류를 전달하는 구동 박막 트랜지스터일 수 있다.
- [0011] 상기 기판 상에 상기 제1게이트전극을 덮도록 배치된 제1층간절연층을 더 포함하며, 상기 제2활성층은 상기 제1층간절연층 상에 배치될 수 있다.
- [0012] 상기 제1층간절연층 상에 상기 제2게이트전극을 덮도록 배치된 제2층간절연층을 더 포함하며, 상기 제1전극은 상기 제2층간절연층 상에 배치될 수 있다.
- [0013] 상기 제2층간절연층 상에 상기 제1전극을 덮도록 배치된 평탄화층을 더 포함하며, 상기 제2전극은 상기 평탄화층 상에 배치될 수 있다.
- [0014] 상기 제1전극과 전기적으로 연결되며, 상기 제2전극과 동일층에 배치된 연결전극을 더 포함할 수 있다.
- [0015] 상기 제1도전층과 상기 제2도전층은 서로 전기적으로 연결되며, 상기 제1박막 트랜지스터 및 상기 제2박막 트랜지스터 중 적어도 하나에 구동 신호를 전달할 수 있다.
- [0016] 상기 제1도전층 및 상기 제2도전층은 각각 복수의 관통홀층을 포함할 수 있다.
- [0017] 상기 제1도전층, 상기 제2도전층, 상기 제1전극 및 상기 제2전극은 알루미늄(Al)을 포함할 수 있다.

- [0018] 상기 기판과 상기 제1도전층 사이에 배치된 벤딩유기층을 더 포함하며, 상기 벤딩유기층은 적어도 상기 벤딩영역에 위치할 수 있다.
- [0019] 상기 제1게이트전극 상에 상기 제1게이트전극에 대향하도록 배치된 커패시터 전극을 더 포함하며, 상기 제2활성층은 상기 커패시터 전극의 상부층에 배치될 수 있다.
- [0020] 본 발명의 다른 관점에 따르면, 표시 영역을 포함하는 기판; 상기 기판의 상기 표시 영역 상에 배치되며, 다결정 실리콘을 포함하는 제1활성층, 상기 제1활성층과 절연된 제1게이트전극, 및 상기 제1활성층과 연결된 제1전극을 포함하는 제1박막 트랜지스터; 상기 기판의 상기 표시 영역 상에 배치되며, 산화물 반도체를 포함하는 제2활성층, 상기 제2활성층과 절연된 제2게이트전극, 및 상기 제2활성층과 연결된 제2전극을 포함하는 제2박막 트랜지스터; 상기 제1게이트전극과 상기 제2활성층 사이에 배치된 제1층간절연층; 상기 제2게이트전극과 상기 제1전극 사이에 배치된 제2층간절연층; 및 상기 제1전극과 상기 제2전극 사이에 배치된 평탄화층을 포함하는 표시 장치가 제공된다.
- [0021] 상기 기판은 벤딩영역을 더 포함하며, 상기 벤딩영역에 배치되며, 상기 제1전극과 동일층에 배치된 제1도전층 및 상기 제2전극과 동일층에 배치된 제2도전층을 더 포함하라 수 있다.
- [0022] 본 발명의 또 다른 관점에 따르면, 제1영역을 포함하는 기판, 제1활성층, 제1게이트전극 및 제1전극을 포함하는 제1박막 트랜지스터, 및 제2활성층, 제2게이트전극 및 제2전극을 포함하는 제2박막 트랜지스터를 포함하는 표시 장치의 제조 방법에 있어서, 상기 기판의 제1영역 상에 다결정 실리콘을 포함하는 상기 제1활성층을 형성하는 단계; 상기 제1활성층 상에 상기 제1활성층과 절연된 상기 제1게이트전극을 형성하는 단계; 상기 제1게이트전극 상에 제1층간절연층을 형성하는 단계; 상기 제1층간절연층 상에 산화물 반도체를 포함하는 상기 제2활성층을 형성하는 단계; 상기 제2활성층 상에 상기 제2활성층과 절연된 상기 제2게이트전극을 형성하는 단계; 상기 제2게이트전극 상에 제2층간절연층을 형성하는 단계; 상기 제1층간절연층 및 상기 제2층간절연층에 상기 제1활성층의 일부를 노출시키는 콘택홀을 형성하는 단계; 상기 제2층간절연층 상에 상기 콘택홀에 매립되어 상기 제1활성층과 접하는 제1전극을 형성하는 단계; 상기 제2층간절연층에 상기 제2활성층의 일부를 노출시키는 제1개구를 형성하는 단계; 상기 제2층간절연층 상에 상기 제1전극을 덮는 제1평탄화층을 형성하는 단계; 상기 제1평탄화층에 상기 제1개구와 중첩하는 제2개구를 형성하는 단계; 상기 제1평탄화층 상에 상기 제1개구 및 상기 제2개구에 매립되어 상기 제2활성층과 접하는 제2전극을 형성하는 단계를 포함하는, 표시 장치의 제조 방법이 제공된다.
- [0023] 상기 기판은 제2영역 및 상기 제1영역과 상기 제2영역 사이의 벤딩영역을 더 포함하며, 상기 벤딩영역에 상기 제1도전층을 형성하는 단계; 및 상기 제1도전층 상에 제2도전층을 형성하는 단계를 더 포함할 수 있다.
- [0024] 상기 제1도전층을 형성하는 단계는 상기 제1전극을 형성하는 단계와 동시에 수행되며, 상기 제2도전층을 형성하는 단계는 상기 제2전극을 형성하는 단계와 동시에 수행될 수 있다.
- [0025] 상기 제1도전층과 상기 제2도전층은 전기적으로 연결될 수 있다.
- [0026] 상기 제1도전층, 상기 제2도전층, 상기 제1전극 및 상기 제2전극은 알루미늄(Al)을 포함할 수 있다.
- [0027] 상기 제1평탄화층 상에 상기 제2전극을 덮도록 제2평탄화층을 형성하는 단계; 및 상기 제2평탄화층 상에 상기 제1박막 트랜지스터 및 상기 제2박막 트랜지스터에 의해 구동되는 표시소자를 형성하는 단계를 더 포함할 수 있다.
- [0028] 상기 제1박막 트랜지스터는 상기 표시소자에 구동 전류를 전달하는 구동 박막 트랜지스터일 수 있다.
- [0029] 상기 제1전극과 전기적으로 연결된 연결 전극을 형성하는 단계를 더 포함하며, 상기 연결 전극을 형성하는 단계는 상기 제2전극을 형성하는 단계와 동시에 수행될 수 있다.
- [0030] 상기 제1게이트전극을 형성하는 단계와 상기 제2활성층을 형성하는 단계 사이에, 상기 제1게이트전극 상에 상기 제1게이트전극과 절연되도록 커패시터 전극을 형성하는 단계를 더 포함할 수 있다.
- [0031] 상기 콘택홀을 형성하는 단계 후에, 상기 제1활성층을 열처리하는 단계; 및 상기 제1활성층의 표면을 세정하는 단계를 더 포함할 수 있다.
- [0032] 전술한 것 외의 다른 측면, 특징, 이점은 이하의 발명을 실시하기 위한 구체적인 내용, 청구범위 및 도면으로부터 명확해질 것이다.

발명의 효과

[0033] 상기한 바와 같이 이루어진 본 발명의 일 실시예에 따르면, 표시소자를 구동하는 구동 회로가 다결정 실리콘으로 구성된 제1활성층을 포함하는 제1박막 트랜지스터 및 산화물 반도체로 구성된 제2활성층을 포함하는 제2박막 트랜지스터를 포함하도록 구성함으로써, 소비 전력이 낮은 고해상도 표시 장치 및 이의 제조 방법을 제공할 수 있다.

[0034] 제1활성층의 제1드레인영역을 제1전극과 접촉시키는 공정을 먼저 수행한 후, 제2활성층의 일부를 노출하는 패터닝 공정을 수행함으로써 제1드레인영역과 제1전극 사이의 접촉 저항의 증가를 방지할 수 있는 표시 장치 및 이의 제조 방법을 제공할 수 있다.

[0035] 벤딩영역(BA)에 배치되며 서로 다른 층에 배치된 제1도전층 및 제2도전층을 각각 제1박막 트랜지스터의 제1전극 및 제2박막 트랜지스터의 제2전극과 동일 마스크 공정을 통해 형성함으로써, 제조 공정 중 사용되는 마스크의 수를 절감할 수 있는 표시 장치 및 이의 제조 방법을 제공할 수 있다.

도면의 간단한 설명

- [0036] 도 1은 본 발명의 일 실시예에 따른 표시 장치를 개략적으로 나타낸 사시도이다.
- 도 2는 도 1의 표시 장치의 일부를 개략적으로 나타낸 단면도이다.
- 도 3은 본 발명의 다른 실시예에 따른 표시 장치를 개략적으로 나타낸 단면도이다.
- 도 4a 내지 도 4n은 도 3의 표시 장치를 제조하는 방법을 순차적으로 나타낸 단면도들이다.
- 도 5는 본 발명의 일 실시예와 비교예 각각에서, 제1드레인영역과 제1전극 사이의 접촉 저항을 나타낸 그래프이다.
- 도 6은 본 발명의 다른 실시예에 따른 표시 장치를 개략적으로 나타낸 단면도이다.
- 도 7은 본 발명의 또 다른 실시예에 따른 표시 장치를 개략적으로 나타낸 단면도이다.

발명을 실시하기 위한 구체적인 내용

- [0037] 본 발명은 다양한 변형을 가할 수 있고 여러 가지 실시예를 가질 수 있는 바, 특정 실시예들을 도면에 예시하고 상세한 설명에 상세하게 설명하고자 한다. 본 발명의 효과 및 특징, 그리고 그것들을 달성하는 방법은 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 다양한 형태로 구현될 수 있다.
- [0038] 이하, 첨부된 도면을 참조하여 본 발명의 실시예들을 상세히 설명하기로 하며, 도면을 참조하여 설명할 때 동일하거나 대응하는 구성 요소는 동일한 도면부호를 부여하고 이에 대한 중복되는 설명은 생략하기로 한다.
- [0039] 이하의 실시예에서 층, 막, 영역, 판 등의 각종 구성요소가 다른 구성요소 "상에" 있다고 할 때, 이는 다른 구성요소 "바로 상에" 있는 경우뿐 아니라 그 사이에 다른 구성요소가 개재된 경우도 포함한다. 또한 설명의 편의를 위하여 도면에서는 구성 요소들이 그 크기가 과장 또는 축소될 수 있다. 예컨대, 도면에서 나타난 각 구성의 크기 및 두께는 설명의 편의를 위해 임의로 나타내었으므로, 본 발명이 반드시 도시된 바에 한정되지 않는다.
- [0040] 이하의 실시예에서, x축, y축 및 z축은 직교 좌표계 상의 세 축으로 한정되지 않고, 이를 포함하는 넓은 의미로 해석될 수 있다. 예를 들어, x축, y축 및 z축은 서로 직교할 수도 있지만, 서로 직교하지 않는 서로 다른 방향을 지칭할 수도 있다.
- [0041] 도 1은 본 발명의 일 실시예에 따른 표시 장치를 개략적으로 나타낸 사시도이고, 도 2는 도 1의 표시 장치의 일부를 개략적으로 나타낸 단면도이다.
- [0042] 본 실시예에 따른 표시 장치는 도 1에 도시된 것과 같이 표시 장치의 일부인 기관(100)의 일부가 벤딩되어, 표시 장치의 일부분이 기관(100)과 마찬가지로 벤딩된 형상을 갖는다. 다만 도시의 편의상 도 2에서는 표시 장치가 벤딩되지 않은 상태로 도시하고 있다. 참고로 후술하는 실시예들에 관한 단면도들에서도 도시의 편의상 표시 장치가 벤딩되지 않은 상태로 도시한다.
- [0043] 도 1 및 도 2를 참조하면, 일 실시예에 따른 표시 장치(1)는 제1영역(1A)과 제2영역(2A) 사이에 위치하는 벤딩 영역(BA)을 가지며, 벤딩축(BAX)을 중심으로 벤딩된 기관(100), 기관(100) 상의 제1영역(1A)에 배치된 제1박막 트랜지스터(210)와 제2박막 트랜지스터(220), 및 제1영역(1A)에서 벤딩영역(BA)을 거쳐 제2영역(2A)으로 연장되

며 서로 다른 층에 배치된 제1도전층(310)과 제2도전층(320)을 포함한다.

- [0044] 상기 기관(100)은 벤딩이 용이한 플렉서블 기관일 수 있으며, 제1방향(+y 방향)으로 연장된 벤딩영역(BA)을 갖는다. 이 벤딩영역(BA)은 제1방향과 교차하는 제2방향(+x 방향)에 있어서, 제1영역(1A)과 제2영역(2A) 사이에 위치한다. 그리고 기관(100)은 도 1에 도시된 것과 같이 제1방향(+y 방향)으로 연장된 벤딩축(BAX)을 중심으로 벤딩되어 있다. 이러한 플렉서블 기관(100)은 다양한 물질을 포함할 수 있는데, 예컨대 폴리에테르술폰(polyethersulphone, PES), 폴리아크릴레이트(polyacrylate, PAR), 폴리에테르 이미드(polyetherimide, PEI), 폴리에틸렌 나프탈레이트(polyethylenen naphthalate, PEN), 폴리에틸렌 테레프탈레이트(polyethyleneterephthalate, PET), 폴리페닐렌 설파이드(polyphenylene sulfide, PPS), 폴리아릴레이트(polyallylate), 폴리이미드(polyimide, PI), 폴리카보네이트(polycarbonate, PC) 또는 셀룰로오스 아세테이트 프로피오네이트(cellulose acetate propionate, CAP)와 같은 고분자 수지를 포함할 수 있다. 일 실시예에 따르면, 기관(100)은 벤더블 특성이 우수한 폴리이미드(P1)로 구성될 수 있으며, 수 내지 수십 마이크로미터(μm)의 두께를 가질 수 있다.
- [0045] 제1영역(1A)은 표시영역(DA)을 포함한다. 물론 제1영역(1A)은 도 2에 도시된 것과 같이 표시영역(DA) 외에도 표시영역(DA) 외측의 비표시영역의 일부를 포함할 수 있다. 물론 필요에 따라 표시영역(DA)이 벤딩영역(BA)에까지 연장될 수도 있다. 제2영역(2A) 역시 비표시영역을 포함하며, 필요에 따라 표시영역(DA)이 제2영역(2A)에까지 연장되거나 제2영역(2A)이 별도의 표시영역을 포함할 수 있다.
- [0046] 기관(100)의 표시영역(DA)에는 표시소자(400) 외에도, 도 2에 도시된 것과 같이 표시소자(400)를 구동하는 구동 회로를 포함할 수 있다. 구동 회로는 제1박막 트랜지스터(210) 및 제2박막 트랜지스터(220)를 포함할 수 있다. 상기 제2박막 트랜지스터(220)은 스캔선 및 데이터선과 연결되며, 스캔선으로부터 온(on) 신호에 받아 데이터 신호를 제1박막 트랜지스터(210)에 전달하는 기능을 수행하는 스위칭 박막 트랜지스터일 수 있다. 상기 제1박막 트랜지스터(210)는 전달된 데이터 전압에 대응되는 전류를 출력하여 표시소자(400)에 전달하는 기능을 수행하는 구동 박막 트랜지스터일 수 있다. 그러나, 제2박막 트랜지스터(220)는 스위칭 박막 트랜지스터 이외에 구동 회로에서 보상 및 초기화 등 다양한 기능을 하는 다른 박막 트랜지스터로서 기능할 수도 있다.
- [0047] 도 2에서는 표시소자(400)로서 유기발광소자가 표시영역(DA)에 위치하는 것을 도시하고 있으며, 표시소자(400)는 화소전극(410), 화소전극(410) 상에 배치되며 유기발광층을 포함하는 중간층(420) 및 대향전극(430)을 포함할 수 있다.
- [0048] 제1박막 트랜지스터(210)는 유기발광소자의 화소전극(410)과 비아홀(VIA, 도 3)을 통해 직접적으로 연결되거나 발광 박막 트랜지스터와 같은 다른 박막 트랜지스터를 경유하여 화소전극(410)과 간접적으로 연결될 수 있다.
- [0049] 필요에 따라 기관(100)의 표시영역(DA) 외측의 비표시영역에도 박막 트랜지스터(미도시)가 배치될 수 있다. 이러한 비표시영역에 위치하는 박막 트랜지스터는 예컨대 표시영역(DA) 내에 인가되는 전기적 신호를 제어하기 위한 회로부의 일부일 수 있다.
- [0050] 제1박막 트랜지스터(210)는 다결정 실리콘을 포함하는 제1활성층(211), 제1활성층(211)과 절연된 제1게이트전극(213), 및 제1활성층(211)과 연결된 제1전극(215)을 포함할 수 있다. 제1박막 트랜지스터(210)는 구동 박막 트랜지스터로서 기능할 수 있다.
- [0051] 제2박막 트랜지스터(220)는 산화물 반도체를 포함하는 제2활성층(221), 제2활성층(221)과 절연된 제2게이트전극(223), 및 제2활성층(221)과 연결된 제2전극(225S, 225D)을 포함할 수 있다. 제2박막 트랜지스터(220)는 스위칭 박막 트랜지스터로서 기능할 수 있다. 그러나, 제2박막 트랜지스터(220)는 구동 회로에 포함된 구동 박막 트랜지스터가 아닌 다른 어떠한 박막 트랜지스터일 수도 있다.
- [0052] 일 실시예에 따르면, 구동 박막 트랜지스터로서 기능하는 제1박막 트랜지스터(210)의 제1활성층(211)은 신뢰성이 우수한 다결정 실리콘으로 구성하고, 스위칭 박막 트랜지스터에 대응되는 제2박막 트랜지스터(220)의 제2활성층(221)은 누설전류가 작은 산화물 반도체로 구성할 수 있다.
- [0053] 구체적으로, 표시소자(400)의 밝기에 직접적으로 영향을 미치는 구동 박막 트랜지스터의 경우 높은 신뢰성을 갖는 다결정 실리콘으로 구성된 활성층을 포함하도록 구성하며, 이를 통해 고해상도의 표시 장치를 구현할 수 있다.
- [0054] 산화물 반도체는 높은 캐리어 이동도(high carrier mobility) 및 낮은 누설전류를 가지므로, 구동 시간이 길더라도 전압 강하가 크지 않다. 즉, 저주파 구동 시에도 전압 강하에 따른 화상의 색상 변화가 크지 않으므로, 저

주과 구동이 가능하다. 즉, 구동 회로가 산화물 반도체로 구성된 활성층을 포함하는 박막 트랜지스터를 포함하는 경우, 구동 회로에 포함된 모든 박막 트랜지스터들이 다결정 실리콘으로 구성된 활성층을 포함하는 경우보다 소비 전력이 낮아질 수 있다. 따라서, 구동 박막 트랜지스터를 제외한 나머지 박막 트랜지스터들 중 적어도 하나가 산화물 반도체로 구성된 활성층을 포함하도록 구성함으로써, 표시 장치의 소비 전력을 감소시킬 수 있다.

- [0055] 이하, 도 2를 참고하여 표시 장치(1)에 포함된 구성 요소들을 기관(100) 상에 적층된 순서대로 설명한다.
- [0056] 기관(100) 상에는 다결정 실리콘을 포함하는 제1활성층(211)이 배치되며, 기관(100)과 제1활성층(211) 사이에는 버퍼층(111)이 배치될 수 있다. 버퍼층(111)은 단층 또는 다층일 수 있으며, 기관(100)의 상면의 평활성을 높이거나 기관(100)으로부터의 불순물이 제1활성층(211)으로 침투하는 것을 방지하거나 감소시키는 기능을 할 수 있다.
- [0057] 버퍼층(111) 상에는 제1활성층(211)이 배치되며, 제1활성층(211)은 불순물이 도핑되어 도전성을 띠며 서로 이격되어 있는 제1소스영역(211S) 및 제1드레인영역(211D)과 이들 사이에 배치된 제1채널영역(211C)을 포함할 수 있다. 상기 제1소스영역(211S) 및 제1드레인영역(211D)은 각각 제1박막 트랜지스터(210)의 소스전극 및 드레인전극에 대응될 수 있다.
- [0058] 제1활성층(211) 상에는 제1게이트전극(213)이 배치되며, 제1활성층(211)과 제1게이트전극(213) 사이에는 실리콘 옥사이드, 실리콘나이트라이드 및/또는 실리콘옥시나이트라이드 등의 무기물을 포함하는 제1게이트절연층(112)이 배치될 수 있다. 예컨대, 제1게이트전극(213)은 몰리브덴(Mo)의 단일층으로 구성될 수 있다.
- [0059] 제1게이트전극(213)의 상부에는 실리콘옥사이드, 실리콘나이트라이드 및/또는 실리콘옥시나이트라이드 등의 무기물을 포함하는 제1층간절연층(114)이 배치될 수 있다.
- [0060] 제1층간절연층(114) 상에는 산화물 반도체를 포함하는 제2활성층(221)이 배치될 수 있으며, 제2활성층(221)은 도전성을 가지며 서로 이격되어 있는 제2소스영역(221S)과 제2드레인영역(221D), 및 제2소스영역(221S)과 제2드레인영역(221D) 사이에 배치된 제2채널 영역(221C)을 포함할 수 있다. 예컨대, 산화물 반도체는 인듐-갈륨-징크 산화물(InGaZnO)을 포함할 수 있다. 즉, 제2박막 트랜지스터(220)는 제1게이트전극(213)의 상부층에 배치될 수 있다.
- [0061] 제2활성층(221) 상에는 제2게이트전극(223)이 배치되며, 제2활성층(221)과 제2게이트전극(223) 사이에는 제2활성층(221)과 제2게이트전극(223)을 절연시키기 위한 제2게이트절연층(115)이 배치될 수 있다. 제2게이트절연층(115)은 제2게이트전극(223)과 동일 마스크 공정을 통해 형성될 수 있으며, 따라서 제2게이트절연층(115)과 제2게이트전극(223)은 실질적으로 동일한 면적을 가질 수 있다. 예컨대, 제2게이트전극(223)은 몰리브덴(Mo)의 단일층일 수 있다.
- [0062] 제2게이트전극(223) 상에는 제2층간절연층(116)이 배치되며, 제2층간절연층(116) 상에는 제1활성층(211)의 제1드레인영역(211D)과 연결된 제1전극(215)이 배치될 수 있다. 제2게이트절연층(115) 및 제2층간절연층(116)은 실리콘옥사이드, 실리콘나이트라이드 및/또는 실리콘옥시나이트라이드 등의 무기물을 포함할 수 있으며, 제1전극(215)은 제1게이트절연층(112), 제1층간절연층(114) 및 제2층간절연층(116) 각각에 포함된 개구들로 구성된 제1콘택홀(CNT1)을 통해 제1활성층(211)의 제1드레인영역(211D)과 직접 접할 수 있다.
- [0063] 상기 제1활성층(211)의 제1드레인영역(211D)과 제1전극(215)은 직접 접하도록 구성되며, 제1드레인영역(211D)과 제1전극(215)의 콘택 저항이 큰 경우 구동 전류가 감소하여 표시소자(400)로부터 방출되는 빛의 세기가 감소할 수 있다. 따라서, 제1드레인영역(211D)과 제1전극(215)의 콘택 저항은 최소화하는 것이 바람직하다.
- [0064] 상기 제1전극(215) 상에는 제1평탄화층(118)이 배치되며, 제1평탄화층(118) 상에는 제2박막 트랜지스터(220)의 제2활성층(221)과 연결된 제2전극(225S, 225D)이 배치될 수 있다. 도 2에서는 제2전극(225S, 225D)이 제2활성층(221)의 제2소스영역(221S) 및 제2드레인영역(221D)과 각각 연결된 소스전극(225S) 및 드레인전극(225D)을 포함하지만, 제2전극(225S, 225D)은 소스전극(225S) 및 드레인전극(225D) 중 하나만을 포함할 수도 있다.
- [0065] 제1평탄화층(118)은 유기물을 포함할 수 있으며, 제1박막 트랜지스터(210)의 제1전극(215)과 제2박막 트랜지스터(220)의 제2전극(225) 사이에 배치될 수 있다. 소스전극(225S)은 제2층간절연층(116) 및 제1평탄화층(118)에 포함된 개구들로 구성된 제2콘택홀(CNT2)을 통해 제2활성층(221)의 제2소스영역(221S)과 연결되며, 드레인전극(225D)은 제2층간절연층(116) 및 제1평탄화층(118)에 포함된 개구들로 구성된 제3콘택홀(CNT3)을 통해 제2활성층(221)의 제2드레인영역(221D)과 연결될 수 있다.
- [0066] 기관(110) 상에 밴딩영역(BA)에는 밴딩 시 크랙(crack)이 발생할 수 있는 무기물로 구성되는 버퍼층(111), 제1

게이트절연층(112), 제1층간절연층(114) 및 제2층간절연층(116)이 배치되지 않을 수 있다. 도 2를 참조하면, 제1게이트절연층(112), 제1층간절연층(114) 및 제2층간절연층(116)은 각각 개구들을 포함하며, 이러한 개구들은 제1개구(H1)를 구성할 수 있다. 버퍼층(111) 또한 제1개구(H1)의 적어도 일부와 중첩하는 제2개구(H2)를 포함한다. 상기 제1개구(H1) 및 제2개구(H2)는 벤딩영역(BA), 제1영역(1A)의 벤딩영역(BA)에 인접한 영역, 제2영역(2A)의 벤딩영역(BA)에 인접한 영역에 대응되도록 배치되며, 제1개구(H1) 및 제2개구(H2) 내에는 벤딩유기층(301)이 배치될 수 있다.

[0067] 벤딩유기층(301)의 경우 유기물을 포함하는 특성 상 크랙이 발생할 확률이 낮다. 따라서 벤딩유기층(301) 상에 위치하는 제1도전층(310) 및 제2도전층(320)의 벤딩영역(BA)의 부분에 크랙 등이 발생하는 것을 방지하거나 발생확률을 최소화할 수 있다. 물론 벤딩유기층(301)은 그 경도가 무기물로 구성된 층보다 낮기에, 기관(100) 등의 벤딩에 의해 발생하는 인장 스트레스를 벤딩유기층(301)이 흡수하여 제1도전층(310) 및 제2도전층(320)에 인장 스트레스가 집중되는 것을 효과적으로 최소화할 수 있다.

[0068] 벤딩유기층(301) 상에는 제1도전층(310)이 배치될 수 있다. 제1도전층(310)은 제1영역(1A)에서 벤딩영역(BA)을 거쳐 제2영역(2A)으로 연장될 수 있다. 예컨대, 제1도전층(310)은 제2영역(2A)에 배치된 집적 회로 칩(IC chip, 미도시)에 전기적으로 연결되어, 집적 회로 칩으로부터 표시 장치(1)를 구동하기 위한 신호를 표시영역(DA)에 배치된 구동 회로에 전달하는 기능을 할 수 있다.

[0069] 제1도전층(310) 상에는 제1평탄화층(118)이 배치되며, 제1평탄화층(118) 상에는 제2도전층(320)이 배치될 수 있다. 제2도전층(320)은 제1평탄화층(118)에 형성된 제4콘택홀(CNT4)을 통해 제1도전층(310)과 연결될 수 있다. 제1도전층(310) 및 제2도전층(320)은 알루미늄(Al)을 포함할 수 있으며, 예컨대, 순차적으로 배치된 티타늄, 알루미늄, 및 티타늄(Ti/Al/Ti)의 삼중층일 수 있다.

[0070] 표시 장치(1)는 벤딩영역(BA)을 포함하며, 제1영역(1A)과 제2영역(2A)을 연결하기 위해 필수적으로 제1도전층(310)은 벤딩영역(BA)에 배치될 수밖에 없다. 벤딩영역(BA)은 연신율이 높은 알루미늄을 포함하지만, 그럼에도 불구하고 벤딩 시 단선될 수 있다. 일 실시예에 따르면, 표시 장치(1)는 제1도전층(310)의 일부가 단선되더라도 신호가 전달될 수 있도록 제1도전층(310)과 다른 층에 배치되며 제1도전층(310)과 전기적으로 연결된 제2도전층(320)을 더 포함할 수 있다.

[0071] 상기 제1도전층(310)은 제1박막 트랜지스터(210)의 제1전극(215)과 동일층에 배치될 수 있으며, 제1전극(215)과 동일 물질을 포함할 수 있다. 즉, 제1전극(215)은 제2층간절연층(116) 상에 배치되며, 제1도전층(310)의 적어도 일부 또한 제2층간절연층(116) 상에 배치될 수 있다. 즉, 제1전극(215)과 제1도전층(310)은 한 번의 마스크 공정에 의해 형성될 수 있다. 이에 관해서는 후술한다.

[0072] 상기 제2도전층(320)은 제2박막 트랜지스터(220)의 제2전극(225S, 255D)과 동일층에 배치될 수 있으며, 제2전극(225S, 255D)과 동일 물질을 포함할 수 있다. 즉, 제2전극(225S, 255D)은 제1평탄화층(118) 상에 배치되며, 제2도전층(320)의 적어도 일부 또한 제1평탄화층(118) 상에 배치될 수 있다. 즉, 제2전극(225S, 255D)과 제2도전층(320)은 한 번의 마스크 공정에 의해 형성될 수 있다. 이에 관해서는 후술한다.

[0073] 제2전극(225S, 255D)과 제2도전층(320) 상에는 제2평탄화층(119)이 배치되며, 제2평탄화층(119) 상에는 표시소자(400)가 배치될 수 있다. 제2평탄화층(119)은 예컨대 아크릴, 폴리이미드, BCB(Benzocyclobutene) 또는 HMDSO(hexamethyldisiloxane) 등과 같은 유기물로 형성되며, 제2평탄화층(119)에 의해 평탄화된 면 상에 표시소자(400)가 배치될 수 있다. 도 2에서는 제2평탄화층(119)이 제1영역(1A), 벤딩영역(BA), 및 제2영역(2B)에 배치된 것으로 도시하고 있지만, 본 발명은 이에 제한되지 않으며, 제2유기절연층(119)은 제1영역(1A)에만 배치될 수도 있다.

[0074] 도시하진 않았지만, 벤딩영역(BA)에 배치된 제2도전층(320) 상에는 벤딩 보호층(BPL; bending protection layer, 미도시)이 배치될 수 있다. 어떤 적층체를 벤딩할 시 그 적층체 내에는 스트레스 중립면(stress neutral plane)이 존재하게 된다. 만일 이 벤딩 보호층이 존재하지 않는다면, 기관(100) 등의 벤딩에 따라 벤딩영역(BA) 내에서 도전층들(310, 320)에 과도한 인장 스트레스 등이 인가될 수 있다. 이는 도전층들(310, 320)의 위치가 스트레스 중성면에 대응하지 않을 수 있기 때문이다. 하지만 벤딩 보호층이 존재하도록 하고 그 두께 및 모듈러스 등을 조절함으로써, 기관(100), 도전층들(310, 320) 및 벤딩 보호층 등을 모두 포함하는 적층체에 있어서 스트레스 중성면의 위치를 조정할 수 있다. 따라서 벤딩 보호층을 통해 스트레스 중성면이 도전층들(310, 320) 근방에 위치하도록 함으로써, 도전층들(310, 320)에 인가되는 인장 스트레스를 최소화할 수 있다.

[0075] 예컨대, 표시소자(400)는 유기발광소자일 수 있으며, 화소전극(410), 화소전극(410) 상에 배치되며 유기발광층

을 포함하는 중간층(420) 및 중간층(420) 상에 배치된 대향전극(430)을 포함할 수 있다.

- [0076] 화소전극(410)은 제1박막 트랜지스터(210)와 직접 연결되거나, 발광을 제어하는 기능을 하는 다른 박막 트랜지스터(미도시)를 경유하여 제1박막 트랜지스터(210)와 간접적으로 연결될 수도 있다.
- [0077] 화소전극(410)은 반사층을 포함하는 반사 전극일 수 있다. 예컨대, 반사층은 은(Ag), 마그네슘(Mg), 알루미늄(Al), 백금(Pt), 팔라듐(Pd), 금(Au), 니켈(Ni), 네오디뮴(Nd), 이리듐(Ir) 및 크롬(Cr)을 포함하는 그룹에서 선택된 적어도 어느 하나를 포함할 수 있으며, 반사층 상에는 인듐틴옥사이드(ITO: indium tin oxide), 인듐징크옥사이드(IZO: indium zinc oxide), 징크옥사이드(ZnO: zinc oxide), 인듐옥사이드(In₂O₃: indium oxide), 인듐갈륨옥사이드(IGO: indium gallium oxide) 및 알루미늄징크옥사이드(AZO: aluminum zinc oxide)를 포함하는 그룹에서 선택된 적어도 어느 하나로 형성된 투명 또는 반투명 전극층이 더 배치될 수 있다.
- [0078] 일 실시예에 따르면, 화소전극(410)은 ITO/Ag/ITO의 3개의 층으로 구성될 수 있다.
- [0079] 유기발광소자의 중간층(420)은 유기 발광층을 포함하며, 그 외에 정공 주입층(HIL: Hole Injection Layer), 정공 수송층(HTL: Hole Transport Layer), 전자 수송층(ETL: Electron Transport Layer) 및 전자 주입층(EIL: Electron Injection Layer) 중 적어도 하나를 더 포함할 수 있다. 그러나, 본 발명은 이에 한정되지 않으며, 중간층(420)은 기타 다양한 기능층을 더 포함할 수 있다.
- [0080] 물론 중간층(420)은 반드시 이에 한정되는 것은 아니고, 다양한 구조를 가질 수도 있음은 물론이다. 그리고 중간층(420)은 복수개의 화소전극(410)들에 걸쳐서 일체인 층을 포함할 수도 있고, 복수개의 화소전극(410)들 각각에 대응하도록 패터닝된 층을 포함할 수도 있다.
- [0081] 한편, 유기 발광층은 백색광을 방출할 수 있도록 적색 발광층, 녹색 발광층 및 청색 발광층이 적층된 다층 구조를 갖거나, 적색 발광 물질, 녹색 발광 물질 및 청색 발광 물질을 포함한 단일층 구조를 가질 수 있다. 이와 같은 유기 발광층을 구비한 유기발광소자는 적색 컬러 필터, 녹색 컬러 필터 및 청색 컬러 필터를 추가로 구비함으로써, 풀 컬러를 방출할 수 있다.
- [0082] 대향전극(430)은 (반)투명 전극일 수 있다. 예컨대, 대향전극(430)은 은(Ag), 알루미늄(Al), 마그네슘(Mg), 리튬(Li), 칼슘(Ca), 구리(Cu), LiF/Ca, LiF/Al, MgAg 및 CaAg에서 선택된 하나 이상의 물질을 포함할 수 있으며, 광을 투과시킬 수 있도록 수 내지 수십 nm의 두께를 갖는 박막으로 형성될 수 있다.
- [0083] 도시하지 않았지만, 표시소자(400) 상에는 표시소자(400)를 덮는 봉지층(미도시)이 배치될 수 있으며, 봉지층(미도시)은 표시소자(400)를 외부로부터의 수분이나 산소 등으로부터 보호할 수 있다.
- [0084] 도 3은 본 발명의 다른 실시예에 따른 표시 장치를 개략적으로 나타낸 단면도이다. 도 3에 도시된 구성 요소들 중 도 2에 도시된 구성 요소들과 동일하거나 대응되는 구성 요소는 동일한 참조부호로 표시하였으며, 이하에서는 도 2와 동일한 구성 요소들에 대한 설명은 생략하기로 한다.
- [0085] 도 3에 도시된 표시 장치(2)는 제1영역(1A)과 제2영역(2A) 사이에 위치하는 벤딩영역(BA)을 가지며 벤딩축(BAX, 도 1)을 중심으로 벤딩된 기관(100), 기관(100) 상의 제1영역(1A)에 배치된 제1박막 트랜지스터(210)와 제2박막 트랜지스터(220), 및 제1영역(1A)에서 벤딩영역(BA)을 거쳐 제2영역(2A)으로 연장되며 서로 다른 층에 배치된 제1도전층(310)과 제2도전층(320)을 포함하며, 제1박막 트랜지스터(210)는 다결정 실리콘을 포함하는 제1활성층(211), 제1활성층(211)과 절연된 제1게이트전극(213) 및 제1활성층(211)과 연결되며 제1도전층(310)과 동일층에 배치된 제1전극(215)을 포함하고, 제2박막 트랜지스터(220)는 산화물 반도체를 포함하는 제2활성층(221), 제2활성층(221)과 절연된 제2게이트전극(223) 및 제2활성층(221)과 연결되며 제2도전층(320)과 동일층에 배치된 제2전극(225S, 225D)을 포함한다.
- [0086] 기관(100) 상의 표시영역(DA)에는 표시소자(400)와 표시소자(400)를 구동하는 구동 회로가 배치된다. 구동 회로는 제1박막 트랜지스터(210), 제2박막 트랜지스터(220) 및 스토리지 커패시터(Cst)를 포함하며, 스토리지 커패시터(Cst)는 제1커패시터 전극(CE1) 및 이에 대향하는 제2커패시터 전극(CE2)을 포함할 수 있다. 일 실시예에 따르면, 제1게이트전극(213)은 제1커패시터 전극(CE1)으로서 기능할 수 있다. 즉, 제2커패시터 전극(CE2)은 제1게이트전극(213)과 평면상 중첩되도록 배치되어, 제1게이트전극(213)과 함께 스토리지 커패시터(Cst)를 구성할 수 있다. 제1게이트전극(213)과 제2커패시터 전극(CE2) 사이에 배치된 제3게이트절연층(113)은 스토리지 커패시터(Cst)의 유전층으로서 기능할 수 있다. 일 실시예에 따르면, 화소 내에서 큰 면적을 차지하는 제1박막 트랜지스터(210)와 스토리지 커패시터(Cst)를 평면상 중첩되도록 배치함으로써 추가적인 공간 없이도 스토리지 커패시터(Cst)의 용량을 크게 할 수 있다.

- [0087] 제2커패시터 전극(CE2) 상에는 제1층간절연층(114)이 배치되며, 제1층간절연층(114)은 무기물을 포함할 수 있다. 제1층간절연층(114) 상에는 제2박막 트랜지스터(220)의 제2활성층(221)이 배치될 수 있다. 즉, 제2박막 트랜지스터(220)는 제1박막 트랜지스터(210)의 제1게이트전극(213) 및 스토리지 커패시터(Cst)의 제2커패시터 전극(CE2)의 상부층에 배치될 수 있다.
- [0088] 제2활성층(221) 상에는 제2게이트전극(223)이 배치되며, 제2게이트전극(223) 상에는 제2게이트전극(223)과 제1층간절연층(114)을 덮는 제2층간절연층(116)이 배치될 수 있다. 상기 제2층간절연층(116) 상에는 제1박막 트랜지스터(210)의 제1전극(215)이 배치될 수 있다. 제1전극(215) 상에는 제2층간절연층(116) 및 제1전극(215)을 덮는 패시베이션층(117) 및 제1평탄화층(118)이 순차적으로 배치될 수 있다.
- [0089] 일 실시예에 따르면, 패시베이션층(117) 및 제1평탄화층(118)은 각각 무기물 및 유기물을 포함할 수 있다. 패시베이션층(117)은 제1전극(215)을 보호하는 기능을 하며, 제1평탄화층(118)은 표면을 평탄화하는 기능을 할 수 있다. 무기물을 포함하는 패시베이션층(117)은 벤딩영역(BA) 및 제1영역(1A)의 벤딩영역(BA)에 인접한 영역에는 배치되지 않을 수 있으며, 유기물을 포함하는 제1평탄화층(118)은 벤딩영역(BA)까지 연장되어 배치될 수 있다.
- [0090] 제1평탄화층(118) 상에는 연결전극(217)이 배치되며, 연결전극(217)은 패시베이션층(117) 및 제1평탄화층(118)에 각각 포함된 개구들로 구성된 제5콘택홀(CNT5)을 통해 제1전극(215)과 연결될 수 있다. 제1평탄화층(118) 상에는 제2전극(225S, 225D)이 배치되며, 제2전극(225S, 225D)은 제2콘택홀(CNT2)을 통해 제2활성층(221)의 제2소스영역(221S)와 연결된 소스전극(225S)과 제3콘택홀(CNT3)을 통해 제2활성층(221)의 제2드레인영역(221D)과 연결된 드레인전극(225D)을 포함할 수 있다.
- [0091] 제2전극(225S, 225D), 연결전극(217) 및 제2도전층(320)은 동일층에 배치되며, 동일 물질을 포함할 수 있다. 제2전극(225S, 225D), 연결전극(217) 및 제2도전층(320)은 하나의 마스크 공정을 통해 형성된다. 이에 관해서는 후술한다.
- [0092] 도 3의 박스 A를 참조하면, 제1도전층(310) 및 제2도전층(320)이 적어도 벤딩영역(BA)에 대응되는 부분에 복수 개의 관통홀(TH)들을 갖도록 함으로써, 벤딩에 의해 제1도전층(310) 및 제2도전층(320)이 손상되는 것을 효과적으로 방지하거나 손상될 확률을 감소시킬 수 있다. 제1도전층(310) 및 제2도전층(320)이 복수 개의 관통홀(TH)들을 가짐에 따라 제1도전층(310) 및 제2도전층(320)의 가요성(flexibility)이 높아지며, 그 결과 벤딩에 의해 인장 스트레스가 발생하더라도 제1도전층(310) 및 제2도전층(320)에서 단선 등의 불량 발생이 발생하는 것이 효과적으로 방지되도록 할 수 있다.
- [0093] 제2평탄화층(119) 상의 표시영역(DA)에는 표시소자(400)가 배치되며, 표시소자는 화소전극(410), 유기발광층을 포함하는 중간층(420) 및 대향전극(430)을 포함할 수 있다. 제2평탄화층(119) 상에는 화소정의막(120)이 배치될 수 있다. 이 화소정의막(120)은 화소전극(410)의 중앙부가 노출되도록 하는 개구를 가짐으로써 화소를 정의하는 역할을 한다. 또한, 화소정의막(120)은 화소전극(410)의 가장자리와 화소전극(410) 상부의 대향전극(430)과의 사이의 거리를 증가시킴으로써 화소전극(410)의 가장자리에서 아크(arc) 등이 발생하는 것을 방지하는 역할을 한다. 이와 같은 화소정의막(120)은 예컨대 폴리이미드 또는 HMDSO(hexamethyldisiloxane) 등과 같은 유기물로 형성될 수 있다.
- [0094] 일 실시예에 따르면, 화소정의막(120)은 화소를 정의하는 기능 이외에 대향전극(430)과 봉지수단(미도시)과의 간격을 유지시키기 위한 스페이서 기능을 동시에 수행할 수 있도록 소정의 높이로 형성될 수 있다. 도 3에 도시된 바와 같이 화소정의막(120)은 스페이서로서 기능하기 위해 2단으로 형성될 수 있다.
- [0095] 화소전극(410)은 연결전극(217)과 제2평탄화층(119)에 형성된 비아홀(VIA)을 통해 연결되며, 연결전극(217)은 제1박막 트랜지스터(210)의 제1전극(215)과 제5콘택홀(CNT5)을 통해 연결될 수 있다. 그러나, 본 발명은 이에 한정되지 않으며, 연결전극(217)은 제1전극(215)과 직접 연결되지 않고 다른 박막 트랜지스터를 경유하여 간접적으로 연결될 수도 있으며, 연결전극(217)이 화소전극(410)과 직접 연결되지 않고 다른 박막 트랜지스터를 경유하여 간접적으로 연결될 수도 있다.
- [0096] 도 4a 내지 도 4n은 도 3의 표시 장치를 제조하는 방법을 순차적으로 나타낸 단면도들이다. 도시하진 않았지만, 도 4a 내지 도 4n의 단계들은 캐리어 기판(미도시) 상에 배치된 기판(100) 상에서 수행될 수 있으며, 캐리어 기판은 도 4n의 단계를 수행한 후 제거될 수 있다.
- [0097] 도 4a를 참고하면, 기판(100) 상의 표시영역(DA)에 버퍼층(111) 및 다결정 실리콘층(211')을 형성한다. 기판(100)은 제1영역(1A), 제2영역(2A), 및 제1영역(1A)과 제2영역(2A) 사이에 위치하는 벤딩영역(BA)을 포함하며,

제1영역(1A)은 표시영역(DA)을 포함할 수 있다. 버퍼층(111)은 실리콘옥사이드, 실리콘나이트라이드 및/또는 실리콘옥시나이트라이드 등과 같은 무기물을 포함하며, 단층 또는 다층일 수 있다.

- [0098] 다결정 실리콘층(211')은 비결정 실리콘을 기판(100) 상의 전면에 형성한 후 이를 어닐링(annealing)함으로써 다결정 실리콘을 형성한 후, 이를 제1마스크(미도시)를 이용하여 패터닝함으로써 형성할 수 있다. 그러나, 이에 한정되지 않으며 다결정 실리콘층(211')은 다결정 실리콘을 기판(100) 상에 전면에 직접 형성한 후 이를 패터닝함으로써 형성할 수도 있다.
- [0099] 도 4b를 참조하면, 버퍼층(111) 상에 다결정 실리콘층(211')을 덮도록 제1게이트절연층(112)을 형성한 후, 제1게이트절연층(112) 상에 제1게이트전극(213)을 형성할 수 있다.
- [0100] 제1게이트전극(213)은 제1게이트절연층(112) 상에 도전물질을 도포한 후, 이를 제2마스크(미도시)를 이용하여 패터닝함으로써 형성할 수 있다. 예컨대, 상기 도전물질은 몰리브덴(Mo)을 포함할 수 있다.
- [0101] 제1게이트전극(213)을 형성한 후, 제1게이트전극(213)을 차단수단으로 이용하여 다결정 실리콘층(211')에 불순물을 도핑함으로써, 불순물이 도핑되어 도전성을 갖는 제1소스영역(211S) 및 제1드레인영역(211D)을 형성할 수 있다. 즉, 제1소스영역(211S), 제1드레인영역(211D), 및 불순물이 도핑되지 않은 제1채널영역(211C)을 포함하는 제1활성층(211)을 형성할 수 있다.
- [0102] 도 4c를 참조하면, 제1게이트절연층(112) 상에 제1게이트전극(213)을 덮도록 제3게이트절연층(113)을 형성한 후, 제3게이트절연층(113) 상에 제2커패시터 전극(CE2)을 형성할 수 있다. 제2커패시터 전극(CE2)은 제1커패시터 전극(CE1)으로서 기능하는 제1게이트전극(213)과 함께 스토리지 커패시터(Cst)를 구성한다. 제2커패시터 전극(CE2)은 제3게이트절연층(113) 상에 도전물질을 도포한 후 제3마스크(미도시)를 이용하여 이를 패터닝함으로써 형성할 수 있다.
- [0103] 도 4c의 제2커패시터 전극(CE2)을 형성하는 단계는, 도 2의 표시 장치(1)을 형성하는 경우에는 수행되지 않을 수 있다.
- [0104] 도 4d를 참조하면, 제3게이트절연층(113) 상에 제2커패시터 전극(CE2)을 덮도록 제1층간절연층(114)을 형성한 후, 제1층간절연층(114) 상에 산화물 반도체층(221')을 형성할 수 있다. 다만, 제1층간절연층(114)을 형성하는 단계는 도 2의 표시 장치(1)를 형성하는 경우 수행되지 않을 수 있으며, 이 경우 산화물 반도체층(221')은 제3게이트절연층(113) 상에 형성될 수 있다.
- [0105] 일 실시예에 따르면, 산화물 반도체층(221')은 인듐-갈륨-징크 산화물(InGaZnO)을 포함할 수 있으며, 산화물 반도체층(221')은 제1층간절연층(114) 상에 산화물 반도체를 도포한 후, 이를 제4마스크(미도시)를 이용하여 패터닝함으로써 형성할 수 있다. 산화물 반도체층(221')은 제1게이트전극(213) 및 제2커패시터 전극(CE2)을 형성한 후에 형성되므로 제1게이트전극(213)이 배치된 층보다 상부의 층에 배치될 수 있다.
- [0106] 도 4e를 참조하면, 산화물 반도체층(221') 상에 제2게이트절연층(115) 및 제2게이트전극(223)을 형성할 수 있다. 제2게이트절연층(115) 및 제2게이트전극(223)은 제1층간절연층(114) 상에 절연물질과 도전물질을 순차적으로 도포한 후, 이를 제5마스크(미도시)를 이용하여 동시에 패터닝함으로써 형성할 수 있다. 제2게이트절연층(115) 및 제2게이트전극(223)은 하나의 마스크를 이용하여 동시에 형성되므로, 실질적으로 동일한 면적을 가질 수 있다.
- [0107] 도 4f를 참조하면, 제1층간절연층(114) 상에 산화물 반도체층(221'), 제2게이트절연층(115), 및 제2게이트전극(223)을 덮도록 제2층간절연층(116)을 형성한 후, 제2게이트전극(223)을 차단수단으로 이용하여 산화물 반도체층(221')에 불순물을 도핑함으로써 제2소스영역(221S) 및 제2드레인영역(221D)을 형성할 수 있다. 즉, 제2소스영역(221S), 제2드레인영역(221D), 및 불순물이 도핑되지 않은 제2채널영역(221C)을 포함하는 제2활성층(221)을 형성할 수 있다.
- [0108] 또한, 제6마스크(미도시)를 이용하여, 제1게이트절연층(112), 제3게이트절연층(113), 제1층간절연층(114) 및 제2층간절연층(116)의 일부를 동시에 제거함으로써 제1활성층(211)의 제1드레인영역(211D)을 노출하는 제1콘택홀(CNT1) 및 적어도 벤딩영역(BA)에 대응되며 버퍼층(111)을 노출하는 제1개구(H1)를 형성할 수 있다.
- [0109] 도 4g를 참조하면, 제7마스크(미도시)를 이용하여 제1개구(H1)를 통해 노출된 버퍼층(111)의 적어도 일부를 제거함으로써 버퍼층(111)에 제2개구(H2)를 형성할 수 있다. 따라서, 제2개구(H2)는 제1개구(H1)와 평면상 중첩되며, 적어도 벤딩영역(BA)에 대응되도록 위치할 수 있다.

- [0110] 도 4h를 참조하면, 제8마스크(미도시)를 이용하여 제1개구(H1) 및 제2개구(H2) 내에 벤딩유기층(301)을 형성할 수 있다. 도 3에서는 벤딩유기층(301)이 제1개구(H1) 및 제2개구(H2)를 모두 채우는 것으로 도시하고 있지만, 이에 한정되진 않는다.
- [0111] 도 4h에서, 벤딩유기층(301)을 형성하기 전 또는 벤딩유기층(301)을 형성한 후, 제1활성층(211)에 어닐링(annealing)을 수행하는 단계를 수행할 수 있다. 어닐링(annealing)은 제1활성층(211)에 열을 가함으로써 제1활성층(211)의 캐리어 이동도(carrier mobility)를 향상시키기 위한 공정이며, 어닐링 수행 중 제1콘택홀(CNT1)을 통해 노출된 제1활성층(211)의 제1드레인영역(211D)의 표면에 산화막(211D0)이 형성될 수 있다. 제1드레인영역(211D)의 표면에 형성된 산화막을 제거하기 위해 어닐링 공정 후에 세정 단계(C)를 더 수행할 수 있다. 이때, 세정액으로서 BOE(buffered oxide etchant)를 사용할 수 있다.
- [0112] BOE는 산화물 반도체를 식각하는 성질을 갖는 바, 도식된 바와 같이 제1콘택홀(CNT1)을 형성하는 공정에서 산화물 반도체를 포함하는 제2활성층(221)은 제2층간절연층(116)에 의해 보호될 수 있다.
- [0113] 도 4i를 참고하면, 제2층간절연층(116) 및 벤딩유기층(301) 상에 제1전극(215)과 제1도전층(310)을 형성한다. 제1전극(215)과 제1도전층(310)은 제2층간절연층(116) 및 벤딩유기층(301) 상에 도전물질을 형성한 후, 이를 제9마스크(미도시)를 이용하여 패터닝함으로써 제1전극(215)과 제1도전층(310)을 동시에 형성할 수 있다. 따라서, 제1전극(215)과 제1도전층(310)은 동일층에 배치되며, 동일 물질을 포함할 수 있다. 예컨대, 제1전극(215)과 제1도전층(310)은 순차적으로 적층된 티타늄(Ti), 알루미늄(Al) 및 티타늄(Ti)의 3중의 층일 수 있다.
- [0114] 일 실시예에 따르면, 도 4h의 세정 단계(C) 이후에 바로 제1콘택홀(CNT1)에 매립되어 제1활성층(211)의 제1드레인영역(211D)과 접하는 제1전극(215)을 형성함으로써 제1드레인영역(211D)이 공기 중에 노출되는 시간을 최소화하고, 이후의 공정들에 의한 영향을 받지 않도록 할 수 있다.
- [0115] 도 4j를 참조하면, 제2층간절연층(116) 상에 제1전극(215)을 덮도록 패시베이션층(117)을 형성할 수 있다. 패시베이션층(117)은 무기물을 포함하며, 적어도 벤딩영역(BA)에는 위치하지 않는다. 즉, 제1도전층(310) 상에는 패시베이션층(117)이 배치되지 않을 수 있다.
- [0116] 패시베이션층(117)은 제2층간절연층(116) 및 벤딩유기층(301) 상에 제1전극(215) 및 제1도전층(310)을 덮도록 절연물질을 도포한 후, 제10마스크(미도시)를 이용하여 패터닝함으로써 형성할 수 있다. 패터닝 시, 적어도 벤딩영역(BA)에 위치하는 절연물질을 제거하고, 제1전극(215)을 노출하는 제5개구(H5)을 형성할 수 있다. 또한, 제2층간절연층(116) 및 제2층간절연층(116)의 하부에 배치된 제2게이트절연층(115)을 동시에 제거함으로써 제2활성층(221)의 제2소스영역(221S) 및 제2드레인영역(221D)을 각각 노출하는 제3개구(H3) 및 제4개구(H4)를 형성할 수 있다.
- [0117] 제2층간절연층(116) 및 패시베이션층(117)을 형성하는 과정에서 포토레지스트(photoresist)를 절연물질 상에 형성한 후, 제거하고자 하는 영역에 대응되는 패턴을 포함하는 제10마스크(미도시)를 이용하여 노광을 수행한 후 현상(developing) 및 스트립(strip) 공정을 수행할 수 있다. 만약, 제1전극(215)을 이전 단계에서 수행하지 않는다면, 다결정 실리콘을 포함하는 제1활성층(211)의 일부에 스트립 공정 시 사용되는 용액이 제1활성층(211)의 제1드레인영역(211D)에 침투하여 제1드레인영역(211D)의 표면이 산화될 수 있다. 그러나, 본 발명의 경우 제1전극(215)이 도 4j 단계 이전에 형성되므로 스트립 공정 시 사용되는 용액이 제1활성층(211)에 침투할 수 없으므로 제1드레인영역(211D)의 표면이 산화되는 것을 방지할 수 있다.
- [0118] 도 2의 표시 장치(1)를 형성하는 경우, 패시베이션층(117)을 형성하는 단계를 수행하지 않으며, 제2층간절연층(116)에 제2활성층(221)의 제2소스영역(221S) 및 제2드레인영역(221D)을 각각 노출하는 개구들을 형성하는 단계만을 수행할 수 있다.
- [0119] 도 4k를 참조하면, 제2층간절연층(116) 상에 패시베이션층 및 제1도전층(310)을 덮도록 제1평탄화층(118)을 형성할 수 있다. 제1평탄화층(118)은 제2층간절연층(116) 상에 패시베이션층 및 제1도전층(310)을 덮도록 유기 절연물질을 형성한 후, 제11마스크(미도시)를 이용하여 제3개구(H3) 및 제4개구(H4)에 각각 중첩하도록 제6개구(H6) 및 제7개구(H7)를 형성하고, 제5개구(H5)에 중첩하도록 제8개구(H8)를 형성함으로써 형성될 수 있다.
- [0120] 서로 중첩하는 제3개구(H3)와 제6개구(H6)는 제2활성층(221)의 제2소스영역(221S)을 노출하는 제2콘택홀(CNT2)을 구성하며, 제4개구(H4) 및 제7개구(H7)는 제2활성층(221)의 제2드레인영역(221D)을 노출하는 제3콘택홀(CNT3)을 구성할 수 있다. 또한, 제5개구(H5) 및 제8개구(H8)는 제1전극(215)을 노출하는 제5콘택홀(CNT5)을 구성할 수 있다. 도 2의 표시 장치(1)의 경우, 제5콘택홀(CNT5)을 형성하는 단계는 수행되지 않을 수 있으며, 제1

도전층(310)을 노출하는 제4콘택홀(CNT4)을 형성하는 단계가 수행될 수 있다.

- [0121] 본 실시예에서는, 패시베이션층(117)은 무기물로 형성되고 제1평탄화층(118)은 유기물로 형성된 경우를 예시하고 있지만, 본 발명은 이에 제한되지 않는다. 즉, 도 2에 도시된 바와 같이 패시베이션층(117)은 생략될 수 있으며, 다른 실시예에서는 패시베이션층(117)이 유기물로 형성되고 제1평탄화층(118)이 무기물로 형성될 수도 있다. 이 경우, 패시베이션층(117)은 벤딩영역(BA)에 위치하고 제1평탄화층(118)은 벤딩영역(BA)에는 위치하지 않을 수 있다.
- [0122] 도 41을 참조하면, 제1평탄화층(118) 상에 제2전극(225S, 225D), 연결전극(217) 및 제2도전층(320)을 형성할 수 있다. 제2전극(225S, 225D), 연결전극(217) 및 제2도전층(320)은 제1평탄화층(118) 상에 도전물질을 형성한 후 제12마스크(미도시)를 이용하여 도전물질을 패터닝함으로써 동시에 형성될 수 있다. 즉, 제2전극(225S, 225D), 연결전극(217) 및 제2도전층(320)은 동일층에 배치되며, 동일물질로 구성될 수 있다. 예컨대, 제2전극(225S, 225D), 연결전극(217) 및 제2도전층(320)은 순차적으로 적층된 티타늄, 알루미늄 및 티타늄을 포함하는 3층의 층으로 구성될 수 있다.
- [0123] 제2전극(225S, 225D)은 제2콘택홀(CNT2)에 매립되어 제2활성층(221)의 제2소스영역(221S)에 접하는 소스전극(225S) 및 제3콘택홀(CNT3)에 매립되어 제2활성층(221)의 제2드레인영역(221D)에 접하는 드레인전극(225D)을 포함할 수 있다. 연결전극(217)은 제5콘택홀(CNT5)에 매립되어 제1전극(215)과 접할 수 있으며, 제2도전층(320)은 도 2에 도시된 바와 같이 제1도전층(310)과 전기적으로 연결될 수 있다. 도 2의 표시 장치(1)의 경우, 연결전극(217)을 형성하는 단계를 수행하지 않을 수 있다.
- [0124] 전술한 것과 같이 도 3에서는 편의상 표시 장치(2)가 벤딩되지 않은 상태로 도시하고 있지만, 본 실시예에 따른 표시 장치는 실제로는 도 1에 도시된 것과 같이 벤딩영역(BA)에서 기관(100) 등이 벤딩된 상태이다. 이를 위해 제조과정에서 도 3에 도시된 것과 같이 기관(100)이 대략 평탄한 상태로 표시 장치(2)를 제조하며, 이후 벤딩영역(BA)에서 기관(100) 등을 벤딩하여 표시 장치(2)가 대략 도 1에 도시된 것과 같은 형상을 갖도록 한다. 이때 기관(100) 등이 벤딩영역(BA)에서 벤딩되는 과정에서 제1도전층(310) 및 제2도전층(320)에는 인장 스트레스가 인가될 수 있지만, 본 실시예에 따른 표시 장치(2)의 경우 그러한 벤딩 과정 중 제1도전층(310) 및 제2도전층(320)에서 불량이 발생하는 것을 방지하거나 최소화할 수 있다.
- [0125] 만일 버퍼층(111), 제1게이트절연층(112), 제3게이트절연층(113), 제1층간절연층(114) 및 제2층간절연층(116)과 같은 무기절연층이 벤딩영역(BA)에서 개구를 갖지 않아 제1영역(1A)에서 제2영역(2A)에 이르기까지 연속적인 형상을 갖고, 제1도전층(310) 및 제2도전층(320)이 그러한 무기절연층 상에 위치한다면, 기관(100) 등이 벤딩되는 과정에서 제1도전층(310) 및 제2도전층(320)에 큰 인장 스트레스가 인가된다. 특히 무기절연층은 그 정도가 유기물을 포함하는 층보다 높기에 벤딩영역(BA)에서 무기절연층에 크랙 등이 발생할 확률이 매우 높으며, 무기절연층에 크랙이 발생할 경우 무기절연층 상의 제1도전층(310) 및 제2도전층(320)에도 크랙 등이 발생하여 제1도전층(310) 및 제2도전층(320)의 단선 등의 불량이 발생할 확률이 매우 높게 된다.
- [0126] 하지만 본 실시예에 따른 표시 장치(2)의 경우 전술한 것과 같이 무기절연층이 벤딩영역(BA)에서 개구를 가지며, 제1도전층(310) 및 제2도전층(320)의 벤딩영역(BA)의 부분은 무기절연층의 개구의 적어도 일부를 채우는 벤딩유기층(301) 상에 위치한다. 벤딩유기층(301)은 그 정도가 무기물층보다 낮기에, 기관(100) 등의 벤딩에 의해 발생하는 인장 스트레스를 벤딩유기층(301)이 흡수하여 제1도전층(215c)에 인장 스트레스가 집중되는 것을 효과적으로 최소화할 수 있다.
- [0127] 도 3에서는 무기절연층이 개구를 갖는 것으로 도시하고 있으나, 본 발명이 이에 한정되는 것은 아니다. 예컨대 무기절연층이 개구가 아닌 그루브를 가질 수도 있다. 예컨대 버퍼층(111)은 도 3에 도시된 것과 달리 제1개구(H1)를 갖지 않고 제1영역(1A)에서 벤딩영역(BA)을 거쳐 제2영역(2A)까지 연장되고, 제1게이트절연층(112), 제3게이트절연층(113), 제1층간절연층(114) 및 제2층간절연층(116)만 제2개구(H2)를 가질 수도 있다. 이 경우에도 무기물을 포함하는 제1게이트절연층(112), 제3게이트절연층(113), 제1층간절연층(114) 및 제2층간절연층(116)을 통칭하여 무기절연층이라 할 수 있는데, 이 경우 무기절연층은 벤딩영역(BA)에 대응하는 그루브를 갖는 것으로 이해될 수 있다. 그리고 벤딩유기층(301)은 그러한 그루브의 적어도 일부를 채울 수 있다.
- [0128] 이와 같은 경우, 무기절연층이 벤딩영역(BA)에서 그루브를 가짐에 따라 결과적으로 벤딩영역(BA)에서의 무기절연층의 두께가 얇아져, 기관(100) 등이 벤딩될 시 벤딩이 원활하게 이루어지도록 할 수 있다. 아울러 벤딩유기층(301)이 벤딩영역(BA)에 존재하고 이러한 벤딩유기층(301) 상에 제1도전층(310)이 위치하기에, 제1도전층(310)이 벤딩에 의해 손상되는 것을 효과적으로 방지할 수 있다. 또한, 제1도전층(310)이 단선되는 경우를 대비

하여, 벤딩영역(BA)에 제2도전층(320)을 더 형성할 수 있으며, 이 경우 제1도전층(310)과 제2도전층(320) 사이에는 유기물을 포함하는 제1평탄화층(118)만이 배치되도록 구성할 수 있다.

- [0129] 도 4m을 참조하면, 제1평탄화층(118) 상에 제2전극(221S, 221D), 연결전극(217) 및 제2도전층(320)을 덮도록 제2평탄화층(119)을 형성할 수 있다. 제2평탄화층(119)은 제1평탄화층(118) 상에 제2전극(221S, 221D), 연결전극(217) 및 제2도전층(320)을 덮도록 유기물질을 형성한 후, 이를 제13마스크(미도시)를 이용하여 패터닝함으로써 연결전극(217)을 노출하는 비아홀(VIA)을 형성함으로써 형성될 수 있다.
- [0130] 도 4n을 참조하면, 제2평탄화층(119) 상의 표시영역(DA)에 제14마스크(미도시)를 이용하여 화소전극(410)을 형성한 후, 제15마스크(미도시)를 이용하여 화소전극(410)의 일부를 노출하는 개구를 포함하는 화소정의막(120)을 형성할 수 있다.
- [0131] 화소전극(410)은 비아홀(VIA)에 매립되어 연결전극(217)과 접할 수 있다. 그러나, 본 발명은 이에 한정되지 않으며, 연결전극(217)과 화소전극(410)이 연결되는 영역은 제1박막 트랜지스터(210)의 바로 상부 영역이 아닐 수 있다. 전술한 바와 같이, 제1박막 트랜지스터(210)와 화소전극(410)은 다른 박막 트랜지스터를 공유하여 연결될 수도 있으며, 연결전극(217)은 다른 박막 트랜지스터에 인접한 영역에 배치될 수도 있다.
- [0132] 다시 도 3을 참조하면, 화소전극(410) 상에 유기발광층을 포함하는 중간층(420)을 형성하고, 중간층(420) 상에 대향전극(430)을 형성함으로써 표시영역(DA)에 표시소자(400)를 형성할 수 있다.
- [0133] 일 실시예의 표시 장치(2)이 제조 방법에 따르면, 제1전극(215)과 제1도전층(310)을 하나의 마스크를 이용하여 동시에 형성하고 제2전극(225S, 225D), 연결 전극(227) 및 제2도전층(320)을 하나의 마스크를 이용하여 동시에 형성함으로써, 마스크 수를 최소화하면서 벤딩영역(BA)에 이중배선을 형성할 수 있다.
- [0134] 또한, 도 4i와 같이 제1전극(215)을 형성하여 제1활성층(211)의 제1드레인영역(211D)을 완전히 덮은 상태에서, 도 4j와 같이 제2활성층(221)의 제2소스영역(221S) 및 제2드레인영역(221D) 각각을 노출시키기 위한 패터닝 공정을 수행함으로써 제1드레인영역(211D)이 도 4j의 패터닝 공정 중 산화되는 문제를 방지할 수 있다. 즉, 제1드레인영역(211D)의 표면이 산화되어, 제1드레인영역(211D)과 제1전극(215) 사이의 접촉 저항이 증가하는 문제를 방지할 수 있다.
- [0135] 도 5는 본 발명의 일 실시예와 비교예 각각에서, 제1드레인영역과 제1전극 사이의 접촉 저항을 나타낸 그래프이다.
- [0136] 일 실시예는 도 4i와 같이 제1전극(215)을 형성하여 제1활성층(211)의 제1드레인영역(211D)을 완전히 덮은 상태에서, 도 4j와 같이 제2활성층(221)의 제2소스영역(221S) 및 제2드레인영역(221D) 각각을 노출시키기 위한 패터닝 공정을 수행한 경우이며, 비교예는 제1전극(215)을 형성하지 않아 제1활성층(211)의 제1드레인영역(211D)이 노출된 상태에서 도 4j의 단계를 수행한 경우를 나타낸다.
- [0137] 가로축은 제1드레인영역(211D)의 측정위치를 나타내며, 세로축은 접촉 저항값을 나타낸다. 비교예의 경우, 도 4j의 단계에서 사용되는 스트립에 사용되는 용액에 의해 제1드레인영역(211D)의 표면이 산화되어 접촉 저항이 증가하며, 도 5의 그래프로부터 이러한 접촉 저항 증가 현상을 확인할 수 있다.
- [0138] 도 6은 본 발명의 다른 실시예에 따른 표시 장치를 개략적으로 나타낸 단면도이다. 도 6의 표시 장치(3)는 도 3의 표시 장치(2)와 몇몇 차이점을 제외하고 동일하며, 이하에서는 도 3의 표시 장치(2)와의 차이점에 대해서만 설명한다.
- [0139] 기관(100) 상에는 버퍼층(111)이 배치되며, 버퍼층(111)은 제1하부버퍼층(111a) 및 제1상부버퍼층(111b)의 이중층으로 구성될 수 있다. 제1하부버퍼층(111a) 및 제1상부버퍼층(111b)은 각각 실리콘옥사이드, 실리콘나이트라이드 및/또는 실리콘옥시나이트라이드 등의 무기물을 포함할 수 있다.
- [0140] 기관(100)의 하부에는 하부기관(200)이 배치되며, 기관(100)과 하부기관(200)의 사이에는 배리어층(201)이 배치될 수 있다. 하부기관(200)은 기관(100)과 동일한 물질을 포함할 수 있다.
- [0141] 상기 기관(100) 및 하부기관(200)은 벤딩이 용이한 플렉서블 기관일 수 있으며, 폴리에테르술폰(polyethersulphone, PES), 폴리아크릴레이트(polyacrylate, PAR), 폴리에테르 이미드(polyetherimide, PEI), 폴리에틸렌 나프탈레이트(polyethylenen naphthalate, PEN), 폴리에틸렌 테레프탈레이트(polyethyleneterephthalate, PET), 폴리페닐렌 설파이드(polyphenylene sulfide, PPS), 폴리아릴레이트(polyallylate), 폴리이미드(polyimide, PI), 폴리카보네이트(polycarbonate, PC) 또는 셀룰로오스 아세테이트

프로피오네이트(cellulose acetate propionate, CAP)와 같은 고분자 수지를 포함할 수 있다. 일 실시예에 따르면, 기관(100) 및 하부기관(200)은 벤더블 특성이 우수한 폴리이미드(P1)로 구성될 수 있으며, 수 내지 수십 마이크로미터(μm)의 두께를 가질 수 있다.

- [0142] 하부기관(200)의 하부에는 지지기관(300)이 배치된다. 지지기관(300)은 기관(100)의 제1영역(1A)의 하부에 배치된 영역 및 기관(100)의 제2영역(2A)에 배치된 영역을 포함하며, 이들 두 영역은 서로 완전히 분리되도록 배치될 수 있다. 즉, 벤딩영역(BA)에는 지지기관(300)이 배치되지 않을 수 있다. 일 실시예에 따르면, 지지기관(300)은 벤딩영역(BA) 이외에 제1영역(1A)의 일부 및 제2영역(2A)의 일부에도 배치되지 않을 수 있다. 지지기관(300)의 서로 분리된 두 영역 사이의 거리는 벤딩영역(BA)의 너비보다 클 수 있다.
- [0143] 상기 지지기관(300)은 기관(100) 및 하부기관(200)에 비하여 큰 강도(stiffness)를 가지며, 예컨대 폴리에테르술폰(polyethersulphone, PES), 폴리아크릴레이트(polyacrylate, PAR), 폴리에테르 이미드(polyetherimide, PEI), 폴리에틸렌 나프탈레이트(polyethylenen naphthalate, PEN), 폴리에틸렌 테레프탈레이트(polyethyleneterephthalate, PET), 폴리페닐렌 설파이드(polyphenylene sulfide, PPS), 폴리아릴레이트(polyallylate), 폴리이미드(polyimide, PI), 폴리카보네이트(polycarbonate, PC) 또는 셀룰로오스 아세테이트 프로피오네이트(cellulose acetate propionate, CAP)와 같은 고분자 수지를 포함할 수 있다. 일 실시예에 따르면, 지지기관(300)은 폴리에틸렌 나프탈레이트로 구성될 수 있으며, 폴리이미드(PI)로 구성된 기관(100) 및 하부기관(200)보다 큰 두께를 가질 수 있다.
- [0144] 지지기관(300)과 하부기관(200)의 사이에는 접촉층(303)이 배치될 수 있다. 지지기관(300)은 하부기관(200) 및 기관(100) 상에 표시소자(400) 등을 형성한 후 후속 공정을 통해 하부기관(200)의 배면에 형성되는 구성 요소로서, 예컨대, 접촉층(303)을 이용하여 하부기관(200)의 배면에 지지기관(300)을 부착할 수 있다.
- [0145] 일 실시예에 따르면, 높은 가요성(flexibility)을 갖는 기관(100) 및 하부기관(200)의 하부에 지지기관(300)을 배치함으로써 표시 장치(3)를 강건하게 만들고 지지기관(300)이 벤딩영역(BA)에는 배치되지 않도록 함으로써 표시 장치(3)의 가요성을 감소시키지 않을 수 있다.
- [0146] 도 7은 본 발명의 다른 실시예에 따른 표시 장치를 개략적으로 나타낸 단면도이다.
- [0147] 도 7의 표시 장치(4)는 도 2의 표시 장치(1)의 표시영역(DA)의 구성과 실질적으로 동일하며, 다만, 기관(100)이 벤딩영역(BA)을 포함하지 않을 수 있다.
- [0148] 상기 기관(100)은 플렉서블 기관 또는 유리 등으로 구성되며 가요성이 없는 기관일 수 있으며, 기관(100) 상에는 다결정 실리콘을 포함하는 제1활성층(211), 제1게이트전극(213) 및 제1전극(215)을 포함하는 제1박막 트랜지스터(210) 및 산화물 반도체를 포함하는 제2활성층(221), 제2게이트전극(223) 및 제2전극(225S, 225D)를 포함하는 제2박막 트랜지스터(220)를 포함할 수 있다.
- [0149] 상기 제1전극(215)과 제2전극(225S, 225D)는 서로 다른 층에 배치되며, 제2활성층(221)은 제1게이트전극(213)의 상부층에 배치될 수 있다.
- [0150] 전술하였듯이, 제1박막 트랜지스터(210)는 구동 박막 트랜지스터일 수 있으며, 고해상도의 표시 장치(4)를 구현하기 위해 신뢰성이 높은 다결정 실리콘을 포함하는 제1활성층(211)을 포함할 수 있다. 제2박막 트랜지스터(220)는 구동 박막 트랜지스터 이외의 다른 기능을 하는 박막 트랜지스터일 수 있으며, 소비 전력을 감소시키기 위해 누설 전류가 작은 산화물 반도체를 포함하는 제2활성층(221)을 포함할 수 있다.
- [0151] 도 7의 표시 장치(4)에 포함된 구성 요소들에 대해서는 도 2의 표시 장치(1)에 대한 설명에서 상세히 설명하였으므로, 상기 구성 요소들에 대한 자세한 설명은 생략한다.
- [0152] 상술한 실시예들에 따른 표시 장치(1, 2, 3, 4)는 표시소자(400)를 구동하는 구동 회로가 다결정 실리콘로 구성된 제1활성층(211)을 포함하는 제1박막 트랜지스터(210) 및 산화물 반도체로 구성된 제2활성층(221)을 포함하는 제2박막 트랜지스터(220)를 포함하며, 이러한 구성을 통해 고해상도 표시 장치(1, 2, 3, 4)를 구현하면서도 소비 전력을 감소시킬 수 있다.
- [0153] 표시 장치(1, 2, 3, 4)의 제조 방법에 따르면, 제1활성층(211)의 제1드레인영역(211D)을 제1전극(215)과 접촉시키는 공정을 먼저 수행한 후, 제2활성층(221)의 일부를 노출하는 패터닝 공정을 수행함으로써 상기 패터닝 공정 중에 발생할 수 있는 제1드레인영역(211D) 표면의 산화로 인한 제1드레인영역(211D)과 제1전극(215) 사이의 접촉 저항의 증가를 방지할 수 있다.

[0154] 또한, 표시 장치(1, 2, 3)의 제조 방법에 따르면, 벤딩영역(BA)에 배치되며 서로 다른 층에 배치된 제1도전층(310) 및 제2도전층(320)을 각각 제1박막 트랜지스터(210)의 제1전극(215)와 제2박막 트랜지스터(220)의 제2전극(225)과 동일 마스크 공정을 통해 형성함으로써, 제조 공정 중 사용되는 마스크의 수를 절감할 수 있다.

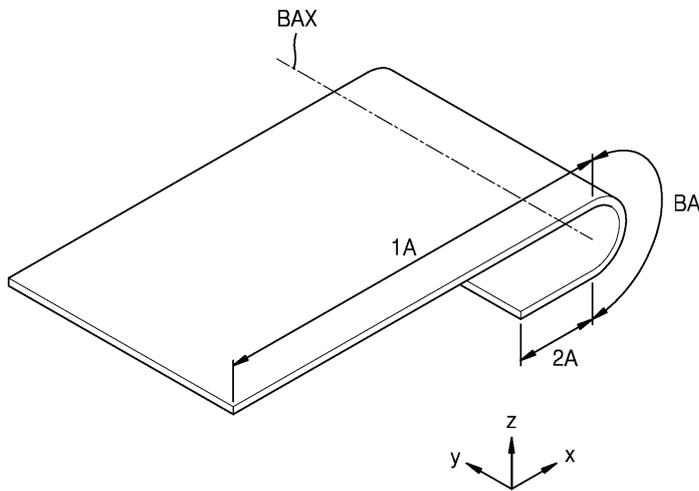
[0155] 이와 같이 본 발명은 도면에 도시된 실시예를 참고로 설명되었으나 이는 예시적인 것에 불과하며, 당해 기술분야에서 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 다른 실시예가 가능하다는 점을 이해할 것이다. 따라서 본 발명의 진정한 기술적 보호 범위는 첨부된 청구범위의 기술적 사상에 의하여 정해져야 할 것이다.

부호의 설명

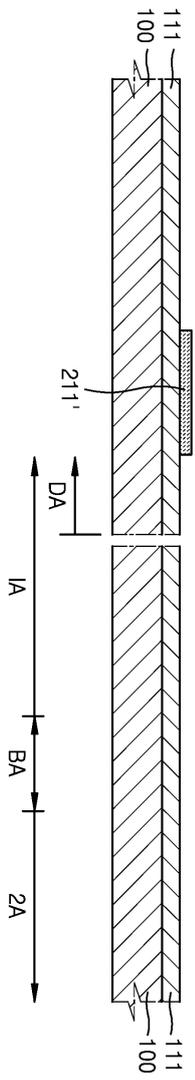
- [0156] 1, 2, 3, 4: 표시 장치 210: 제1박막 트랜지스터
 211: 제1활성층 213: 제1게이트전극
 215: 제1전극 217: 연결 전극
 220: 제2박막 트랜지스터 221: 제2활성층
 223: 제2게이트전극 225S: 제2소스전극
 225D: 제2드레인전극 301: 벤딩유기층
 310: 제1도전층 320: 제2도전층
 400: 표시소자

도면

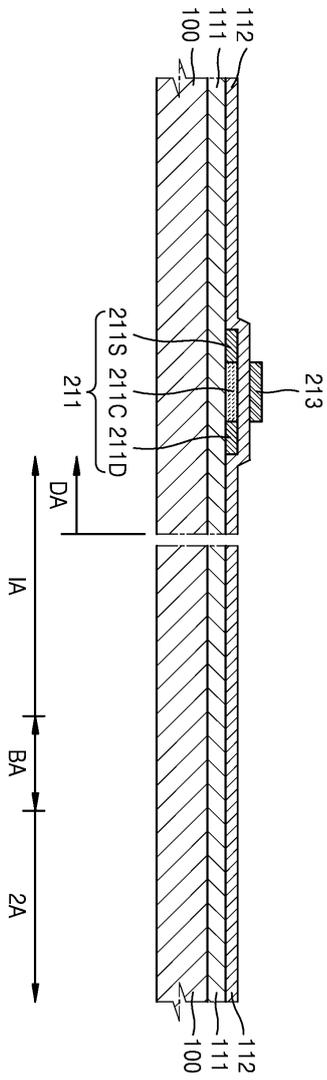
도면1



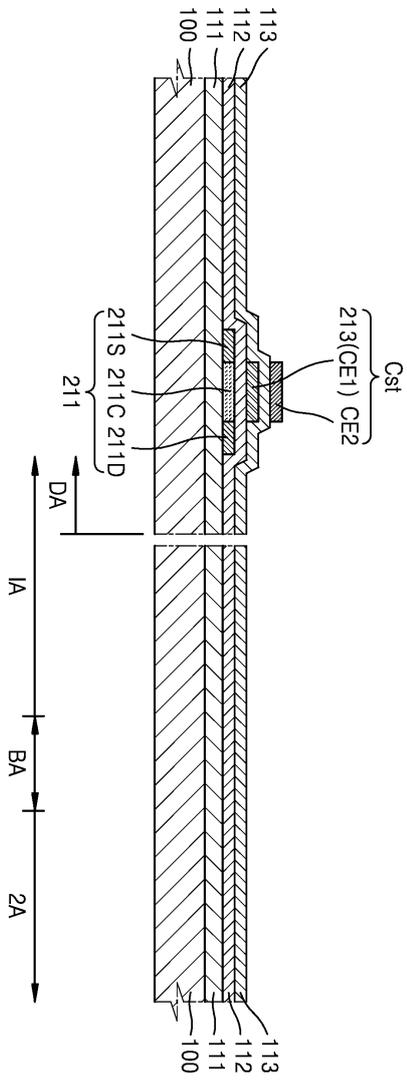
도면4a



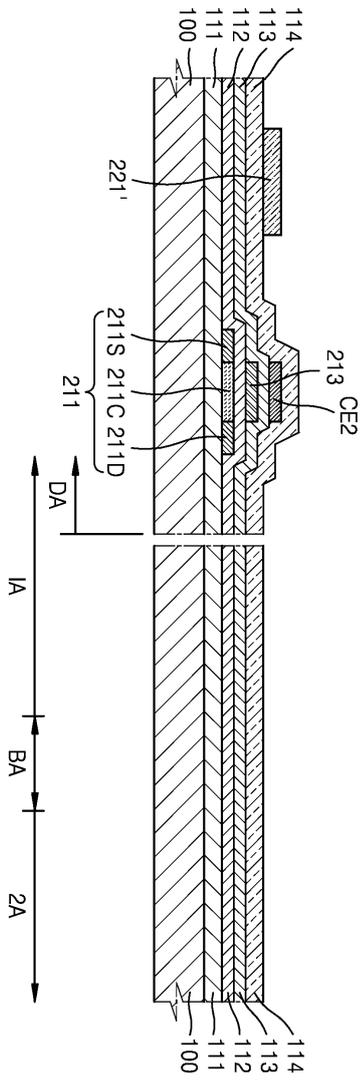
도면4b



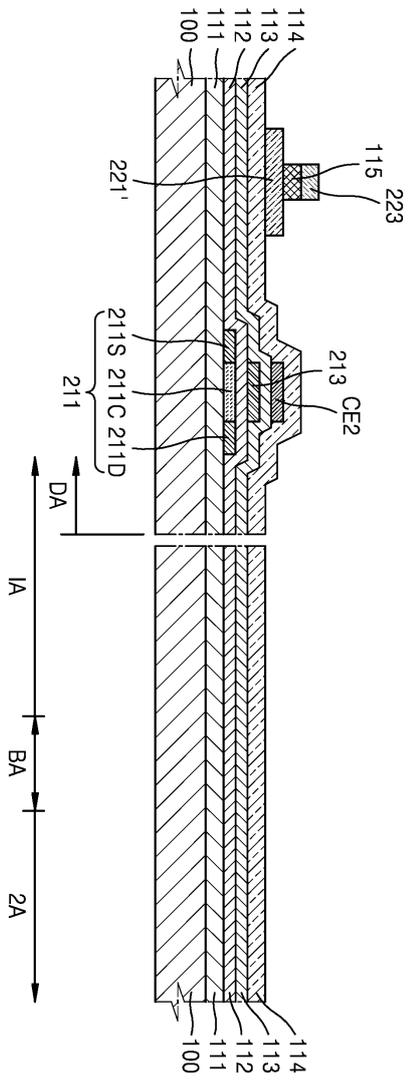
도면4c



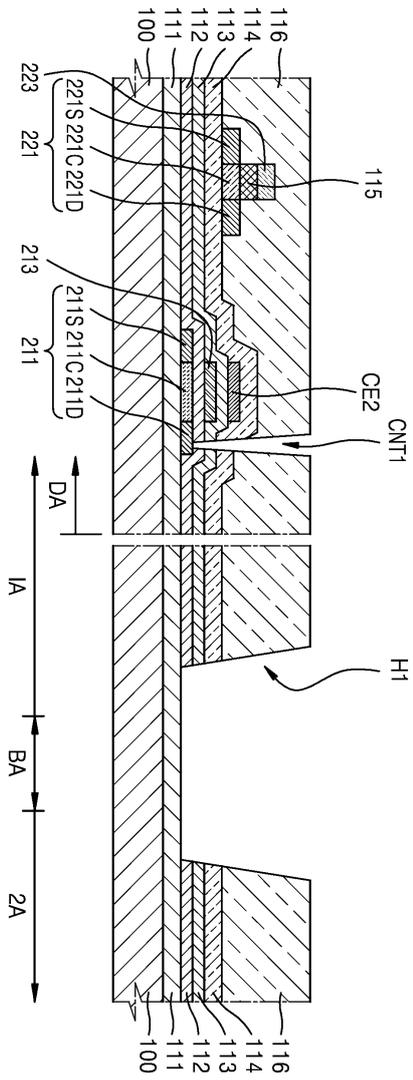
도면4d



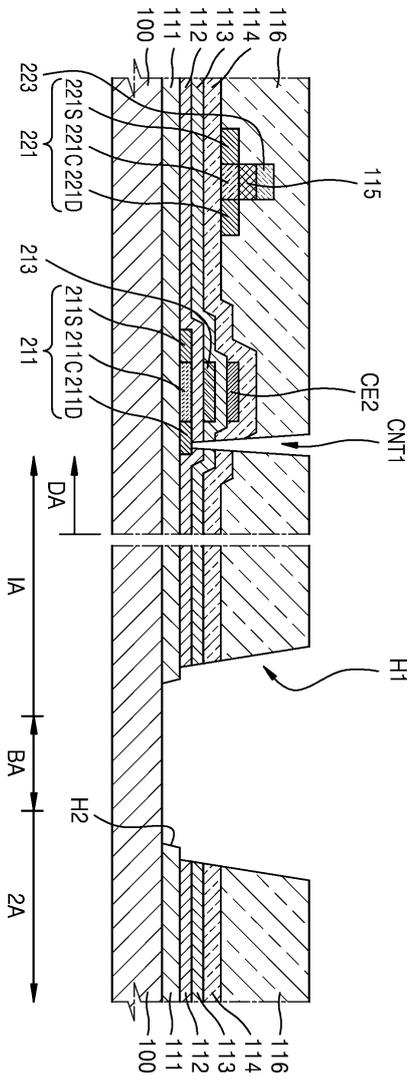
도면4e



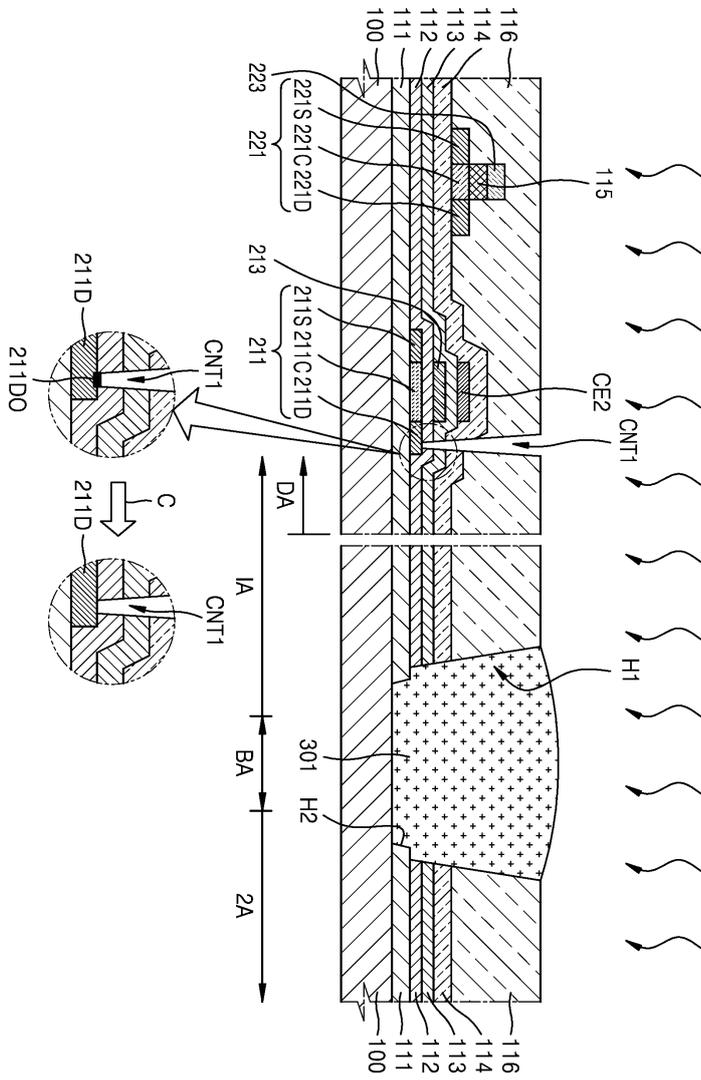
도면4f



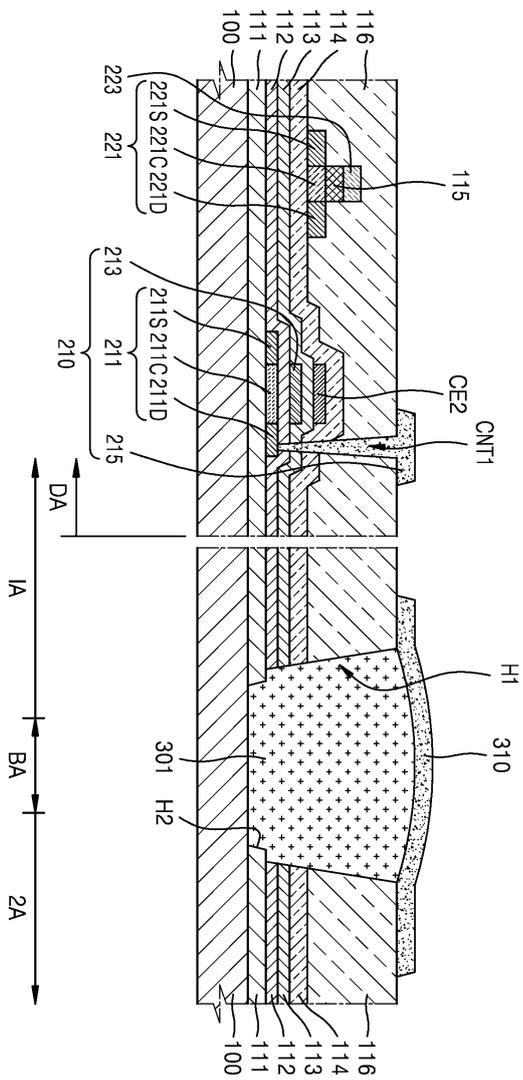
도면4g



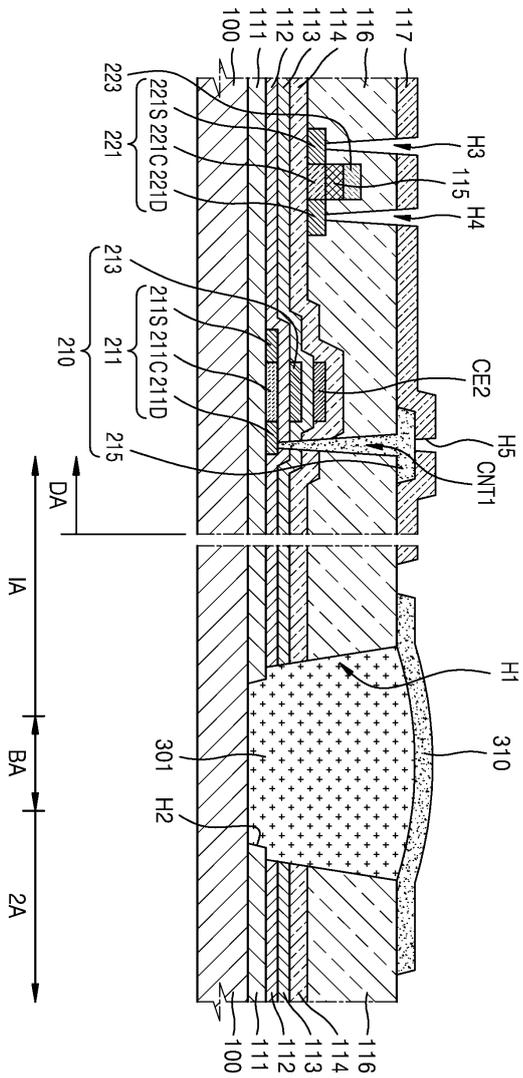
도면4h



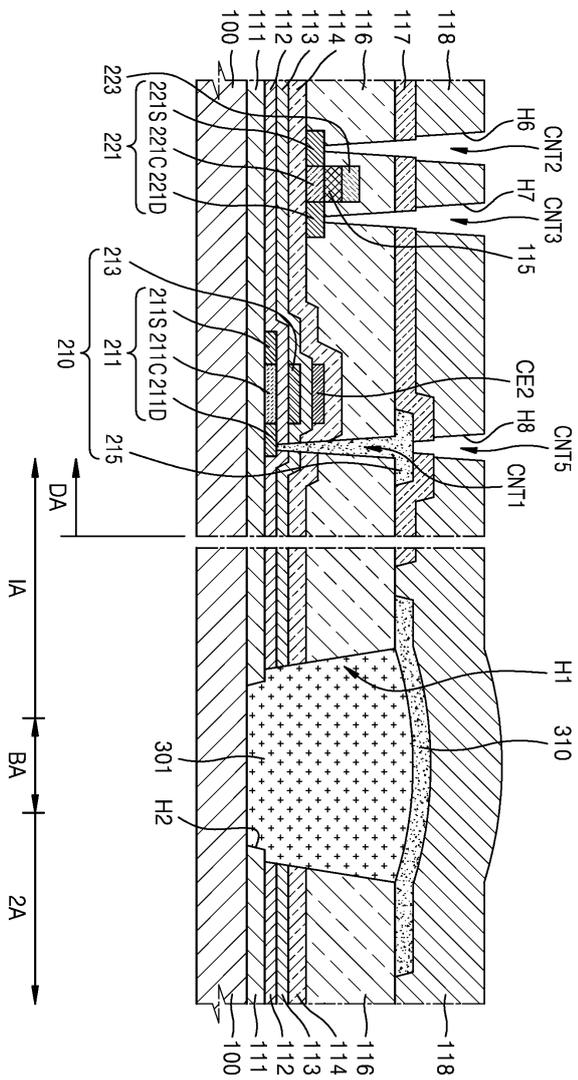
도면4i



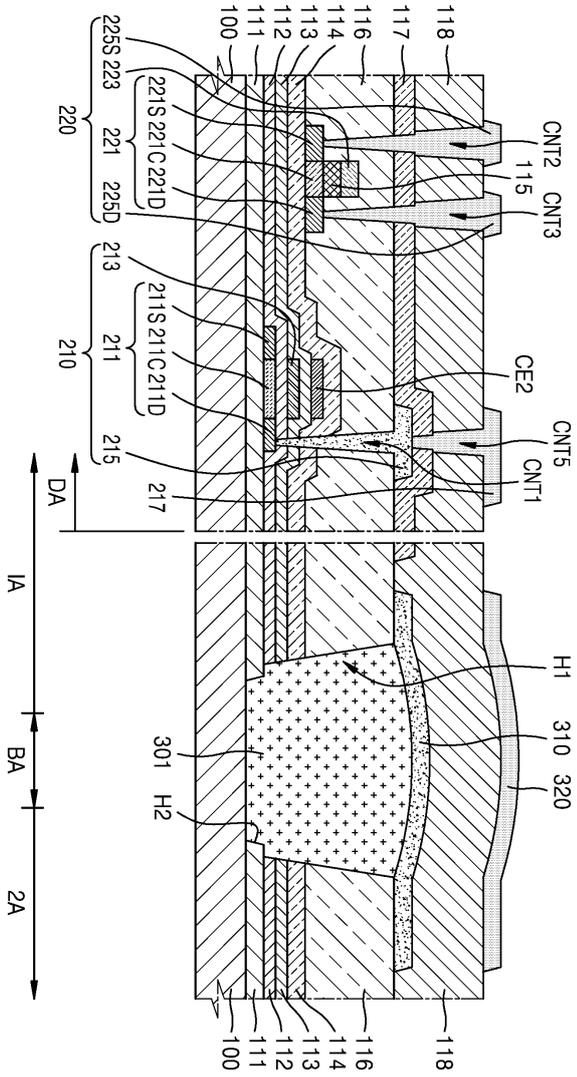
도면4j



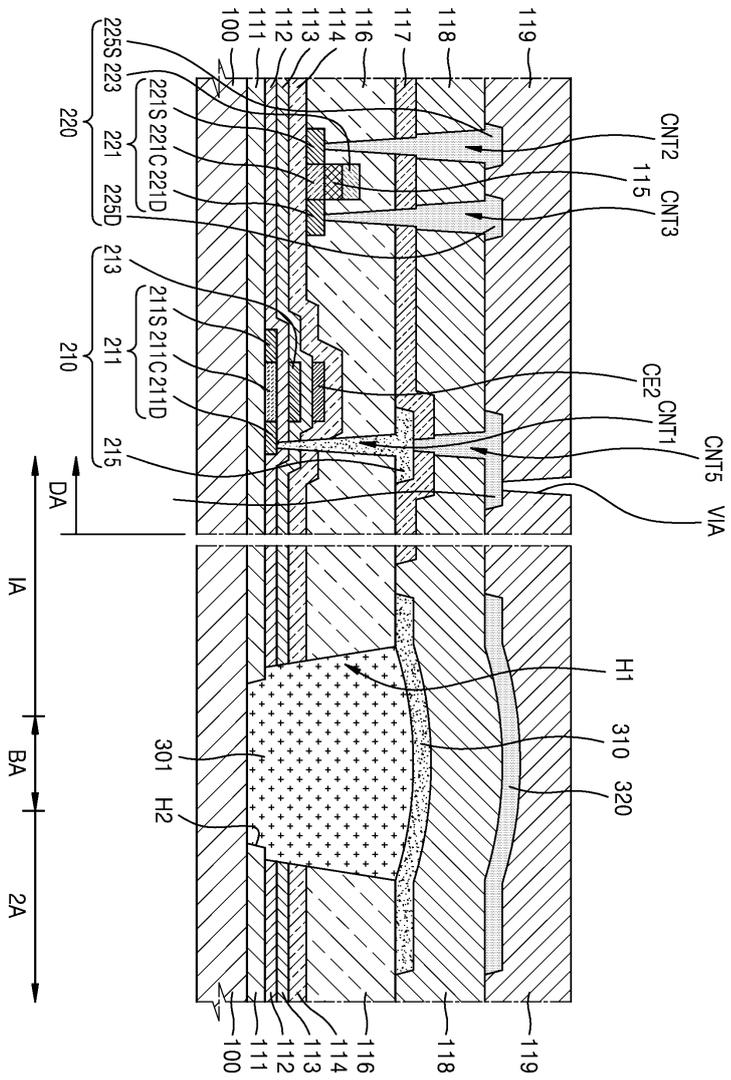
도면4k



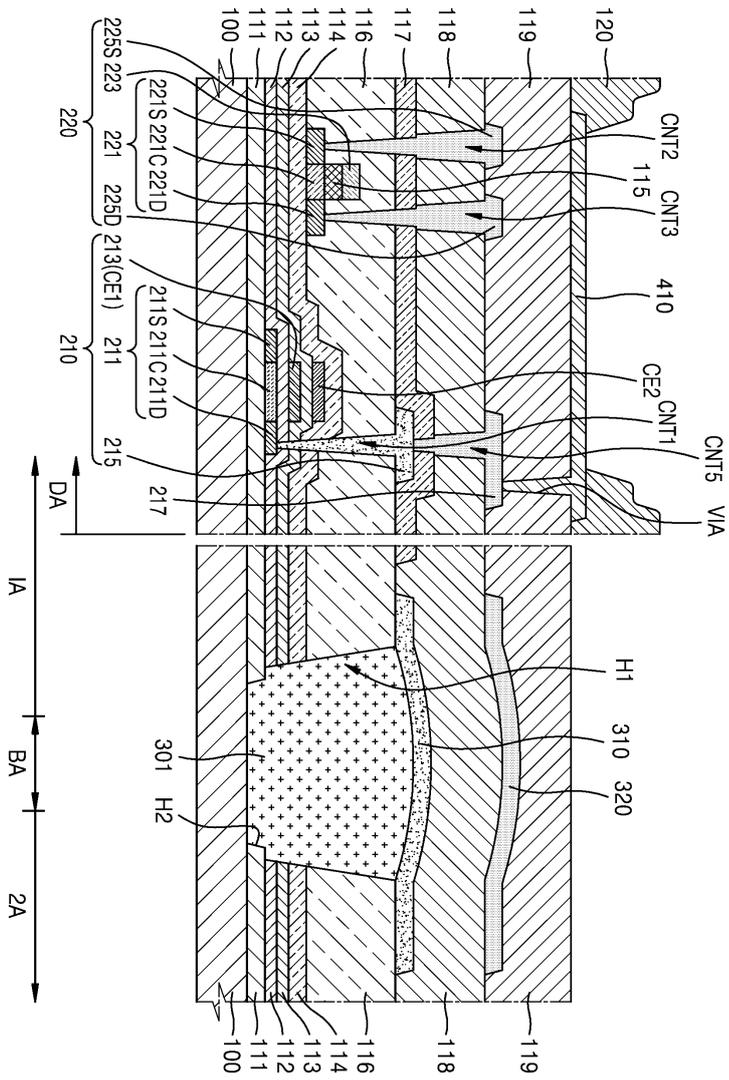
도면41



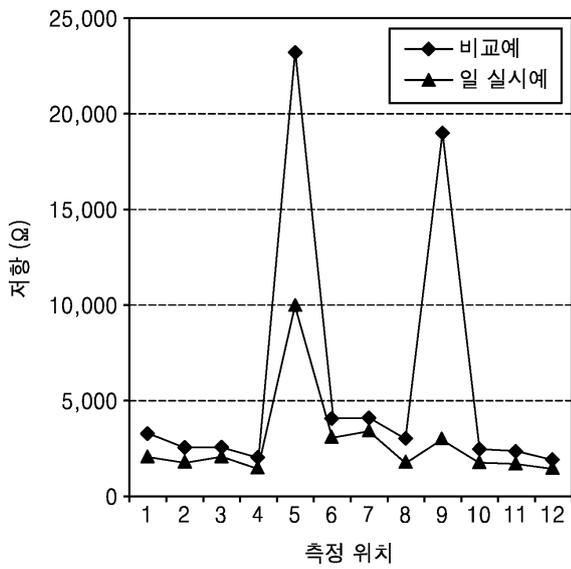
도면4m



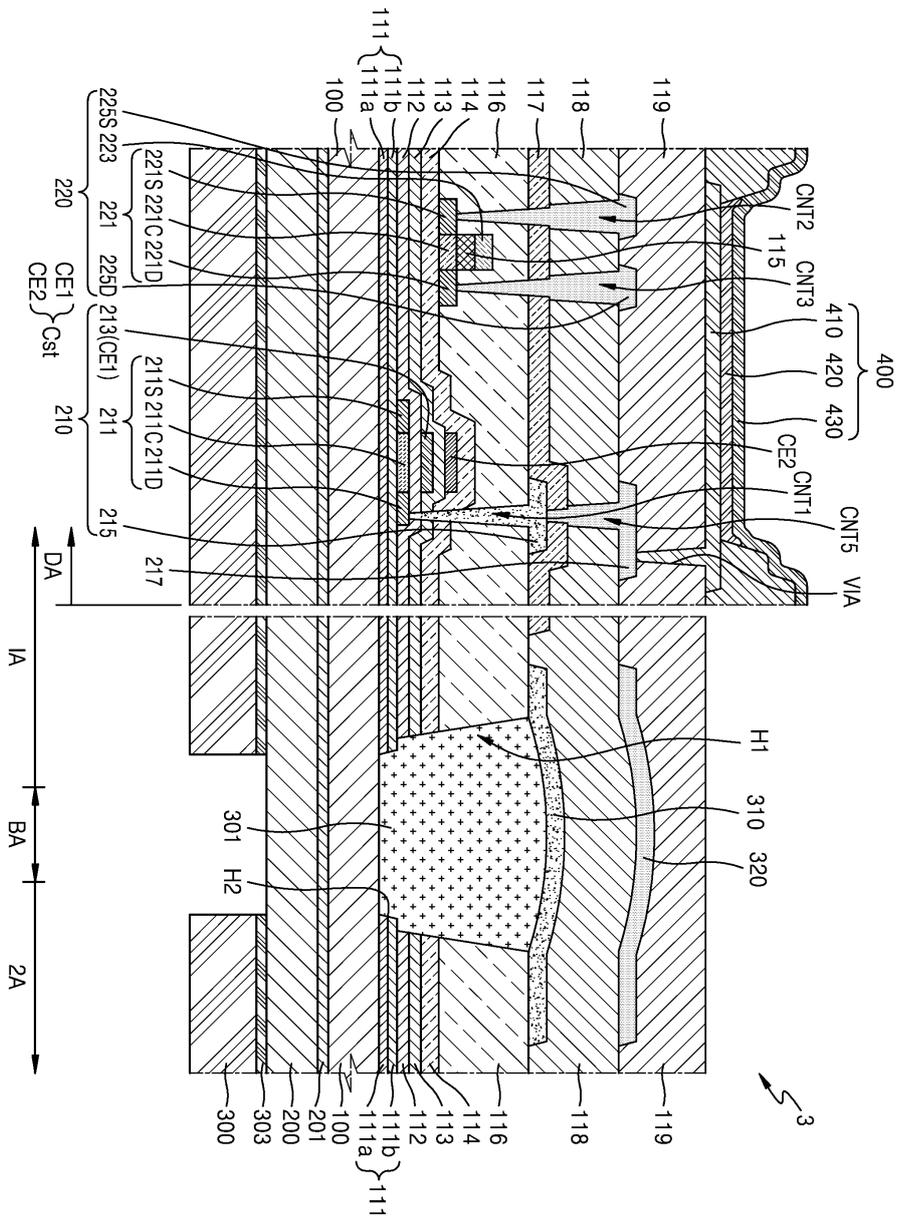
도면4n



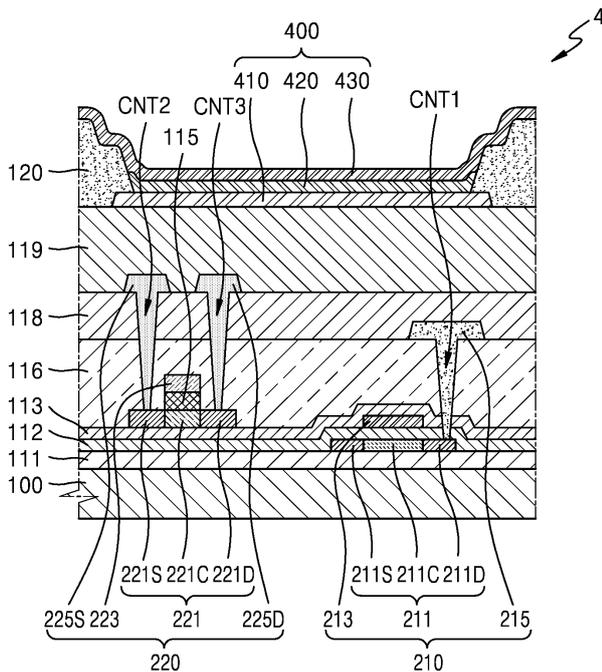
도면5



도면6



도면7



【심사관 직권보정사항】

【직권보정 1】

【보정항목】 청구범위

【보정세부항목】 청구항 12

【변경전】

표시 영역을 포함하는 기관;

상기 기관의 상기 표시 영역 상에 배치되며, 다결정 실리콘을 포함하는 제1활성층, 상기 제1활성층과 절연된 제1게이트전극, 및 상기 제1활성층과 연결된 제1전극을 포함하는 제1박막 트랜지스터;

상기 기관의 상기 표시 영역 상에 배치되며, 산화물 반도체를 포함하는 제2활성층, 상기 제2활성층과 절연된 제2게이트전극, 및 상기 제2활성층과 연결된 제2전극을 포함하는 제2박막 트랜지스터;

상기 제1게이트전극과 상기 제2활성층 사이에 배치된 제1층간절연층;

상기 제2게이트전극과 상기 제1전극 사이에 배치된 제2층간절연층; 및

상기 제1전극과 상기 제2전극 사이에 배치된 평탄화층을 포함하며,

상기 제1전극은 상기 제2층간절연막 상에 배치되며, 상기 제1층간절연층 및 상기 제2층간절연층을 관통하는 콘택홀에 매립되어 상기 제1활성층과 접하고,

상기 제2전극은 상기 제1평탄화층 상에 배치되며, 상기 제2층간절연층 및 상기 제1평탄화층을 관통하는 개구에 매립되어 상기 제2활성층과 접하는, 표시 장치.

【변경후】

표시 영역을 포함하는 기관;

상기 기관의 상기 표시 영역 상에 배치되며, 다결정 실리콘을 포함하는 제1활성층, 상기 제1활성층과 절연된 제1게이트전극, 및 상기 제1활성층과 연결된 제1전극을 포함하는 제1박막 트랜지스터;

상기 기관의 상기 표시 영역 상에 배치되며, 산화물 반도체를 포함하는 제2활성층, 상기 제2활성층과 절연된 제2게이트전극, 및 상기 제2활성층과 연결된 제2전극을 포함하는 제2박막 트랜지스터;

상기 제1게이트전극과 상기 제2활성층 사이에 배치된 제1층간절연층;

상기 제2게이트전극과 상기 제1전극 사이에 배치된 제2층간절연층; 및

상기 제1전극과 상기 제2전극 사이에 배치된 평탄화층을 포함하며,

상기 제1전극은 상기 제2층간절연층 상에 배치되며, 상기 제1층간절연층 및 상기 제2층간절연층을 관통하는 콘택홀에 매립되어 상기 제1활성층과 접하고,

상기 제2전극은 상기 평탄화층 상에 배치되며, 상기 제2층간절연층 및 상기 평탄화층을 관통하는 개구에 매립되어 상기 제2활성층과 접하는, 표시 장치.