

(19) 대한민국특허청(KR)  
(12) 특허공보(B1)

(51) Int. Cl.<sup>5</sup>  
H01L 29/784  
H01L 21/336

(45) 공고일자 1994년07월25일  
(11) 공고번호 특1994-0006702

(21) 출원번호	특 1991-0009872	(65) 공개번호	특 1993-0001477
(22) 출원일자	1991년06월14일	(43) 공개일자	1993년01월16일
(71) 출원인	금성일렉트론 주식회사 문정환 충청북도 청주시 향정동 50번지		

(72) 발명자 강대관  
경기도 군포시 산본동 주공아파트 216-507  
(74) 대리인 김용인, 심창섭

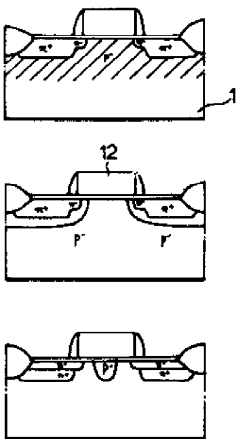
심사관 : 김정국 (책자공보 제3694호)

(54) 모스패트의 제조방법

요약

내용 없음.

대표도



명세서

[발명의 명칭]

모스패트의 제조방법

[도면의 간단한 설명]

제 1 도는 종래 모스패트의 이온주입방법을 나타낸 단면도.

제 2 도는 본 발명 모스패트의 공정단면도.

제 3 도는 본 발명에 따른 이온주입시의 도핑농도를 나타낸 도면.

\* 도면의 주요부분에 대한 부호의 설명

- |             |            |
|-------------|------------|
| 1 : 기판      | 2 : 필드산화막  |
| 3 : 패드산화막   | 4 : 질화막    |
| 5 : 산화막     | 6 : P/R    |
| 7,9 : 폴리실리콘 | 8 : 게이트산화막 |
| 10 : 측벽     | 11 : 메탈    |

[발명의 상세한 설명]

본 발명은 모스패트의 제조방법에 관한 것으로, 특히 서브 마이크론급 모스패트에 적당하도록 한 것이다. 종래의 모스패트 제조과정중 임계전압조절이나 펀치쓰로우(Punch Through)방지를 위한 이온주입 방법은 제1(a)도에 도시된 바와 같이 기판(1)의 액티브영역 전면에 저농도 P형 불순물이온을 주입하는 것이 있고, 제1(b)도에 도시된 바와 같이 게이트(12)에치 후 펀치쓰로우방지를 위한 이온주입을 실시하여 LDD(Lightly Dopes Drain)구조를 이루는 고농도 n형과 저농도 n형 불순물확산영역 일부에만 저농도 p형 불순물이온이 형성되게 하는 것이 있으며, 제1(c)도와 같이 채널이 형성되는 게이트의 아래에만 저농도 p형 불순물이온을 주입하는 것이 있다.

그러나 상기에서 제1(a)도와 같은 경우는 저농도 p형 불순물이온이 주입되는 영역이 넓어 정션 커패시턴스가 크며 모빌리티(Mobility)도 감소하게 된다.

그리고 제1(b)도와 같은 경우 또한 정션 커패시터가 크고 벌크(Bulk) 펀치쓰로우 방지가 어려운 결점이 있으며, 제1(c)도와 같은 경우는 모빌리티의 감소가 큰 결점이 있다.

본 발명은 이와 같은 종래의 결점을 해결하기 위한 것으로 벌크 펀치쓰로우(Bulk Punch Through)를 방지하고 정션 커패시턴스를 줄임과 아울러 모빌리티를 증가시킬 수 있는 모스패트의 제조방법을 제공하는데 그 목적이 있다.

이하에서 이와 같은 목적을 달성하기 위한 본 발명의 실시예를 첨부된 도면 제2도에 의해 상세히 설명하면 다음과 같다.

먼저 (a)와 같이 P형 기판(1)에 필드산화막(2)을 형성하여 액티브영역과 필드영역을 정의하고, (b)와 같이 패드산화막(3)과 질화막(4) 그리고 산화막(5)을 차례로 형성한 후 P/R(6)을 사용하여 게이트 전극 형성영역의 상기 산화막(5)을 식각하고 P/R(6)을 제거한다.

그리고 (c)와 같이 폴리실리콘(7)을 증착한 후 에치하여 산화막(5) 측면에 폴리실리콘(7) 측벽을 형성하고, (d)와 같이 상기 측벽을 이용하여 질화막(4)을 에치하고 폴리실리콘(7) 측벽을 제거한 후 펀치쓰로우(Punch Through) 이온을 주입한다.

다음에 (e)와 같이 산화막(5)이 덮이지 않은 부분의 질화막(4)을 식각하여 제거하는 데 이때 패드산화막(3)도 동시에 제거한다.

이어서 패드산화막(3)이 제거된 부분에 게이트 산화막(8)을 형성하고 폴리실리콘(9)을 증착한 후 산화막(5) 부분까지 상기 폴리실리콘(9)을 에치백하여, 게이트전극을 형성하고, 다음에 상기 산화막(5)과 질화막(4)을 제거하여 (f)와 같이 폴리실리콘(9)이 남게 한다.

또한, 이후 공정은 (g)와 같이 통상의 공정에 의해 게이트 전극을 마스크로 하여 저농도 n형 이온주입한후, 측벽(10)을 형성하고, 고농도 n형 이온주입하여 LDD구조를 갖는 소오스 및 드레인영역을 형성한 다음 메탈(11)을 증착하므로 소자를 완성시킨다.

제3도 (a),(b)는 제2(d)도의 구조에서 펀치쓰로우 이온주입시의 도핑농도를 나타낸 것으로, 소오스/드레인이 가까운 게이트쪽은 농도피크가 표면에 있게 되고 중앙부분은 피크가 표면에서 안쪽에 존재하게 된다.

따라서, 제3(b)도에서 a부분이 임계전압조절 및 펀치쓰로우방지를 하게 되며, b부분이 벌크 펀치쓰로우를 방지하게 된다.

이상에서 설명한 바와 같은 본 발명은 채널이온주입부분을 측벽을 이용하여 마스크층을 남기는 부분과 제거하는 부분으로 구분하여 게이트 에치쪽의 P형 농도는 표면이 피크가 되도록 함과 아울러 중앙부분은 농도의 피크가 벌크쪽에서 존재하도록 하므로 벌크 펀치쓰로우를 방지하면서 정션 커패시턴스를 줄이고 모빌리티를 증가시킬 수 있는 장점이 있다.

**(57) 청구의 범위**

**청구항 1**

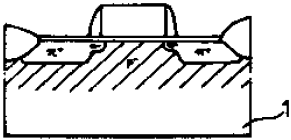
P형 기판(1)에 액티브영역과 필드영역을 한정하는 공정과, 상기 전표면에 패드산화막(3), 질화막(4), 산화막(5)을 차례로 증착하고 게이트 전극이 형성될 부분의 상기 산화막(5)을 선택적으로 제거하는 공정과, 폴리실리콘(7)을 증착한 후 에치하여 산화막(5) 측면에 폴리실리콘 측벽을 형성하고 상기 측벽을 이용하여 질화막(4)을 선택적으로 제거한 다음 상기 폴리실리콘 측벽을 제거하고 이온주입하는 공정과, 상기 산화막(5)이 덮지 않은 부분의 질화막(4)과 패드산화막(3)을 제거하고 게이트 산화막(8)을 형성하는 공정과, 폴리실리콘(9)을 증착하고 산화막(5) 윗면까지 에치백하여 게이트 전극을 형성한 뒤 질화막(4)과 산화막(5)을 제거하며 이어 LDD 구조의 소오스 및 드레인 영역을 형성하는 공정을 차례로 실시하여서 이루어짐을 특징으로 하는 모스패트의 제조방법.

**청구항 2**

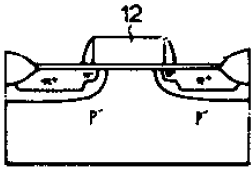
제1도전형 반도체기판, 제1도전형 반도체기판상에 게이트 절연막을 사이에 두고 형성되는 게이트 전극, 상기 게이트 전극의 양측 반도체기판상에 LDD구조로 형성되는 제2도전형 소오스 및 드레인영역, 소오스 및 드레인영역에 가까운 게이트전극의 기판표면에 소오스 및 드레인 사이의 기판 중앙부분에 형성되는 펀치쓰로우 방지용 저농도 제1도전형 불순물영역을 포함하여 이루어짐을 특징으로 하는 모스패트의 제조방법.

**도면**

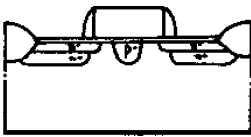
도면1-A



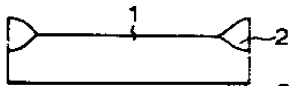
도면1-B



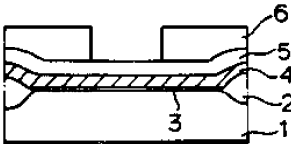
도면1-C



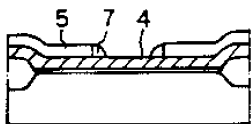
도면2-A



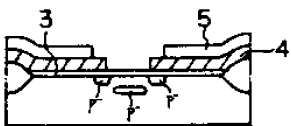
도면2-B



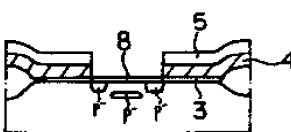
도면2-C



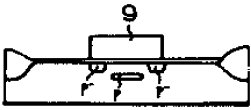
도면2-D



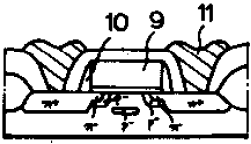
도면2-E



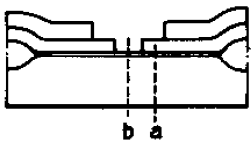
도면2-F



도면2-G



도면3-A



도면3-B

