



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2012-0139854
 (43) 공개일자 2012년12월27일

(51) 국제특허분류(Int. Cl.)
G09G 3/34 (2006.01) **G02F 1/00** (2006.01)
 (21) 출원번호 10-2012-7030380(분할)
 (22) 출원일자(국제) 2011년02월01일
 심사청구일자 없음
 (62) 원출원 특허 10-2012-7022114
 원출원일자(국제) 2011년02월01일
 (85) 번역문제출일자 2012년11월20일
 (86) 국제출원번호 PCT/US2011/023402
 (87) 국제공개번호 WO 2011/097258
 국제공개일자 2011년08월11일
 (30) 우선권주장
 61/300,735 2010년02월02일 미국(US)

(71) 출원인
픽스트로닉스 인코포레이티드
 미국 매사추세츠주 01810 앤도버 슈트 123 벳트
 로드 100
 (72) 발명자
간디 지그네쉬
 미국 01803 매사추세츠주 벌링턴 킹스데일 스트리트 9
스테인 제스퍼 로드윅
 미국 01890-2151 매사추세츠주 윈체스터 오크 스트리트 58
피졸 존 제이
 미국 01545-1432 매사추세츠주 슈루즈버리 와드워스 로드 19
 (74) 대리인
특허법인코리아나

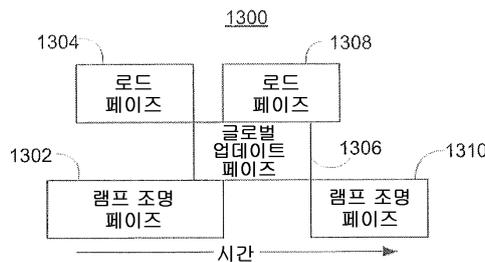
전체 청구항 수 : 총 20 항

(54) 발명의 명칭 **디스플레이 장치를 제어하기 위한 회로**

(57) 요약

디스플레이를 동작시키는 방법은, 데이터 로딩 페이즈 동안 픽셀들의 어레이에서 픽셀들의 다수의 로우에 있는 픽셀들에 이미지 데이터를 로딩하는 단계, 업데이트 페이즈 동안 다수의 로우들에 있는 픽셀들을 액츄에이팅하는 단계, 및 디스플레이 상에 이미지를 형성하도록 액츄에이팅된 픽셀들을 조명하기 위하여 램프 조명 페이즈 동안 적어도 하나의 램프를 조명하는 단계를 포함하고, 업데이트 페이즈는 로딩 페이즈 및 조명 페이즈들 중 적어도 하나와 시간적에서 오버랩된다.

대표도 - 도13a



특허청구의 범위

청구항 1

전기기계 디바이스로서,

기관;

상기 기관 상에 형성되고, 적어도 제 1 포지션 및 제 2 포지션 사이에서 광 차단 엘리먼트를 이동시키기 위한 제 1 액츄에이터와 상기 제 1 액츄에이터에 반대되는 제 2 액츄에이터를 갖는, 상기 광 차단 엘리먼트;

상기 기관 상에 배치되는 래치 회로로서, 상기 제 1 액츄에이터 및 제 2 액츄에이터를 전기적으로 연결하고 상기 제 1 액츄에이터 및 상기 제 2 액츄에이터 상에 반대 로직 상태를 유지하며, 상기 로직 상태는 상기 광 차단 엘리먼트의 포지션에 대응하는, 상기 래치 회로를 포함하고,

상기 래치 회로는,

제 1 트랜지스터 및 제 2 트랜지스터로서, 상기 제 1 트랜지스터의 게이트 및 상기 제 2 트랜지스터의 게이트는 상기 제 2 액츄에이터에 전기적으로 연결되는, 상기 제 1 트랜지스터 및 제 2 트랜지스터; 및

제 3 트랜지스터 및 제 4 트랜지스터로서, 상기 제 3 트랜지스터의 게이트 및 상기 제 4 트랜지스터의 게이트는 상기 제 1 액츄에이터에 전기적으로 연결되는, 상기 제 3 트랜지스터 및 제 4 트랜지스터를 포함하는, 전기기계 디바이스.

청구항 2

제 1 항에 있어서,

상기 래치 회로는 듀얼 인버터 래치를 포함하는, 전기기계 디바이스.

청구항 3

제 2 항에 있어서,

상기 듀얼 인버터 래치는 제 1 인버터 및 상기 제 1 인버터와 교차 결합된 제 2 인버터를 포함하고, 상기 제 1 인버터는 상기 제 1 트랜지스터와 상기 제 2 트랜지스터를 포함하고, 상기 제 2 인버터는 상기 제 3 트랜지스터와 상기 제 4 트랜지스터를 포함하는, 전기기계 디바이스.

청구항 4

제 1 항에 있어서,

상기 제 1 액츄에이터와 상기 제 2 액츄에이터 양자 모두를 제어하기 위하여 상기 픽셀을 위한 이미지 데이터에 대응하는 전기 신호를 반송하기 위한 하나의 데이터 전압 인터커넥트만을 더 포함하는, 전기기계 디바이스.

청구항 5

제 1 항에 있어서,

메모리 엘리먼트를 더 포함하고, 상기 래치 회로는 상기 메모리 엘리먼트에 저장된 데이터 전압에 적어도 부분적으로 기초하여 제 1 상태에서 래치되는, 전기기계 디바이스.

청구항 6

제 5 항에 있어서,

상기 메모리 엘리먼트는 커패시터를 포함하는, 전기기계 디바이스.

청구항 7

제 5 항에 있어서,

상기 메모리 엘리먼트로부터 상기 래치 회로로 전하의 통과를 제어하기 위해 상기 래치 회로에 상기 메모리 엘리먼트를 연결하는 스위치를 더 포함하는, 전기기계 디바이스.

청구항 8

제 7 항에 있어서,

상기 스위치는 업데이트 전압 인터커넥트에 의해 제어되고, 상기 업데이트 전압 인터커넥트는 픽셀들의 어레이의 복수의 로우 및 칼럼에서 스위치를 제어하는, 전기기계 디바이스.

청구항 9

제 3 항에 있어서,

상기 제 1 인버터 및 상기 제 2 인버터에 전기적으로 연결되고, 상기 광 차단 엘리먼트를 액츄에이트하기 위해 한번에 상기 제 1 액츄에이터 및 상기 제 2 액츄에이터 중 하나에만 전압을 제공하도록 구성된 액츄에이션 라인 인터커넥트를 더 포함하는, 전기기계 디바이스.

청구항 10

제 1 항에 있어서,

상기 광 차단 엘리먼트는 전기기계 셔터를 포함하는, 전기기계 디바이스.

청구항 11

제 10 항에 있어서,

광을 통과시키기 위해 상기 기관 상에 형성된 적어도 하나의 애퍼처를 더 포함하고, 상기 제 1 액츄에이터 및 상기 제 2 액츄에이터는 상기 애퍼처에 대해 상기 전기기계 셔터를 이동시키는, 전기기계 디바이스.

청구항 12

제 1 항에 있어서,

상기 기관은 투명 기관을 포함하는, 전기기계 디바이스.

청구항 13

전기기계 디바이스의 동작 방법으로서,

광 차단 엘리먼트의 제 1 포지션에 대응하는 제 1 로직 상태 및 상기 광 차단 엘리먼트의 제 2 포지션에 대응하는 제 2 로직 상태를 갖는 래치 회로에 전기적으로 연결된 메모리 엘리먼트로 데이터를 로딩하는 단계로서, 상기 데이터는 상기 래치 회로의 로직 상태에 대응하는, 상기 데이터를 로딩하는 단계;

상기 데이터에 적어도 부분적으로 기초하여 상기 래치 회로의 로직 상태를 업데이트하는 단계로서, 제 1 액츄에이터 및 제 2 액츄에이터 중 하나만이 액츄에이션 전압을 수신하는 것을 가능하게 하는, 상기 래치 회로의 로직 상태를 업데이트하는 단계; 및

상기 제 1 액츄에이터 및 상기 제 2 액츄에이터 중 적어도 하나에 상기 액츄에이션 전압을 인가하는 단계로서, 애퍼처에 대해 상기 광 차단 엘리먼트를 이동시키는, 상기 액츄에이션 전압을 인가하는 단계를 포함하는, 전기기계 디바이스의 동작 방법.

청구항 14

제 13 항에 있어서,

로우 라인 인터커넥트에 전압을 인가하고 데이터 로딩 스위치를 턴온하여 데이터를 상기 메모리 엘리먼트로 로딩하는 단계를 더 포함하는, 전기기계 디바이스의 동작 방법.

청구항 15

제 13 항에 있어서,

상기 래치 회로의 로직 상태를 업데이트하는 단계는,

상기 래치 회로에 연결된 액츄에이트 라인에 제 1 전기 신호를 인가하는 단계로서, 상기 제 1 전기 신호는 상기 래치 회로에 연결된 공통 라인에 인가된 전기 신호와 실질적으로 같은, 상기 제 1 전기 신호를 인가하는 단계;

업데이트 라인에 제 2 전기 신호를 인가하는 단계로서, 업데이트 스위치를 스위치 온하고 상기 메모리 엘리먼트로부터 상기 래치 회로로 데이터를 통과시키는, 상기 제 2 전기 신호를 인가하는 단계;

상기 액츄에이트 라인에 제 3 전기 신호를 인가하는 단계로서, 상기 래치 회로의 상태를 설정하는, 상기 제 3 전기 신호를 인가하는 단계; 및

상기 업데이트 라인으로부터 상기 제 2 전기 신호를 제거하는 단계로서, 상기 업데이트 스위치를 스위치 오프하고 상기 래치 회로로부터 상기 메모리 엘리먼트를 전기적으로 절연시키는, 상기 제 2 전기 신호를 제거하는 단계를 포함하는, 전기기계 디바이스의 동작 방법.

청구항 16

제 15 항에 있어서,

상기 제 1 전기 신호를 인가하는 단계와 상기 제 2 전기 신호를 인가하는 단계 사이에 지연 기간 대기하는 단계를 더 포함하는, 전기기계 디바이스의 동작 방법.

청구항 17

제 16 항에 있어서,

상기 지연 기간은 10 μs 이하인, 전기기계 디바이스의 동작 방법.

청구항 18

제 15 항에 있어서,

상기 제 3 전기 신호는 상기 액츄에이션 전압보다 낮은 전압을 포함하는, 전기기계 디바이스의 동작 방법.

청구항 19

제 18 항에 있어서,

상기 전압은 상기 래치 회로를 구성하는 적어도 2개의 트랜지스터들의 임계 전압들의 합계와 같은, 전기기계 디바이스의 동작 방법.

청구항 20

제 13 항에 있어서,

상기 액츄에이션 전압은 상기 광 차단 엘리먼트를 이동시키기 위해 선택된 전압을 포함하는, 전기기계 디바이스의 동작 방법.

명세서

기술 분야

[0001] 관련 출원에 대한 참조

[0002] 본원은 2010년 2월 2일로 출원된, 발명의 명칭이 "Display Methods and Apparatus"인 U.S. 가 특허 출원 번호 제61/300,735호의 우선권을 주장하며, 그의 전체 내용은 참조에 의해 본원에 인용된다.

[0003] 기술 분야

[0004] 일반적으로, 본 발명은 이미징 디스플레이 분야에 관한 것이고, 특히 본 발명은 이미징 디스플레이들에 포함된 광변조기 (light modulator) 들을 제어하기 위한 제어기 회로 및 프로세스에 관한 것이다.

배경 기술

[0005] 기계적 광변조기들로부터 구축된 디스플레이들은 액정 기술에 기초한 디스플레이들에 매력적인 대안이다. 기계적 광변조기들을 양호한 시야각과 폭넓은 색상 및 그레이 스케일로 비디오 콘텐츠를 디스플레이하기에 충분히 빠르다. 기계적인 광변조기들은 프로젝션 디스플레이 애플리케이션들에서 성공적이었다. 기계적인 광변조기들을 이용하는 다이렉트-뷰 (direct-view) 디스플레이들은 아직까지 밝기 및 저전력의 충분히 매력적인 조합을 보여주지 못했다. 빠르고, 밝고, 저전력의 기계적으로 액츄에이트 (actuate) 된 다이렉트-뷰 디스플레이들에 대한 당해 기술분야에서의 필요가 존재한다. 구체적으로 향상된 이미지 품질 및 감소된 전력 소비를 위한 높은 스피드와 저전압으로 구동될 수 있는 다이렉트-뷰 디스플레이들에 대한 필요가 존재한다.

[0006] 스위칭 회로 및 광변조기들이 실리콘 기판들로부터 절단된 상대적으로 작은 다이 상에 구축될 수 있는 프로젝션 디스플레이들과 대조적으로, 대부분의 다이렉트-뷰 디스플레이들은 훨씬 더 큰 기판들 상의 광변조기들의 제조를 요구한다. 또한, 많은 경우들에서, 특히 백라이트 다이렉트 뷰 디스플레이들에 대하여, 제어 회로 및 광변조기들 양자 모두가 바람직하게는 투명 기판들 상에 형성된다. 결과적으로, 많은 통상적인 반도체 제조 프로세스들은 적용할 수 없다. 종종, 투명 기판들 상에 구축된 MEMS 디바이스들의 재료, 프로세스 기술 및 성능 특징들에서의 근본적인 차이를 다루기 위해 새로운 스위칭 회로 및 제어 알고리즘들이 개발될 필요가 있다. 풍부한 레벨의 그레이스케일 및 콘트라스트와 함께 상세 이미지들을 산출하는 스위칭 회로와 공동으로 변조 프로세스들을 포함하는 MEMS 다이렉트-뷰 디스플레이들에 대한 필요가 남아 있다.

발명의 내용

[0007] 요약

[0008] 본 발명의 일 양태에 따르면, 디스플레이를 동작시키는 방법은, 데이터 로딩 페이지 동안 픽셀들의 어레이에서 픽셀들의 다수의 로우 (row) 들에 있는 픽셀들에 이미지 데이터를 로딩하는 단계, 업데이트 페이지 동안 적어도 2개의 로우들 및 적어도 2개의 칼럼 (column) 들에 있는 픽셀들을 액츄에이팅하는 단계, 및 디스플레이 상에 이미지를 형성하도록 액츄에이트된 픽셀들을 조명하기 위하여 램프 조명 페이지 동안 적어도 하나의 램프를 조명하는 단계를 포함하고, 업데이트 페이지는 로딩 페이지 및 조명 페이지들 중 적어도 하나와 시간에서 오버랩된다.

[0009] 어떤 실시형태에서, 램프 조명 페이지는 램프 출력의 적어도 하나의 비트에 대해 데이터 로딩 페이지와 시간에서 완전히 오버랩된다. 어떤 실시형태들에서, 업데이트 페이지는 복수의 업데이트 신호들을 송신하는 단계를 포함한다. 일 양태에서, 업데이트 페이지는 제 1 서브페이지 및 제 2 서브페이지를 포함한다. 일 양태에서, 복수의 업데이트 신호들 중 제 1 업데이트 신호는 제 1 서브페이지 및 제 2 서브페이지에 대응하는 제 1 신호 페이지 및 제 2 신호 페이지를 더 포함하고, 데이터 로딩 페이지는 제 1 업데이트 신호의 제 1 신호 페이지와 시간에서 오버랩된다. 일 양태에서, 제 1 신호 페이지는 리셋 페이지에 대응한다.

[0010] 일 실시형태에서, 그 방법은 제 1 서브페이지 및 제 2 서브페이지에 대응하는 제 1 신호 페이지 및 제 2 신호 페이지를 갖는 복수의 업데이트 신호들 중 제 2 업데이트 신호를 포함하고, 램프 조명 페이지는 제 1 업데이트 신호의 제 2 신호 페이지 및 제 2 업데이트 신호의 제 1 신호 페이지 양자 모두와 시간에서 오버랩된다. 일 양태에서, 제 1 신호 페이지는 업데이트 페이지의 전기적 설정 서브페이지에 대응하고, 제 2 신호 페이지는 업데이트 페이지의 기계적 반응 서브페이지에 대응한다. 일 양태에서, 데이터 로딩 페이지는 기계적 반응 서브페이지와 시간에서 오버랩된다.

[0011] 실시형태에서, 그 방법은 셔터 천이 페이지 동안 셔터를 이동시키는 단계를 포함하고, 램프 조명 페이지는 시간에서 셔터 천이 페이지와 부분적으로 오버랩된다. 일 양태에서 램프 조명 페이지는 리셋 페이지 동안 셔터 천이와 오버랩된다. 실시형태에서, 데이터 로딩 페이지는 업데이트 페이지의 끝 및 램프 조명 페이지의 시작과 시간에서 오버랩된다. 실시형태에서, 로딩 페이지, 업데이트 페이지 및 조명 페이지의 각각은 모두 시간에서 서로 적어도 부분적으로 오버랩된다. 실시형태에서, 로딩 페이지, 업데이트 페이지 및 조명 페이지들 중 적어도 하나는 시간에서 적어도 하나의 다른 페이지와 부분적으로 오버랩된다. 일 양태에서, 디스플레이는 투명 기판 상에 구축된다. 일 양태에서, 디스플레이는 MEMS 광변조기들의 어레이를 포함한다. 일 양태에서, 디스플레이는 셔터 기반 광변조기들의 어레이를 포함한다.

도면의 간단한 설명

[0012] 이전의 논의는 다음 도면들을 참조하여 본 발명의 다음의 상세한 설명으로부터 보다 손쉽게 이해될 것이다:

- 도 1a는 본 발명의 예시적인 실시형태에 따른 디스플레이 장치의 등측도이다;
- 도 1b는 본 발명의 예시적인 실시형태에 따른 도 1a의 디스플레이 장치의 블록도이다;
- 도 1c는 본 발명의 예시적인 실시형태에 따른, 필드 시퀀셜 컬러 기법을 이용하여 디스플레이 상에 이미지를 디스플레이하는 방법을 위한 타이밍 다이어그램이다;
- 도 1d는 본 발명의 예시적인 실시형태에 따른, 코딩된 시간 분할 그레이스케일 기법을 이용하여 다양한 이미지 형성 이벤트들의 타이밍을 예시하는 타이밍 다이어그램이다;
- 도 2a는 본 발명의 예시적인 실시형태에 따른, 도 1a의 MEMS-기반 디스플레이로의 통합에 적합한 예시적인 서터 기반 광변조기들의 사시도이다;
- 도 2b는 본 발명의 예시적인 실시형태에 따른, 도 1a의 MEMS-기반 디스플레이로의 통합에 적합한 롤러셰이드 기반 광변조기의 단면도이다;
- 도 2c는 본 발명의 예시적인 실시형태에 따른, 도 1a의 MEMS-기반 디스플레이의 대안의 실시형태로의 통합에 적합한 광택 기반 광변조기의 단면도이다;
- 도 2d는 본 발명의 예시적인 실시형태에 따른, 도 1a의 MEMS-기반 디스플레이의 대안의 실시형태로의 통합에 적합한 전기 습윤 기반 광변조기의 단면도이다;
- 도 3a는 본 발명의 예시적인 실시형태에 따른, 도 1a의 MEMS-기반 디스플레이로 통합된 광변조기들을 제어하는데 적합한 제어 매트릭스의 개략도이다;
- 도 3b는 본 발명의 예시적인 실시형태에 따른, 도 3a의 제어 매트릭스에 접속된 서터 기반 광변조기들의 어레이의 사시도이다;
- 도 4a 및 도 4b는 본 발명의 예시적인 실시형태에 따라, 각각 열림 및 닫힘 상태들에서의 듀얼 액츄에이트 서터 어셈블리의 평면도이다;
- 도 4c는 본 발명의 예시적인 실시형태에 따른, MEMS-기반 디스플레이로의 통합에 적합한 듀얼 액츄에이터 광택 기반 광변조기의 단면도이다;
- 도 5a는 본 발명의 예시적인 실시형태에 따른, 도 1a의 디스플레이 장치의 서터 어셈블리들을 제어하는데 적합한 제어 매트릭스의 도면이다;
- 도 5b는 본 발명의 예시적인 실시형태에 따른, 도 5a의 제어 매트릭스의 픽셀들을 어드레싱하는 방법의 플로우 차트이다;
- 도 6은 본 발명의 예시적인 실시형태에 따른, 도 1a의 디스플레이 장치의 서터 어셈블리들을 제어하는데 적합한 제어 매트릭스의 도면이다;
- 도 7은 본 발명의 예시적인 실시형태에 따른, 도 6의 제어 매트릭스의 픽셀들을 어드레싱하는 방법의 플로우 차트이다;
- 도 8a는 본 발명의 예시적인 실시형태에 따른 이미지 생성을 위한 페이지 다이어그램이다;
- 도 8b는 본 발명의 예시적인 실시형태에 따른 도 8a의 페이지 다이어그램에 대응하는 이미지 생성을 위한 타이밍 다이어그램이다;
- 도 9a는 본 발명의 예시적인 실시형태에 따른 이미지 생성을 위한 다른 페이지 다이어그램이다;
- 도 9b는 본 발명의 예시적인 실시형태에 따른 도 9a의 페이지 다이어그램에 대응하는 이미지 생성을 위한 타이밍 다이어그램이다;
- 도 10a는 본 발명의 예시적인 실시형태에 따른 이미지 생성을 위한 다른 페이지 다이어그램이다;
- 도 10b는 본 발명의 예시적인 실시형태에 따른 도 10a의 페이지 다이어그램에 대응하는 이미지 생성을 위한 타이밍 다이어그램이다;
- 도 11a는 본 발명의 예시적인 실시형태에 따른 이미지 생성을 위한 다른 페이지 다이어그램이다;
- 도 11b는 본 발명의 예시적인 실시형태에 따른 도 11a의 페이지 다이어그램에 대응하는 이미지 생성을 위한 타이밍 다이어그램이다;

이밍 다이어그램이다;

도 12a는 본 발명의 예시적인 실시형태에 따른 이미지 생성을 위한 다른 페이지 다이어그램이다;

도 12b는 본 발명의 예시적인 실시형태에 따른 도 12a의 페이지 다이어그램에 대응하는 이미지 생성을 위한 타이밍 다이어그램이다;

도 13a는 본 발명의 예시적인 실시형태에 따른 이미지 생성을 위한 다른 페이지 다이어그램이다;

도 13b는 본 발명의 예시적인 실시형태에 따른 도 13a의 페이지 다이어그램에 대응하는 이미지 생성을 위한 타이밍 다이어그램이다.

발명을 실시하기 위한 구체적인 내용

[0013] 본 발명의 전반적인 이해를 제공하기 위하여, 이미지들을 디스플레이하기 위한 장치 및 방법들을 포함하는 어떤 예시적인 실시형태들이 이제 설명된다. 하지만, 당업자는 여기에 기재된 시스템 및 방법들은 다루어지고 있는 애플리케이션에 적절한 대로 적용 및 수정될 수도 있다는 것과 여기에 기재된 시스템 및 방법들은 다른 적합한 애플리케이션들에 채용될 수도 있다는 것과, 그러한 다른 부가 및 수정들은 그의 범위를 벗어나지 않을 것이라는 것을 이해할 것이다.

[0014] 도 1a는 본 발명의 예시적인 실시형태에 따른, 다이렉트 뷰 MEMS 기반 디스플레이 장치 (100) 의 구성도이다. 디스플레이 장치 (100) 는 로우 (row) 들 및 칼럼 (column) 들로 배열된 복수의 광변조기들 (102a-102d) (일반적으로 "광변조기들 (102)") 을 포함한다. 디스플레이 장치 (100) 에서, 광변조기들 (102a 및 102d) 은 열린 상태에서 광이 통과하는 것을 허용한다. 광변조기들 (102b 및 102c) 은 닫힌 상태에서, 광의 통과를 막는다. 광변조기들 (102a-102d) 의 상태들을 선택적으로 설정하는 것에 의해, 디스플레이 장치 (100) 는, 램프 또는 램프들 (105) 에 의해 조명되는 경우, 백라이트 디스플레이를 위한 이미지 (104) 를 형성하기 위하여 이용될 수 있다. 다른 구현들에서, 장치 (100) 는 장치의 프론트로부터 비롯되는 주변 광의 반사에 의해 이미지를 형성할 수도 있다. 다른 구현들에서, 장치 (100) 는 디스플레이의 프론트에 배치된 램프 또는 램프들로부터의 광의 반사에 의해, 즉 프론트 광의 사용에 의해, 이미지를 형성할 수도 있다. 닫힌 상태 또는 열린 상태 중 하나에서, 광변조기들 (102) 은, 비한정적인 예로, 차단 (blocking), 반사, 흡수, 필터링, 편광, 회절 또는 그 외에 광의 속성 또는 경로를 변경하는 것에 의해 광학 경로에서 광과 간섭한다.

[0015] 디스플레이 장치 (100) 에서, 각 광변조기 (102) 는 이미지 (104) 에서의 픽셀 (106) 에 대응한다. 다른 구현들에서, 디스플레이 장치 (100) 는 이미지 (104) 에서의 픽셀 (106) 을 형성하기 위하여 복수의 광변조기들을 이용할 수도 있다. 예를 들면, 디스플레이 장치 (100) 는 3개의 컬러 특정 광변조기들 (102) 을 포함할 수도 있다. 특정 픽셀 (106) 에 대응하는 컬러 특정 광변조기들 (102) 중 하나 이상을 선택적으로 여는 것에 의해, 디스플레이 장치 (100) 는 이미지 (104) 에서 컬러 픽셀 (106) 을 생성할 수 있다. 다른 예에서, 디스플레이 장치 (100) 는 이미지 (104) 에서 그레이스케일을 제공하기 위하여 픽셀 (106) 당 2개 이상의 광변조기들 (102) 을 포함한다. 이미지에 대하여, "픽셀" 은 이미지 해상도에 의해 정의되는 가장 작은 화소에 대응한다. 디스플레이 장치 (100) 의 구조적 컴포넌트들에 대하여, 용어 "픽셀"은 이미지의 단일 픽셀을 형성하는 광을 변조하는데 이용되는 조합된 기계적 및 전기적 컴포넌트들을 지칭한다.

[0016] 디스플레이 장치 (100) 는 이미징 옵틱들 (imaging optics) 을 필요로 하지 않는다는 점에서 다이렉트 뷰 디스플레이이다. 사용자는 디스플레이 장치 (100) 를 직접 바라보는 것에 의해 이미지를 본다. 선택적인 실시형태들에서 디스플레이 장치 (100) 는 프로젝션 디스플레이에 통합된다. 그러한 실시형태들에서, 디스플레이는 광을 스크린 상에 또는 벽 상에 투사하는 것에 의해 이미지를 형성한다. 프로젝션 애플리케이션들에서 디스플레이 장치 (100) 는 투사된 이미지 (104) 보다 실질적으로 더 작다.

[0017] 다이렉트 뷰 디스플레이는 투과 (transmissive) 또는 반사 (reflective) 모드 중 어느 하나로 동작할 수도 있다. 투과 디스플레이에서, 광변조기들은 디스플레이 뒤쪽에 배치된 램프 또는 램프들로부터 비롯되는 광을 필터링 또는 선택적으로 차단한다. 램프들로부터의 광은 광 가이드 또는 "백라이트"에 선택적으로 주입된다. 투과형 다이렉트 뷰 디스플레이 실시형태들은 종종 투명 또는 유리 기판 상에 구축되어 샌드위치 어셈블리 배열을 용이하게 하고 여기서 광변조기들을 포함하는 하나의 기판이 백라이트의 상부에 직접 위치된다. 몇몇 투과형 디스플레이 실시형태들에서, 컬러 특정 광변조기가 각 변조기 (102) 와 컬러 필터 재료를 연관시키는 것에 의해 만들어진다. 다른 투과형 디스플레이 실시형태들에서 컬러들이 후술하는 바처럼 상이한 원색들과 램프의 조명을 교번시키는 것에 의한 필드 시퀀셜 컬러 방법을 이용하여 발생될 수 있다. 다수의

상이한 타입들의 램프들이 디스플레이들에서 채용될 수 있는데, 백열 램프, 형광 램프, 레이저, 발광 다이오드(LED들), 또는 당업자에게 알려져 있는 임의의 다른 적합한 광원을 비한정적으로 포함한다. 또한, 램프들은 다수의 램프들을 포함하는 단일 어셈블리에 조합될 수 있다. 가령, 적색, 녹색 및 청색 LED들의 조합이 소형 반도체 칩에서 백색 LED와 조합 또는 대용되거나 또는 소형 다중 램프 패키지로 조립될 수 있다. 유사하게, 각 램프는 4-컬러 LED들의 어셈블리, 가령, 적색, 황색, 녹색 및 청색 LED들의 조합을 나타낼 수 있다.

[0018] 각 광변조기(102)는 셔터(108) 및 애퍼처(109)를 포함한다. 이미지(104)에서 픽셀(106)을 조명하기 위하여, 셔터(108)는 광이 뷰어를 향해 애퍼처(aperture; 109)를 통과하는 것을 허용하도록 배치된다. 픽셀(106)을 비조명 상태로 유지하기 위하여, 셔터(108)는 애퍼처(109)를 통한 광의 통과를 막도록 배치된다. 애퍼처(109)는 반사 또는 광흡수 재료를 통해 패터닝된 개구에 의해 정의된다.

[0019] 디스플레이 장치는 또한, 기판에 접속되고 셔터들의 이동을 제어하기 위한 광변조기들에 접속된 제어 매트릭스를 포함한다. 제어 매트릭스는 일련의 전기 인터커넥트들(예를 들면, 인터커넥트들(110, 112, 및 114)을 포함하는데, 픽셀들의 로우 당 적어도 하나의 쓰기-인에이블 인터커넥트(110)(또한 "스캔-라인 인터커넥트"로도 지칭됨), 픽셀들의 각 칼럼에 대해 하나의 데이터 인터커넥트(112), 및 모든 픽셀들에, 또는 디스플레이 장치(100)에서의 다수의 칼럼들 및 다수의 로우들 양쪽 모두로부터의 픽셀들에 적어도, 공통 전압을 제공하는 하나의 공통 인터커넥트(114)를 포함한다. 적절한 전압("쓰기 인에이블링 전압, V_{we} ")의 인가에 응답하여, 소정 로우의 픽셀들에 대한 쓰기 인에이블 인터커넥트(110)는 새로운 셔터 이동 명령(shutter movement instruction)들을 수용하기 위하여 로우에서 픽셀들을 준비한다. 데이터 인터커넥트들(112)은 데이터 전압 펄스들의 형태로 새로운 셔터 이동 명령들을 통신한다. 데이터 인터커넥트들(112)에 인가된 데이터 전압 펄스들은, 몇몇 구현들에서, 셔터들의 정전기적인 이동에 직접 기여한다. 다른 구현들에서, 데이터 전압 펄스들은 스위치들, 예를 들면, 트랜지스터들 또는, 통상적으로 데이터 전압들 보다 크기가 더 큰, 분리된 액추에이션 전압들의 광변조기들(102)에의 인가를 제어하는 다른 비선형 회로 엘리먼트들을 제어한다. 다음으로 이들 액추에이션 전압들의 인가는 셔터들(108)의 정전기 구동 이동을 초래한다.

[0020] 도 1b는 디스플레이 장치(100)의 블록도(150)이다. 도 1a 및 도 1b를 참조하면, 블록도(150)에서 도시된 바처럼, 위에서 설명된 디스플레이 장치(100)의 엘리먼트들에 더하여, 디스플레이 장치(100)는 복수의 스캔 드라이버들(152)("쓰기 인에이블링 전압 소스들"로도 지칭됨) 및 복수의 데이터 드라이버들(154)("데이터 전압 소스들"로도 지칭됨)을 포함한다. 스캔 드라이버들(152)은 쓰기 인에이블링 전압들을 스캔 라인 인터커넥트(110)에 인가한다. 데이터 드라이버들(154)은 데이터 전압들을 데이터 인터커넥트들(112)에 인가한다. 디스플레이 장치의 몇몇 실시형태들에서, 특히 이미지(104)의 그레이 스케일이 아날로그 방식에서 도출되어야 하는 경우에, 데이터 드라이버들(154)은 아날로그 데이터 전압을 광변조기들에 제공하도록 구성된다. 아날로그 동작에서, 광변조기들(102)은 중간 전압들의 범위가 데이터 인터커넥트들(112)을 통해 인가될 때 셔터들(108)에서의 중간 열린 상태의 범위가 발생하고 따라서 이미지(104)에서 중간 조명 상태들 또는 그레이 스케일들의 범위가 발생하도록 설계된다.

[0021] 다른 경우들에서, 데이터 드라이버(154)는 오직 감소된 세트의 2, 3, 또는 4 디지털 전압 레벨들을 제어 매트릭스에 적용하도록 구성된다. 이들 전압 레벨들은, 디지털 방식에서, 열린 상태 또는 닫힌 상태 중 어느 일방을 셔터들(108)의 각각에 설정하도록 설계된다.

[0022] 스캔 드라이버들(152) 및 데이터 드라이버들(154)은 디지털 제어 회로(156)("제어기(156)"로도 지칭됨)에 접속된다. 제어기(156)는 입력 프로세싱 모듈(158)을 포함하는데, 이는 인입 이미지 신호(157)를 디스플레이(100)의 공간 어드레싱(spatial addressing) 및 그레이 스케일 능력에 적절한 디지털 이미지 포맷으로 프로세싱한다. 각 이미지의 픽셀 로케이션 및 그레이 스케일 데이터는 프레임 버퍼(159)에 저장되어 그 데이터는 데이터 드라이버들(154)에 필요로 될 때 피드 아웃(feed out)될 수 있다. 그 데이터는, 로우들에 의해 그리고 이미지 프레임들에 의해서 그룹화된 미리 결정된 시퀀스들로 조직된, 주로 직렬 방식으로 데이터 드라이버들(154)에 전송된다. 데이터 드라이버들(154)은 직렬-병렬 데이터 변환기, 레벨 시프팅 및 몇몇 애플리케이션들에 대해서는 디지털-아날로그 전압 변환기들을 포함할 수 있다.

[0023] 디스플레이(100)는, 공통 전압 소스들로도 지칭되는 공통 드라이버들(153)의 세트를 선택적으로 포함한다. 몇몇 실시형태들에서, 공통 드라이버들(153)은, 광변조기들의 어레이(103)내의 모든 광변조기들에 DC 공통 포텐셜을, 예를 들면 일련의 공통 인터커넥트들(114)에 전압을 공급하는 것에 의해, 제공한다. 다른 실시형태들에서, 공통 드라이버들(153)은, 제어기(156)로부터의 커맨드들을 따라, 광변조기들의 어레이(103)에 전압 펄스들 또는 신호들을, 예를 들어 어레이(103)의 다수의 로우들 및 칼럼들에서의 모든 광변조

기들의 동시적 액츄에이션을 구동 및/또는 개시할 수 있는 글로벌 액츄에이션 펄스들을 이슈한다.

[0024] 상이한 디스플레이 기능들에 대한 모든 드라이버들 (예를 들면, 스캔 드라이버들 (152), 데이터 드라이버들 (154) 및 공통 드라이버들 (153)) 은 제어기 (156) 에서의 타이밍 제어 모듈 (160) 에 의해 시간 동기화 된다.

모듈 (160) 로부터의 타이밍 커맨드들은 램프 드라이버들 (168) 을 통한 적색, 녹색 및 청색 및 백색 램프들 (각각, 162, 164, 166, 및 167) 의 조명, 픽셀들의 어레이 (103) 내의 특정 로우들의 쓰기 인에이블링 및 시퀀싱, 데이터 드라이버들 (154) 로부터의 전압들의 출력, 및 광변조기 액츄에이션에 대해 제공되는 전압들의 출력을 조정 (coordinate) 한다.

[0025] 제어기 (156) 는 시퀀싱 또는 어드레싱 스킴 (scheme) 을 결정하고 그에 의해 어레이 (103) 에서의 각 서터들 (108) 이 새로운 이미지 (104) 에 적절한 조명 레벨들로 재설정될 수 있다. 적합한 어드레싱, 이미지 형성, 및 그레이 스케일 기법들의 상세는 참조에 의해 본원에 인용된 U.S. 특허출원 제11/326,696호 및 제11/643,042호 에서 찾을 수 있다. 새로운 이미지 (104) 는 주기적인 인터벌 (periodic interval) 들에서 설정될 수 있다. 예를 들어, 비디오 디스플레이에 대해, 비디오의 컬러 이미지들 (104) 또는 프레임들이 10 내지 300 Hertz 범위의 주파수에서 리프레쉬된다. 몇몇 실시형태들에서, 어레이 (103) 에 대한 이미지 프레임의 설정은 교번 이미지 프레임들이 교번하는 일련의 컬러들, 이를테면 적색, 녹색 및 청색으로 조명되도록 램프들 (162, 164, 및 166) 의 조명과 동기화된다. 각각의 컬러별 이미지 프레임들은 컬러 서브프레임으로 지칭된다. 필드 시퀀싱 컬러 방법으로 지칭되는 이 방법에서, 컬러 서브프레임이 20 Hz 초과 주파수들에서 교번되면, 인간의 뇌는, 폭넓고 연속적인 범위의 컬러들을 갖는 이미지의 인식으로 교번하는 프레임 이미지들을 평균화한다. 교번 구현들에서, 원색들을 갖는 4개 이상의 램프들이 디스플레이 장치 (100) 에서 채용될 수 있으며, 적색, 녹색 및 청색외의 원색들을 채용한다.

[0026] 몇몇 구현들에서, 디스플레이 장치 (100) 가 열린 상태와 닫힌 상태 사이의 서터들 (108) 의 디지털 스위칭을 위해 설계되는 경우, 제어기 (156) 는 적절한 그레이 스케일을 갖는 이미지들 (104) 을 생성하기 위하여 이미지 프레임들 사이에서 어드레싱 시퀀스 및/또는 시간 인터벌들을 결정한다. 서터 (108) 가 특정 프레임에서 열려 있는 시간량을 제어하는 것에 의해 그레이스케일의 여러 레벨들을 생성하는 프로세스는 시간 분할 그레이 스케일로 지칭된다. 시간 분할 그레이 스케일의 일 실시형태에서, 그 픽셀의 원하는 조명 레벨 또는 그레이 스케일에 따라, 제어기 (156) 는 서터 (108) 가 열린 상태로 남아있도록 허용되는 각 프레임 내의 시간 기간 (time period) 또는 시간의 부분 (fraction) 을 결정한다. 다른 구현들에서, 각 이미지 프레임에 대해, 제어기 (156) 는 어레이 (103) 의 다수의 로우들 및 칼럼들에서 복수의 서브프레임 이미지들을 설정하고, 제어기는, 각 서브프레임 이미지가 그레이 스케일에 대해 코딩된 워드 (coded word) 내에 채용된 유효 값 (significance value) 또는 그레이 스케일 값에 비례하여 조명되는 지속 기간을 변경한다. 예를 들어, 일련의 서브프레임 이미지들에 대한 조명 시간들은 이진 코딩 시리즈 1,2,4,8 ...에 비례하여 변화될 수 있다. 다음으로 어레이 (103) 에서 각 픽셀에 대해 서터들 (108) 은 그레이 스케일에 대해 픽셀의 이진 코딩된 워드 내의 대응하는 위치에서의 값에 따라 서브프레임 이미지 내에서 열린 또는 닫힌 상태 중 어느 하나로 설정된다.

[0027] 다른 구현들에서, 제어기는 특정 서브프레임 이미지에 대해 원하는 그레이 스케일 값에 비례하여 램프들 (162, 164, 및 166) 로부터 광의 세기를 변경한다. 서터들의 어레이 (108) 로부터 컬러들 및 그레이 스케일을 형성하는데 다수의 하이브리드 기법들이 또한 이용가능하다. 예를 들어, 위에서 설명된 시간 분할 기법들은 픽셀 마다 다수의 서터들 (108) 의 이용과 조합될 수 있거나 또는 특정 서브프레임 이미지에 대한 그레이 스케일 값이 서브프레임 타이밍 및 램프 세기 양자 모두의 조합을 통해 확립될 수 있다. 이들 및 다른 실시형태들의 상세는 위에서 언급된 U.S. 특허 출원 제11/643,042호 에서 찾을 수 있다.

[0028] 몇몇 구현들에서, 이미지 상태 (104) 를 위한 데이터는, 스캔 라인들로도 지칭되는 개별 로우들의 시퀀싱 어드레싱에 의해 변조기 어레이 (103) 로 제어기 (156) 에 의해 로딩된다. 시퀀스에서 각 로우 또는 스캔 라인에 대하여, 스캔 드라이버 (152) 는 어레이 (103) 의 그 로우를 위한 쓰기 인에이블 인터커넥트 (110) 에 쓰기 인에이블 전압을 인가하고, 후속하여 데이터 드라이버 (154) 는 선택된 로우에서 각 칼럼에 대해, 원하는 서터 상태들에 대응하여, 데이터 전압들을 공급한다. 이 프로세스는 어레이에서 모든 로우들에 대해 데이터가 로딩될 때까지 반복된다. 몇몇 구현들에서 데이터 로딩에 대한 선택된 로우들의 시퀀스는 선형이며, 어레이에서 위로부터 아래로 진행된다. 다른 구현들에서, 선택된 로우들의 시퀀스는 시각적 아티팩트 (visual artifact) 를 최소화하기 위하여, 의사 무작위화 (pseudo-randomize) 된다. 그리고 다른 구현들에서 시퀀싱은 블록들에 의해 조직되고, 여기서 한 블록에 대해, 이미지 상태 (104) 의 어떤 부분만을 위한 데이터가 어레이에, 예를 들어 시퀀스에서 어레이의 매 5번째 로우만을 어드레싱하는 것에 의해 로딩된다.

- [0029] 몇몇 구현들에서, 이미지 데이터를 어레이 (103) 에 로딩하기 위한 프로세스는 서터들 (108) 을 액추에이팅하는 프로세스로부터 시간에서 분리된다. 이들 구현들에서, 변조기 어레이 (103) 는 어레이 (103) 에서 각 픽셀에 대한 데이터 메모리 엘리먼트들을 포함할 수도 있고, 제어 매트릭스는 메모리 엘리먼트들에 저장된 데이터에 따라 서터들 (108) 의 동시적 액추에이션을 개시하기 위하여 공통 드라이버들 (153) 로부터 트리거 신호들을 반송 (carry) 하기 위한 글로벌 액추에이션 인터커넥트를 포함할 수도 있다. 다양한 어드레싱 시퀀스들은, 그중 다수가 U.S. 특허 출원 제11/643,042호에 기재되어 있으며, 타이밍 제어 모듈 (160) 에 의해 조정될 수 있다.
- [0030] 대안의 실시형태들에서, 픽셀들의 어레이 (103), 및 픽셀들을 제어하는 제어 매트릭스는 직사각형 로우들 및 칼럼들이 아닌 구성 (configuration) 들로 배열될 수도 있다. 예를 들면, 픽셀들은 6각형 어레이 또는 곡선형 로우들 및 칼럼들에서 배열될 수 있다. 일반적으로 여기에서 사용되는 바처럼 용어 스캔 라인은 쓰기 인에이블 인터커넥트를 공유하는 임의의 복수의 픽셀들을 지칭한다.
- [0031] 디스플레이 (100) 는 타이밍 제어 모듈 (160), 프레임 버퍼 (159), 스캔 드라이버들 (152), 데이터 드라이버들 (154) 및 드라이버들 (153 및 168) 을 포함하는 복수의 기능 블록들로 구성된다. 각 블록은 구별가능한 하드웨어 회로 및/또는 실행가능 코드의 모듈을 나타내는 것으로 이해될 수 있다. 몇몇 구현들에서, 기능 블록들은 회로 기판 및/또는 케이블들에 의해 함께 접속된 이산 칩들 또는 회로들로서 제공된다. 다르게는, 이들 회로들 중 다수는 유리 또는 플라스틱의 동일 기판 상에 픽셀 어레이 (103) 와 함께 제조될 수 있다. 다른 구현들에서, 블록도 (150) 으로부터의 다수의 회로들, 드라이버들, 프로세서들 및/또는 제어 기능들이 단일 실리콘 칩 내에 함께 통합될 수도 있고, 이는 다음으로 픽셀 어레이 (103) 를 유지하는 투명 기판에 직접 본딩된다.
- [0032] 제어기 (156) 는 프로그래밍 링크 (180) 를 포함하고, 그에 의해 어드레싱, 컬러 및/또는 그레이 스케일 알고리즘들이 제어기 (156) 내에서 구현되며, 특정 애플리케이션들의 필요에 따라 변경될 수 있다. 몇몇 실시형태들에서, 프로그래밍 링크 (180) 는 환경 센서들, 이를테면 주변 광 또는 온도 센서들로부터 정보를 전달해서, 제어기 (156) 는 환경 조건들에 대응하여 이미징 모드 또는 백라이트 전력을 조정할 수 있다. 제어기 (156) 는 또한 전력 공급 입력 (182) 을 포함하고, 이는 광변조기 액추에이션 뿐만아니라 램프들에 필요한 전력을 제공한다. 필요한 경우, 드라이버들 (152, 153, 154, 및/또는 168) 은 182에서 입력 전압을 서터들 (108) 의 액추에이션 또는 램프들, 이를테면 램프들 (162, 164, 166, 및 167) 의 조명에 필요한 여러 전압들로 변환하기 위한 DC-DC 변환기들을 포함하거나 또는 그러한 DC-DC 변환기들과 연관될 수도 있다.
- [0033] **필드 시퀀셜 컬러/시간 분할 그레이스케일**
- [0034] 예를 들면 20 Hz 보다 큰 주파수에서, 급속도로 변화하는 이미지들을 보는 것에 응답하여, 인간의 뇌는 이미지들을 함께 평균화하여 대응하는 주기 내에 디스플레이된 이미지들의 조합인 이미지를 인식한다. 이 현상은, 당업계에서 필드 시퀀셜 컬러로 지칭되는 기법을 사용하여 디스플레이의 각 픽셀에 대해 단일 광변조기들만을 사용하면서 컬러 이미지를 디스플레이하기 위해 이용될 수 있다. 디스플레이들에서 필드 시퀀셜 컬러 기법들의 사용은 픽셀 마다 컬러 필터들 및 다수의 광변조기들에 대한 필요성을 제거한다. 필드 시퀀셜 컬러 인에이블된 디스플레이에서, 디스플레이될 이미지 프레임은, 각각 원본 이미지 프레임의 특정 컬러 성분 (예를 들면, 적색, 녹색 또는 청색) 에 대응하는 다수의 서브프레임 이미지들로 분할된다. 각 서브프레임 이미지에 대하여, 디스플레이의 광변조기들은 이미지에 대한 컬러 성분의 기여에 대응하는 상태들로 설정된다. 다음으로 광변조기들은 대응하는 컬러의 램프에 의해 조명된다. 서브이미지들은 뇌가 일련의 서브프레임 이미지들을 단일 이미지로 인식하는데 충분한 (예를 들면, 60 Hz보다 큰) 주파수에서 차례차례 디스플레이된다. 서브프레임들의 생성에 사용되는 데이터는 종종 다양한 메모리 성분들로 분열된다. 예를 들면, 몇몇 디스플레이들에서, 디스플레이의 소정 로우를 위한 데이터는 그 로우에 전용인 시프트 레지스터에서 보관된다. 이미지 데이터는 각 시프트 레지스터에서 그리고 각 시프트 레지스터로부터, 고정 클럭 사이클에 따라 디스플레이의 그 로우에서 대응하는 칼럼에서의 광변조기로 시프트된다.
- [0035] 도 1c는, 예를 들면, 도 1b에서 설명된 MEMS 다이렉트 뷰 디스플레이에 의해 본 발명의 예시적인 실시형태에 따라 구현될 수 있는, 필드 시퀀셜 컬러를 사용하여 이미지를 디스플레이하기 위한 디스플레이 프로세스에 대응하는 타이밍 다이어그램이다. 도 1c의 타이밍 다이어그램을 포함하여 여기에 포함된 타이밍 다이어그램들은 다음의 관습들을 따른다. 타이밍 다이어그램들의 윗 부분은 광변조기 어드레싱 이벤트들을 예시한다. 아랫 부분들은 램프 조명 이벤트들을 예시한다.
- [0036] 어드레싱 부분들은 시간에서 이격된 사선들에 의해 어드레싱 이벤트들을 도시한다. 각 사선은 일련의 개별

데이터 로딩 이벤트들에 대응하고 그 동안 데이터는 한번에 한 로우씩, 광변조기들의 어레이의 각 로우로 로딩된다. 디스플레이에 포함된 변조기들을 어드레싱하고 구동하기 위하여 사용된 제어 매트릭스에 따라, 각 로딩 이벤트는 소정 로우에서의 광변조기들이 액츄에이트하는 것을 허용하기 위하여 대기 기간을 필요로 할 수도 있다. 몇몇 구현들에서, 광변조기들의 어레이에서 모든 로우들은 광변조기들 중 어느 것의 액츄에이션 전에 어드레싱된다. 광변조기들의 어레이의 마지막 로우로의 데이터의 로딩의 완료시, 모든 광변조기들은 실질적으로 동시에 액츄에이트된다.

[0037] 램프 조명 이벤트들은 디스플레이에 포함된 램프의 각 컬러에 대응하는 펄스 트레인 (pulse train) 들에 의해 예시된다. 각 펄스는, 대응하는 컬러의 램프가 조명되며, 그에 의해 직전 어드레싱 이벤트에서 광변조기들의 어레이로 로딩된 서브프레임 이미지를 디스플레이하는 것을 나타낸다.

[0038] 소정 이미지 프레임의 디스플레이에서 제 1 어드레싱 이벤트가 시작되는 시간이 각 타이밍 다이어그램상에서 AT0으로 라벨링된다. 대부분의 타이밍 다이어그램들에서, 이 시간은 전압 펄스 vsync의 검출 직후에 하락하는데, 이는 디스플레이에 의해 수신된 각 비디오 프레임의 시작에 선행한다. 각 후속 어드레싱 이벤트가 일어나는 시간들이 AT1, AT2, ...AT(n-1) 로 라벨링되고, 여기서 n은 이미지 프레임을 디스플레이하기 위하여 사용된 서브프레임 이미지들의 수이다. 몇몇 타이밍 다이어그램들에서, 사선들은 또한 광변조기들의 어레이로 로딩되고 있는 데이터를 표시하기 위하여 라벨링된다. 예를 들면, 도 1c의 타이밍 다이어그램에서, D0는 프레임에 대해 광변조기들의 어레이로 로딩된 제 1 데이터를 표시하고 D(n-1) 는 그 프레임에 대해 광변조기들의 어레이로 로딩된 최종 데이터를 표시한다. 도 1d의 타이밍 다이어그램들에서, 각 어드레싱 이벤트 동안 로딩된 데이터는 컬러 서브프레임 이미지에 대응한다.

[0039] 도 1d는, 이미지 프레임의 3개 컬러 성분들 (적색, 녹색 및 청색) 중 각각에 대해 4개의 서브프레임 이미지들을 디스플레이하는 것에 의해 이미지 프레임들이 디스플레이되는 코딩된 시간 분할 그레이 스케일 디스플레이 프로세스에 대응하는 타이밍 다이어그램이다. 소정 컬러의 디스플레이된 각 서브프레임 이미지는 이전 서브프레임 이미지의 시간 기간의 절반 동안 같은 세기로 디스플레이되며, 그에 의해 서브프레임 이미지들을 위한 이진 그레이스케일 코딩 스킴을 구현한다. 각 서브프레임 이미지를 위해 어레이로 로딩된 데이터는 서브프레임 데이터 세트에 지칭되고, 도 1d의 예에 대하여, 서브프레임 데이터 세트는 비트평면 (bitplane) 으로 지칭된다. 비트평면은 이미지 프레임에서 컬러 성분을 위한 그레이스케일 코딩된 워드의 단일 유효 값에 대응하는 디스플레이의 다수의 칼럼 및 다수의 로우들에서의 픽셀들을 위한 데이터를 포함한다. 이진 코딩 스킴의 예에 대하여, 각 비트평면은 컬러 및 그레이스케일을 위해 코딩된 워드의 단일 이진 비트에 대응하는 어레이 데이터를 포함한다.

[0040] 이미지 프레임의 디스플레이는 vsync 펄스의 검출시 시작된다. 메모리 로케이션 M0에서 시작하여 저장된 제 1 서브프레임 데이터 세트 R3는 시간 AT0에서 시작하는 어드레싱 이벤트에서 광변조기들의 어레이 (103) 로 로딩된다. 다음으로 적색 램프는 시간 LT0에서 조명된다. LT0은 광변조기들 (103) 의 어레이에서 로우들 각각이 어드레싱되고 거기에 포함된 광변조기들이 액츄에이트된 후 일어나도록 선택된다. 시간 AT1에서, 다 이렉트 뷰 디스플레이의 제어기 (156) 는 적색 램프를 끌 뿐만아니라 후속 비트평면 R2를 광변조기들의 어레이 (103) 로 로딩하는 것을 시작한다. 이 비트평면은 메모리 로케이션 M1에서 시작하여 저장된다. 프로세스는, 모든 비트평면들이 디스플레이될 때까지 반복된다. 예를 들면, 시간 AT4에서, 제어기 (156) 는 적색 램프를 끄고 최대 유효 녹색 비트평면 G3을 광변조기들의 어레이 (103) 로 로딩하는 것을 시작한다. 유사하게 시간 LT6에서, 제어기 (156) 는 시간 AT7까지 녹색 램프를 켜고, 시간 AT7에서 녹색 램프는 다시 꺼진다.

[0041] 타이밍 다이어그램에서 vsync 펄스들 사이의 시간 기간은 프레임 시간을 표시하는 심볼 FT에 의해 표시된다. 몇몇 구현들에서 어드레싱 시간들 AT0, AT1 등 및 램프 시간들 LT0, LT1 등은 16.6밀리초의 프레임 시간 FT 내에, 즉 60 Hz의 프레임 레이트에 따라 컬러 당 4개 서브프레임 이미지들을 달성하도록 설계된다. 다른 구현들에서 시간 값들은 33.3밀리초의 프레임 시간 FT내에, 즉 30 Hz의 프레임 레이트에 따라 컬러당 4개 서브프레임 이미지들을 달성하도록 변경될 수 있다. 다른 구현들에서, 24 Hz 처럼 낮은 프레임 레이트들이 채용될 수도 있거나 또는 100 Hz를 초과하는 프레임 레이트들이 채용될 수도 있다.

[0042] 도 1d의 타이밍 다이어그램에 의해 예시된 코딩된 시간 분할 그레이 스케일의 특정 구현에서, 제어기는 디스플레이될 각 컬러를 위해 광변조기들의 어레이 (103) 로 4개의 서브프레임 이미지들을 출력한다. 4개 서브프레임 이미지들의 각각의 조명은 이진 시리즈 1,2,4,8에 따라 가중된다. 따라서, 도 1d의 타이밍 다이어그램에서 디스플레이 프로세스는 각 컬러에서 그레이 스케일에 대해 4-비트 이진 워드를 디스플레이한다, 즉 컬러 당 4개 서브이미지들만의 로딩에도 불구하고, 각 컬러에 대해 16개의 구별되는 그레이 스케일 레벨들을 디스플

레이할 수 있다. 컬러들의 조합을 통하여 도 1d의 타이밍 다이어그램의 구현은 4000개를 넘는 구별되는 컬러들을 디스플레이할 수 있다.

[0043] MEMS 광변조기들

[0044] 도 2a는 본 발명의 예시적인 실시형태에 따른, 도 1a의 MEMS-기반 디스플레이 장치 (100) 로의 통합에 적합한 예시적인 서터 기반 광변조기 (200) 의 사시도이다. 서터 기반 광변조기 (200) (서터 어셈블리 (200) 로도 지칭됨) 는 액츄에이터 (204) 에 연결된 서터 (202) 를 포함한다. 액츄에이터 (204) 는 2007년 9월 18일자 로 출원된 U.S. 특허 제7,271,945호에 설명된 바처럼 2개의 분리된 유연 진극 빔 액츄에이터들 (205) ("액츄에이터들 (205)") 로부터 형성된다. 서터 (202) 는 일측이 액츄에이터들 (205) 에 연결된다. 액츄에이터들 (205) 은 기관 (203) 에 실질적으로 평행한 운동의 평면에서 평면 (203) 위에서 가로로 서터 (202) 를 이동시킨다. 서터 (202) 의 반대측은 액츄에이터 (204) 에 의해 가해지는 힘들에 반대되는 복원력을 제공하는 스프링 (207) 에 연결된다.

[0045] 각 액츄에이터 (205) 는, 서터 (202) 를 로드 앵커 (208) 에 접속시키는 유연 로드 빔 (206) 을 포함한다. 유연 로드 빔 (206) 들과 함께 로드 앵커들 (208) 은 기계적 지지체의 역할을 하며, 서터 (202) 를 표면 (203) 에 근접하게 매달려지게 유지한다. 로드 앵커들 (208) 은 유연 로드 빔들 (206) 및 서터 (202) 를 표면 (203) 에 물리적으로 접속시키고 로드 빔들 (206) 을 바이어스 전압에 전기적으로 접속, 몇몇 경우에는 접지시킨다.

[0046] 각 액츄에이터 (205) 는 또한 각 로드 빔 (206) 에 인접하게 배치된 유연 구동 빔 (216) 을 포함한다. 구동 빔들 (216) 은 일 단부가, 구동 빔들 (216) 사이에 공유된 구동 빔 앵커 (218) 에 연결된다. 각 구동 빔 (216) 의 타단부는 이동이 자유롭다. 각 구동 빔 (216) 은 구동 빔 (216) 의 자유 단부와 로드 빔 (206) 의 정착 단부 (anchored end) 근처에서 로드 빔 (206) 에 가장 가깝도록 만족된다.

[0047] 표면 (203) 은 광의 통과를 허용하기 위한 하나 이상의 애퍼처들 (211) 을 포함한다. 서터 어셈블리 (200) 가, 예를 들면 실리콘으로부터 만들어진 불투명 기관 상에 형성되면, 표면 (203) 은 그 기관의 표면이 되고, 애퍼처들 (211) 은 기관을 관통하는 홀들의 어레이를 식각하여 형성된다. 서터 어셈블리 (200) 가, 예를 들면 유리 또는 플라스틱으로부터 만들어진 투명 기관 상에 형성되면, 표면 (203) 은 기관 상에 성막된 광 차단 층의 표면이고, 애퍼처들은 홀들의 어레이 (211) 로 표면 (203) 을 식각하여 형성된다. 애퍼처들 (211) 은 일반적으로 형상이 원형, 타원형, 다각형, 사행형, 또는 불규칙형일 수 있다.

[0048] 동작에 있어서, 광변조기 (200) 를 포함하는 디스플레이 장치는 전기 포텐셜을 구동 빔 앵커 (218) 를 통해 구동 빔들 (216) 에 인가한다. 제 2 전기 포텐셜이 로드 빔들 (206) 에 인가될 수도 있다. 구동 빔들 (216) 과 로드 빔들 (206) 사이의 결과적인 포텐셜 차이는 구동 빔들 (216) 의 자유 단부들을 로드 빔들 (206) 의 정착 단부들쪽으로 끌어당기고, 로드 빔들 (206) 의 서터 단부들을 구동 빔들 (216) 의 정착 단부들쪽으로 끌어당겨서, 구동 앵커 (218) 를 향해 가로로 서터 (202) 를 구동한다. 유연 부재들 (206) 은 스프링들 처럼 작용해서, 빔들 (206 및 216) 을 가로지르는 전압이 제거될 때, 로드 빔들 (206) 은 서터 (202) 를 그의 초기 포지션으로 다시 밀며, 로드 빔들 (206) 에 저장된 에너지를 방출한다.

[0049] 탄성 서터 어셈블리라도 지칭되는 서터 어셈블리 (200) 는 스프링과 같은 수동적인 복원력을 포함하여, 전압들이 제거된 후에 서터를 그의 정지 (rest) 또는 릴렉스 (relax) 된 포지션으로 복귀시킨다. 다수의 탄성 복원 메카니즘들 및 여러 정전기 연결들이 정전기 액츄에이터들 속으로 또는 공동으로 설계될 수 있으며, 서터 어셈블리 (200) 에 예시된 유연 빔들은 하나의 예일 뿐이다. 참조에 의해 전부 본원에 인용되는 U.S. 특허 제 7,271,945호 및 U.S. 특허 출원 제11/326,696호에 다른 예들이 설명되어 있다. 예를 들어, 동작의 "열린" vs "닫힌" 상태들 사이에 급격한 천이에 유리하고, 많은 경우들에서 서터 어셈블리에 대한 쌍안정 또는 이력 (hysteretic) 동작 특성을 제공하는 고도로 비선형 전압 변위 응답이 제공될 수 있다. 더 증분적인 전압 변위 응답들을 갖고 상당히 감소된 이력들을 갖는 다른 정전기 액츄에이터들이 설계될 수 있는데 이는 아날로그 그레이 스케일 동작을 위해 바람직할 수도 있다.

[0050] 탄성 서터 어셈블리 내의 액츄에이터 (205) 는 닫힌 또는 액츄에이트된 포지션과 릴렉스된 포지션 사이에서 동작한다고 한다. 하지만, 설계자는, 액츄에이터 (205) 가 그의 릴렉스된 포지션에 있을 때마다, 서터 어셈블리 (200) 가 "열린" 상태 즉, 광을 통과시키거나 또는 "닫힌" 상태, 즉 광을 차단하는 것 중 어느 한쪽에 있도록 애퍼처들 (211) 을 배치하는 것을 선택할 수 있다. 예시적인 목적으로, 아래에서 여기에 설명된 탄성 서터 어셈블리들은 그들의 릴렉스된 상태에서 열려있도록 설계된다.

- [0051] 많은 경우들에서, 제어 전자장치 (control electronics) 가 열린 및 닫힌 상태들의 각각으로 셔터들을 정전기적으로 구동할 수 있도록 셔터 어셈블리의 부분으로서 "열린" 및 "닫힌" 액츄에이터들의 이중 세트를 제공하는 것이 바람직하다.
- [0052] 디스플레이 장치 (100) 는, 대안의 실시형태들에서, 위에서 설명된 셔터 어셈블리 (200) 와 같은 가로 방향 셔터 기반 광변조기들이외의 광변조기들을 포함한다. 예를 들면 도 2b는 본 발명의 예시적인 실시형태에 따른, 도 1a의 MEMS-기반 디스플레이 장치 (100) 의 대안의 실시형태로의 통합에 적합한 롤링 액츄에이터 셔터 기반 광변조기 (220) 의 단면도이다. 참조에 의해 본원에 전부 인용된, 발명의 명칭이 "Electric Display Device" 인 U.S. 특허 제5,233,459호, 및 발명의 명칭이 "Spatial Light Modulator" 인 U.S. 특허 제 5,784,189호에 더 설명되어 있는 바처럼, 롤링 액츄에이터 기반 광변조기는 고정 전극 반대에 배치되고 바람직한 방향으로 이동하도록 바이어스되어 전기장의 인가시 셔터를 낚는 가동 전극을 포함한다. 일 실시형태에서, 광변조기 (220) 는 기관 (228) 과 절연층 (224) 사이에 배치된 평면형 전극 (226) 과 절연 층 (224) 에 부착된 고정 단부 (230) 를 갖는 가동 전극 (222) 을 포함한다. 어떠한 인가된 전압도 없을 때, 가동 전극 (222) 의 가동 단부 (232) 는 자유로이 고정 단부 (230) 쪽으로 말려서 (roll) 말린 상태를 낚는다. 전극들 (222 및 226) 간의 전압의 인가는 가동 전극 (222) 이 풀리고 절연 층 (224) 에 대해 평탄하게 놓이게 하며, 그에 의해 기관 (228) 을 통해 이동하는 광을 차단하는 셔터로서 작용한다. 가동 전극 (222) 은 전압이 제거된 후에 탄성 복원력에 의해 풀린 상태로 복귀한다. 말린 상태쪽으로서의 성향 (bias) 은 비등방성 응력 상태 (anisotropic stress state) 를 포함하도록 가동 전극 (222) 을 제조하는 것에 의해 달성될 수도 있다.
- [0053] 도 2c는 예시적인 비셔터 기반 MEMS 광변조기 (250) 의 단면도이다. 광탭 변조기 (light tap modulator; 250) 는 본 발명의 예시적인 실시형태에 따라, 도 1a의 MEMS 기반 디스플레이 장치 (100) 의 대안의 실시형태로의 통합에 적합하다. 참조에 의해 전부 본원에 인용된, 발명의 명칭이 "Micromechanical Optical Switch and Flat Panel Display" 인 U.S. 특허 제5,771,321호에서 더 설명되는 바처럼, 광탭은 부분 내부 전반사 (frustrated total internal reflection) 의 원리에 따라 작동한다. 즉, 광 (252) 이 광 가이드 (254) 속으로 도입되고, 여기서 간섭 없이, 광은 내부 전반사에 기인하여 대부분 광 가이드 (254) 를 그의 프론트 또는 리어 표면들을 통해 빠져나갈 수 없다. 광탭 (250) 은, 광 가이드 (254) 에 접촉하는 탭 엘리먼트 (256) 에 응답하여, 탭 엘리먼트 (256) 에 인접한 광 가이드 (254) 의 표면에 부딪치는 광 (252) 이 광 가이드 (254) 를 탭 엘리먼트 (256) 를 통해 뷰어쪽으로 빠져나가서, 이미지 형성에 기여할 정도로 충분히 높은 굴절률을 갖는 탭 엘리먼트 (256) 를 포함한다.
- [0054] 일 실시형태에서, 탭 엘리먼트 (256) 는 플렉서블한, 투명 재료의 빔 (258) 의 부분으로서 형성된다. 전극들 (260) 은 빔 (258) 의 일측의 부분들을 코팅한다. 반대 전극들 (260) 은 광 가이드 (254) 상에 배치된다. 전극들 (260) 에 걸쳐 전압을 인가하는 것에 의해, 광 가이드 (254) 에 상대적인 탭 엘리먼트 (256) 의 포지션이 광 가이드 (254) 로부터 광 (252) 을 선택적으로 추출하도록 제어될 수 있다.
- [0055] 도 2d는 본 발명의 다양한 실시형태들에서의 포함에 적합한 제 2 예시적인 비셔터 기반 MEMS 광변조기의 단면도이다. 구체적으로, 도 2d는 전기습윤 기반 광변조기 어레이 (270) 의 단면도이다. 전기 습윤 기반 광변조기 어레이 (270) 는 본 발명의 예시적인 실시형태에 따라, 도 1a의 MEMS 기반 디스플레이 장치 (100) 의 대안의 실시형태로의 통합에 적합하다. 광변조기 어레이 (270) 는 광학적인 공동 (274) 상에 형성된 복수의 전기습윤 기반 광 변조 셀들 (272a-272d) (일반적으로 "셀들 (272)") 을 포함한다. 광변조기 어레이 (270) 는 또한 셀들 (272) 에 대응하는 컬러 필터들 (276) 의 세트를 포함한다.
- [0056] 각 셀 (272) 은 물 (또는 다른 투명 도전 또는 극성 유체) 의 층 (278), 광 흡수 오일의 층 (280), 투명 전극 (282) (예를 들면, 인듐 주석 산화물로부터 만들어짐), 및 광 흡수 오일의 층 (280) 과 투명 전극 (282) 사이에 배치된 절연층 (284) 을 포함한다. 그러한 셀들의 예시적인 구현들은 2005년 5월 19일자로 공개되고 발명의 명칭이 "Display Device" 인 U.S. 특허 출원 공개 공보 제2005/0104804호에 더 설명되어 있다. 여기에 설명된 실시형태에서, 전극은 셀 (272) 의 리어 표면의 일부분을 차지한다.
- [0057] 광변조기 어레이 (270) 는 또한 광 가이드 (288) 및, 광 (294) 을 광 가이드 (288) 속으로 주입하는 하나 이상의 광 소스들 (292) 을 포함한다. 일련의 광 리디렉터들 (light redirectors; 291) 이 광 가이드의 리어 표면 상에, 프론트를 향한 반사층 (290) 에 근접하게, 형성된다. 광 리디렉터들 (291) 은 확산 반사기 (diffuse reflector) 또는 경면 반사기 (specular reflector) 중 어느 한쪽일 수도 있다. 변조기 어레이 (270) 는, 광선 (294) 이 셀들 (272) 을 통과하여 뷰어를 향하게 하는 것을 허용하기 위하여, 셀들 (272) 의 각각에 대하여 하나의 애퍼처씩, 일련의 애퍼처들로 패터닝되는 애퍼처 층 (286) 을 포함한다.

- [0058] 일 실시형태에서, 애퍼처 층 (286) 은 패터닝된 애퍼처들을 통과하는 것을 제외하고 광의 통과를 차단하기 위한 광 흡수 재료로 구성된다. 다른 실시형태에서, 애퍼처 층 (286) 은 광 가이드 (288) 의 리어를 향해 뒤로 표면 애퍼처들을 통과하지 않는 광을 반사하는 반사성 재료로 구성된다. 광 가이드로 복귀한 후에, 반사된 광은 또한 프론트를 향한 반사성 층 (290) 에 의해 다시 이용될 수 있다.
- [0059] 동작에 있어서, 셀의 전극 (282) 에의 전압의 인가는 셀에 있는 광 흡수 오일 (280) 이 셀 (272) 의 일부로 이동하거나 또는 수집되게 한다. 결과적으로, 광 흡수 오일 (280) 은 더이상 반사 애퍼처 층 (286) 에 형성된 애퍼처를 통한 광의 통과를 막지 않는다 (예를 들면, 셀들 (272b 및 272c) 참조). 다음으로, 애퍼처에서 광 가이드 (288) 를 빠져나가는 광은 셀을 빠져나가고 컬러 필터들 (276) 의 세트에서 대응하는 컬러 (예를 들면, 적색, 녹색 또는 청색) 필터를 빠져나가 이미지에서 컬러 픽셀을 형성할 수 있다. 전극 (282) 이 접지될 때, 광 흡수 오일 (280) 은 (셀 (272a) 에서 처럼) 그의 이전 포지션으로 복귀하고, 반사성 애퍼처 층 (286) 에 있는 애퍼처를 덮어서, 그것을 통과하기 위해 시도하는 어떠한 광 (294) 도 흡수한다.
- [0060] 롤러-기반 광변조기 (220), 광택 (250) 및 전기습윤 기반 광변조기 어레이 (270) 는 본 발명의 다양한 실시형태들에서의 포함에 적합한 MEMS 광변조기들의 유일한 예들이 아니다. 다른 MEMS 광변조기들이 존재할 수 있고 본 발명에 유용하게 포함될 수 있다는 것이 이해될 것이다.
- [0061] U.S. 특허 제7,271,945호 및 U.S. 특허 출원 제11/326,696호는 다양한 방법들을 설명하였고 그에 의해 서터들의 어레이는 제어 매트릭스를 통해 제어되어, 적절한 그레이 스케일을 갖는 이미지들, 많은 경우들에서는 움직이는 이미지들을 낳는다. 몇몇 경우들에서, 제어는 디스플레이의 주변의 드라이버 회로들에 접속된 로우 및 칼럼 인터커넥트들의 수동 매트릭스 어레이에 의해 달성된다. 다른 경우들에서, 디스플레이의 스피드, 그레이 스케일 및/또는 전력 소비 성능중 어느 하나를 향상시키기 위하여 (소위 액티브 매트릭스인) 어레이의 각 픽셀 내의 스위칭 및/또는 데이터 저장 엘리먼트들을 포함하는 것이 적절하다.
- [0062] 도 3a는 본 발명의 예시적인 실시형태에 따른, 도 1a의 MEMS-기반 디스플레이 장치 (100) 로 통합된 광변조기들을 제어하는데 적합한 제어 매트릭스 (300) 의 구성도이다. 도 3b는 본 발명의 예시적인 실시형태에 따른, 도 3a의 제어 매트릭스 (300) 에 접속된 서터 기반 광변조기들의 어레이 (320) 의 사시도이다. 제어 매트릭스 (300) 는 픽셀들의 어레이 (320) ("어레이 (320)") 를 어드레스할 수도 있다. 각 픽셀 (301) 은 액츄에이터 (303) 에 의해 제어되는, 도 2a의 서터 어셈블리 (200) 와 같은 탄성 서터 어셈블리 (302) 를 포함한다. 각 픽셀은 또한 애퍼처들 (324) 을 포함하는 애퍼처 층 (322) 을 포함한다. 또한 서터 어셈블리 (302) 와 같은 서터 어셈블리들 및 그들에 대한 변형들의 추가적인 전기적 및 기계적 설명들은 U.S. 특허 제7,271,945호 및 U.S. 특허 출원 번호 제11/326,696호 에서 찾을 수 있다. 다른 제어 매트릭스들의 설명은 U.S. 특허 출원 번호 제11/607,715호에서도 찾을 수 있다.
- [0063] 제어 매트릭스 (300) 는, 서터 어셈블리들 (302) 이 형성되는 기관 (304) 의 표면 상의 확산 또는 박막 성막된 (thin-film-deposited) 전기 회로로서 제조된다. 제어 매트릭스 (300) 는 제어 매트릭스 (300) 에서 픽셀들 (301) 의 각 로우에 대해 스캔 라인 인터커넥트 (306) 와 제어 매트릭스 (300) 에서 픽셀들 (301) 의 각 칼럼에 대해 데이터 인터커넥트 (308) 를 포함한다. 각 스캔 라인 인터커넥트 (306) 는 쓰기 인에이블링 전압 소스 (307) 를 픽셀들 (301) 의 대응하는 로우에서 픽셀들 (301) 에 전기적으로 접속시킨다. 각 데이터 인터커넥트 (308) 는 데이터 전압 소스 ("V_d 소스") (309) 를 픽셀들 (301) 의 대응하는 칼럼에서 픽셀들 (301) 에 전기적으로 접속시킨다. 제어 매트릭스 (300) 에서, 데이터 전압 (V_d) 는 서터 어셈블리들 (302) 의 액츄에이션을 위해 필요한 대부분의 에너지를 제공한다. 따라서, 데이터 전압 소스 (309) 는 또한 액츄에이션 전압 소스의 역할을 한다.
- [0064] 도 3a 및 도 3b를 참조하면, 각 픽셀 (301) 에 대하여 또는 픽셀들의 어레이 (320) 에 있는 각 서터 어셈블리 (302) 에 대하여, 제어 매트릭스 (300) 는 트랜지스터 (310) 및 커패시터 (312) 를 포함한다. 각 트랜지스터 (310) 의 게이트는 픽셀 (301) 이 위치된 어레이 (320) 에 있는 로우의 스캔 라인 인터커넥트 (306) 에 전기적으로 접속된다. 각 트랜지스터 (310) 의 소스는 그의 대응하는 데이터 인터커넥트 (308) 에 전기적으로 접속된다. 각 서터 어셈블리 (302) 의 액츄에이터 (303) 는 2개의 전극들을 포함한다. 각 트랜지스터 (310) 의 드레인 은 대응하는 커패시터 (312) 의 하나의 전극에 그리고 대응하는 액츄에이터 (303) 의 전극들중 하나에 평행하게 전기적으로 접속된다. 서터 어셈블리 (302) 에서 커패시터 (312) 의 다른 전극 및 액츄에이터 (303) 의 다른 전극은 공통 또는 접지 포텐셜에 접속된다. 다른 구현들에서, 트랜지스터들 (310) 은 반도체 다이오드들 및 또는 금속 절연체 금속 샌드위치 타입 스위칭 엘리먼트들로 교체된다.

- [0065] 동작에 있어서, 이미지를 형성하기 위하여, 제어 매트릭스 (300) 는 V_{we} 를 각 스캔 라인 인터커넥트 (306) 에 차례로 인가하는 것에 의해 차례차례 어레이 (320) 에서 각 로우를 쓰기 인에이블 한다. 쓰기 인에이블된 로우에 대해, 로우에서 픽셀들 (301) 의 트랜지스터들 (310) 의 게이트들에 V_{we} 의 인가는 데이터 인터커넥트들 (308) 을 통한 전류의 흐름이 트랜지스터들 (310) 을 통하여 서터 어셈블리 (302) 의 액츄에이터 (303) 에 포텐셜을 인가하는 것을 허용한다. 로우는 쓰기 인에이블된 동안, 데이터 전압 V_d 은 데이터 인터커넥트들 (308) 에 선택적으로 인가된다. 아날로그 그레이 스케일을 제공하는 구현들에서, 각 데이터 인터커넥트 (308) 에 인가된 데이터 전압은 쓰기 인에이블된 스캔 라인 인터커넥트 (306) 및 데이터 인터커넥트 (308) 의 교차점 (intersection) 에 위치한 픽셀 (301) 의 원하는 밝기에 대해 변화된다. 디지털 제어 스킴들을 제공하는 구현들에서, 데이터 전압이 상대적으로 낮은 크기 전압 (즉, 접지 근처 전압) 이 되거나 또는 V_{at} (액츄에이션 임계 전압) 을 충족 또는 초과하는 것 중 어느 일방이 되도록 선택된다. 데이터 인터커넥트 (308) 에 의 V_{at} 의 인가에 응답하여, 대응하는 서터 어셈블리 (302) 에서의 액츄에이터 (303) 가 액츄에이트하여, 그 서터 어셈블리 (302) 에서 서터를 열리게 한다. 데이터 인터커넥트 (308) 에 인가된 전압은 제어 매트릭스 (300) 가 V_{we} 를 로우에 인가하는 것을 중단한 경우에도 픽셀 (301) 의 커패시터 (312) 에 저장된 채로 남는다. 따라서, 서터 어셈블리 (302) 가 액츄에이트할 만큼 충분히 긴 시간들 동안 로우 상에서 전압 V_{we} 를 대기 및 유지할 필요는 없고; 그러한 액츄에이션은 로우로부터 쓰기 인에이블링 전압이 제거된 후에 진행될 수 있다. 커패시터들 (312) 은 또한 어레이 (320) 내의 메모리 엘리먼트들로서 기능하며, 이미지 프레임의 조명에 필요한 만큼 긴 시간들 동안 액츄에이션 명령들을 저장한다.
- [0066] 어레이 (320) 의 제어 매트릭스 (300) 뿐만 아니라 픽셀들 (301) 이 기관 (304) 상에 형성된다. 어레이는 어레이 (320) 에 있는 각각의 셀들 (301) 을 위한 애퍼처 (324) 들의 세트를 포함하는, 기관 (304) 상에 배치된, 애퍼처 층 (322) 을 포함한다. 애퍼처들 (324) 은 각 픽셀에서 서터 어셈블리들 (302) 과 정렬된다. 하나의 구현에서 기관 (304) 은 유리 또는 플라스틱과 같은 투명 재료로 만들어진다. 다른 구현들에서 기관 (304) 은, 여기에서 불투명 재료로 만들어 지는, 애퍼처들 (324) 을 형성하도록 홀들이 식각된다.
- [0067] 서터 어셈블리들 (302) 의 컴포넌트들은 제어 매트릭스 (300) 로서 동시에 또는 동일 기관 상에서 후속 프로세싱 단계들 중 어느 일방에서 프로세싱된다. 제어 매트릭스 (300) 에서의 전기 컴포넌트들은 액정 디스플레이들을 위한 박막 트랜지스터 어레이들의 제조와 공통되는 많은 박막 기법들을 사용하여 제조된다. 여기에 참조에 의해 인용되는, Den Boer의 Active Matrix Liquid Crystal Displays (Elsevier, Amsterdam, 2005) 에 이용가능한 기법들이 설명되어 있다. 서터 어셈블리들은 미소기계적 (즉 MEMS) 디바이스들의 제조로부터 또는 미소기계가공 기술과 유사한 기법들을 사용하여 제조된다. 많은 적용가능한 박막 MEMS 기법들은, 참조에 의해 여기에 인용된, Rai-Choudhury 의, ed., Handbook of Microlithography, Micromachining & Microfabrication (SPIE Optical Engineering Press, Bellingham, Wash. 1997) 에 설명되어 있다. 유리 기관들 상에 형성된 MEMS 광변조기들에 특유한 제조 기법들은 참조에 의해 전부 여기에 인용된 U.S. 특허출원 제11/361,785호 및 제11/731,628호에서 찾을 수 있다. 가령, 그러한 출원들에서 설명된 바처럼, 서터 어셈블리 (302) 는 화학 기상 증착 프로세스에 의해 증착되는, 비정질 실리콘의 박막들로부터 형성될 수 있다.
- [0068] 액츄에이터 (303) 와 함께 서터 어셈블리 (302) 는 쌍안정으로 만들어질 수 있다. 즉, 서터들은 적어도 2개의 평행 포지션들 (예를 들면, 열린 또는 닫힌) 로 존재할 수 있으며 어느 일방의 포지션으로 그들을 유지하게 위해 요구되는 전력은 거의 없거나 또는 전혀 없다. 보다 상세하게는, 서터 어셈블리 (302) 는 기계적으로 쌍안정일 수 있다. 서터 어셈블리 (302) 의 서터의 포지션이 설정되고 나면, 그 포지션을 유지하기 위하여 전기 에너지 또는 유지 에너지는 필요하지 않다. 서터 어셈블리 (302) 의 물리적 엘리먼트들 상의 기계적 응력들은 서터를 제자리에 유지할 수 있다.
- [0069] 액츄에이터 (303) 와 함께 서터 어셈블리 (302) 는 또한 전기적으로 쌍안정으로 만들어질 수 있다. 전기적으로 쌍안정한 서터 어셈블리에 있어서, 서터 어셈블리의 액츄에이션 전압 아래 전압들의 범위가 존재하는데, 이는 (서터가 열리거나 또는 닫힌 상태 중 어느 하나인) 닫힌 액츄에이터에 인가되면, 서터에 반대 힘이 가해지는 경우에도 액츄에이터를 닫힌 상태 그리고 서터의 포지션을 유지한다. 반대 힘은 서터 기반 광변조기 (200) 에서 스프링 (207) 과 같은 스프링에 의해 가해질 수도 있거나 또는 반대 힘은 "열린" 또는 "닫힌" 액츄에이터와 같은 반대 액츄에이터에 의해 가해질 수도 있다.
- [0070] 광변조기 어레이 (320) 는 픽셀당 단일 MEMS 광변조기를 갖는 것으로 도시된다. 다수의 MEMS 광변조기들이

각 픽셀에 제공되어, 각 픽셀에서 단지 이진 "온" 또는 "오프" 광학 상태들보다 많은 가능성을 제공하는 다른 실시형태들이 가능하다. 픽셀에서 다수의 MEMS 광변조기들이 제공되고, 광변조기들의 각각과 연관된 애퍼처들 (324) 이 같지 않은 면적들을 갖는 코딩된 면적 분할 그레이 스케일 (coded area division gray scale) 의 어떤 형태들이 가능하다.

[0071] 다른 실시형태들에서, 롤러 기반 광변조기 (220), 광택 (250) 또는 전기습윤 기반 광변조기 어레이 (270), 및 다른 MEMS 기반 광변조기들이 광변조기 어레이 (320) 내에서 셔터 어셈블리 (302) 를 대신할 수 있다.

[0072] 도 4a 및 도 4b는 본 발명의 다양한 실시형태들에 적합한 대안의 셔터 기반 광변조기 (셔터 어셈블리) (400) 를 예시한다. 광변조기 (400) 는 듀얼 액츄에이터 셔터 어셈블리의 예이고 도 4a에서 열린 상태로 도시되어 있다. 도 4b는 닫힌 상태의 듀얼 액츄에이터 셔터 어셈블리 (400) 의 도면이다. 셔터 어셈블리 (400) 는 위에서 언급된, U.S. 특허 출원 제11/251,035호에 더 상세히 설명되어 있다. 셔터 어셈블리 (200) 와 대조적으로, 셔터 어셈블리 (400) 는 셔터 (406) 의 어느 한쪽 측면에 액츄에이터 (402 및 404) 를 포함한다. 각 액츄에이터 (402 및 404) 는 독립적으로 제어된다. 제 1 액츄에이터, 셔터 열림 액츄에이터 (402) 는 셔터 (406) 를 여는 역할을 한다. 제 2 반대 액츄에이터, 셔터 닫힘 액츄에이터 (404) 는 셔터 (406) 를 닫는 역할을 한다. 양쪽 모두의 액츄에이터들 (402 및 404) 는 유연 빔 전극 액츄에이터들이다. 액츄에이터들 (402 및 404) 는 위에 셔터가 매달려지는 애퍼처 층 (407) 에 실질적으로 평행한 평면에서 셔터 (406) 를 구동하는 것에 의해 셔터 (406) 를 열고 닫는다. 셔터 (406) 는 액츄에이터들 (402 및 404) 에 부착된 앵커들 (408) 에 의해 애퍼처 층 (407) 위에서 짧은 거리 (short distance) 로 매달려진다. 셔터 (406) 의 이동 축을 따라 셔터 (406) 의 양쪽 단부들에 부착된 지지체들의 포함은 셔터 (406) 의 평면의 운동 (out of plane motion) 을 감소시키고 그 운동을 기판에 실질적으로 평행한 면으로 한정한다. 도 3a의 제어 매트릭스 (300) 에 유사하게, 셔터 어셈블리 (400) 와의 사용에 적합한 제어 매트릭스는 반대 셔터 열림 액츄에이터 및 셔터 닫힘 액츄에이터들 (402 및 404) 의 각각에 대해 하나의 트랜지스터와 하나의 커패시터를 포함할 수도 있다.

[0073] 셔터 (406) 는 광이 통과할 수 있는 2개의 셔터 애퍼처들 (412) 을 포함한다. 애퍼처 층 (407) 은 3개의 애퍼처들 (409) 의 세트를 포함한다. 도 4a에서, 셔터 어셈블리 (400) 는 열린 상태에 있고 그래서 셔터 열림 액츄에이터 (402) 가 액츄에이트되고, 셔터 닫힘 액츄에이터 (404) 는 그의 릴렉스된 포지션에 있고, 애퍼처들 (412 및 409) 의 중심라인들은 일치된다. 도 4b에서, 셔터 어셈블리 (400) 는 닫힌 상태로 이동되었고, 그래서 셔터 열림 액츄에이터 (402) 는 그의 릴렉스된 포지션에 있고, 셔터 닫힘 액츄에이터 (404) 가 액츄에이터 되었었고, 셔터 (406) 의 광 차단 부분들은 이제 (점선들로 도시된) 애퍼처들 (409) 을 통한 광의 투과를 차단하는 포지션에 있다. 각 애퍼처는 그의 주변 둘레 적어도 하나의 에지를 갖는다. 예를 들면, 직사각형 애퍼처들 (409) 은 4개의 에지들을 갖는다. 원형, 타원형, 계란형, 또는 다른 곡선의 애퍼처들이 애퍼처 층 (407) 에 형성되는 대안의 구현들에서, 각 애퍼처는 단일 에지만을 가질 수도 있다. 다른 구현들에서 애퍼처들은 수학적 의미에서 분리되거나 또는 비연결 (disjoint) 될 필요는 없고, 그 대신 접촉될 수 있다. 즉, 애퍼처의 부분들 또는 형상화된 섹션들은 각 셔터에 대한 대응성 (correspondence) 을 유지할 수도 있지만, 이들 섹션들의 몇몇은, 애퍼처의 단일의 연속적인 주위가 다수의 셔터들에 의해 공유되도록 접촉될 수도 있다.

[0074] 다양한 출사 각도들을 갖는 광이 열린 상태의 애퍼처들 (412 및 409) 를 통과하는 것을 허용하기 위하여, 애퍼처 층 (407) 에서의 애퍼처들 (409) 의 대응하는 폭 또는 크기 보다 더 큰 폭 또는 크기를 셔터 애퍼처들 (412) 에 제공하는 것이 유리하다. 닫힌 상태에서 광이 빠져나가는 것을 효과적으로 차단하기 위하여, 셔터 (406) 의 광 차단 부분들은 애퍼처들 (409) 과 오버랩되는 것이 바람직하다. 도 4b는 셔터 (406) 에서 광 차단 부분들의 에지와 애퍼처 층 (407) 에 형성된 애퍼처 (409) 의 하나의 에지 사이의 미리 정의된 오버랩 (416) 을 도시한다.

[0075] 정전기 액츄에이터들 (402 및 404) 는, 그들의 전압 변위 거동이 셔터 어셈블리 (400) 에 쌍안정 특성을 제공하도록 설계된다. 셔터 열림 및 셔터 닫힘 액츄에이터들의 각각에 대하여 액츄에이션 전압 아래의 전압들의 범위가 존재하는데, 이는 (셔터가 열리거나 또는 닫힌 상태 중 어느 하나에 있는) 그 액츄에이터가 닫힌 상태에 있는 동안 인가되면, 심지어 액츄에이션 전압이 반대 액츄에이터에 인가된 후에도, 액츄에이터를 닫힌 상태로 그리고 셔터의 포지션을 유지할 것이다. 그러한 반대 힘에 대항하여 셔터의 포지션을 유지하기 위해 필요한 최소 전압은 유지 전압 V_m 으로 지칭된다.

[0076] 도 4c는 제 1 및 제 2 반대 액츄에이터들을 포함하는, 비셔터 기반 MEMS 광변조기 (450) 의 단면도이다. 광 변조기 (450) 는 또한 부분 내부 전반사의 원리에 따라 동작하는, 듀얼 액츄에이터 광택으로 지칭된다. 듀

열 액추에이터 광택은 위에 언급된, U.S. 특허 제5,771,321호에 설명된 바처럼 광택 변조기 (250) 의 변형이다. 듀얼 액추에이터 광택 (450) 은 광 가이드 (454) 를 포함하고, 여기서 간섭 없이, 광은 내부 전반사에 기인하여 대부분 그의 프론트 또는 리어 표면들을 통해 빠져나갈 수 없다. 광택 (450) 은 또한 커버 시트 (452) 및 플렉서블 막 또는 탭 엘리먼트 (456) 을 포함한다. 탭 엘리먼트 (456) 은, 광 가이드 (454) 에 접촉하는 탭 엘리먼트 (456) 에 응답하여, 탭 엘리먼트 (456) 에 인접한 광 가이드 (454) 의 표면에 부딪치는 광이 광 가이드 (454) 를 탭 엘리먼트 (456) 를 통해 뷰어쪽으로 빠져나가서, 이미지 형성에 기여할 정도로 충분히 높은 굴절률을 갖는다.

[0077] 탭 엘리먼트 (456) 는 플렉서블 투명 재료로부터 형성된다. 전극들 (460) 이 탭 엘리먼트 (456) 에 연결된다. 광택 (450) 은 또한 전극들 (462 및 464) 을 포함한다. 전극들 (460 및 462) 의 조합은 제 1 액추에이터 (470) 를 포함하고, 전극들 (460 및 464) 의 조합은 제 2 반대 액추에이터 (472) 를 포함한다. 전압을 제 1 액추에이터 (470) 에 인가하는 것에 의해, 탭 엘리먼트 (456) 는 광 가이드 (454) 쪽으로 이동하여, 광이 광 가이드 (454) 로부터 추출되는 것을 허용할 수 있다. 전압을 제 2 액추에이터 (472) 에 인가하는 것에 의해, 탭 엘리먼트는 광 가이드 (454) 로부터 멀어지게 이동하여, 광 가이드 (454) 로부터 광의 추출을 제한할 수 있다.

[0078] 액추에이터들 (470 및 472) 은, 그들의 전압 변위 거동이 광택 (450) 에 전기적으로 쌍안정 특성을 제공하도록 설계된다. 제 1 및 제 2 액추에이터들의 각각에 대하여 액추에이션 전압 아래의 전압들의 범위가 존재하는데, 이는 그 액추에이터가 닫힌 상태에 있는 동안 인가되면, 심지어 액추에이션 전압이 반대 액추에이터에 인가된 후에도, 액추에이터를 닫힌 상태로 그리고 탭 엘리먼트의 포지션을 유지할 것이다. 그러한 반대 힘에 대하여 탭 엘리먼트의 포지션을 유지하기 위해 필요한 최소 전압은 유지 전압 V_m 으로 지칭된다.

[0079] 전기적 쌍안정성은 액추에이터에 걸쳐 정전기력이 전압뿐만 아니라 포지션의 강한 함수 (function) 라는 사실로부터 생긴다. 광변조기들 (400 및 450) 에서 액추에이터들의 빔은 커패시터 플레이트들로서 작용한다. 커패시터 플레이트들 간의 힘은 $1/d^2$ 에 비례하고, 여기서 d 는 커패시터 플레이트들 간의 국부적인 분리 거리이다. 닫힌 액추에이터에서, 액추에이터 빔들 간의 국부적인 분리는 매우 작다. 따라서, 작은 전압의 인가는 닫힌 액추에이터의 액추에이터 빔들 간의 상대적으로 강한 힘을 초래할 수 있다. 결과적으로, 상대적으로 작은 전압 이틀테면 V_m 이, 다른 엘리먼트들이 닫힌 액추에이터에 반대 힘을 가하는 경우에도, 액추에이터를 닫힌 상태로 유지할 수 있다.

[0080] (예를 들면, 셔터를 열고 닫기 위하여 각각) 2개의 반대 액추에이터들을 제공하는 광변조기들 (이틀테면, 400 및 450) 에서, 변조기의 평형 포지션은 액추에이터들의 각각을 가로지르는 전압 차이들의 결합된 효과에 의해 결정될 것이다. 즉, 모든 3개의 단자들 (예를 들면, 셔터 열림 구동 빔, 셔터 닫힘 구동 빔, 및 셔터/로드 빔) 의 전기 포텐셜 및 변조기 포지션은 변조기 상의 평형 힘들을 결정하기 위하여 고려되어야 한다.

[0081] 전기 쌍안정 시스템을 위해, 로직 규칙 (logic rule) 들이 세트는 안정 상태를 설명할 수 있고 변조기를 위한 신뢰적인 어드레싱 또는 디지털 제어 스킴들을 전개 (develop) 하기 위해 사용될 수 있다. 예로서 셔터 기반 광변조기 (400) 를 참조하면, 이들 로직 규칙들은 다음과 같다:

[0082] V_s 를 셔터 또는 로드 빔 상의 전기 포텐셜이라고 둔다. V_o 를 셔터 열림 구동 빔 상의 전기 포텐셜이라고 둔다. V_c 를 셔터 닫힘 구동 빔 상의 전기 포텐셜이라고 둔다. 수식 $(V_o - V_s) / V_m$ 는 셔터와 셔터 열림 구동 빔 사이의 전압 차이의 절대값을 지칭한다고 둔다. V_m 을 유지 전압이라고 둔다. V_{at} 을 액추에이션 임계 전압, 즉 반대 구동 빔에 V_m 의 인가 없이 액추에이터를 액추에이트하는데 필요한 전압이라고 둔다. V_{max} 을 V_o 및 V_c 을 위한 최대 허용가능한 포텐셜이라고 둔다. $V_m < V_{at} < V_{max}$ 이라고 둔다. 그 다음, V_o 및 V_c 은 V_{max} 에 미치지 못하는 것으로 가정한다:

[0083] 1. $(V_o - V_s) / V_m < V_m$ 및 $(V_c - V_s) / V_m < V_m$ 이면

[0084] 셔터는 그의 기계적 스프링의 평형 포지션으로 릴렉스 (relax) 될 것이다.

[0085] 2. $(V_o - V_s) / V_m > V_m$ 및 $(V_c - V_s) / V_m > V_m$ 이면

[0086] 셔터는 이동하지 않을 것이다 즉 그것은 어느 포지션이 최종 액추에이션 이벤트에 의해 확립되었더라도, 열린

또는 닫힌 상태 중 어느 하나에서 유지될 것이다.

- [0087] 3. $V_o - V_s / > V_{at}$ 및 $V_c - V_s / < V_m$ 이면
- [0088] 서터는 열린 포지션으로 이동할 것이다.
- [0089] 4. $V_o - V_s / < V_m$ 및 $V_c - V_s / > V_{at}$ 이면
- [0090] 서터는 닫힌 포지션으로 이동할 것이다.
- [0091] 규칙 1을 따라, 0에 가까운 각 액츄에이터 상의 전압 차이로, 서터는 릴렉스될 것이다. 많은 서터 어셈블리들에서 기계적으로 릴렉스된 포지션은 오직 부분적으로 열리거나 또는 닫힌 상태이고, 그래서 이 전압 조건은 바람직하게는 어드레싱 스킴에서는 회피된다.
- [0092] 규칙 2의 조건은 어드레싱 스킴 내에 글로벌 액츄에이션 기능을 포함하는 것을 가능하게 할 수 있다. 적어도 유지 전압 V_m 인 빔 전압 차이를 제공하는 서터 전압을 유지하는 것에 의하여, 서터 열린 및 서터 닫힌 상태 포텐셜들의 절대값들은 의도하지 않은 서터 운동의 위험 없이 (심지어 전압 차이들이 V_{at} 를 초과하는) 폭넓은 전압 범위들에 대한 어드레싱 시퀀스의 중에 변경 또는 스위치될 수 있다.
- [0093] 규칙 3 및 규칙 4의 조건들은 서터의 쌍안정 액츄에이션을 확보하기 위하여 어드레싱 시퀀스 동안 일반적으로 목표되는 것들이다.
- [0094] 유지 전압 차이 V_m 은 액츄에이션 임계 전압 V_{at} 의 어떤 부분 (fraciton) 으로 설계 또는 표현될 수 있다. 유용한 정도의 쌍안정성을 위해 설계된 시스템들을 위하여, 유지 전압은 20% 내지 80% 의 V_{at} 범위에서 존재할 수 있다. 이것은, 시스템에서의 전하 누설 또는 기생 전압 요동 (parasitic voltage fluctuation) 이 그의 유지 범위로부터의 설정 유지 전압의 편차-서터의 의도하지 않은 액츄에이션을 초래할 수 있는 편차 (deviation) 를 초래하지 않도록 보장하는 것을 돕는다. 몇몇 시스템들에서 예외적인 정도의 쌍안정성 또는 히스테리시스가 제공될 수 있으며, V_m 은 2% 내지 98%의 V_{at} 의 범위에 걸쳐 존재한다. 하지만, 이들 시스템들에서, $V < V_m$ 의 전극 전압 조건이, 이용가능한 어드레싱 및 액츄에이션 시간 내에서 신뢰성있게 획득될 수 있는 것을 보장하기 위하여 주의해야 한다.
- [0095] 도 5a는 본 발명의 예시적인 실시형태에 따라, 디스플레이 장치 (100) 에서의 포함에 적합한, 대안의 제어 매트릭스 (500) 를 예시한다. 제어 매트릭스 (500) 는 듀얼 액츄에이터 서터 어셈블리 (512) 들을 포함하는 픽셀들의 어레이 (504) 를 제어한다. 서터 어셈블리 (400) 와 같은 듀얼 액츄에이터 서터 어셈블리는 분리된 서터 열립 및 서터 닫힌 액츄에이터들을 포함하는 서터 어셈블리들이다. 비록 도 5a에서 하나의 픽셀 (504) 만이 예시되어 있지만, 제어 매트릭스는 확장되고 도 3a의 제어 매트릭스 (300) 에 의해 부분적으로 예시되는 바처럼, 유사한 픽셀들의 다수의 로우 및 칼럼들을 포함하는 것으로 이해된다. 또한, 제어 매트릭스는 임의의 적합한 타입의 디스플레이 변조기와 사용될 수도 있다. MEMS 변조기들 및 액츄에이터들, 이를테면 듀얼 및 싱글 액츄에이터 변조기들, 및 비서터 기반 변조기들, 및 변조기들 (200, 220, 250, 270, 400 및 450) 은 본 발명의 범위에 속하는 구체적인 예들이다. 액정 변조기들 및 플라즈마 방출에 기초한 디스플레이들 또한 본 발명의 범위에 속한다.
- [0096] 제어 매트릭스 (500) 는 제어 매트릭스에서 픽셀들 (504) 의 각 칼럼에 대해 칼럼 라인 인터커넥트 (502) 를 포함한다. 서터 어셈블리들 (504) 에서 액츄에이터들은 전기적으로 쌍안정 또는 기계적으로 쌍안정 중 어느 일방으로 만들어질 수 있다. 제어 매트릭스 (500) 는 픽셀당 단일 MEMS 광변조기를 갖는 것으로 도시된다. 다수의 MEMS 광변조기들이 각 픽셀에 제공되어, 각 픽셀에서 단지 이진 "온" 또는 "오프" 광학 상태들보다 많은 가능성을 제공하는 다른 실시형태들이 가능하다. 픽셀에서 다수의 MEMS 광변조기들이 제공되고, 광변조기들의 각각과 연관된 애퍼처들이 같지 않은 면적들을 갖는 어떤 형태들의 코딩된 면적 분할 그레이 스케일 (coded area division gray scale) 이 가능하다.
- [0097] 제어 매트릭스 (500) 는, 로우 및 칼럼 방식으로 배열된 복수의 동일한 픽셀들로 구성된, 전체 디스플레이에 공통되는 "글로벌 라인들" 로 여기에서 지칭되는, 복수의 라인들을 포함한다. 이들 글로벌 라인들은 액츄에이트 라인 인터커넥트 (506), 공통 라인 인터커넥트 (518), 서터 라인 인터커넥트 (520) 및 업데이트 라인 인터커넥트 (522) 를 포함한다. 몇몇 예들에서 이들 글로벌 라인들은 전체 디스플레이에 걸쳐 하나의 노드로서 동작된다. 예를 들면, 그 디스플레이에 걸쳐 전체 업데이트 노드 또는 그 디스플레이에 걸쳐 전체 액츄에이트

노드는 동시에 변화된다. 몇몇 실시형태들에서, 이들 글로벌 라인 인터커넥트들은 픽셀 서브그룹들로 그룹화될 수 있다. 예를 들면, 픽셀들의 각 홀수 로우는 그들의 글로벌 라인들이 접속되고, 픽셀들의 글로벌 라인들의 각 짝수 로우는 따로 접속되어 홀수 로우들이 짝수 로우들에 독립적으로 동작될 수도 있다. 제어 매트릭스 (500) 는 픽셀들의 각 로우 배열에 고유한 로우 라인 (524) 및 픽셀들의 각 칼럼 배열에 고유한 칼럼 라인 (502) 을 포함한다. 제어 매트릭스에서 각 픽셀 (504) 은 데이터 로딩 트랜지스터 (534), 데이터 저장 커패시터 (538), 업데이트 트랜지스터 (536), 액츄에이터 노드들 (540 및 542), 및 듀얼 인버터 래치 (dual inverter latch) 를 포함한다. 제어 매트릭스 (500) 에서, 데이터 저장 커패시터 (538) 는 공통 라인 인터커넥트 (518) 에 접속된다. 하지만, 몇몇 실시형태들에서 데이터 저장 커패시터 (538) 는 서터 라인 인터커넥트 (520) 에 접속될 수도 있다. 몇몇 실시형태들에서, 공통 라인 인터커넥트 (518) 는 다음 로우의 로우 인터커넥트 (524) 의 역할을 할 수 있고 따라서 공통 라인 인터커넥트 (518) 를 전적으로 제거한다.

[0098] 듀얼 인버터 래치는 트랜지스터들 (526 및 530) 로 구성되는 제 1 인버터 및 트랜지스터들 (528 및 532) 로 구성되는 제 2 인버터를 포함한다. 서터 어셈블리들 (512) 은, 액츄에이터 노드들 (540 및 542) 에 접속된, 서터 어셈블리 (200) 의 액츄에이터 (204) 에 유사한, 정전기 액츄에이터들을 포함한다. 충전 전압 또는 V_{at} 으로도 지칭되는 액츄에이션 전압 이상의 전압 차이가 액츄에이터들과 서터들 사이에 부과되면, 서터 어셈블리는 광의 통과를 허용하는 열린 상태 또는 광의 통과를 차단하는 닫힌 상태로 구동될 수 있다. 제어 매트릭스 (500) 는 2개의 상보적인 타입들의 트랜지스터들: p-채널 및 n-채널 트랜지스터들 양쪽 모두를 이용한다. 따라서 그것은 상보적 MOS 제어 매트릭스 또는 CMOS 제어 매트릭스로 지칭된다. 데이터 로딩 트랜지스터 (534), 업데이트 트랜지스터 (536) 및 교차 결합 인버터들 (530 및 532) 의 하위 트랜지스터들은 nMOS 타입으로 만들어지지만, 교차 결합 인버터들 (526 및 528) 의 상위 트랜지스터들은 pMOS 타입의 트랜지스터로 만들어진다. 당업자는, 다른 구현들에서, CMOS 트랜지스터들의 타입이 반전 (reverse) 될 수 있거나 (즉, pMOS 가 nMOS와 스위치됨) 또는 다른 타입들의 트랜지스터들 (즉, BJT, JFET 또는 임의의 다른 적합한 타입의 트랜지스터) 가 사용될 수도 있다는 것을 인식할 것이다.

[0099] 몇몇 실시형태들에서, 액츄에이트 라인 (506) 은 V_{at} 이상으로 유지되는 전압 소스에 접속된다. 서터 라인 (520) 은 접지 포텐셜 근처로 유지된다. 몇몇 실시형태들에서, 서터 극성은 전체 액츄에이션 전압 (즉, 약 25볼트) 에서 유지될 수도 있다. 어떤 실시형태들에서, 서터의 극성은 필요에 따라 하나 이상의 포텐셜들 사이에서 주기적으로 교번될 수도 있다. 예를 들면, 서터는 25 볼트와 0 볼트 사이에서 각 전체 비디오 프레임 후 또는 다른 경우들에서 더 빈번하게 또는 덜 빈번하게 교번될 수도 있다. 서터 극성은 서터 라인 인터커넥트 (520) 에 필요한 전압을 인가하는 것에 의해 제어될 수도 있다. 몇몇 실시형태들에서, 교번되는 서터 포텐셜에 대응하여, 데이터의 극성 역시 교번된다.

[0100] 각 액츄에이트 노드 (540 및 542) 는 그의 각각의 트랜지스터 (526 및 528) 의 "온/오프" 상태에 의존하여 액츄에이트 라인 (506) 에 접속된다. 예를 들면, 좌측 액츄에이터 노드 (540) 에 접속된 트랜지스터 (526) 가 "온" 상태에 있을 때, 전하가 액츄에이트 라인 (506) 으로부터 액츄에이터 노드 (540) 로 흐르는 것을 허용한다. 그 다음에, 대략적으로 V_{at} 의 전압이 액츄에이터 노드 (540) 에 접속된 액츄에이터와 서터 (서터는 공통 포텐셜에 있는 것으로 가정) 사이에 부과되고, 서터는 그의 원하는 상태로 구동될 것이다. 트랜지스터 (526) 가 "오프" 상태에 있고 트랜지스터 (528) 가 "온" 상태에 있을 때 비슷한 프로세스가 일어나는데, 이는 반대 상태로 서터를 구동하는 것을 초래한다. 몇몇 실시형태들에서, 대략적으로 V_{at} 의 전압이 액츄에이터 노드 (540) 에 접속된 액츄에이터에 인가될 것이고 유사한 전압이 서터에 인가되어, 서터와 액츄에이터 사이에 0 볼트 포텐셜을 생성한다.

[0101] 제어 매트릭스 (500) 는 데이터 저장 커패시터 (538) 를 포함한다. 아래에서 더 설명되는 바처럼, 커패시터 (538) 는 데이터 로딩 또는 쓰기 동작의 부분으로서 픽셀 (504) 에, 제어기 (156) 와 같은 제어기에 의해 전송되는 (예를 들면, 열림 또는 닫힘) "데이터" 명령들을, 저장된 전하에 의해, 저장한다. 커패시터 (538) 에 저장된 전압은, 제어 매트릭스 (500) 에서 듀얼 인버터 래치의 래치 상태를 부분적으로 결정한다.

[0102] 데이터 로딩 동작 동안, 어레이의 각 로우는 어드레싱 시퀀스에서 쓰기 인에이블된다. 제어 매트릭스 (500) 에서의 전압 소스 (미도시) 들은 쓰기 인에이블링 전압을, 선택된 로우에 대응하는 로우 라인 인터커넥트 (524) 에 인가한다. 쓰기 인에이블된 로우에 대해 로우 라인 인터커넥트 (524) 에의 전압의 인가는 대응하는 로우 라인에서 픽셀들 (504) 의 데이터 로딩 트랜지스터 (534) 를 턴온하여, 픽셀들을 쓰기 인에이블한다. 픽셀들의 (504) 의 선택된 로우가 쓰기 인에이블 되지만, 데이터 전압 소스들은 적절한 데이터 전압들을, 제어 매트릭스 (500) 에서 픽셀들 (504) 의 각 칼럼에 대응하는 칼럼 인터커넥트 (502) 에 인가한다. 그에 의해, 칼

럼 인터커넥트 (502) 들에 인가된 전압들은 각각의 픽셀들 (504) 의 데이터 저장 커패시터들 (538) 상에 저장된다. 어떤 실시형태들에서, 칼럼 인터커넥트 (502) 에 인가된 전압들은 네가티브 또는 포지티브일 수도 있다 (예를 들면 -5 내지 5 볼트 범위이다).

[0103] 제어 매트릭스 (500) 에서 픽셀들을 어드레싱하는 방법이 도 5b에 도시된 방법 (550) 에 의해 예시되어 있다. 방법 (550) 은 3개의 일반적인 단계들로 진행된다. 첫번째, 데이터는 데이터 로딩 단계 (552) 에서 각 픽셀에 로우별로 (row by row) 로딩된다. 다음으로, 각 픽셀을 위한 래치가 업데이트 래치 상태 단계 (554) 에서 저장된 데이터에 적어도 부분적으로 기초하여 올바른 상태로 설정된다. 마지막으로, 서터들은 서터 액츄에이션 단계 (556) 에서 액츄에이트된다.

[0104] 더 자세하게, 방법 (550) 의 프레임 어드레싱 사이클은, 적절한 액츄에이터 노드로 서터를 신뢰적으로 액츄에이트하기 위하여 필요한 전체 전압 V_{at} 에서 액츄에이트 라인 (506) 으로 유지된 데이터 상태에서 시작된다. 예를 들면, 이 전압은 대략적으로 20-30 볼트일 수도 있다. 다음으로, 제어 매트릭스 (500) 는 한번에 한 로우씩, 제어 매트릭스에서 각 픽셀 (504) 을 어드레싱하는 것 (단계들 (556-570) 에 의한 데이터 로딩 단계 (552) 로 진행된다. 특정 로우를 어드레싱하기 위하여, 제어 매트릭스 (500) 는, 전압을 대응하는 로우 라인 인터커넥트 (524) 에 인가하는 것 (단계 (566)) 에 의해 제 1 로우 라인을 쓰기 인에이블하며, 데이터 로딩 트랜지스터 (534) 를 도전성 "온" 상태로 효과적으로 스위칭한다. 그 다음에, 판정 블록 (560) 에서, 제어 매트릭스 (500) 는 픽셀 (504) 이 다음 상태에서 열린 또는 닫힐 필요가 있는지를 쓰기 인에이블된 로우에서 각 픽셀 (504) 에 대해 결정한다. 예를 들면, 단계 (560) 에서 픽셀이 그의 현재 상태로부터 (후속하여) 변화되어야 하는지 또는 같게 유지되어야 하는지 여부를 쓰기 인에이블된 로우에서 각 픽셀 (504) 에 대해 결정된다. 픽셀 (504) 이 열려야 되면, 제어 매트릭스 (500) 는 특정 데이터 전압 V_d , 예를 들면 1.5V를, 픽셀 (504) 이 위치한 칼럼에 대응하는 칼럼 인터커넥트 (502) 에 로딩한다 (단계 562). 픽셀 (504) 이 닫혀야 되면, 제어 매트릭스 (500) 는 특정 데이터 전압 V_d , 예를 들면 -1.5V를, 픽셀 (504) 이 위치한 칼럼에 대응하는 칼럼 인터커넥트 (502) 에 로딩한다 (단계 564). 다음으로, 서터의 다음 상태에 대응하는, 칼럼 인터커넥트 (502) 에 인가된 데이터 전압 V_d 이 선택된 픽셀 (504) 의 데이터 저장 커패시터 (538) 상의 전하에 의해 저장된다 (단계 568). 다음으로, 전압은 로우 라인 (524) (단계 570) 으로부터 제거되며, 비도통 "오프" 상태로 데이터 로딩 트랜지스터 (534) 를 효과적으로 스위칭한다. 데이터 로딩 트랜지스터 (534) 가 "오프" 상태로 설정되고 나면, 칼럼 라인 (502) 은 다음 선택된 로우에서 픽셀을 위해 데이터 전압 V_d 를 로딩할 준비가 된다.

[0105] 데이터 전압 V_d 은 로우 라인이 턴오프될 때 유효한 동안은 임의의 시간에서 설정되어, 데이터 로딩 트랜지스터 (534) 가 비도전성이 될 때 올바른 데이터가 데이터 저장 커패시터 (538) 상에 있도록 할 수 있다. 데이터 로딩 단계 (552) 동안, 업데이트 라인 (522) 은 비활성이되어, 교차 결합된 인버터 래치의 트랜지스터들 (526-532) 에 의해 유지된 현재 상태로부터 데이터 저장 커패시터 (538) 를 절연시킨다.

[0106] 쓰기 인에이블된 로우를 위한 스캔 라인 인터커넥트 (524) 로의 V_{we} 의 인가는 대응하는 스캔 라인에서 픽셀들 (512) 을 위해 쓰기 인에이블된 트랜지스터들 (534) 의 전부를 턴온한다. 제어 매트릭스 (500) 는 제어 매트릭스 (500) 에서 소정 로우의 모든 칼럼들에 데이터 전압을, 그 로우가 쓰기 인에이블된 동안 동시에, 선택적으로 인가한다. 모든 데이터가 선택된 로우에서 커패시터들 (538) 상에 저장된 후 (단계들 560 내지 568), 제어 매트릭스 (500) 는 선택된 스캔 라인 인터커넥트를 접지하고 (단계 570), 쓰기를 위해 후속 스캔 라인 인터커넥트를 선택한다. 다음으로, 데이터 로딩 프로세스에 대한 제어는 다음의 선택된 로우의 쓰기 인에이블링을 위해 단계 (566) 으로 복귀한다. 정보가 제어 매트릭스 (500) 에서 모든 로우들을 위해 커패시터들에 저장된 후에, 판정 블록 (582) 는 글로벌 업데이트 시퀀스로 진행되도록 트리거된다.

[0107] 데이터가 데이터 로딩 단계 (552) 에서 선택된 로우들에서의 커패시터들 (538) 상에 저장된 후에 (단계들 566-570), 다음으로 제어 매트릭스 (500) 는 업데이트 래치 단계 (554) 로 진행되어 픽셀들의 부분들 또는 बैं크 (bank) 들 또는 전체 디스플레이를 다음 유지되는 상태로 업데이트한다. 업데이트 래치 시퀀스는 액츄에이트 라인 (506) 상의 전압을 공통 라인 (518) 상의 전압까지, 아래로 또는 가깝게 가져오는 것에 의해 방법 (550) 의 단계 (572) 에서 시작된다. 이것은 액츄에이터 노드들 (540 및 542) 양쪽 모두 상의 전압들을 공통 라인 (518) 과 같은 전압에 가깝게 가져온다. 다음으로, 업데이트 라인 (522) 은 단계 (574) 에서 활성화되어, 업데이트 트랜지스터 (536) 을 도전 "온" 상태로 스위칭하고, 저장된 데이터가 데이터 저장 커패시터 (538) 로부터 교차 결합된 인버터 래치의 트랜지스터들 (526-532) 로 전달되는 것을 허용한다. 액츄에이트 라인 (506) 전압을 공통 라인 (518) 전압으로 가져온 후 (단계 572) 너무 이르게 업데이트 라인 (522) 이 활성화

화되면 (단계 574), 다음 상태 데이터의 저장된 다음 상태는 쇠퇴 (decay away) 할 만큼 충분한 시간을 갖지 않았던 래치의 현재 상태 데이터에 의해 오염될 수 있다. 이 필요한 비오버랩 타이밍 (non-overlap timing) 은 회로 기생 (circuit parasitics), 트랜지스터 임계 전압, 커패시터 사이즈 및 저장된 데이터 전압 레벨들의 함수일 수 있다. 예를 들면, 단계들 (572 및 574) 간에 필요한 지연은 대략 10 μ s일 수도 있지만, 이 지연 시간은 지연에 따라 상당히 더 길거나 또는 더 짧을 수도 있다.

[0108] 단지 래치 트랜지스터들을 동작하게 만들만큼 충분히 높은 중간 전압 (예를 들면, 인버터 트랜지스터들 (526 및 530 또는 528 및 532) 의 임계치 전압들의 합계와 대략 같다. 그 레벨은 필요한 타이밍, 기생 전하 주입, 상세 트랜지스터 특징 등의 상세에 의해, 현저히 더 적게, 제한될 수 있다) 이 단계 576에서 액츄에이트 라인 (506) 에 인가된다. 단계 (576) 에서 액츄에이트 라인 (506) 에 인가된 중간 전압은 다음 상태로 래치 (latch) 하기 위해 사용된 전력을 최소화하는 기능을 한다. 어떤 실시형태들에서, 교차 결합된 인버터 래치는 전반적인 일시적 스위칭 전력을 감소시키기 위해 신뢰적으로 수행될 수 있는 만큼 낮은 중간 전압 레벨에서 래치된다. 단계 (574 및 576) 는 데이터 저장 커패시터 (538) 상에 저장된 데이터가 픽셀 (504) 의 교차 결합된 인버터 래치에 래치되게 한다.

[0109] 단계 (576) 는 단계 (574) 에서 업데이트 라인 (522) 을 활성화하기 전 또는 후까지 동시적으로 수행될 수도 있다. 예를 들면, 어떤 실시형태들에서, 단계 (576) 에서 액츄에이트 라인 (506) 에 중간 전압을 인가하는 것은 단계 (574 및 578) 에서 생성된 업데이트 펄스 후에 완전히 행해질 수 있거나 또는 단계 (576) 에서 생성된 중간 전압 펄스가 업데이트 전압 펄스로 부분적으로 또는 전체적으로 오버랩될 수 있다. 몇몇 실시형태들에서, 교차 결합된 인버터 래치의 다음 상태의 제어는, 특히 데이터 래치의 기생 커패시턴스가 낮으면, 2개 상태들의 오버랩에 의해 실행된다.

[0110] 최종적으로, 업데이트 라인 (522) 은 단계 (578) 에서 비활성화되고, 그에 의해 비 도전성 "오프" 상태로 업데이트 트랜지스터 (536) 을 스위칭하고 픽셀 (504) 의 교차 결합된 인버터 래치로부터 데이터 저장 커패시터 (538) 를 절연시킨다. 액츄에이트 라인을 전체 전압으로 상승시키기 (단계 578) 전에 업데이트 라인 (522) 을 비활성화는 것에 의해, 데이터 저장 커패시터 (538) 가 전체 액츄에이션 전압으로 충전되는 것을 허용하지 않음으로써 현저한 전력이 보존된다.

[0111] 다른 한편으로, 업데이트 트랜지스터 (536) 를 전혀 갖지 않는 것도 가능하다. 이 경우에 데이터 로딩 동작이 로우별로 로딩됨에 따라 래치 상태를 직접 변화시킨다. 이것은, 액츄에이트 노드를 적절한 중간 레벨 또는 대략 0 그 다음 역시 로우 별 중간 레벨로 동시적으로 낮추어 래치 상태를 결정하기 위한 더 낮은 데이터 전압들을 허용하는 것에 의해, 또는 전체 디스플레이를 위한 액츄에이트 노드를 전체 데이터 로딩 동작 동안 적절한 중간 레벨로 낮추는 것에 의해 발생할 수 있거나, 또는 전력이 관심사가 아니거나 또는 액츄에이션 전압들이 전력을 2차적 관심사로 만들만큼 충분히 낮은 경우, 데이터 전압들은 전체 액츄에이션 전압 레벨들 또는 그 이상에 있을 수 있으며, 액츄에이트 노드는 전체 V_{ac} 에서 유지되어 래치를 원하는 상태로 만든다. 또한, 업데이트 트랜지스터 (536) 를 제거하는 것에 의해, 레이아웃 면적이 절약될 수 있다.

[0112] 데이터가 전송되고 래치 상태가 단계 (554) 에서 업데이트되고 나면, 제어 매트릭스 (500) 는 서터 액츄에이션 단계 (556) 로 진행되어 서터 어셈블리들 (512) 의 서터들을 그들의 다음 상태로 이동시킨다. 서터 액츄에이션 단계 (556) 는 단계 (580) 에서 액츄에이트 라인 (506) 을 전체 전압으로 상승시키는 것을 포함한다. 전체 전압은 서터를 일측 또는 타측으로 액츄에이트시키고 서터를 그 포지션에서 다음 프레임 어드레싱 사이클까지 유지하는데 필요한 전압일 수도 있다. 래치 상태는 업데이트 래치 상태 단계 (554) 동안 더 이르게 설정되었기 때문에, 각 인버터에서 직렬의 2개 트랜지스터들 (526 및 530 또는 528 및 532) 을 통한 액츄에이트 라인 (506) 으로부터의 전도 경로는 없다. 따라서, 서터 커패시터 및 다양한 기생 커패시턴스의 액츄에이션을 충전하도록 의도된 전류만이 흐르도록 허용되어, 최소 전력 소비를 발생시킨다. 서터들이 단계 (556) 에서 액츄에이트된 후에, 방법 (550) 은 픽셀 어드레싱 사이클의 시작으로 복귀된다.

[0113] 제어 매트릭스 (500) 에서의 교차 결합된 인버터 래치의 액션은 오직 하나의 서터 천이 시간이 그의 다음 상태에 도달할 것을 요구한다. 디스플레이 제어의 이전 방법들은 2개 서터 천이 시간들이 전체 디스플레이를 전체적으로 업데이트할 것을 요구한다. 추가 서터 천이를 위한 이러한 시간 차이는 많은 디스플레이 업데이트들이 하나의 비디오 프레임 시간에서 행해지는 더 복잡한 디스플레이 알고리즘에 대해서는 중요할 수 있다. 또한, 제어 매트릭스 (500) 는 하나의 액츄에이터만이 서터에 매력적이고 다른 액츄에이터는 매력적이지 않은 유지된 데이터 상태를 생성한다. 이것은 잘못된 서터 상태들을 방지하는데 도움이된다.

[0114] 어떤 실시형태들에서, 교차 결합 인버터 래치의 래칭 동작이 낮은 전압에서 일어나서, 전력을 절약할 만큼 충분

히 느리게 액츄에이트 라인 (506) 전압을 슬루잉 (slewing) 시키는 것에 의해 교차 결합된 인버터 래치에서 래칭 트랜지언트 (latching transient) 를 감소시키도록 듀얼 전압 레벨 액츄에이트 동작을 근사하는 것이 가능하다. 액츄에이트 노드 전압 레벨에 대한 업데이트 신호의 타이밍은 더 낮은 전력 동작을 보장하기 위해 데이터 저장 커패시터 (538) 의 과도한 충전의 제어를 허용한다.

[0115] 도 6은 본 발명의 예시적인 실시형태에 따라, 디스플레이 장치 (100) 에서의 포함을 위한 또 다른 적합한 제어 매트릭스 (2440) 이다. 제어 매트릭스 (2440) 는 듀얼 액츄에이터 서터 어셈블리들 (2444) (즉, 서터 열림 및 서터 닫힘 액츄에이터들 양쪽 모두를 갖는 서터 어셈블리들) 을 포함하는 픽셀들의 어레이 (2442) 를 제어한다. 서터 어셈블리들 (2444) 에서 액츄에이터들은 전기적으로 쌍안정 또는 기계적으로 쌍안정 중 어느 일방으로 만들어질 수 있다.

[0116] 제어 매트릭스 (2440) 는 도 5a 의 제어 매트릭스 (500) 와 유사성을 갖는다. 양쪽 모두의 매트릭스들은, 듀얼 액츄에이터 서터 어셈블리와의 그들의 사용에도 불구하고, 단일 칼럼 라인 인터커넥트, 단일 데이터 로드 트랜지스터, 및 단일 데이터 저장 커패시터를 활용한다. 하지만, 듀얼 인버터 래치 대신에, 제어 매트릭스 (2440) 는 서터 어셈블리의 액츄에이션에서의 사용을 위해 공통 구동 인터커넥트 (2462) 를 포함한다. 제어 매트릭스 (2440) 에 주어진 예를 위해, 공통 구동 인터커넥트 (2462) 는 서터 어셈블리 (2444) 의 서터 열림 액츄에이터에 전기적으로 접속된다.

[0117] 서터 어셈블리들 (2444) 에서 액츄에이터들은 전기적으로 쌍안정 또는 기계적으로 쌍안정 중 어느 일방으로 만들어질 수 있다. 하지만, 임의의 타입의 MEMS 서터 및 액츄에이터 어셈블리가 본 발명의 범위를 벗어나지 않고서 채용될 수도 있다. 또한, 제어 매트릭스는 다른 적합한 타입 디스플레이 변조기들과 사용될 수도 있다. 변조기들 (200, 220, 250, 270, 400 및 450) 과 액정 및 플라즈마 방출 변조기들이 비제한적으로 채용될 수도 있다.

[0118] 제어 매트릭스 (2440) 는 제어 매트릭스 (2440) 에서 픽셀들 (2442) 의 각 로우에 대해 스캔 라인 인터커넥트 (2446) 를 포함한다. 제어 매트릭스 (2440) 는 충전 인터커넥트 (2450), 글로벌 액츄에이션 인터커넥트 (2454) 및 서터 공통 인터커넥트 (2455) 를 더 포함한다. 인터커넥트들 (2450, 2454, 2455, 및 2462) 은 어레이에서의 다수의 로우들 및 다수의 칼럼들에 있는 픽셀들 (2442) 중에서 공유된다. (아래에서 더 상세히 설명되는) 하나의 구현에서, 인터커넥트들 (2450, 2454, 2455, 및 2462) 은 제어 매트릭스 (2440) 에서 모든 픽셀들 (2442) 중에서 공유된다.

[0119] 도 5a에 기재된 바처럼 제어 매트릭스에서 각 픽셀 (2442) 은 서터 충전 트랜지스터 (2456), 서터 방전 트랜지스터 (2458), 서터 쓰기 인에이블 트랜지스터 (2457) 및 데이터 저장 커패시터 (2459) 를 포함한다. 제어 매트릭스 (2440) 에 주어진 예를 위해, 서터 방전 트랜지스터의 드레인은 서터 어셈블리 (2444) 의 서터 닫힘 액츄에이터에 접속된다.

[0120] 도 5a의 제어 매트릭스 (500) 에 비교하여, 충전 트랜지스터 (2456) 는 충전 인터커넥트 (2450) 에의 상이한 회로 접속으로 배선 (wire) 된다. 인터커넥트 (506) 와 같은 액츄에이트 인터커넥트에 서터를 접속시키기 위한 듀얼 인버터 대신에, 충전 트랜지스터 (2456) 의 게이트 단자들이 트랜지스터 (2456) 의 드레인 단자와 함께 충전 인터커넥트 (2450) 에 직접 접속된다. 동작에 있어서, 충전 트랜지스터 (2456) 는 다이오드로서 동작하는데, 이는 1 방향으로만 전류를 통과시킬 수 있다.

[0121] 제어 매트릭스 (2440) 에서 픽셀들을 어드레싱하고 액츄에이팅하는 방법이 도 7에 도시된 방법 (2470) 에 의해 예시되어 있다. 방법 (2470) 은 3개의 일반적인 단계들로 진행된다. 첫번째로, 데이터를 데이터 저장 커패시터들 (2459) 에 저장하는 것에 의해 로우별로 매트릭스가 어드레싱되는 데이터 로딩 동작이 있다. 두번째 일반적인 단계에서, 모든 액츄에이터들은, 전압 V_{at} 를 충전 인터커넥트 (2450) 에 인가하는 것에 의해 부분적으로 단계 (2488) 에서 동시에 리셋된다. 단계 (2488) 는 때때로 글로벌 업데이트 페이지의 제 1 서브페이지로 지칭된다. 그리고 최종적으로 이미지는 단계들 (2492-2494) 에서 a) 글로벌 액츄에이션 인터커넥트 (2454) 에 의해 트랜지스터들 (2458) 을 선택적으로 활성화하는 것에 의해 그리고 b) 액츄에이션 전압 V_{at} 보다 더 크도록 공통 구동 인터커넥트 (2462) 과 서터 공통 인터커넥트 (2455) 사이의 포텐셜 차이를 변화시키는 것에 의해 설정된다. 단계 (2492-2494) 는 때때로 글로벌 업데이트 페이지의 제 2 서브페이지로 지칭된다.

[0122] 동작에 있어서, 서터 어셈블리들 (2442) 에 걸쳐 전압들의 극성을 주기적으로 반전시키기 위하여, 유리하게는 제어 매트릭스는 2개 제어 로직들 사이에 교번한다. 명료성의 이유로, 제어 방법 (2470) 을 위한 상세들은 제 1 제어 로직에 대해서만 다음에 설명된다. 이 제 1 제어 로직에서 서터 공통 인터커넥트 (2455) 의 포텐

설이 접지 포텐셜 근처로 항상 유지된다. 서터는 충전 인터커넥트 (2450) 또는 공통 구동 인터커넥트 (2462) 의 양쪽 모두 또는 어느 하나에 걸쳐 직접 전압 V_{at} 를 인가하는 것에 의해 열린 또는 닫힌 상태 중 어느 하나에서 유지될 것이다. (도 7의 논의를 완료한 후에 설명될 제 2 제어 로직에서, 서터 공통 인터커넥트는 전압 V_{at} 에서 유지되고, 액츄에이트된 상태는 충전 인터커넥트 (2450) 또는 공통 구동 인터커넥트 (2462) 중 어느 하나 또는 양자 모두를 접지로 유지하는 것에 의해 유지될 것이다.)

[0123] 방법 (2470) 의 제 1 제어 로직에 대해 더 상세하게는, 방법 (2470) 의 프레임 어드레싱 사이클이, 전압 V_{off} 가 글로벌 액츄에이션 인터커넥트 (2454) (단계 2472) 에 인가될 때 시작된다. 인터커넥트 (2454) 상의 전압 V_{off} 는, 전압이 커패시터 (2459) 상에 저장되었는지에 상관없이 방전 트랜지스터 (2458) 가 턴온되지 않도록 보장하기 위해 설계된다.

[0124] 다음으로, 제어 매트릭스 (2440) 는 한번에 한 로우씩, 제어 매트릭스에서 각 픽셀 (2442) 을 위한 데이터 로딩 동작으로 진행된다 (단계들 2474-2484). 특정 로우를 어드레스하기 위하여, 제어 매트릭스 (2440) 는 전압 V_{we} 를 대응하는 스캔 라인 인터커넥트 (2446) 에 인가하는 것에 의해 제 1 스캔 라인을 쓰기 인에이블 한다 (단계 2474). 그 다음에, 판정 블록 (2476) 에서, 제어 매트릭스 (2440) 는 픽셀 (2442) 이 열린 또는 닫힐 필요가 있는지를 쓰기 인에이블된 로우에서 각 픽셀 (2442) 에 대해 결정한다. 예를 들면, 리셋 단계 (2488) 에서 모든 서터들이 (일시적으로) 닫혀야 되면, 판정 블록 (2476) 에서 픽셀이 (후속하여) 열려야 하는 지가 쓰기 인에이블된 로우에서 각 픽셀 (2442) 에 대해 결정된다. 픽셀 (2442) 이 열려야 되면, 제어 매트릭스 (2440) 는 데이터 전압 V_d , 예를 들면 5V를, 픽셀 (2442) 이 위치한 칼럼에 대응하는 데이터 인터커넥트 (2448) 에 인가한다 (단계 2478). 그에 의해, 데이터 인터커넥트 (2448) 에 인가된 전압 V_d 이 선택된 픽셀 (2442) 의 데이터 저장 커패시터 (2459) 상의 전하에 의해 저장되게 된다 (단계 2479). 판정 블록 (2476) 에서, 픽셀 (2442) 이 닫혀야 된다고 결정되면, 대응하는 데이터 인터커넥트 (2448) 가 접지된다 (단계 2480). 비록 이 예에서 단계 2488 후에 일시적인 (또는 리셋) 포지션이 서터 닫힘 포지션으로서 정의되지만, 2488 후의 리셋 포지션이 서터 열림 포지션이 되는 대안의 서터 어셈블리들이 제공될 수 있다. 이들 대안의 경우들에서, 단계 2478에서 데이터 전압 V_d 의 인가는 서터의 열림을 초래한다.

[0125] 쓰기 인에이블된 로우를 위한 스캔 라인 인터커넥트 (2446) 로의 V_{we} 의 인가는 대응하는 스캔 라인에서 픽셀들 (2442) 을 위해 쓰기 인에이블된 트랜지스터들 (2457) 의 전부를 턴온한다. 제어 매트릭스 (2440) 는 제어 매트릭스 (2440) 에서 소정 로우의 모든 칼럼들에 데이터 전압을, 그 로우가 쓰기 인에이블된 동안 동시에, 선택적으로 인가한다. 모든 데이터가 선택된 로우에서 커패시터들 (2459) 상에 저장된 후 (단계들 2479 및 2481), 제어 매트릭스 (2440) 는 선택된 스캔 라인 인터커넥트를 접지하고 (단계 2482), 쓰기를 위해 후속 스캔 라인 인터커넥트를 선택한다 (단계 2485). 정보가 제어 매트릭스 (2440) 에서 모든 로우들을 위해 커패시터들에 저장된 후에, 판정 블록 (2484) 는 글로벌 액츄에이션 시퀀스를 시작하도록 트리거된다.

[0126] 글로벌 업데이트 시퀀스로도 지칭되는 액츄에이션 시퀀스는, 충전 인터커넥트 (2450) 에의 액츄에이션 전압 V_{at} , 예를 들면 40 V의 인가로, 방법 (2470) 의 단계 (2486) 에서 시작된다. 단계 (2486) 의 결과로서, 전압 V_{at} 는 이제, 제어 매트릭스 (2440) 에서 모든 서터 어셈블리들 (2444) 의 서터 닫힘 액츄에이터 전부에 걸쳐 동시에 부과된다. 다음으로, 단계 (2487) 에서, 공통 구동 인터커넥트 (2462) 상의 포텐셜은 접지된다. (접지 근처에 유지되는 서터 공통 포텐셜 (2455) 를 갖는) 이 제 1 제어 로직에서, 접지된 공통 구동 인터커넥트 (2462) 는 모든 서터 어셈블리들 (2444) 의 모든 서터 열림 액츄에이터들을 가로지르는 전압 강하를 실질적으로 유지 전압 V_m 미만의 값으로 감소시킨다. 그 다음에 제어 매트릭스 (2440) 는 모든 액츄에이터들이 액츄에이트 (단계 2488) 하는데 충분한 시간 기간 동안 (단계들 2486 및 2487 로부터) 이들 액츄에이터 전압들을 계속 유지한다. 방법 (2470) 에서 주어진 예를 위해, 단계 (2488) 은 모든 액츄에이터들을 초기 상태로 리셋하고 닫도록 작동한다. 하지만, 리셋 단계 (2488) 가 모든 서터들을 열도록 작동하는 대안이 방법 (2470) 에 대해 가능하다. 이 경우, 공통 구동 인터커넥트 (2462) 는 모든 서터 어셈블리들 (2444) 의 서터 닫힘 액츄에이터에 전기적으로 접속된다.

[0127] 다음 단계 (2490) 에서 제어 매트릭스는 충전 인터커넥트 (2450) 를 접지한다. 서터 어셈블리 (2444) 에서 서터 닫힘 액츄에이터들 상의 전극들은, 충전 인터커넥트 (2450) 가 접지되고 충전 트랜지스터 (2456) 가 턴온된 후에 전하를 저장하는 커패시턴스를 제공한다. 저장된 전하들은 서터 닫힘 액츄에이터에 걸쳐 유지 전

압 V_m 을 초과하는 전압을 유지하도록 작동한다.

[0128] 모든 액추에이터들이 액추에이트되고 그들의 닫힌 포지션에서 V_m 을 초과하는 전압으로 유지된 후에, 커패시터 (2459) 에서 저장된 데이터는 지정 서터 어셈블리들 (단계들 2492 - 2494) 을 선택적으로 여는 것에 의해 제어 매트릭스 (2440) 에서 이미지를 설정하도록 이제 이용될 수 있다. 첫째로, 글로벌 액추에이션 인터커넥트 (2454) 상의 포텐셜은 접지로 설정된다 (단계 2492). 단계 2492 는 방전 스위치 트랜지스터 (2458) 가 데이터 전압이 커패시터 (2459) 상에 저장되었는지에 따라 턴온되는 것을 가능하게 한다. 전압이 커패시터 (2459) 상에 저장된 그러한 픽셀들에 대해, 서터 어셈블리 (2444) 의 서터 단합 액추에이터 상에 저장된 전하는 이제 글로벌 액추에이션 인터커넥트 (2454) 를 통해 소멸되도록 이제 허용된다.

[0129] 다음으로, 단계 (2493) 에서, 공통 구동 인터커넥트 (2462) 상의 전압은 액추에이션 전압 V_{at} 으로 복귀되거나, 또는 공통 구동 인터커넥트 (2462) 와 서터 공통 인터커넥트 (2455) 사이의 포텐셜 차이가 액추에이션 전압 V_{at} 보다 더 크도록 설정된다. 픽셀들의 선택적인 액추에이션을 위한 조건들이 이제 설정되었다. 전하 (또는 전압 V_d) 이 커패시터 (2459) 상에 저장된 그러한 픽셀들에 대해, 서터 단합 액추에이터에 걸친 전압 차이는 이제 유지 전압 V_m 미만이 될 것인 반면, (공통 구동 (2462) 에 묶인) 서터 열림 액추에이터에 걸친 전압은 V_{at} 에 있을 것이다. 이들 선택된 서터들은 이제 단계 (2494) 에서 열리도록 될 것이다. 전하가 커패시터 (2459) 에 저장되지 않은 그러한 픽셀들에 대해, 트랜지스터 (2458) 는 오프 상태로 남고 서터 단합 액추에이터에 걸친 전압 차이는 유지 전압 V_m 보다 높게 유지될 것이다. 전압 V_{at} 이 서터 열림 액추에이터에 걸쳐 부과되었다 할지라도, 서터 어셈블리 (2444) 는 단계 (2494) 에서 액추에이트하지 않을 것이고 닫힌 상태로 남을 것이다. 제어 매트릭스 (2440) 는 단계 (2494) 동안 모든 액추에이터들이 액추에이트하는데 충분한 시간 기간 동안 단계들 (2492 및 2493) 후에 설정된 전압들을 계속 유지한다. 단계 (2494) 후에, 각 서터는 그의 어드레스된 상태, 즉 어드레싱 및 액추에이팅 방법 (2470) 동안 인가된 데이터 전압들에 의해 좌우되는 포지션에 있다. 후속 비디오 프레임에서 이미지를 설정하기 위하여, 프로세스는 단계 (2472) 에서 다시 시작된다. 대안의 실시형태들에서, 시퀀스에서 단계들 (2486 및 2487) 의 포지션들은 스위치되어, 단계 (2487) 이 단계 (2486) 전에 일어날 수 있다.

[0130] 방법 (2470) 에서, 모든 서터들은 이미지 정보가 뷰어에게 제시될 수 없는 시간인, 단계 (2488) 과 단계 (2494) 사이의 시간 동안 동시에 닫힌다. 하지만, 방법 (2470) 은, 트랜지스터들 (2458) 에 대한 타이밍 제어를 제공하기 위해 데이터 저장 커패시터들 (2459) 및 글로벌 액추에이션 인터커넥트 (2454) 를 이용하는 것에 의해, 이 데드 타임 (또는 리셋 타임) 을 최소화하도록 설계된다. 단계 (2472) 의 액션에 의해, 소정 이미지 프레임에 대한 모든 데이터는, 서터 어셈블리에 대한 임의의 직접적인 액추에이션 효과 없이, 어드레싱 시퀀스 (단계들 2474-2485) 동안 커패시터들 (2459) 에 쓰여질 수 있다. 서터 어셈블리들 (2444) 은, 어드레싱이 완료될 때까지 이전 이미지 프레임에서 할당되었던 포지션들에 잠긴 상태로 남고 그들은 단계 (2488) 에서 균일하게 액추에이트되거나 또는 리셋된다. 글로벌 액추에이션 단계 (2492) 는 데이터 저장 커패시터들 (2459) 로부터 데이터의 동시 전송을 허용하여, 모든 서터 어셈블리들이 동시에 그들의 다음 이미지 상태로 될 수 있다.

[0131] 이전에 설명된 제어 매트릭스들과 마찬가지로, 부착된 백라이트의 활동은 각 프레임의 어드레싱과 동기화될 수 있다. 방법 (2470) 의 어드레싱 시퀀스에 제공된 최소 데드 타임을 이용하기 위하여, 조명을 턴오프하기 위한 커맨드가 단계 (2484) 와 단계 (2486) 사이에 주어질 수 있다. 그 다음에, 조명은 단계 (2494) 후에 다시 턴온될 수 있다. 필드 시퀀셜 컬러 스킴에서, 하나의 컬러를 갖는 램프는 단계 (2484) 후에 턴오프될 수 있는 반면, 동일하거나 상이한 컬러 중 어느 하나를 갖는 램프는 단계 (2494) 후에 턴온된다.

[0132] 다른 구현들에서, 도 7의 방법 (2470) 을 픽셀들의 전체 어레이 중 선택된 일부에 적용하는 것이 가능한데, 왜냐하면 시리즈에서 상이한 면적 또는 그루핑들의 로우 및 칼럼들을 업데이트하는 것이 유리할 수도 있기 때문이다. 이 경우에, 다수의 상이한 충전 인터커넥트들 (2450), 글로벌 액추에이션 인터커넥트들 (2454) 및 공통 구동 인터커넥트들 (2462) 이 어레이의 상이한 부분들을 선택적으로 업데이트하고 액추에이트하기 위해 어레이의 선택된 부분들로 라우트 (route) 될 수 있다.

[0133] 위에서 설명된 바처럼, 제어 매트릭스 (2440) 에서 픽셀들 (2442) 을 어드레스하기 위하여, 데이터 전압 V_d 은 액추에이션 전압 V_{at} 보다 현저히 작을 수 있다 (예를 들면, 5V 대 40V). 액추에이션 전압 V_{at} 이 프레임에 한번씩 인가되지만, 데이터 전압 V_d 은 제어 매트릭스 (2440) 에서 로우들처럼 프레임당 다수회 만큼 각 데이터 인터커넥트 (2448) 에 인가될 수도 있으므로, 제어 매트릭스 (2440) 와 같은 제어 매트릭스들은 액추에이션 전

압 역할도 할 만큼 충분히 높은 데이터 전압을 필요로 하는 제어 매트릭스들에 비해 상당한 량의 전력을 절약할 수도 있다.

[0134] 도 6의 실시형태는 n-채널 MOS 트랜지스터들의 사용을 가정한다는 것이 이해될 것이다. p-채널 트랜지스터들을 채용하는 다른 실시형태들이 가능한데, 이 경우에 바이어스 포텐셜 V_{at} 및 V_d 의 상대 부호들이 반전된다.

대안의 구현들에서, 저장 커패시터 (2459) 및 쓰기 인에이블 트랜지스터 (2457)는 당업계에 알려져 있는 DRAM 또는 SRAM과 같은 대안의 데이터 메모리 회로들로 교체될 수 있다. 대안의 구현들에서, 반도체 다이오드들 및/또는 금속 절연체 금속 샌드위치 타입 박막들은 제어 매트릭스 (2440)에서 트랜지스터를 대신에 스위치로서 대용될 수 있다. 이들 대용들의 예들은 참조에 의해 전부 여기에 인용된 U.S. 특허 출원 제 11/326,696호에 설명되어 있다.

[0135] 위에서 언급한 바처럼, 셔터 어셈블리 (2442)의 액츄에이터들에 걸쳐 나타나는 전압의 부호를 주기적으로 또는 때때로 반전시키는 것이 유리하다. U.S. 특허 출원 제 11/326,696호는 주기적인 극성 반전을 제공하고 0V DC 평균 동작을 보장하기 위한 2개 제어 로직들의 이용을 설명한다. 제 2 제어 로직에서 극성 반전을 달성하기 위하여, 도 7의 방법 (2470)에 관하여 예시되고 설명된 전압 할당 (voltage assignment)들 중 몇몇이 변화되지만, 제어 단계들의 시퀀스는 동일하게 남는다.

[0136] 제 2 제어 로직에서, 셔터 공통 인터커넥트 (2455)상의 포텐셜은 (제 1 제어 로직에서의 경우였던 접지 근처 대신) V_{at} 근처 전압으로 유지된다. 제 2 제어 로직에서, 셔터 어셈블리의 열림을 위해 로직이 설정되는 단계 (2478)에서, 데이터 인터커넥트 (2448)은 V_d 로 취해지는 대신 접지된다. 셔터 어셈블리의 닫힘을 위해 로직이 설정되는 단계 (2480)에서, 데이터 인터커넥트 (2448)은 전압 V_d 로 취해진다. 단계 (2486)은 동일하게 남지만, 단계 (2487)에서 공통 구동 인터커넥트는 접지 대신 제 2 제어 로직에서 액츄에이션 전압 V_{at} 으로 설정된다. 그러므로, 제 2 제어 로직에서 단계 (2487)의 종료시, 셔터 공통 인터커넥트 (2455), 공통 구동 인터커넥트 (2462), 및 충전 인터커넥트 (2450)의 각각이 같은 전압 V_{at} 으로 설정된다. 그 다음에 이미지 설정 시퀀스는 단계 (2492)에서 글로벌 액츄에이션 인터커넥트 (2454)의 접지로 계속되고-이는 이 제 2 로직에서 커패시터 (2459)에 걸쳐 전압 V_d 가 저장되었던 그러한 셔터들만을 닫는 효과를 갖는다. 제 2 제어 로직에서의 단계 (2493)에서 공통 구동 인터커넥트 (2462)가 접지된다. 이것은 그와 달리 단계 (2492)에서 액츄에이트되지 않았던 임의의 셔터들을 액츄에이트하고 열리게 하는 효과를 갖는다. 그러므로, 단계 (2494)에서 표현된 로직 상태는 제 2 제어 로직에서 반전되고 극성들 또한 효과적으로 반전된다.

[0137] 제어 매트릭스 (2440)는 매 프레임 사이 제어 로직들 사이 또는 교번 서브프레임 이미지들 사이 또는 어떤 다른 주기로, 가령 매초에 한번씩 교번될 수 있다. 시간이 지남에 따라, 충전 인터커넥트 (2450) 및 셔터 공통 인터커넥트 (2455)에 의해 셔터 어셈블리들 (2444)에 인가된 순 포텐셜은 0V으로 평균 내어진다.

[0138] **액츄에이션 및 램프 조명의 조정을 위한 알고리즘**

[0139] 어떤 알고리즘들이, 어떤 픽셀 어드레싱, 회로 구동 및 램프 조명 페이즈들을 오버랩핑하는 것에 의해 디스플레이 디바이스의 효율을 향상시키기 위해 사용될 수도 있다. 디스플레이 밝기 및 전력 효율과 같은 양상들을 향상시키는 것에 더하여, 그러한 오버랩핑 알고리즘에 의해 제공되는 시간에 대해 더 효율적으로 디스플레이를 어드레싱하고 구동하는 능력은 3차원 이미지들의 디스플레이에서의 사용을 위해 좌안 및 우안 양쪽 모두를 위한 이미지들을 생성할 추가적인 시간을 허용한다. 이들 알고리즘들은, 위에서 설명된 회로들 및 참조에 의해 여기에 인용되는 U.S. 특허 출원 제 11/811,842호, 제 12/652,477호, 제 11/643,042호, 및 제 11/326,900호에 개시된 회로들에 대하여 아래에서 설명될 것이다. 아래의 알고리즘들로부터 혜택을 받는 그러한 회로의 2개 예들이 S-래치 구동으로 언급된 도 5a의 제어 매트릭스 (500)로서 그리고 하이브리드 구동 (hybrid drive)으로 지칭되는 도 6의 제어 매트릭스 (2440)로서 위에서 설명되어 있다. 아래에서 설명되는 알고리즘들은 또한 언급된 특허 출원들에 개시된 것들 이외에 다른 회로들에 적용될 수 있다는 것이 당업자에 의해 이해될 것이다. 또한, 여기에 설명된 알고리즘은 MEMS 셔터들 이외에 다른 광변조기들을 구동하기 위하여 사용될 수 있다는 것이 당업자에 의해 이해될 것이다. 예를 들면, 전기 습윤, 광탐 및 LCD 광변조기들과 같은 다른 광변조기들이 여기에 설명된 알고리즘들과 함께 사용될 수도 있다.

[0140] 도 8a는 본 발명의 예시적인 실시형태에 따른 이미지 생성을 위한 페이즈 다이어그램 (800)이다. 페이즈 다이어그램 (800)은 데이터 로드 페이즈 (802), 글로벌 업데이트 페이즈 (804) 및 램프 조명 페이즈 (806)를 포함한다. 이미지 쓰기 동작은 디스플레이되는 각 비트에 대해 이들 3개의 독립된 페이즈들로 이루어진다.

페이지들의 타이밍 및 제어는, 예를 들면, 도 1b에서 디스플레이 장치 (100) 에서의 제어기 (156) 의해 수행된다.

[0141] 데이터 로드 페이지 (802) 에서 디스플레이의 픽셀들의 각각에 대하여 메모리에서 1비트의 데이터를 로드하기 위해 요구되는 고정 시간이 존재한다. 데이터는 '열린' or '닫힌' 상태가 될 원하는 서터 포지션에 대응하여 '1' 또는 '0' 일 수 있다. 글로벌 업데이트 페이지 (GUP) (804) 에서, 서터들이 데이터 로드에 의해 표시된 바처럼 새로운 포지션들로 이동하는 것을 허용하기 위하여 요구되는 고정 시간이 존재한다. 이 시간의 길이는 서터가 열림에서 닫힘으로 또는 닫힘에서 열림으로 이동하는 스피드에 의존한다. 이 페이지를 위해 요구되는 시간량은 서터의 물리적 구성 및 기초 회로 (underlying circuitry) 에 의존한다. 글로벌 업데이트 페이지 (804) 는 하나 이상의 서브페이지들 및 하나 이상의 상이한 글로벌 업데이트 신호들의 송신을 포함할 수도 있다. 그러한 회로의 2개 예들이 S-래치 구동으로 여기에서 지칭되는 도 5a의 제어 매트릭스 (500) 에 의해 그리고 하이브리드 구동으로 여기에서 지칭되는 도 6의 제어 매트릭스 (2440) 에 의해 주어져 있다.

[0142] 하이브리드 구동에서 글로벌 업데이트 페이지 (804) 는 2개의 서브페이지들로 분할된다. 제 1 페이지 동안, 모든 서터는 닫힌 포지션으로 진입하도록 커맨드된다. 제 2 페이지 동안, 서터는 픽셀에 로드되는 데이터에 따라 열린 포지션으로 진입하도록 커맨드된다. 예를 들면, 데이터가 1이면, 서터는 열린 포지션으로 이동할 것이다. 데이터가 0이면, 서터는 닫힌 포지션에 남을 것이다. 이 동작 스킴의 결과로서, 글로벌 업데이트 페이지 (104) 의 지속기간은 서터가 상태들을 스위치하는데 걸리는 시간의 약 2배이다.

[0143] S-래치 구동에서, 글로벌 업데이트 페이지 (804) 는 단하나의 페이지 또는 서브페이지로 이루어질 수도 있다. 서터는 픽셀상에 로드되는 데이터에 따라 열린 또는 닫힌 포지션이 되도록 커맨드된다. 예를 들면, 데이터가 1이면, 서터는 그의 이전 상태에 따라 열린 포지션에 남거나 또는 열린 포지션으로 이동할 것이다. 데이터가 0이면, 서터는 그의 이전 상태에 따라 닫힌 포지션에 남거나 또는 닫힌 포지션으로 이동할 것이다. 이 동작 스킴의 결과로서, S-래치 구동 회로를 위한 글로벌 업데이트 페이지 (804) 의 지속기간은 서터가 상태들을 스위치하는데 걸리는 시간과 같다. 따라서, S-래치 구동은 훨씬 더 짧은 글로벌 업데이트 페이지 (804) 를 제공하고, 이는 차례로, 특히 서터 스피드가 낮은 경우에, 더 긴 LED 듀티 사이클들을 가능하게 한다.

[0144] 램프 조명 페이지 (806) 는, 하나 이상의 램프들 (R, G 또는 B 또는 이들의 조합 중 어느 하나) 가 디스플레이를 조명하기 위해 턴 '온'될 수도 있는 시간을 나타낸다. 대안의 실시형태들에서, (백색, 시안색, 자주색, 및 마젠타색을 비한정적으로 포함하는) 다른 컬러들 또는 램프들 또는 이들의 조합이 조명될 수도 있다. 다수의 상이한 타입들의 램프들이 디스플레이들에서 채용될 수 있는데, 백열 램프, 형광 램프, 레이저, 발광 다이오드 (LED들), 또는 당업자에게 알려져 있는 임의의 다른 적합한 광원을 비한정적으로 포함한다. 예를 들면, 조명 페이지는 도 1b의 디스플레이 장치 (100) 에서 램프들 (162-167) 중 하나 이상을 조명하는 것을 포함할 수도 있다. 시간 지속기간은 표시되는 비트에 따라 변화가능하다. 서로에 대한 시간 지속기간의 상대적인 가중은 이진 또는 비이진일 수 있다. 각 비트 시간은 어떤 수의 그레이 스케일 레벨들 (통상적으로 8비트 또는 255 그레이 레벨들) 의 밝기를 나타내는 그러한 방식으로 계산된다. 필드 시퀀셜 컬러 알고리즘들의 예들은 위에서 도 1c 및 도 1d를 참조하여 설명되어 있다. 그레이 스케일 기법은, 참조에 의해 전부 여기에 인용되는, U.S. 특허 출원 제11/643,042호에 더 상세히 설명되어 있다. 그 제11/643,042호 출원은 상세 이미지들을 산출하기 위한 기법들을 설명한다. RGB 컬러의 각 비트는 이미지의 하나의 프레임을 생성하기 위해 알고리즘에서 주의깊게 조직된다. 이미지 생성의 프레임 레이트는 플리커 (flicker) 없는 이미지를 생성하기에 충분히 빨라야 한다. 통상적으로 그 레이트는 표준 디스플레이들을 위해 60 Hz이다. 기계적으로 액추에이트되는 디스플레이들은 45 Hz에서 플리커 없는 동작을 생성할 수 있고, 또한 비트 스프리딩 및 다른 그러한 방법론들을 수행하기 위한 그들의 능력에 의존한다. 한 프레임에서 전체 램프 조명 시간 (LED 듀티 사이클) 은, 바람직하게는 양호하고 낮은 전력의 디스플레이 동작을 위해 최적화된다.

[0145] 한 프레임 이내의 전체 조명 시간 (LED 듀티 사이클) 은 디스플레이의 밝기를 결정하는 것이다. 램프 듀티 사이클이 더 높아질 수록, 디스플레이의 밝기는 더 높아진다. 램프 듀티 사이클은 밝기뿐만 아니라 전력에 영향을 미친다. 그것이 전력에 영향을 미치는 이유는 전기 자극에 대한 램프의 광학적 응답이 선형적이지 않기 때문이다. 그것은 1 미만의 출력 계수 (power coefficient) 를 갖는 멱법칙 (power law) 이다. 이런 이유로 낮은 전류들 (및 펄스 밝기) 로 램프를 구동하는 것은 전기 전력의 더 효율적인 사용이 된다. 증가된 램프 듀티 사이클은 또한 램프 출력들 간에 큰 블랭킹 시간 (blanking time) 을 갖지 않는 것과 연관된 더 양호한 이미지 성능을 제공한다. 그러한 블랭킹 시간들은 DFC (dynamic false contour) 및 컬러 브레이크업 (color breakup) 과 같은 이미지 아티팩트들을 악화시킬 수 있다. 또한, 증가된 램프 듀티 사이클은

중요한데, 왜냐하면 디스플레이 크기 및 해상도가 증가함에 따라, 데이터 로드 시간 및 셔터 이동 시간 양쪽 모두가 현저히 증가하여, 램프가 한 프레임 시간 내에서 조명된 상태로 유지될 수 있는 시간을 감소시키기 때문이다.

[0146] 도 8a의 페이즈 다이어그램 (800)은 디스플레이 시스템을 구동하는 가장 기본적인 방법을 표시한다. 페이즈 다이어그램 (800)에 표시된 알고리즘은 매우 비효율적인데 왜냐하면 램프 듀티 사이클이 아주 작을 것이기 때문이다. 도 8b의 타이밍 다이어그램 (820)은 결과적인 낮은 램프 듀티 사이클을 갖는 이 비효율적인 구동 방법에 대응한다. 도 8b의 타이밍 다이어그램 (820)은 디스플레이 출력 (822), 셔터 천이 (824), 셔터 포지션 (826), 램프 출력 (828), 글로벌 업데이트 (830) 및 데이터 로드 (832)에 관한 정보를 포함한다. 셔터 천이 정보 (824)는 지연 시간 (852) 및 셔터 스위치 시간 기간 (854)을 포함한다. 타이밍 다이어그램 (820)에 도시된 바처럼, 하나 이상의 셔터들은 셔터 스위치 시간 (854) 동안 닫히고 글로벌 업데이트 (830)의 페이즈 2 (838) 동안 다시 열릴 수도 있다. 램프 출력 정보 (828)는 적색 컬러 비트 (840), 녹색 컬러 비트 (842) 및 청색 컬러 비트 (850)를 포함한다. 글로벌 업데이트 (830)는 제 1 신호 페이즈 (836) 및 제 2 신호 페이즈 (838)로 분할된 제 1 업데이트 신호, 및 제 1 신호 페이즈 (846) 및 제 2 신호 페이즈 (848)로 분할된 제 2 업데이트 신호를 포함한다. 글로벌 업데이트 (830)는 필요에 따라 2보다 더 많거나 더 적은 업데이트 신호들을 포함할 수도 있다는 것이 당업자에 의해 이해될 것이다. 데이터 로드 정보 (132)는 "1"을 표시하는 데이터 신호 (834) 및 "0"을 표시하는 데이터 신호 (844)를 포함한다. 도 8b (및 다음의 도면들)에서 "1" 및 "0"으로 라벨링된 데이터 신호들은 예시적인 예들이고 데이터 로드 페이즈 (832) 동안 전송될 수도 있는 데이터의 타입을 제한하도록 의도되지 않았다는 것이 당업자에 의해 이해될 것이다. 예를 들면, 데이터 로드 페이즈 (832) 동안 그리고 더 구체적으로 각 데이터 로드 신호 (834 및 844)에서, 하나 보다 많은 세트의 데이터가 전체 어레이에서 하나 이상의 픽셀들, 또는 픽셀들의 로우들로 전송될 수도 있다. 예를 들면, 데이터 (834 및 844)를 로드하는데 걸리는 시간 동안, 양쪽 모두의 "0" 및 "1" 데이터 또는 양쪽 모두의 조합이 하나 이상 또는 심지어는 전체 어레이의 픽셀들에 전송될 수도 있다. 도 7의 하이브리드 구동 어드레싱 방법 (2470)을 참조하면, 데이터 로드 신호들 (834 및 844)는 어레이에서 각 로우에 대해 데이터의 로딩을 위한 그러한 단계들의 순차 반복을 포함하여, 단계들 (2474 및 2485) 간에 포괄적으로 모든 데이터 로딩 단계들을 표시할 수도 있다. 램프 출력 (828)은 시스템의 나머지와 동기화된 백라이트의 출력이다. 셔터 포지션 (826)은 셔터 천이들 (824) 간에 표시된다.

[0147] 타이밍 다이어그램 (820)은 도 6 및 도 7을 참조하여 위에서 더 자세히 설명된, 하이브리드 회로를 구동하는 것에 대응한다. 이 예에서, 셔터는 셔터 포지션 정보 (826)에 의해 표시되는 바처럼 '열린' 포지션에서 시작된다. 어드레싱 사이클의 시작시 데이터가 데이터 신호 (834)로 디스플레이에 로딩된다. 타이밍 다이어그램 (820)에서 데이터 신호 (834)는 '열린' 셔터 상태에 대응하는 "1" 데이터를 표시한다. 데이터 신호 (834) 애플리케이션의 지속기간은 페이즈 다이어그램 (800)의 데이터 로드 페이즈 (802)를 표시한다. 페이즈 다이어그램 (800)에 도시된 알고리즘에서 표시된 바처럼 다음 페이즈는 글로벌 업데이트 페이즈 (804)이다. 글로벌 업데이트 페이즈 (804)는 글로벌 업데이트 신호로 개시된다. 어떤 실시형태들에서, 글로벌 업데이트 페이즈 (804)는 데이터 로드 페이즈 (802)가 완전히 종료될 때까지 시작하지 않는다. 이 예는 하이브리드 구동을 사용하기 때문에, 글로벌 업데이트 신호는 2개 신호 페이즈들 (836 및 838)로 스플릿된다. 위에서 설명된 바처럼, 글로벌 업데이트 (836)의 페이즈 1 동안 디스플레이의 모든 셔터들은 '닫힌' 상태로 리셋되거나 또는 구동된다. 글로벌 업데이트 신호의 신호 페이즈 1은 어드레싱 방법 (2470)의 단계 2486 내지 2490에 대응할 수도 있다. 이 천이는 열린 상태에서 닫힌 상태로 이동하는 셔터를 보여주는 부분 (854)에 의해 셔터 천이 정보 (824)에 그려진다. 글로벌 업데이트 (838)의 신호 페이즈 2 동안, 셔터들은 데이터 로드 페이즈 (802) 동안 로딩된 데이터에 의해 표시된 상태로 구동된다. 글로벌 업데이트 신호의 신호 페이즈 2는 어드레싱 방법 (2470)의 단계 2492 내지 2494에 대응할 수도 있다. 타이밍 다이어그램 (820)의 예에서, 신호 페이즈 2 동안 셔터는 데이터 신호 (834)에서 수신된 '1' 데이터에 대응하는 '열린' 상태로 구동된다. 글로벌 페이즈 (836, 138)의 신호 페이즈 1 및 2의 개시후에 그러나 셔터 이동 (854) 전에, 지연 시간 (152)이 존재한다. 따라서 글로벌 업데이트 페이즈 (804)의 지속기간은 2X (셔터 지연 시간 (852) + 셔터 스위치 시간 (854))이다.

[0148] 페이즈 다이어그램 (800)에 도시된 예시적 알고리즘의 최종 페이즈는 램프 조명 페이즈 (806)이다. 어떤 실시형태들에서, 램프 조명 페이즈 (806)는, 글로벌 업데이트 페이즈 (804)가 완전히 종료되고 셔터들이 그들의 의도된 상태들로 이동한 후에 시작된다. 타이밍 다이어그램 (820)에 도시된 예에서, 셔터들은 '열린' 상태로 이동하였으며, 그에 의해, 램프 출력 (842)에 의해 표시되는, 녹색광에 대응하는 램프 조명을 디스플레이한다. 램프 출력 (842)의 지속기간은 그것이 표시하는 비트의 결과이다. 타이밍 다이어그램 (820)

에 도시된 알고리즘 시퀀스의 효과는, 서터가 닫힌 그 시간 이래 청색이 투과되지 않을 것이므로 황색이 디스플레이된다는 것이다. 타이밍 다이어그램 (820) 에 도시된 예에서, 다음 데이터 신호 (844) 는 램프 출력 (142) 이 종료된 후에 행사 (assert) 된다. 서터는 데이터 신호 (844) 가 종료되어 다음 프레임 어드레싱 사이클의 데이터 로드 페이지에서 로딩할 때까지 '열린' 상태로 남는다. 타이밍 다이어그램 (820) 에 도시된 바처럼, 램프가 턴오프되지만, 서터가 여전히 열려 있는 큰 램프 블랭킹 시간 (856) 이 존재한다. 이들 램프 블랭킹 시간들은 낮은 램프 듀티 사이클을 초래하고, 이에 따라, 디스플레이 디바이스의 비효율적인 동작을 초래한다.

[0149] 도 9a는 본 발명의 예시적인 실시형태에 따른 이미지 생성을 위한 다른 페이지 다이어그램 (900) 이다. 페이지 다이어그램 (900) 은 페이지 다이어그램 (800) 의 알고리즘에 대해 램프 듀티 사이클을 증가시키는 디스플레이 장치를 구동하기 위한 디스플레이 알고리즘을 표시한다. 페이지 다이어그램 (900) 은 램프 조명 페이지 (902), 데이터 로드 페이지 (904), 글로벌 업데이트 페이지 (906), 데이터 로드 페이지 (910) 및 램프 조명 페이지 (908) 를 포함한다.

[0150] 페이지 다이어그램 (900) 에서, 데이터 로드 페이지들 및 램프 조명 페이지들의 오버랩핑이 존재한다. 예를 들면, 데이터 로드 페이지 (904) 는 램프 조명 페이지 (902) 와 시간에서 오버랩된다. 유사하게, 데이터 로드 페이지 (910) 는 램프 조명 페이지 (908) 와 시간에서 오버랩된다. 어떤 실시형태들에서, (다음 비트를 위한) 데이터는 램프 조명이 일어나는 동안 디스플레이될 픽셀의 "픽셀 메모리"에 로딩될 수 있다. 페이지 다이어그램 (900) 에 의해 도시된 알고리즘은, 글로벌 업데이트 페이지가 실행될 때까지 서터 액추에이션을 일으키지 않고서 데이터가 메모리에 유지될 수 있도록 디스플레이의 백플레인에서 특수 회로 설계를 필요로한다. 예를 들어, 도 6 및 도 7을 참조하여 설명된, 하이브리드 구동 회로 (2440) 는 디스플레이를 구동하기 위하여 사용될 수 있다. 하이브리드 회로 (2440) 에서, 데이터 저장 커패시터 (2459) 는 다음 이미지 프레임을 위한 준비에서 데이터로 로딩될 수 있다. 어떤 실시형태들에서, 전압 V_{off} 가 글로벌 액추에이션 인터커넥트 (2454) 에 인가되는 한, 커패시터 (2459) 에 저장된 데이터는 서터들의 이동에 영향을 미치지 않는다. 어떤 실시형태들에서, 인터커넥트 (2454) 상의 전압이 접지로 설정된 후에만, 방법 (2470) 의 단계 (2492) 에서 표시된 바처럼, 서터들은 커패시터 (2459) 에 저장된 데이터에 따라 업데이트 사이클에서 이동하기 시작할 수 있다.

[0151] 도 5a 및 도 5b를 참조하여 설명된 S-래치 구동 회로 (500) 는 데이터 로드 페이지 및 램프 조명 페이지 사이의 오버랩을 갖는 디스플레이를 구동하는데 사용될 수 있는 제어 매트릭스의 다른 예이다. S-래치 회로 (2440) 에서, 데이터 저장 커패시터 (538) 는 다음 이미지 프레임을 위한 준비에서의 데이터로 로딩될 수도 있다. 어떤 실시형태들에서, 전압 V_{off} 가 업데이트 인터커넥트 (522) 에 인가되는 한, 커패시터 (538) 에 저장된 데이터는 래치의 상태를 변화시키지도 않고 서터들의 이동에 영향을 미치지도 않는다. 어떤 실시형태들에서, 업데이트가 활성화된 후에만, 방법 (550) 의 단계 (574) 에서, 서터들은 커패시터 (538) 에 저장된 데이터에 따라 업데이트 사이클에서 이동하기 시작할 수 있다.

[0152] 도 9b는 본 발명의 예시적인 실시형태에 따른 도 9a의 페이지 다이어그램에 대응하는 이미지 생성을 위한 타이밍 다이어그램 (920) 을 도시한다. 타이밍 다이어그램 (920) 은, 램프 출력들 (940, 942, 950) 이 데이터 신호들 (934, 944, 952) 과 오버랩되는 것을 제외하고는, 도 8b의 타이밍 다이어그램 (820) 과 유사하다. 타이밍 다이어그램 (820) 과 마찬가지로, 데이터 신호 (934) (및 도 10b 내지 도 13b에 도시된 유사한 데이터 신호들) 은 디스플레이에서 광변조기들의 다수의 픽셀들, 다수의 로우들 및/또는 전체 어레이로의 데이터의 로딩을 위해 요구되는 시간 기간을 표시할 수도 있다. 타이밍 다이어그램 (920) 에서 데이터 신호 (934) 는 (큰 비트 길이들에 기인하여) 적색 램프 출력 (940) 아래에 완전히 둘러싸여진다. 이것은 타이밍 다이어그램 (920) 에 도시된 예에 비교하여 증가된 램프 듀티 사이클을 허용한다. 더 짧은 비트 길이들을 갖는, 녹색 출력 (942) 및 청색 출력 (950) 의 경우에, 데이터 로드 페이지 지속기간은 녹색 및 청색 램프 출력들 (942, 950) 보다 더 길고 따라서 램프 블랭킹 인터벌들 (954, 956) 은 글로벌 업데이트 페이지 (906) 가 개시되기 전에 삽입되어야 한다. 따라서, 양호한 컬러 깊이를 정의하기 위해 많은 짧은 비트들이 존재하면, 현저한 램프 듀티 사이클이 손실된다.

[0153] 도 10a는 본 발명의 예시적인 실시형태에 따른 이미지 생성을 위한 다른 페이지 다이어그램 (1000) 이다. 페이지 다이어그램 (1000) 은 페이지 다이어그램들 (800 및 900) 의 알고리즘에 대해 램프 듀티 사이클을 증가시키는 디스플레이 장치를 구동하기 위한 디스플레이 알고리즘을 표시한다. 페이지 다이어그램 (1000) 은 램프 조명 페이지 (1002), 데이터 로드 페이지 (1004), 글로벌 업데이트 페이지 (1006), 및 램프 조명 페이지 (1008) 를 포함한다. 페이지 다이어그램 (1000) 에서, 램프 조명 페이지 (1002) 및 글로벌 업데이트 페이지

(1006) 양쪽 모두와 데이터 로드 페이지 (1004) 의 오버랩핑이 존재한다. 페이지 다이어그램 (1000) 에 도시된 알고리즘은 도 3b를 참조하여 설명된 바처럼 (위에서 도 6 및 도 7을 참조하여 더 상세하게 설명된) 하이브리드 구동 회로 상에서 구현될 수 있다.

[0154] 도 10b는 본 발명의 예시적인 실시형태에 따른 도 10a의 페이지 다이어그램에 대응하는 이미지 생성을 위한 타이밍 다이어그램 (1020) 을 도시한다. 타이밍 다이어그램 (1020) 은, 데이터 로드 신호들 (1034, 1044, 1052) 이 램프 출력들 (1040, 1042, 1050) 및 글로벌 업데이트 신호들 (1036, 1046, 1054) 의 제 1 페이지와 오버랩되는 것을 제외하고는, 도 9b의 타이밍 다이어그램 (920) 과 유사하다. 글로벌 업데이트 신호 (1036, 1046, 1054) 의 제 1 신호 페이지에서, 하이브리드 구동의 회로 업데이트 신호 (2454) 가 비활성화되어, 픽셀 메모리가 (서터 상태를 정의하는) 서터 상에 이미 로딩된 데이터와 상호작용하지 않는다. 글로벌 업데이트 신호의 제 1 신호 페이지는 변조기 리셋 페이지 및 어드레싱 방법 (2470) 의 단계 2486 내지 2490에 대응할 수도 있다. 결과적으로, 데이터는 서터 포텐셜 및 서터 이동 및 포지션에 영향을 미치지 않고서 픽셀 메모리에 로딩될 수 있다. 데이터 로드 신호들 (1034, 1044, 1052) 은 글로벌 업데이트 신호들 (1036, 1046, 1054) 의 제 1 신호 페이지와 오버랩되기 때문에, 그것은 타이밍 다이어그램들 (820 및 920) 에서 발견되는 램프 블랭킹 시간들을 제거한다. 램프 블랭킹 시간들이 제거됨에 따라, 램프 듀티 사이클은, 데이터 로드 페이지 (1004) 가 현저하게 긴 상황들에서도, 현저히 향상된다. 타이밍 다이어그램 (1020) 에 도시된 예시적인 알고리즘에서, 램프 조명 페이지 (1002) 는 글로벌 업데이트 페이지 (1006) 와 오버랩되지 않고 글로벌 업데이트 신호 (1036) 는 전체 컬러 비트 (1040) 가 디스플레이될 때까지 행사되지 않는다.

[0155] 도 11a는 본 발명의 예시적인 실시형태에 따른, 이미지 생성을 위한 다른 페이지 다이어그램 (1100) 이다. 어떤 실시형태들에서, 페이지 다이어그램 (1100) 은 S-래치 구동 회로를 이용하여 디스플레이 장치를 구동하기 위한 디스플레이 알고리즘을 표시한다. S-래치 구동 회로 (500) 는 위에서 도 5a 및 도 5b를 참조하여 더 상세하게 설명되어 있다. 페이지 다이어그램 (1100) 은 램프 조명 페이지 (1102), 데이터 로드 페이지 (1104), 글로벌 업데이트 페이지 (1106), 데이터 로드 페이지 (1108) 및 램프 조명 페이지 (1110) 를 포함한다. 페이지 다이어그램 (1000) 과 유사하게, 페이지 다이어그램 (1100) 은, 램프 조명 페이지 (1110) 및 글로벌 업데이트 페이지 (1106) 양쪽 모두와의 데이터 로드 페이지 (1108) 의 오버랩핑을 포함한다. 페이지 다이어그램 (1100) 에서 도시된 알고리즘은 도 11b를 참조하여 아래에서 설명된 바처럼 S-래치 구동 회로 상에서 구현될 수 있다.

[0156] 도 11b는 본 발명의 예시적인 실시형태에 따른 도 11a의 페이지 다이어그램에 대응하는 이미지 생성을 위한 타이밍 다이어그램 (1120) 을 도시한다. 타이밍 다이어그램 (1120) 은 도 10b의 타이밍 다이어그램 (1020) 과 유사하지만, 그것은 도 5a의 회로 (500) 와 같은 S-래치 구동 회로 상에서 그리고 도 5b의 방법 (550) 을 이용하여 수행될 수도 있다. S-래치 구동에서, 방법 (550) 에서의 업데이트 래치 단계 (554) 로 지칭되는, 서터 노드 상에 데이터를 래치하기 위하여 요구되는 시간의 짧은 기간 후에, 데이터는 글로벌 업데이트 페이지 (1106) 의 나머지 동안 픽셀 메모리로 로딩될 수 있다. 글로벌 업데이트 페이지 (1106) 는 글로벌 업데이트 페이지 (1106) 동안 서터가 오직 한번 이동한다는 (열림에서 닫힘 또는 닫힘에서 열림 또는 단지 열린 또는 닫힌 포지션에 머문다는) 사실에 기인하여 하이브리드 구동에 비교될 때, S-래치 구동 회로에 대해 훨씬 더 작을 수도 있다. 이에 따라, 어떤 실시형태들에서, S-래치 구동 회로에서 사용되는 글로벌 업데이트 신호 (1136, 1148, 1154) 는 2개의 분리된 페이지들을 필요로하지 않고 따라서 더 짧은 지속시간을 갖는다. 어떤 실시형태들에서, S-래치 구동의 회로 업데이트 신호는 업데이트 래치 단계 동안의 시간의 짧은 기간 동안만, 즉 방법 (550) 의 단계들 (574 및 578) 사이에 활성화된다. 그 후에, 서터 액추에이션 단계 (556) 동안, (픽셀 메모리를 구성하는) 픽셀 데이터 저장 커패시터는 더 이상 서터와 전기적으로 통신하지 않는다. 그러므로 데이터는 서터 이동을 방해하지 않고서 액추에이션 단계 (556) 동안 저장 커패시터로 로드될 수 있다.

[0157] 데이터 업데이트 단계들 (574 내지 578) 을 포함하여, 업데이트 래치 단계 (554) 는 때때로 글로벌 업데이트 신호의 전기적 설정 페이지로 지칭된다. 몇몇 실시형태들에서, 전기적 설정 페이지 동안, 램프들은 "온" 상태로 남을 수도 있는 한편, 데이터 로딩 신호들은 비활성으로 남는다. 방법 (550) 의 서터 액추에이션 단계 (556) 는 때때로 글로벌 업데이트 신호의 기계적 반응 페이지로 지칭된다. 몇몇 실시형태들에서, 기계적 반응 페이지 동안, 램프들은 "오프" 상태로 남는 한편, 데이터 로딩은 계속될 수 있다. 기계적 반응 페이지 및 데이터 로딩 페이지는 시간에서 오버랩되는 것이 허용된다.

[0158] 타이밍 다이어그램 (1120) 에서, 데이터 로드 신호들 (1138, 1144, 1152) 은 램프 출력들 (1142, 1146, 1150) 및 글로벌 업데이트 신호 (1136, 1148, 1154) 와 오버랩된다. 데이터 로드 신호들 (1134, 1144, 1152) 및 글로벌 업데이트 신호들 (1136, 1146, 1154) 사이의 오버랩의 결과로서, 다음 글로벌 업데이트 신호 전에 요구

되는 램프 블랭킹 시간이 존재하지 않는다. 그러므로, 램프 듀티 사이클은, 데이터 로드 페이지 (1138, 1144, 1152) 가 현저하게 긴 상황들에서도, 현저히 향상된다. 더욱이, 글로벌 업데이트 페이지 (1106) 가 하이브리드 구동 회로와 비교할 때 지속시간이 더 짧기 때문에, S-래치는 하이브리드 구동과 비교할 때 훨씬 더 큰 램프 듀티 사이클을 허용한다. 타이밍 다이어그램 (1120) 에 도시된 예시적인 알고리즘에서, 램프 조명 페이지 (1102) 는 글로벌 업데이트 페이지 (1106) 와 오버랩되지 않고 글로벌 업데이트 신호 (1136) 는 전체 컬러 비트 (1140) 가 디스플레이될 때까지 행사되지 않는다.

[0159] 도 12a는 본 발명의 예시적인 실시형태에 따른 이미지 생성을 위한 다른 페이지 다이어그램 (1200) 이다. 페이지 다이어그램 (1200) 은 페이지 다이어그램 (1000) 의 알고리즘에 대해 램프 듀티 사이클을 증가시키는 디스플레이 장치를 구동하기 위한 디스플레이 알고리즘을 표시한다. 페이지 다이어그램 (1200) 은 램프 조명 페이지 (1202), 데이터 로드 페이지 (1204), 글로벌 업데이트 페이지 (1206), 및 램프 조명 페이지 (1208) 를 포함한다. 페이지 다이어그램 (1200) 에서, 데이터 로드 페이지 (1204), 램프 조명 페이지 (1202) 및 글로벌 업데이트 페이지 (1206) 의 각각 사이에 오버랩핑이 존재한다. 페이지 다이어그램 (1200) 에서 도시된 알고리즘은 도 6 및 도 7을 참조하여 설명된 회로 (2440) 와 같은 하이브리드 구동 회로 상에서 구현될 수도 있다.

[0160] 셔터 동작 동안, 셔터는 광을 차단하거나 또는 광이 통과하는 것을 허용한다. 디스플레이는 셔터와 그 아래 애퍼처 플레이트 슬롯 사이에 어떤 오버랩을 갖게 설계된다. 이것은 축외 (off-axis) 광 누설을 감소시키고 양호한 축외 콘트라스트를 제공하는 것을 돕는다. 이러한 오버랩에 기인하여, 셔터 이동은, 셔터가 그의 이동 시간의 대략 20% 동안 이동했을 때까지 광 투과 변화 (optical transmission change) 로서 기록되지 않는다. 이 이동 시간 동안, 광 신호의 변화는 존재하지 않는다. 예를 들면, 닫힌 셔터는 여전히 닫힌 상태로 나타나고 열린 셔터는 여전히 광학적으로 열린 상태로 나타난다. 이 셔터 이동 시간은, 비록 글로벌 업데이트 페이지 (1206) 의 부분이지만, 램프 조명 페이지 (1202) 의 부분으로서 사용될 수 있으며 그에 의해 추가 램프 듀티 사이클을 제공한다. 페이지 다이어그램 (1200) 에 예시된 알고리즘은 이미지의 광학 품질 (즉, 콘트라스트 및 컬러) 에 영향을 미치지 않고서 하이브리드 회로에 적용될 수 있다.

[0161] 도 12b는 본 발명의 예시적인 실시형태에 따른 도 12a의 페이지 다이어그램에 대응하는 이미지 생성을 위한 타이밍 다이어그램 (1220) 을 도시한다. 타이밍 다이어그램 (1220) 은, 램프 신호들 (1240, 1242, 1250) 이 글로벌 업데이트 신호들 (1236, 1238, 1246, 1248, 1254, 1256) 의 페이지 1 및 2와 오버랩되는 것을 제외하고는, 도 10b의 타이밍 다이어그램 (1020) 과 유사하다.

[0162] 글로벌 업데이트 신호 (1236, 1246, 1254) 의 신호 페이지 1 는, 모든 셔터들이 이 페이지에서 '닫힌' 포지션으로 이동하도록 하는 그러한 방식으로 동작된다. 신호 페이지 1 은 글로벌 업데이트 신호의 리셋 페이지, 즉 방법 (2470) 의 단계들 (2486 내지 2488) 을 구성할 수도 있다. 이 경우에, '닫힌' 포지션으로 건너가는 동안, 셔터는 (이미지를 형성하는데 기여하는) 의미있는 량의 동일 컬러의 광을 여전히 투과시킬 수 있다. 따라서, 램프 조명은 글로벌 업데이트 신호 (1236, 1246, 1254) 의 페이지 1 동안 '온' 상태로 유지되고 디스플레이에 추가 밝기 부스트 (boost) 를 제공할 수 있다.

[0163] 글로벌 업데이트 신호 (1238, 1248, 1256) 의 신호 페이지 2에서, 열린 포지션으로 이동할 필요가 있는 셔터들은 그 픽셀을 위해 로딩된 데이터에 기초하여 '열린' 포지션으로 구동된다 (방법 2470의 단계들 2490 내지 2494). 셔터가 '닫힌' 상태에 있을 때, 셔터를 통한 광 누설은 최소화이다. 그러므로, 램프는 닫힌 셔터의 성능에 영향을 주지 않고서 (즉, 광누설 없이) 다시 '온' 상태로 스위치될 수 있다. 결과적으로, 추가 광 투과는 열린 상태로 구동되고 있는 특정 셔터들에 대해 '닫힌 상태' 에서 '열린 상태' 로의 셔터 천이 동안 제공될 수 있다. 램프 조명 페이지 (1202, 1208) 를 글로벌 업데이트 페이지 (1206) 와 오버랩시키는 결과로서 광 투과의 증가는 도 10b의 타이밍 다이어그램 (1020) 과 비교할 때 더 높은 램프 듀티 사이클을 허용한다.

[0164] 도 13a는 본 발명의 예시적인 실시형태에 따른 이미지 생성을 위한 다른 페이지 다이어그램 (1300) 이다. 페이지 다이어그램 (1300) 은 도 5a의 회로 (500) 와 같은 S-래치 구동 회로를 이용하고 도 5b의 방법 (550) 을 이용하여 디스플레이 장치를 구동하기 위한 디스플레이 알고리즘을 표시한다. 페이지 다이어그램 (1300) 은 램프 조명 페이지 (1302), 데이터 로드 페이지 (1304), 글로벌 업데이트 페이지 (1306), 데이터 로드 페이지 (1308) 및 램프 조명 페이지 (1310) 를 포함한다. 페이지 다이어그램 (1300) 과 유사하게, 페이지 다이어그램 (1300) 에서, 램프 조명 페이지 (1310) 및 글로벌 업데이트 페이지 (1306) 양쪽 모두와의 데이터 로드 페이지 (1308) 의 오버랩핑이 존재한다. 페이지 다이어그램 (1300) 에서 도시된 알고리즘은 도 13b를 참조하여

아래에서 설명된 바처럼 S-래치 구동 회로 상에서 구현될 수 있다.

[0165] 도 13b는 본 발명의 예시적인 실시형태에 따른 도 13a의 페이지 다이어그램에 대응하는 이미지 생성을 위한 타이밍 다이어그램 (1320) 을 도시한다. 타이밍 다이어그램 (1320) 은 도 12b의 타이밍 다이어그램 (1220) 과 유사하지만, 이것은 도 5a의 회로 (500) 와 같은 S-래치 구동 회로 상에서 그리고 도 5b의 방법 (550) 을 이용하여 수행되도록 설계된다. 타이밍 다이어그램 (1320) 에서, 램프 출력들 (1340, 1342, 1350) 은 글로벌 업데이트 신호들 (1336, 1346, 1354) 의 시작에서 짧은 기간으로 오버랩된다. 타이밍 다이어그램 (1320) 에 도시된, 하나의 실시형태에서, 램프 출력들 (1340, 1342, 및 1350) 은 어드레싱 방법 (550) 의 업데이트 래치 단계 (554) 와 오버랩될 수 있다. 하지만, S-래치 구동에 관한 어떤 실시형태들에서, 타이밍 다이어그램 (1220) 에서 하이브리드 구동 관련하여 설명된 바처럼, 셔터 천이 시간들 동안의 추가 램프 오버랩은 가능하지 않은데 왜냐하면 셔터 이동 페이지 동안 광 투과는 디스플레이 콘트라스트 및 컬러의 저하를 일으킬 수 있기 때문이다. 구체적으로, 램프들이 셔터 천이 동안 조명되면, 광은 열린 포지션으로부터 닫히고 있는 픽셀로부터 누설되지만, 하나의 프레임에서 다음 프레임까지 닫힌 포지션에 남아 있는 것들로부터는 누설되지 않는다. 유사하게, 이전 상태에서 열려 있었던 픽셀들은 닫힌 상태에서 열린 상태로 천이하고 있었던 픽셀들 보다 더 많은 광들을 방출하게 된다. 동일한 상태에 있도록 의도된 픽셀들로부터의 출력된 광에서의 이러한 불일치 (disparity) 는 위에서 언급된 이미지 저하를 일으킨다. 천이 시간 동안 램프들을 조명할 수 없음에도 불구하고, 구동 스킴의 상이한 페이지들의 다른 오버랩들은 증가된 램프 듀티 사이클을 허용하거나, 또는 램프 듀티 사이클이 심지어 느린 셔터 스피드 및 더 긴 데이터 로드 시간들로도 보존되는 것을 허용한다.

[0166] 다음의 데이터 표들은 216 ppi 에서 3.7" VGA 디스플레이를 위한 하이브리드 및 S-래치 구동 회로 양쪽 모두 상에 (위에서 설명된 바처럼) 오버랩 알고리즘들을 이용할 때 램프 듀티 사이클에 대한 향상 수준에 관한 데이터를 제공한다:

로드 및 램프 오버랩 없는 하이브리드 구동		
셔터 스피드 (us)	150	230
GUT (us)	300	460
LED 듀티 사이클	45%	11%

오버랩들을 갖는 하이브리드 구동			
셔터 스피드 (us)	150	230	300
GUT (us)	300	460	600
LED 듀티 사이클	66%	44%	16%

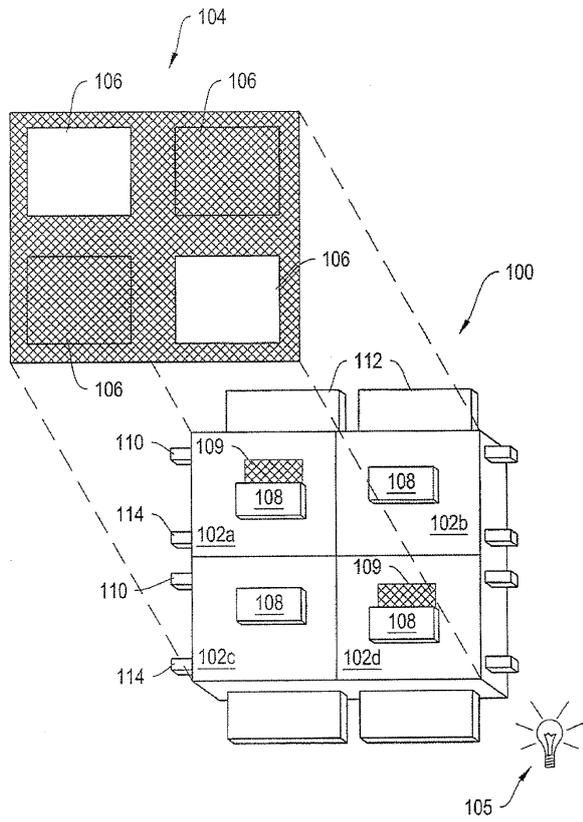
오버랩들을 갖는 S-래치		
셔터 스피드 (us)	150	300
GUT (us)	180	360
LED 듀티 사이클	76%	51%

[0167] 위의 표들에 도시된 바처럼, 150 μsec 의 셔터 스피드를 갖는 하이브리드 구동의 램프 듀티 사이클은, 오버랩 알고리즘을 사용할 때, 45%에서 66%으로 증가하고, 230 μsec의 셔터 스피드를 갖는 하이브리드 구동에 대한 오버랩 알고리즘을 사용할 때 11%에서 44%으로 증가한다. 또한, S-래치는 오버랩 알고리즘을 사용할 때 하이브리드 구동에 비해 램프 듀티 사이클에 있어서 현저한 향상을 보여준다. 150 μsec의 셔터 스피드를 갖는 S-래치 구동 상에서 오버랩 알고리즘을 사용할 때, 램프 듀티 사이클은 76%이고, 300 μsec의 셔터 스피드에서 램프 듀티 사이클은 51%이다.

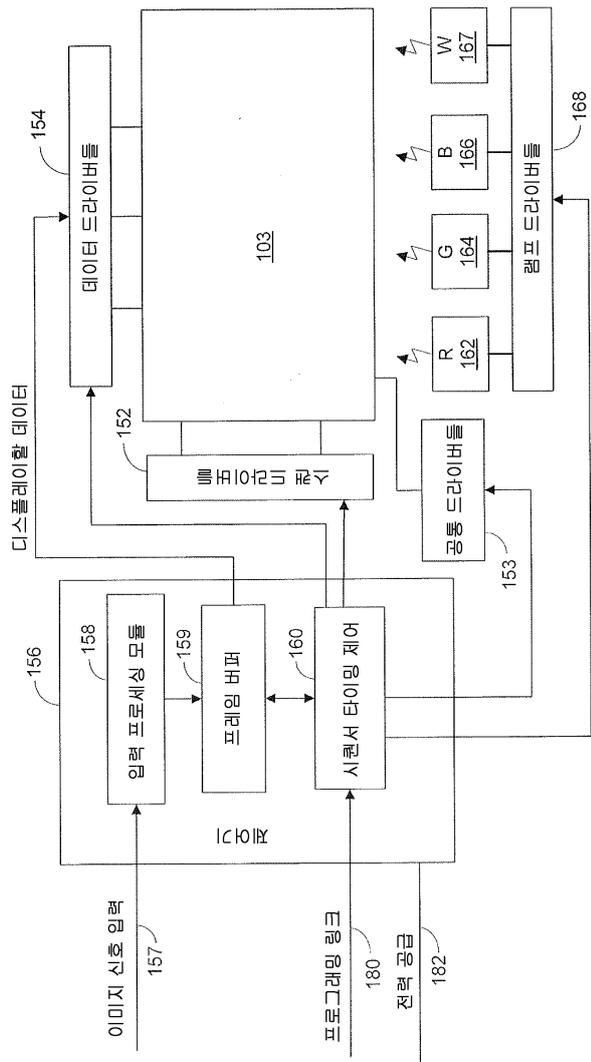
[0169] 본 발명은 본 발명의 사상 또는 본질적인 특징들로부터 벗어나지 않고서 다른 특정 형태들로 구현될 수도 있다. 그러므로, 이전의 실시형태들은 본 발명을 제한하는 것이 아닌, 모든 면에서 예시적인것으로 고려되어야 한다.

도면

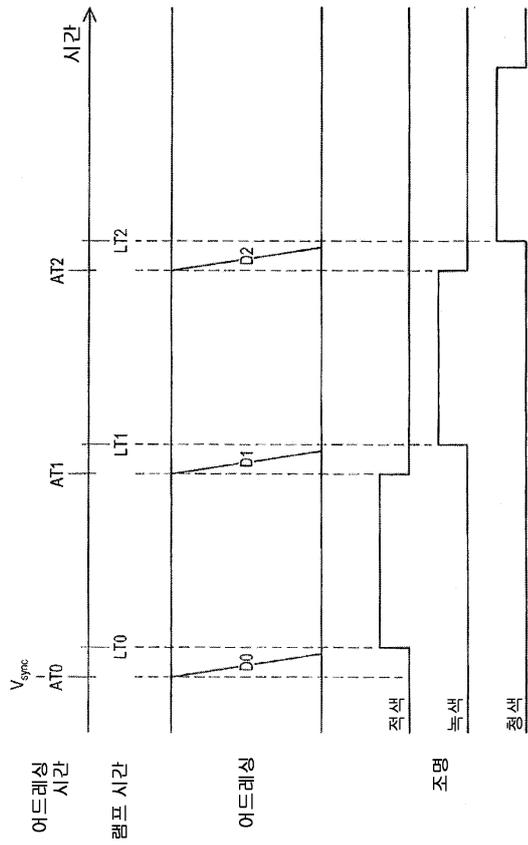
도면1a



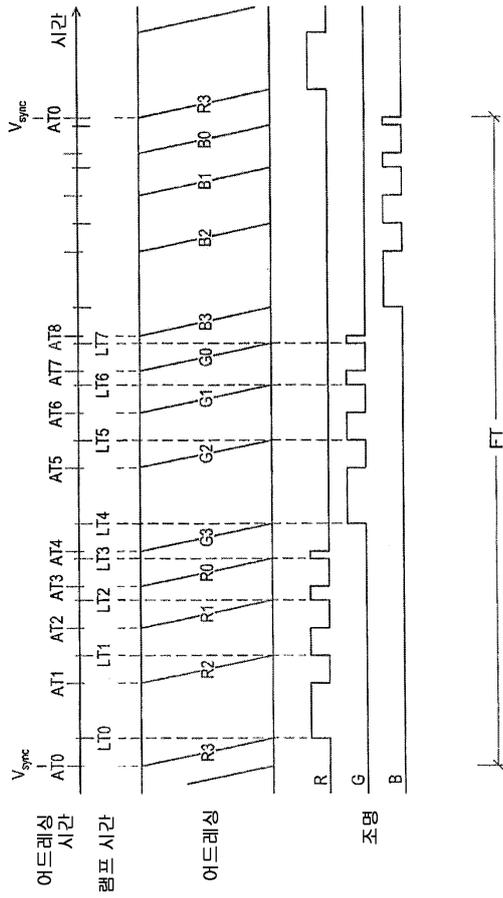
도면1b



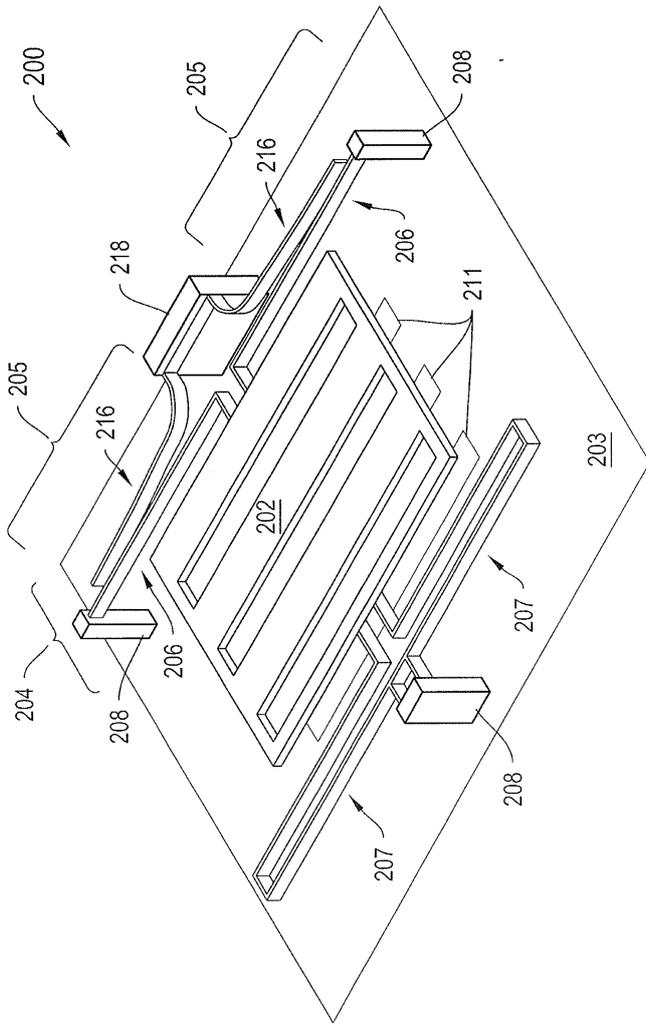
도면1c



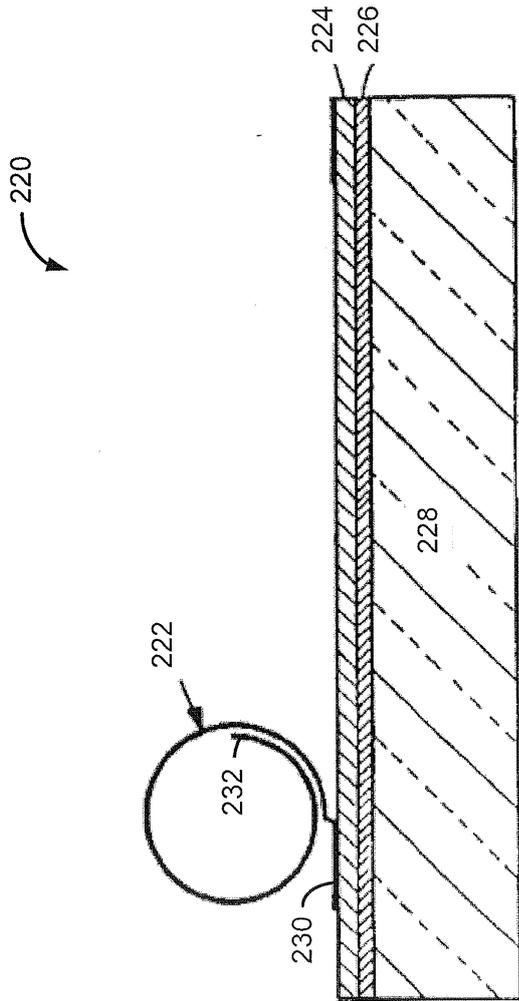
도면1d



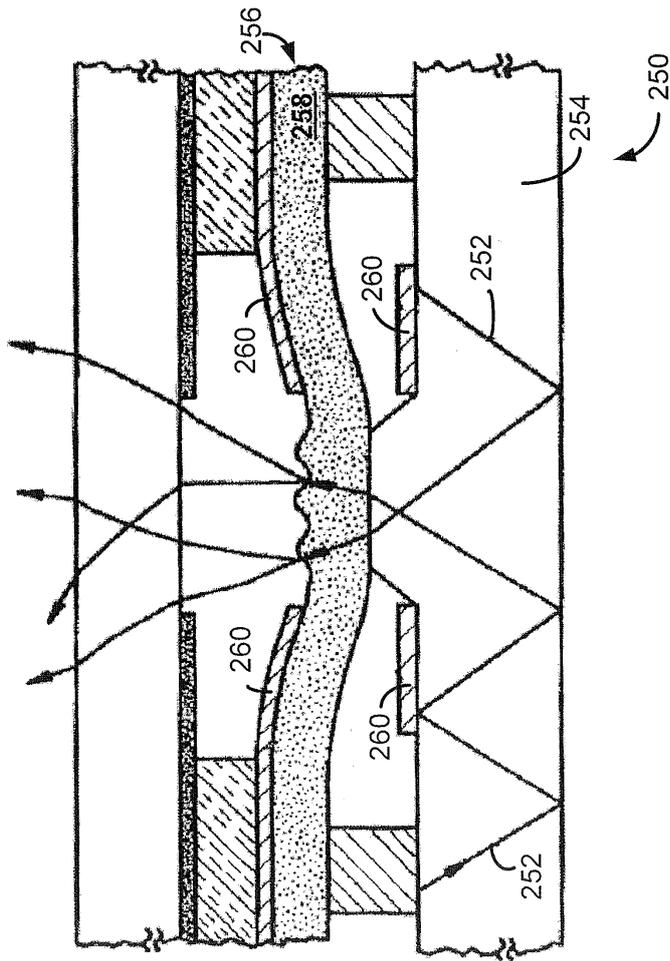
도면2a



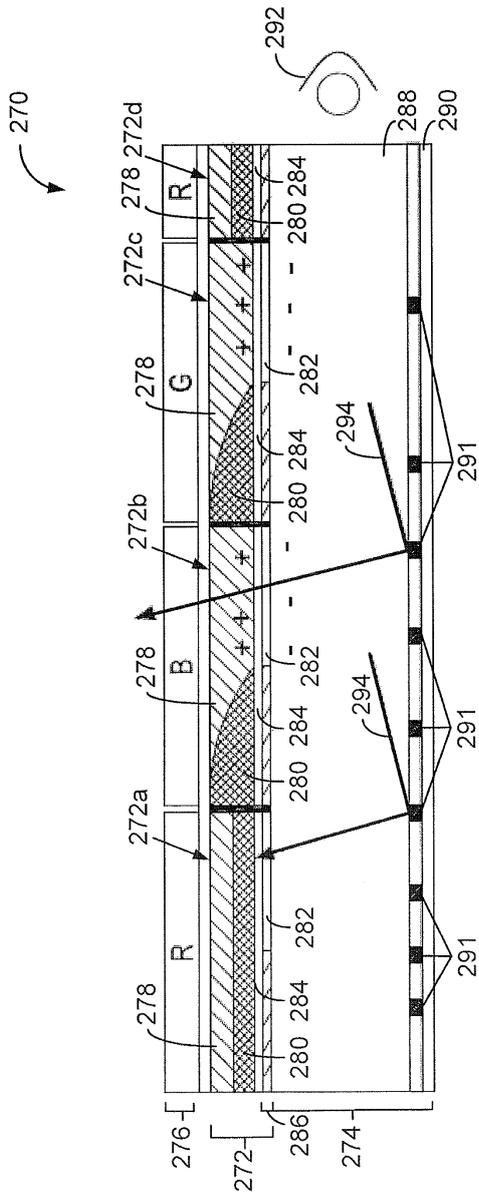
도면2b



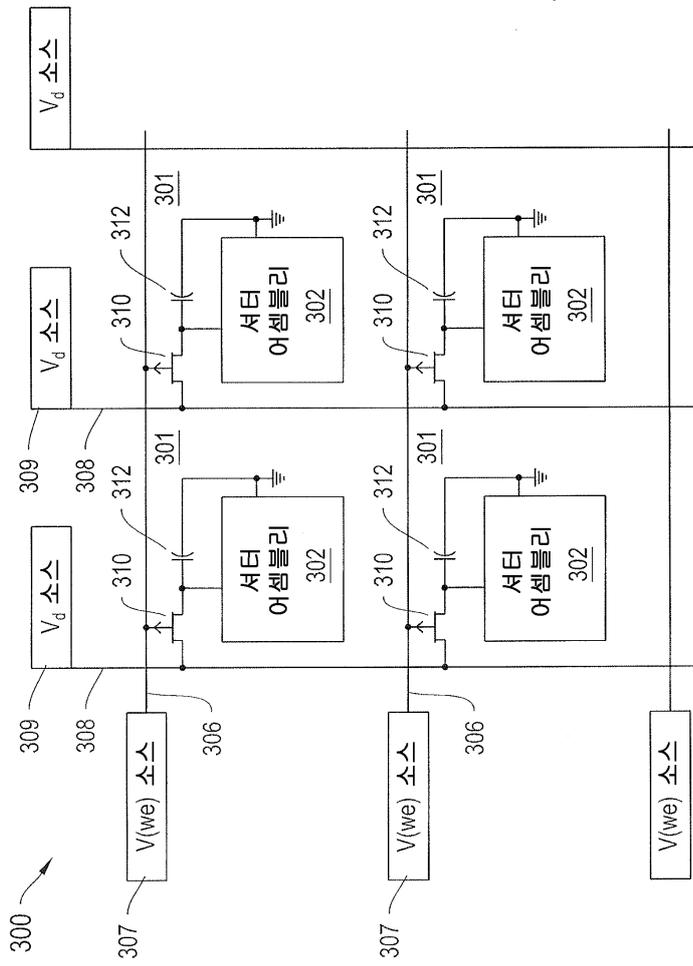
도면2c



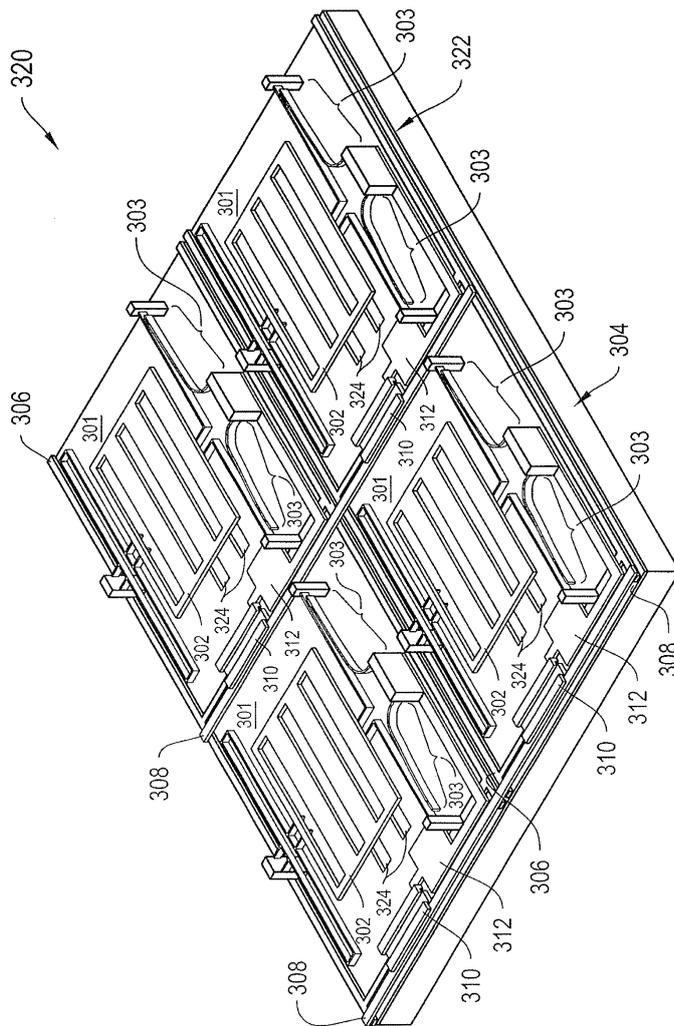
도면2d



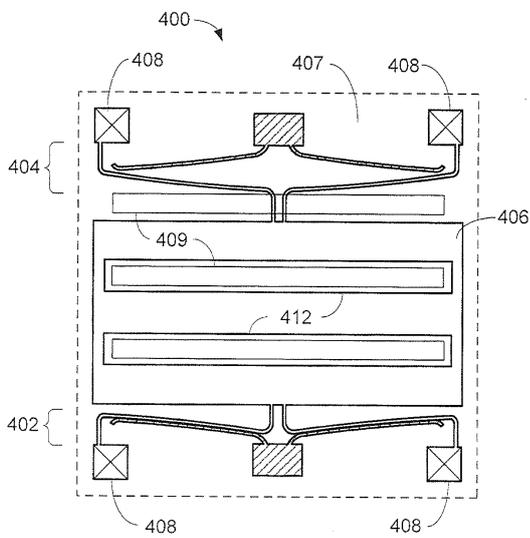
도면3a



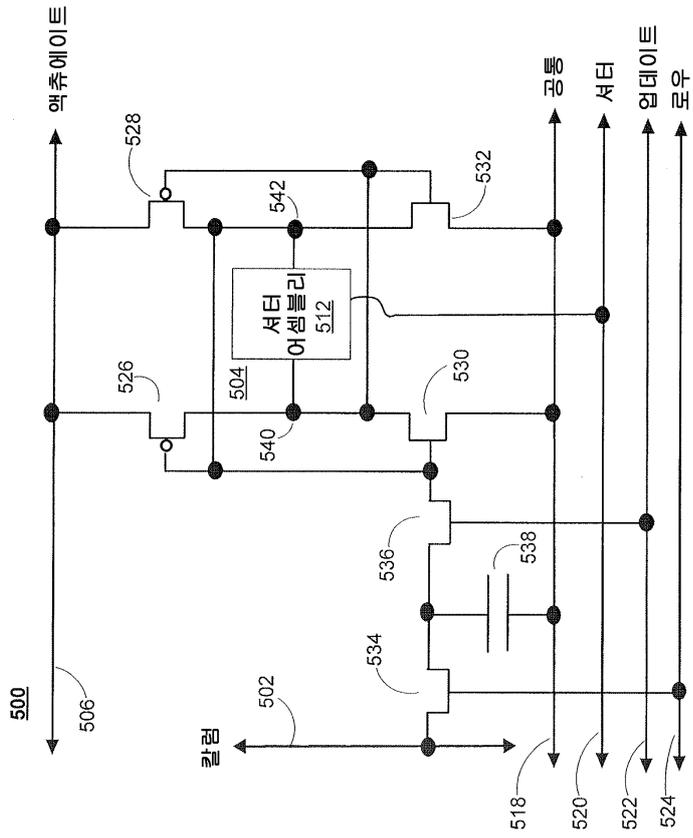
도면3b



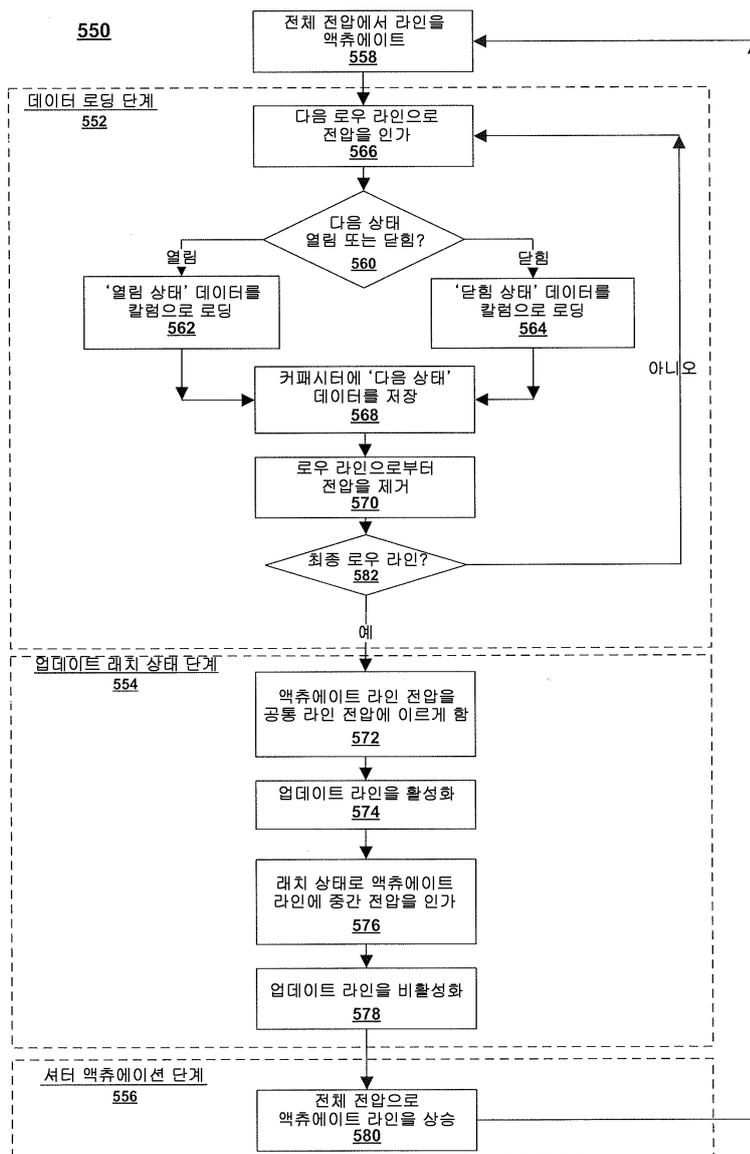
도면4a



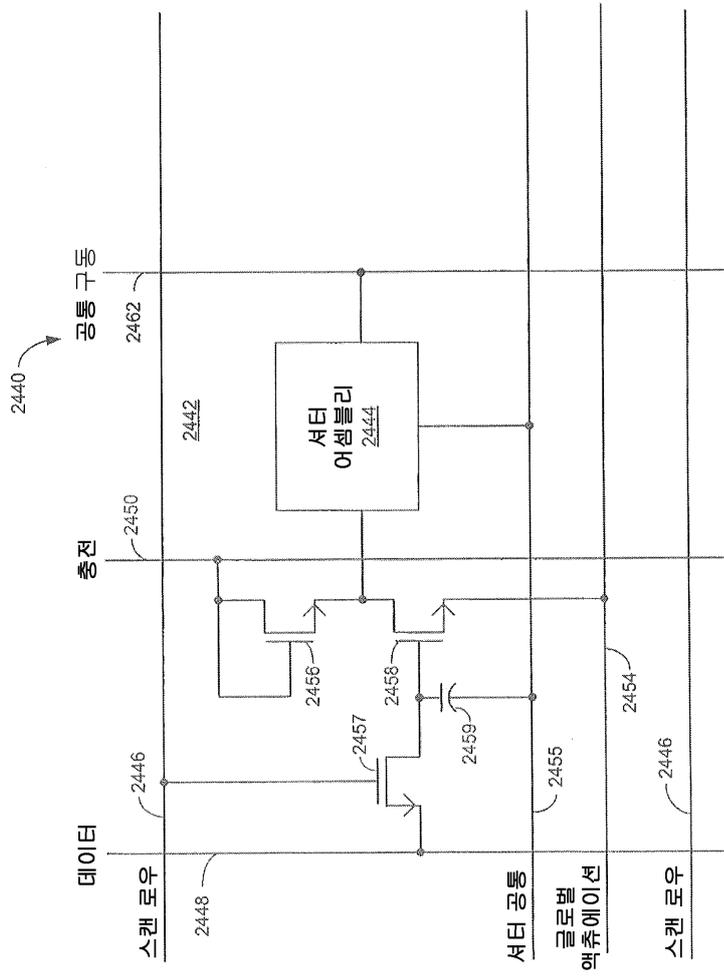
도면5a



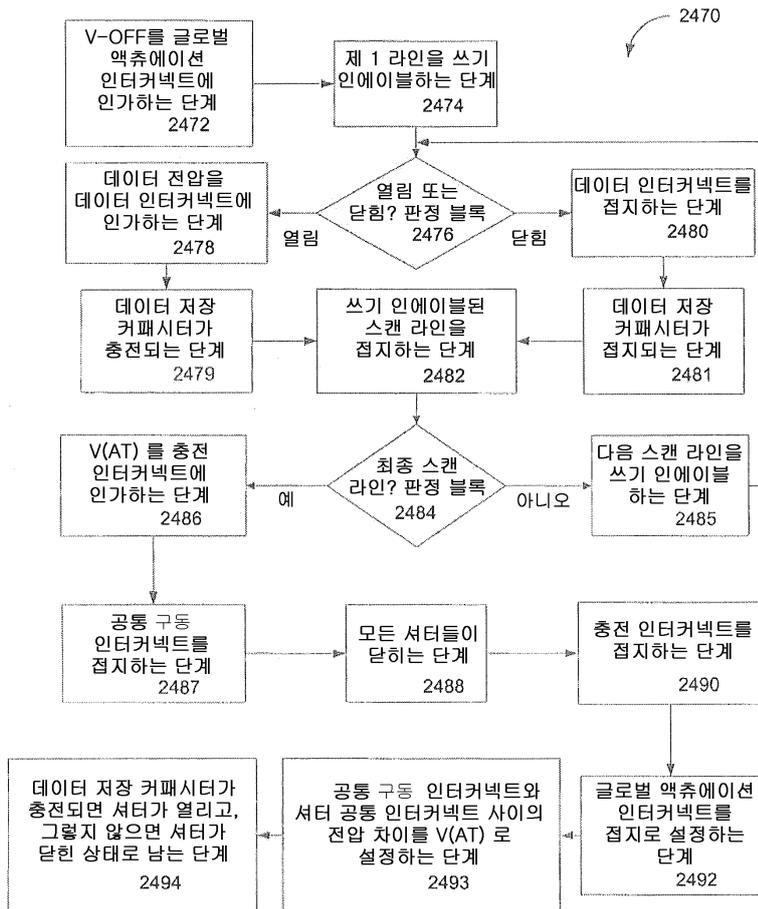
도면5b



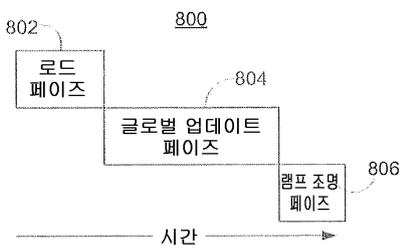
도면6



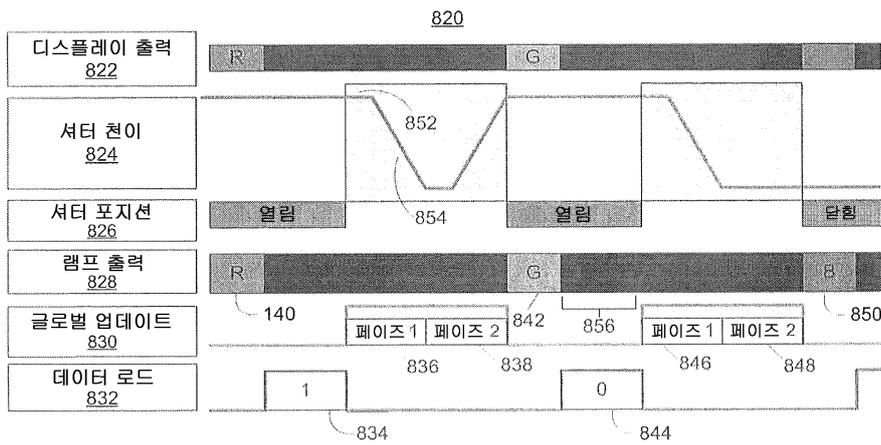
도면7



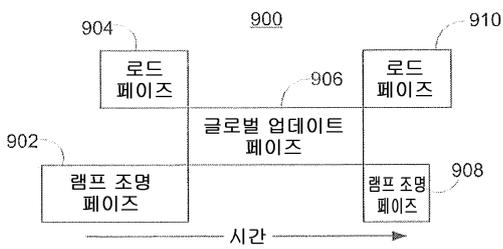
도면8a



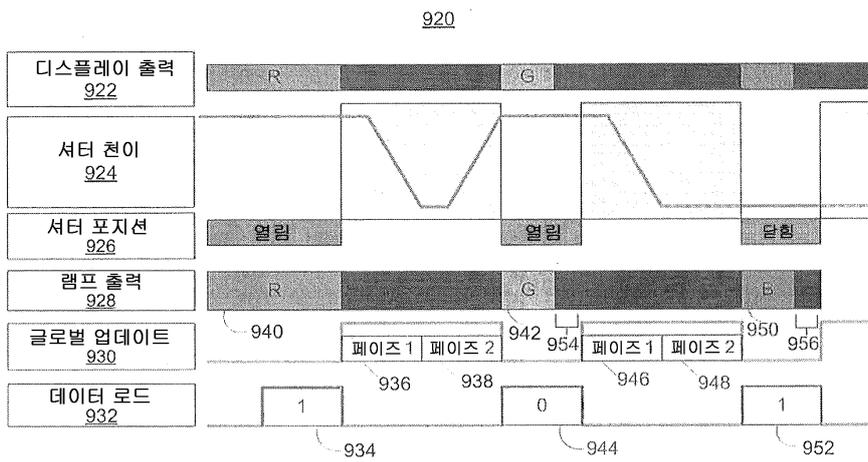
도면8b



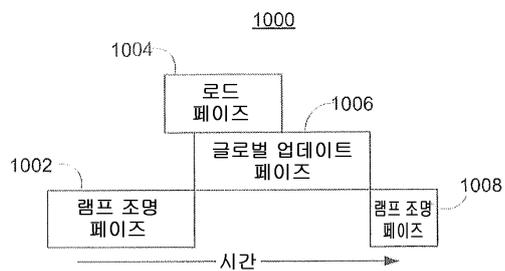
도면9a



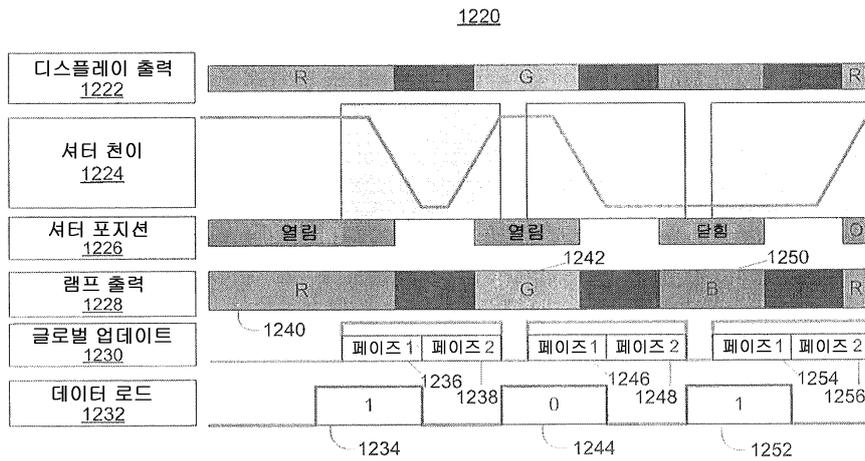
도면9b



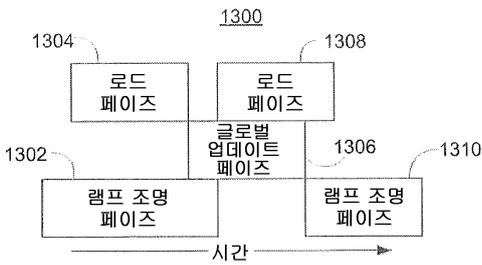
도면10a



도면12b



도면13a



도면13b

