

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2008-244383

(P2008-244383A)

(43) 公開日 平成20年10月9日(2008.10.9)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 23/12 (2006.01)	HO 1 L 23/12 5 O 1 P	5 F O 3 3
HO 1 L 21/3205 (2006.01)	HO 1 L 21/88 T	
HO 1 L 23/52 (2006.01)	HO 1 L 21/90 S	
HO 1 L 21/768 (2006.01)		
HO 1 L 23/522 (2006.01)		

審査請求 未請求 請求項の数 13 O L (全 12 頁)

(21) 出願番号 特願2007-86418 (P2007-86418)
 (22) 出願日 平成19年3月29日 (2007. 3. 29)

(71) 出願人 000001443
 カシオ計算機株式会社
 東京都渋谷区本町1丁目6番2号
 (72) 発明者 若林 猛
 東京都青梅市藤橋3丁目3番地の2
 カシオ計算機株式会
 社青梅事業所第二工場内
 (72) 発明者 三原 一郎
 東京都青梅市藤橋3丁目3番地の2
 カシオ計算機株式会
 社青梅事業所第二工場内

最終頁に続く

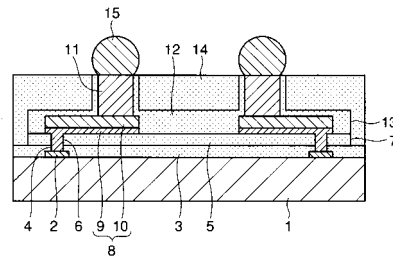
(54) 【発明の名称】 半導体装置およびその製造方法

(57) 【要約】

【課題】 C S Pと呼ばれる半導体装置において、配線相互間のエレクトロマイグレーションに起因するショートを防止する。

【解決手段】 配線10の接続パッド部上面には柱状電極11が設けられている。配線8の表面および柱状電極11の外周面は、ポリイミド系樹脂、P B O系樹脂等からなるエレクトロマイグレーション防止膜12によって覆われている。これにより、配線8相互間のエレクトロマイグレーションに起因するショートを防止することができる。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

半導体基板と、前記半導体基板上に設けられた複数の配線と、前記配線の接続パッド部に設けられた柱状電極と、少なくとも前記配線の表面に設けられたエレクトロマイグレーション防止膜と、前記柱状電極の周囲に設けられた封止膜とを備えていることを特徴とする半導体装置。

【請求項 2】

請求項 1 に記載の発明において、前記エレクトロマイグレーション防止膜は、少なくとも、前記配線の表面および前記柱状電極の外周面に設けられていることを特徴とする半導体装置。

10

【請求項 3】

請求項 1 に記載の発明において、前記エレクトロマイグレーション防止膜は、少なくとも、前記配線の表面および前記柱状電極の下部外周面に設けられ、前記柱状電極の上部外周面は前記封止膜で覆われていることを特徴とする半導体装置。

【請求項 4】

請求項 1 に記載の発明において、前記配線は銅を含む金属によって形成され、前記柱状電極は銅によって形成されていることを特徴とする半導体装置。

【請求項 5】

請求項 4 に記載の発明において、前記エレクトロマイグレーション防止膜はポリイミド系樹脂または P B O 系樹脂によって形成されていることを特徴とする半導体装置。

20

【請求項 6】

請求項 4 に記載の発明において、前記封止膜はフィラー入りのエポキシ系樹脂によって形成されていることを特徴とする半導体装置。

【請求項 7】

請求項 1 に記載の発明において、前記柱状電極上に半田ボールが設けられていることを特徴とする半導体装置。

【請求項 8】

半導体基板上に複数の配線を形成する工程と、
前記配線の接続パッド部に柱状電極を形成する工程と、
前記配線の表面、前記柱状電極の表面および前記半導体基板上にエレクトロマイグレーション防止膜を形成する工程と、
前記エレクトロマイグレーション防止膜上に封止膜を形成する工程と、
前記柱状電極の上面に形成された前記エレクトロマイグレーション防止膜を含む前記封止膜の上面側を研削して前記柱状電極の上面を露出させる工程と、
を有することを特徴とする半導体装置の製造方法。

30

【請求項 9】

半導体基板上に複数の配線を形成する工程と、
前記配線の接続パッド部に柱状電極を形成する工程と、
前記配線の表面、前記柱状電極の表面および前記半導体基板上にエレクトロマイグレーション防止膜を形成する工程と、
前記柱状電極の上部表面に形成された前記エレクトロマイグレーション防止膜を除去する工程と、
前記エレクトロマイグレーション防止膜および前記柱状電極上に封止膜を形成する工程と、
前記封止膜の上面側を研削して前記柱状電極の上面を露出させる工程と、
を有することを特徴とする半導体装置の製造方法。

40

【請求項 10】

請求項 8 または 9 に記載の発明において、前記配線は銅を含む金属によって形成し、前記柱状電極は銅によって形成することを特徴とする半導体装置の製造方法。

【請求項 11】

50

請求項 10 に記載の発明において、前記エレクトロマイグレーション防止膜はポリイミド系樹脂または PBO 系樹脂によって形成することを特徴とする半導体装置の製造方法。

【請求項 12】

請求項 10 に記載の発明において、前記封止膜はフィラー入りのエポキシ系樹脂によって形成することを特徴とする半導体装置の製造方法。

【請求項 13】

請求項 8 または 9 に記載の発明において、前記柱状電極上に半田ボールを形成する工程を有することを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【技術分野】

10

【0001】

この発明は半導体装置およびその製造方法に関する。

【背景技術】

【0002】

従来の半導体装置には、CSP (chip size package) と呼ばれるものがある (例えば、特許文献 1 参照)。この半導体装置は、上面に複数の接続パッドが設けられた半導体基板を備えている。半導体基板上に設けられた絶縁膜の上面には配線が接続パッドに接続されて設けられている。配線の接続パッド部上面には柱状電極が設けられている。配線を含む絶縁膜の上面には封止膜がその上面が柱状電極の上面と面一となるように設けられている。柱状電極の上面には半田ボールが設けられている。

20

【0003】

【特許文献 1】特開 2004 - 207306 号公報

【発明の開示】

【発明が解決しようとする課題】

【0004】

ところで、上記従来の半導体装置では、配線を直接覆う封止膜をエポキシ系樹脂によって形成しているので、エレクトロマイグレーションの発生により、配線中の金属 (銅) イオンが封止膜中に拡散し、配線相互間でショートが発生する要因の一つになるという問題があった。

【0005】

30

また、封止膜の材料として、エポキシ系樹脂中にシリカ等からなるフィラーを混入したものをを用いることがある。このような半導体装置では、配線がフィラーによる機械的ダメージを受けることがあるため、当該機械的ダメージによる配線の断線を防止するには、配線の微細化に限界があるという問題があった。

【0006】

そこで、この発明は、配線相互間のエレクトロマイグレーションに起因するショートを防止することができ、且つ、封止膜の材料としてフィラー入りの樹脂を用いても、配線がフィラーによる機械的ダメージを受けにくいようにすることができる半導体装置およびその製造方法を提供することを目的とする。

【課題を解決するための手段】

40

【0007】

請求項 1 に記載の発明に係る半導体装置は、半導体基板と、前記半導体基板上に設けられた複数の配線と、前記配線の接続パッド部に設けられた柱状電極と、少なくとも前記配線の表面に設けられたエレクトロマイグレーション防止膜と、前記柱状電極の周囲に設けられた封止膜とを備えていることを特徴とするものである。

請求項 2 に記載の発明に係る半導体装置は、請求項 1 に記載の発明において、前記エレクトロマイグレーション防止膜は、少なくとも、前記配線の表面および前記柱状電極の外周面に設けられていることを特徴とするものである。

請求項 3 に記載の発明に係る半導体装置は、請求項 1 に記載の発明において、前記エレクトロマイグレーション防止膜は、少なくとも、前記配線の表面および前記柱状電極の下

50

部外周面に設けられ、前記柱状電極の上部外周面は前記封止膜で覆われていることを特徴とするものである。

請求項 4 に記載の発明に係る半導体装置は、請求項 1 に記載の発明において、前記配線は銅を含む金属によって形成され、前記柱状電極は銅によって形成されていることを特徴とするものである。

請求項 5 に記載の発明に係る半導体装置は、請求項 4 に記載の発明において、前記エレクトロマイグレーション防止膜はポリイミド系樹脂または P B O 系樹脂によって形成されていることを特徴とするものである。

請求項 6 に記載の発明に係る半導体装置は、請求項 4 に記載の発明において、前記封止膜はフィラー入りのエポキシ系樹脂によって形成されていることを特徴とするものである。

請求項 7 に記載の発明に係る半導体装置は、請求項 1 に記載の発明において、前記柱状電極上に半田ボールが設けられていることを特徴とするものである。

請求項 8 に記載の発明に係る発明の製造方法は、半導体基板上に複数の配線を形成する工程と、前記配線の接続パッド部上に柱状電極を形成する工程と、前記配線の表面、前記柱状電極の表面および前記半導体基板上にエレクトロマイグレーション防止膜を形成する工程と、前記エレクトロマイグレーション防止膜上に封止膜を形成する工程と、前記柱状電極の上面に形成された前記エレクトロマイグレーション防止膜を含む前記封止膜の上面側を研削して前記柱状電極の上面を露出させる工程と、を有することを特徴とするものである。

請求項 9 に記載の発明に係る発明の製造方法は、半導体基板上に複数の配線を形成する工程と、前記配線の接続パッド部上に柱状電極を形成する工程と、前記配線の表面、前記柱状電極の表面および前記半導体基板上にエレクトロマイグレーション防止膜を形成する工程と、前記柱状電極の上部表面に形成された前記エレクトロマイグレーション防止膜を除去する工程と、前記エレクトロマイグレーション防止膜および前記柱状電極上に封止膜を形成する工程と、前記封止膜の上面側を研削して前記柱状電極の上面を露出させる工程と、を有することを特徴とするものである。

請求項 10 に記載の発明に係る発明の製造方法は、請求項 8 または 9 に記載の発明において、前記配線は銅を含む金属によって形成し、前記柱状電極は銅によって形成することを特徴とするものである。

請求項 11 に記載の発明に係る発明の製造方法は、請求項 10 に記載の発明において、前記エレクトロマイグレーション防止膜はポリイミド系樹脂または P B O 系樹脂によって形成することを特徴とするものである。

請求項 12 に記載の発明に係る発明の製造方法は、請求項 10 に記載の発明において、前記封止膜はフィラー入りのエポキシ系樹脂によって形成することを特徴とするものである。

請求項 13 に記載の発明に係る発明の製造方法は、請求項 8 または 9 に記載の発明において、前記柱状電極上に半田ボールを形成する工程を有することを特徴とするものである。

【発明の効果】

【0008】

この発明によれば、少なくとも配線の表面にエレクトロマイグレーション防止膜をもうけているので、配線相互間のエレクトロマイグレーションに起因するショートを防止することができる。また、エレクトロマイグレーション防止膜が保護膜として機能することにより、封止膜の材料としてフィラー入りの樹脂を用いても、配線がフィラーによる機械的ダメージを受けにくいようにすることができる。

【発明を実施するための最良の形態】

【0009】

(第 1 実施形態)

図 1 はこの発明の第 1 実施形態としての半導体装置の断面図を示す。この半導体装置は

10

20

30

40

50

、CSPと呼ばれるもので、シリコン基板（半導体基板）1を備えている。シリコン基板1の上面には集積回路（図示せず）が設けられ、上面周辺部にはアルミニウム系金属等からなる複数の接続パッド2が集積回路に接続されて設けられている。

【0010】

接続パッド2の中央部を除くシリコン基板1の上面には酸化シリコンや窒化シリコン等の無機材料からなる絶縁膜3が設けられ、接続パッド2の中央部は絶縁膜3に設けられた開口部4を介して露出されている。絶縁膜3の上面にはポリイミド系樹脂、PBO（Poly Benzo Oxysazole）系樹脂等の有機樹脂からなる保護膜5が設けられている。絶縁膜3の開口部4に対応する部分における保護膜5には開口部6が設けられている。保護膜5の周辺部には凹部7が設けられている。

10

【0011】

保護膜5の上面には配線8が設けられている。配線8は、保護膜5の上面に設けられた銅等からなる下地金属層9と、下地金属層9の上面に設けられた銅からなる上部金属層10との2層構造となっている。配線8の一端部は、絶縁膜3および保護膜5の開口部4、6を介して接続パッド2に接続されている。配線8の接続パッド部上面には銅からなる柱状電極11が設けられている。

【0012】

配線8の表面、柱状電極11の外周面および保護膜5の上面にはポリイミド系樹脂、PBO系樹脂等からなるエレクトロマイグレーション防止膜12が設けられている。保護膜5の凹部7に対応する部分におけるエレクトロマイグレーション防止膜12の周辺部には凹部13が設けられている。

20

【0013】

保護膜5およびエレクトロマイグレーション防止膜12の凹部7、13を介した露出された絶縁膜3の上面およびエレクトロマイグレーション防止膜12の上面にはシリカ等からなるフィラー入りのエポキシ系樹脂からなる封止膜14がその上面が柱状電極11の上面と面一となるように設けられている。柱状電極11の上面には半田ボール15が設けられている。

【0014】

次に、この半導体装置の製造方法の一例について説明する。まず、図2に示すように、ウエハ状態のシリコン基板（以下、半導体ウエハ21という）の上面にアルミニウム系金属等からなる接続パッド2、酸化シリコンや窒化シリコン等からなる絶縁膜3およびポリイミド系樹脂、PBO系樹脂等からなる保護膜5が形成され、接続パッド2の中央部が絶縁膜3および保護膜5に形成された開口部4、6を介して露出されたものを用意する。

30

【0015】

この場合、半導体ウエハ21の上面において各半導体装置が形成される領域には所定の機能の集積回路（図示せず）が形成され、接続パッド2はそれぞれ対応する部分に形成された集積回路に電氣的に接続されている。なお、図2において、符号22で示す領域はダイシングラインに対応する領域である。そして、ダイシングライン22およびその両側に対応する部分における保護膜5には凹部7が形成されている。

【0016】

次に、図3に示すように、絶縁膜3および保護膜5の開口部4、6を介して露出された接続パッド2の上面を含む保護膜5の上面全体に下地金属層9を形成する。この場合、下地金属層9は、無電解メッキにより形成された銅層のみであってもよく、またスパッタにより形成された銅層のみであってもよく、さらにスパッタにより形成されたチタン等の薄膜層上にスパッタにより銅層を形成したものであってもよい。

40

【0017】

次に、下地金属層9の上面にメッキレジスト膜23をパターン形成する。この場合、上部金属層10形成領域に対応する部分におけるメッキレジスト膜23には開口部24が形成されている。次に、下地金属層9をメッキ電流路とした銅の電解メッキを行なうことにより、メッキレジスト膜23の開口部24内の下地金属層9の上面に上部金属層10を形

50

成する。次に、メッキレジスト膜 2 3 を剥離する。

【 0 0 1 8 】

次に、図 4 に示すように、上部金属層 1 0 を含む下地金属層 9 の上面にメッキレジスト膜 2 5 をパターン形成する。この場合、上部金属層 1 0 の接続パッド部つまり柱状電極 1 1 形成領域に対応する部分におけるメッキレジスト膜 2 5 には開口部 2 6 が形成されている。次に、下地金属層 9 をメッキ電流路とした銅の電解メッキを行なうことにより、メッキレジスト膜 2 5 の開口部 2 6 内の上部金属層 1 0 の接続パッド部上面に柱状電極 1 1 を形成する。

【 0 0 1 9 】

次に、メッキレジスト膜 2 5 を剥離し、次いで、上部金属層 1 0 をマスクとして上部金属層 1 0 下以外の領域における下地金属層 9 をエッチングして除去すると、図 5 に示すように、上部金属層 1 0 下にのみ下地金属層 9 が残存される。この状態では、下地金属層 9 およびその上面に形成された上部金属層 1 0 により、配線 8 が形成されている。

【 0 0 2 0 】

次に、図 6 に示すように、配線 8 の表面、柱状電極 1 1 の外周面および保護膜 5 の上面に、スピンコート法等により、ポリイミド系樹脂、P B O 系樹脂等からなるエレクトロマイグレーション防止膜 1 2 を形成する。次に、保護膜 5 の凹部 7 に対応する部分におけるエレクトロマイグレーション防止膜 1 2 に、フォトリソグラフィ法により、凹部 1 3 を形成する。

【 0 0 2 1 】

次に、図 7 に示すように、保護膜 5 およびエレクトロマイグレーション防止膜 1 2 の凹部 7、1 3 を介した露出された絶縁膜 3 の上面およびエレクトロマイグレーション防止膜 1 2 の上面に、スクリーン印刷法、スピンコート法等により、シリカ等からなるフィラー入りのエポキシ系樹脂からなる封止膜 1 4 をその厚さが柱状電極 1 1 の高さ（柱状電極 1 1 の上面に形成されたエレクトロマイグレーション防止膜 1 2 の厚さを含む）よりも厚くなるように形成する。

【 0 0 2 2 】

次に、柱状電極 1 1 の上面に形成されたエレクトロマイグレーション防止膜 1 2 を含む封止膜 1 4 の上面側を適宜に研削して除去することにより、図 8 に示すように、柱状電極 1 1 の上面およびその外周面に形成されたエレクトロマイグレーション防止膜 1 2 の上面を露出させるとともに、これらの露出面を含む封止膜 1 4 の上面を平坦化する。

【 0 0 2 3 】

次に、図 9 に示すように、柱状電極 1 1 の上面に半田ボール 1 5 を形成する。次に、図 1 0 に示すように、半導体ウエハ 2 1、絶縁膜 3 および封止膜 1 4 をダイシングライン 2 2 に沿って切断すると、図 1 に示す半導体装置が複数個得られる。

【 0 0 2 4 】

このようにして得られた半導体装置では、図 1 に示すように、配線 8 の表面および柱状電極 1 1 の外周面をポリイミド系樹脂、P B O 系樹脂等からなるエレクトロマイグレーション防止膜 1 2 で覆っているため、配線 8 相互間でエレクトロマイグレーションが発生することがなく、配線 8 のエレクトロマイグレーションに起因するショートを防止することができる。

【 0 0 2 5 】

また、図 1 に示す半導体装置では、配線 8 の表面をポリイミド系樹脂、P B O 系樹脂等からなるエレクトロマイグレーション防止膜 1 2 で覆っているため、エレクトロマイグレーション防止膜 1 2 が保護膜として機能することにより、封止膜 1 4 の材料としてシリカ等からなるフィラー入りのエポキシ系樹脂を用いても、配線 8 がフィラーによる機械的ダメージを受けにくいようにすることができる。

【 0 0 2 6 】

ところで、図 1 に示す半導体装置では、柱状電極 1 1 の外周面全体をエレクトロマイグレーション防止膜 1 2 で覆い、柱状電極 1 1 の上面に半田ボール 1 5 を設けているので、

10

20

30

40

50

柱状電極 1 1 の外周面を覆っているエレクトロマイグレーション防止膜 1 2 の上面が露出されている。この場合、エレクトロマイグレーション防止膜 1 2 をポリイミド系樹脂または P B O 系樹脂によって形成すると、これらの樹脂が吸湿性を有するため、耐湿信頼性が低下してしまう。そこで、次に、耐湿信頼性を向上することができるこの発明の第 2 実施形態について説明する。

【 0 0 2 7 】

(第 2 実施形態)

図 1 1 はこの発明の第 2 実施形態としての半導体装置の断面図を示す。この半導体装置において、図 1 に示す半導体装置と異なる点は、柱状電極 1 1 の下部外周面をエレクトロマイグレーション防止膜 1 2 で覆い、柱状電極 1 1 の上部外周面を封止膜 1 4 で覆った点である。

10

【 0 0 2 8 】

次に、この半導体装置の製造方法の一例について説明する。この場合、図 6 に示す工程後に、図 1 2 に示すように、絶縁膜 5 およびエレクトロマイグレーション防止膜 1 2 の凹部 7、1 3 を介して露出された絶縁膜 3 の上面および柱状電極 1 1 の外周面に形成されたエレクトロマイグレーション防止膜 1 2 を除くエレクトロマイグレーション防止膜 1 2 の上面に、スピコート法等により、レジスト膜 4 1 を形成する。この場合、柱状電極 1 1 の周囲におけるエレクトロマイグレーション防止膜 1 2 の上面に形成されたレジスト膜 4 1 の厚さは柱状電極 1 1 の高さのほぼ半分となっている。

【 0 0 2 9 】

次に、レジスト膜 4 1 の上面よりも上側に突出された柱状電極 1 1 の上部外周面に形成されたエレクトロマイグレーション防止膜 1 2 をエッチングして除去すると、図 1 3 に示すように、レジスト膜 4 1 の上面よりも上側に突出された柱状電極 1 1 の上部外周面が露出される。以下、上記第 1 実施形態における製造方法と同様に、封止膜形成工程、半田ボール形成工程およびダイシング工程を経ると、図 1 1 に示すように、柱状電極 1 1 の上部外周面が封止膜 1 4 で覆われた構造の半導体装置が複数個得られる。

20

【 0 0 3 0 】

このようにして得られた半導体装置では、図 1 1 に示すように、柱状電極 1 1 の上部外周面を水分を通さないエポキシ系樹脂からなる封止膜 1 4 で覆っているため、耐湿信頼性を向上することができる。なお、封止膜 1 4 をシリカ等からなるフィラー入りのエポキシ系樹脂によって形成しても、同様に、耐湿信頼性を向上することができる。

30

【 図面の簡単な説明 】

【 0 0 3 1 】

【 図 1 】 この発明の第 1 実施形態としての半導体装置の断面図。

【 図 2 】 図 1 に示す半導体装置の製造方法の一例において、当初用意したものの断面図。

【 図 3 】 図 2 に続く工程の断面図。

【 図 4 】 図 3 に続く工程の断面図。

【 図 5 】 図 4 に続く工程の断面図。

【 図 6 】 図 5 に続く工程の断面図。

【 図 7 】 図 6 に続く工程の断面図。

【 図 8 】 図 7 に続く工程の断面図。

【 図 9 】 図 8 に続く工程の断面図。

【 図 1 0 】 図 9 に続く工程の断面図。

【 図 1 1 】 この発明の第 2 実施形態としての半導体装置の断面図。

【 図 1 2 】 図 1 1 に示す半導体装置の製造方法の一例において、所定の工程の断面図。

【 図 1 3 】 図 1 2 に続く工程の断面図。

40

【 符号の説明 】

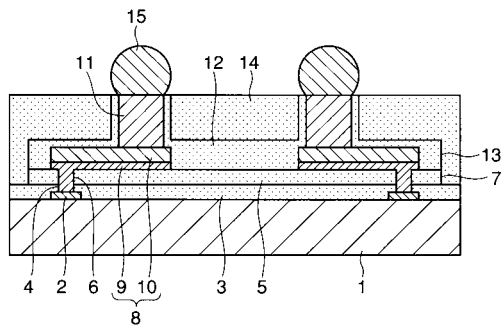
【 0 0 3 2 】

- 1 シリコン基板
- 2 接続パッド

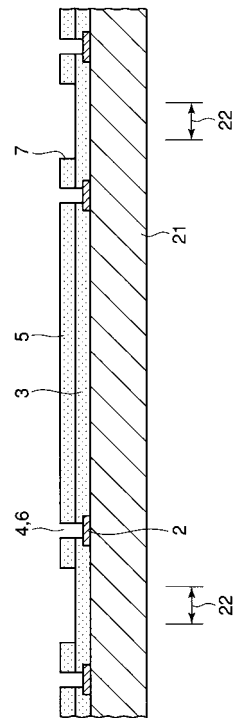
50

- 3 絶縁膜
- 5 保護膜
- 8 配線
- 1 1 柱状電極
- 1 2 エレクトロマイグレーション防止膜
- 1 4 封止膜
- 1 5 半田ボール

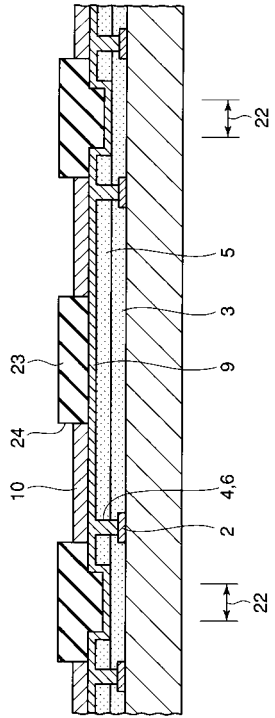
【図 1】



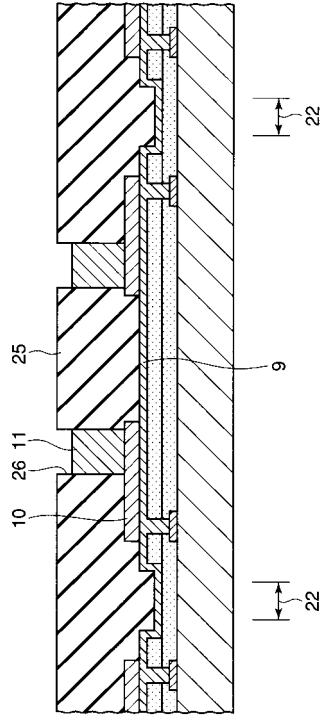
【図 2】



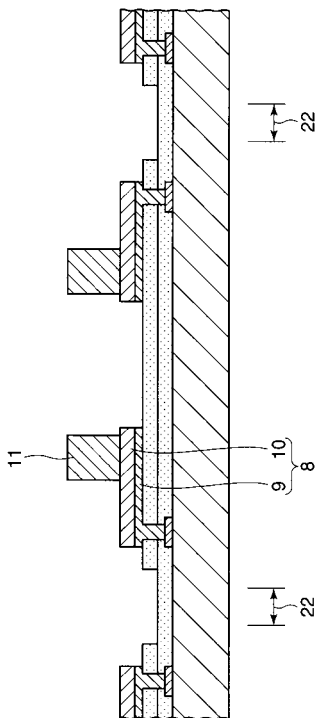
【 図 3 】



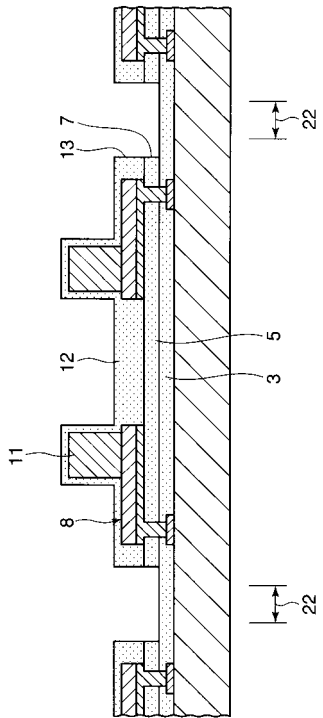
【 図 4 】



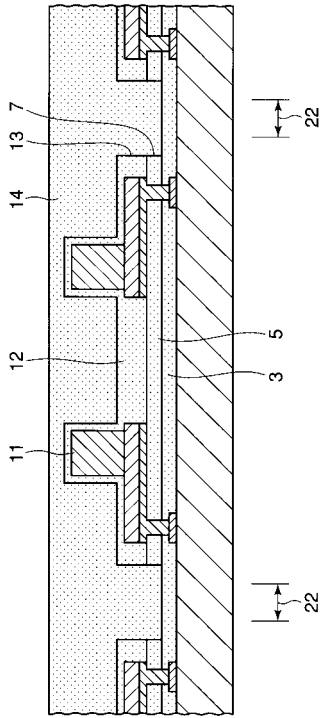
【 図 5 】



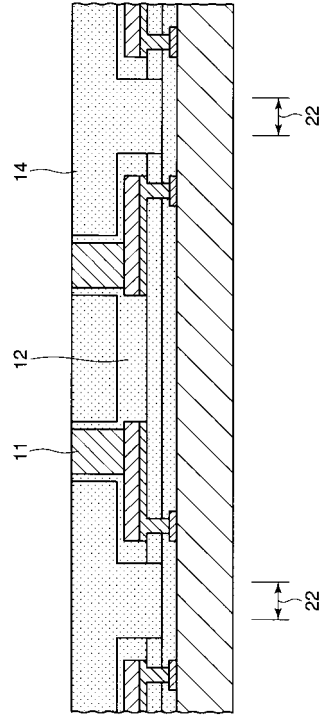
【 図 6 】



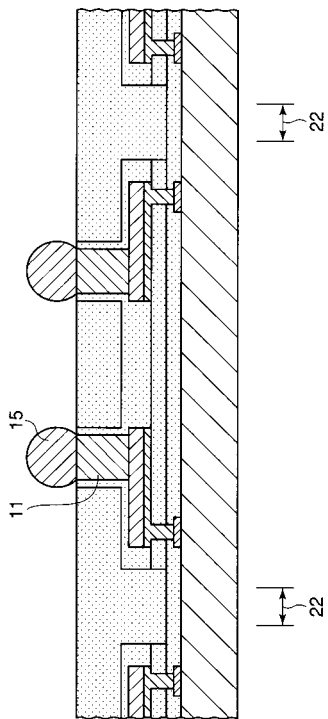
【 図 7 】



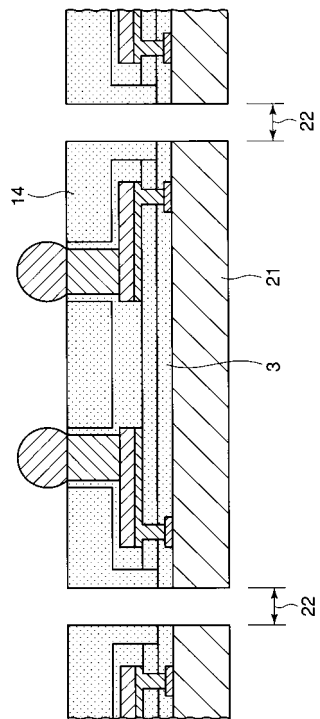
【 図 8 】



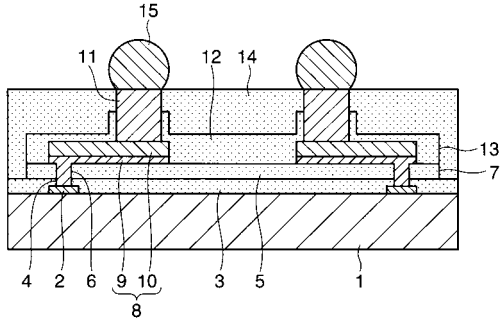
【 図 9 】



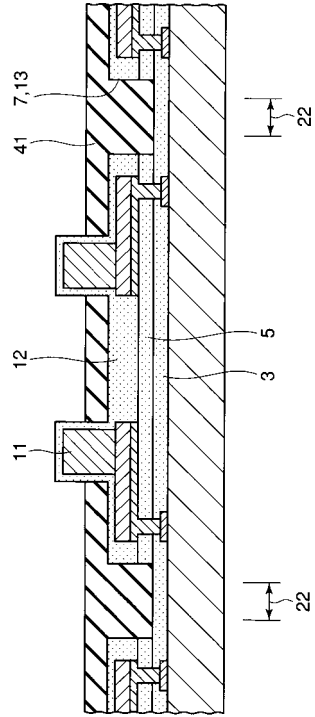
【 図 10 】



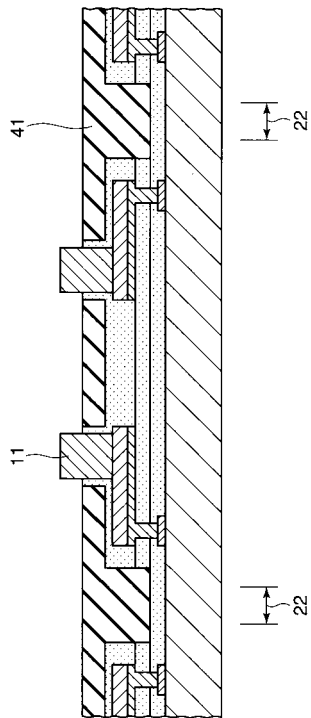
【 図 1 1 】



【 図 1 2 】



【 図 1 3 】



フロントページの続き

Fターム(参考) 5F033 HH11 HH18 JJ11 JJ18 KK08 KK11 KK18 MM05 MM13 NN06
NN07 NN19 PP15 PP27 PP28 QQ27 QQ42 RR04 RR06 RR22
RR25 SS21 TT04 VV07 XX05 XX31