

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4969803号
(P4969803)

(45) 発行日 平成24年7月4日(2012.7.4)

(24) 登録日 平成24年4月13日(2012.4.13)

(51) Int.Cl. F I
G O 6 F 3/06 (2006.01) G O 6 F 3/06 3 O 2 A

請求項の数 12 (全 30 頁)

<p>(21) 出願番号 特願2005-189048 (P2005-189048)</p> <p>(22) 出願日 平成17年6月28日 (2005.6.28)</p> <p>(62) 分割の表示 特願2005-142145 (P2005-142145) の分割</p> <p>原出願日 平成17年5月16日 (2005.5.16)</p> <p>(65) 公開番号 特開2005-353080 (P2005-353080A)</p> <p>(43) 公開日 平成17年12月22日 (2005.12.22)</p> <p>審査請求日 平成19年11月20日 (2007.11.20)</p> <p>(31) 優先権主張番号 10/865,368</p> <p>(32) 優先日 平成16年6月10日 (2004.6.10)</p> <p>(33) 優先権主張国 米国 (US)</p> <p>前置審査</p>	<p>(73) 特許権者 502188642 マーベル ワールド トレード リミテッド バルバドス国 ビービー14027, セントマイケル、ブリTONズ ヒル、ガンサイトロード、エル ホライズン</p> <p>(74) 代理人 110000877 龍華国際特許業務法人</p> <p>(72) 発明者 スタルジャ サハット アメリカ合衆国、カリフォルニア州 94022、ロス アルトス ヒルズ、エレナ ロード 27330</p> <p>審査官 菅原 浩二</p> <p style="text-align: right;">最終頁に続く</p>
---	--

(54) 【発明の名称】 適応記憶システム

(57) 【特許請求の範囲】

【請求項1】

低電力モード及び高電力モードを含むコンピュータのデータ記憶システムであって、
低電力非揮発性メモリ（LP非揮発性メモリ）と、
高電力非揮発性メモリ（HP非揮発性メモリ）と、
前記LP非揮発性メモリ及び前記HP非揮発性メモリと通信するドライブ電力削減モジュールとを備え、

前記コンピュータの前記低電力モード中に前記HP非揮発性メモリから読取りデータを読み取り、前記読取りデータが順次アクセスデータファイルを含む場合、前記ドライブ電力削減モジュールは前記読取りデータのセグメントを前記HP非揮発性メモリから前記LP非揮発性メモリに転送するバースト周期を計算し、

前記ドライブ電力削減モジュールは、前記バースト周期と前記HP非揮発性メモリの転送速度とを掛けた値が前記LP非揮発性メモリの容量を超過しないように前記バースト周期を最適化するデータ記憶システム。

【請求項2】

前記ドライブ電力削減モジュールは前記バースト周期を選択して、前記コンピュータの前記低電力モード中の前記読取りデータの再生中の電力消費を削減する請求項1のデータ記憶システム。

【請求項3】

前記LP非揮発性メモリはフラッシュメモリと低電力ディスクドライブ（LPDD）の

少なくとも1つを含む請求項1または2のデータ記憶システム。

【請求項4】

前記LPDDは1つ以上のプラッタを含み、前記1つ以上のプラッタは1.8インチと等しいかそれ以下の直径を持つ請求項3のデータ記憶システム。

【請求項5】

前記HP非揮発性メモリは高電力ディスクドライブ(HPDD)を備える請求項3または4のデータ記憶システム。

【請求項6】

前記HPDDは1つ以上のプラッタを含み、前記1つ以上のプラッタは1.8インチ以上の直径を持つ請求項5のデータ記憶システム。

10

【請求項7】

前記バースト周期は、前記LPDDのスピンアップ時間、前記HPDDのスピンアップ時間、前記LPDDの消費電力、前記HPDDの消費電力、前記読取りデータの再生長、前記LPDDの容量の少なくとも1つに基づく請求項5または6のデータ記憶システム。

【請求項8】

前記ドライブ電力削減モジュールは、バースト間の期間が前記LPDDないし前記HPDDのスピンアップ時間と前記バースト周期とを足した値以上となるように前記バースト周期及びデータ転送の頻度を最適化する請求項7のデータ記憶システム。

【請求項9】

前記ドライブ電力削減モジュールを含むキャッシュ制御モジュールを更に備える請求項1から8のいずれか1項のデータ記憶システム。

20

【請求項10】

前記ドライブ電力削減モジュールを含むホスト制御モジュールを更に備える請求項1から8のいずれか1項のデータ記憶システム。

【請求項11】

前記ドライブ電力削減モジュールを含むオペレーティングシステムを更に備える請求項1から8のいずれか1項のデータ記憶システム。

【請求項12】

前記ドライブ電力削減モジュールは、一定間隔をあけた複数のバーストセグメントでデータが前記HP非揮発性メモリから前記LP非揮発性メモリに選別的に転送されるように前記バースト周期及びデータ転送の頻度を最適化する請求項1から11のいずれか1項のデータ記憶システム。

30

【発明の詳細な説明】

【技術分野】

【0001】

本出願は、2004年2月13日に出願された米国特許出願番号10/779,544号、および_____年___月___日に提出された米国特許出願(マーベル社参照番号MP0484)号に関連し、援用としてその全体を参照として本出願に組み込む。

【0002】

本発明はデータ記憶システムに関し、特に低電力データ記憶システムに関する。

40

【背景技術】

【0003】

ラップトップコンピュータは、電源電力とバッテリー電力の両方を使用して起動する。ところで、ラップトップコンピュータのプロセッサ、グラフィックプロセッサ、メモリ、ディスプレイは作動中にかなり量の電力を消費し、ラップトップコンピュータの1つの大きな限界は、再充電せずにバッテリーを用いて作動可能な時間量と関係している。ラップトップコンピュータの比較的高い電力消失は通常、比較的小さいバッテリーの寿命に対応している。

【0004】

図1Aにキャッシュなどのメモリ7を備えたプロセッサ6を含む例示的なコンピュータ

50

アーキテクチャ 4 を示す。プロセッサ 6 は入出力 (I/O) インターフェイス 8 と通信を行なう。ランダムアクセスメモリ (RAM) 10 その他の適切な電子データ記憶装置などの揮発性メモリ 9 もインターフェイス 8 と通信を行う。グラフィックプロセッサ 11 やキャッシュのようなメモリ 12 により、グラフィック処理速度や性能が増大する。

【0005】

キーボード 13 や指示装置 14 (マウス他の適切な装置) などの 1 つ以上の入出力装置もインターフェイス 8 と通信を行う。1 つ以上の 1 . 8 インチ以上の直径のプラッタを持つハードディスクなどの高電力ディスクドライブ (HPDD) 15 は非揮発性メモリを提供してデータを記憶し、インターフェイス 8 と通信を行なう。HPDD 15 は一般に作動中に比較的多くの電力を消費し、バッテリーで作動中に HPDD 15 を多く使用すると、バッテリーの寿命は大きく減少する。コンピュータアーキテクチャ 4 には更にディスプレイ 16、音声スピーカのような音声出力装置 17 及び全般に参照符号 18 で示したその他の入出力装置が含まれる。

10

【0006】

ここで図 1B を参照すると、例示するコンピュータアーキテクチャ 20 には、処理チップセット 22 と入出力チップセット 24 が含まれている。例えばコンピュータアーキテクチャは、(ノースブリッジチップセットに対応する処理チップセットとサウスブリッジチップセットに対応する I/O チップセットを有する) ノースブリッジないしサウスブリッジ・アーキテクチャないしその他の同様のアーキテクチャとすることができる。処理チップセット 22 はシステムバス 27 を通して一次プロセッサ 25 および一次グラフィックプロセッサ 26 と通信する。処理チップセット 22 は揮発性メモリ 28 (外部 DRAM その他のメモリ)、周辺構成部品相互接続 (PCI) バス 30、およびレベル 2 キャッシュ 32 とのインタラクションを制御する。レベル 1 キャッシュ 33 と 34 は 夫々一次プロセッサ 25 及び一次グラフィックプロセッサ 26 と結合することができる。別の実施例では、図示しない加速グラフィックポート (AGP) が、グラフィックプロセッサ 26 の代わりにあるいはそれに加えて処理チップセット 22 と通信する。処理チップセット 22 は (必ずしもそうではないが) 一般に複数のチップを使用して実施する。PCI スロット 36 は PCI バス 30 とインターフェイスしている。

20

【0007】

入出力チップセット 24 は入出力 (I/O) の基本的な形式を管理する。入出力チップセット 24 は業界標準アーキテクチャ (ISA) バス 44 を通して、汎用直列バス (USB) 40、音声装置 41、キーボード (KBD) ないし指示装置 42、基本入出力システム (BIOS) 43 と通信する。処理チップセット 22 とは異なり、入出力チップセット 24 は (必ずしもそうではないが) 一般に、PCI バス 30 に接続された単一のチップを使用して実現される。ハードディスクドライブなどの HPDD 50 も入出力チップセット 24 と通信する。HPDD 50 は一次プロセッサ 25 で実行するウィンドウズ (登録商標) XP、ウィンドウズ (登録商標) 2000、リナックアンドマック (登録商標) ベースの OS などの全機能オペレーティングシステム (OS) を記憶する。

30

【発明の開示】

【課題を解決するための手段】

40

【0008】

高電力及び低電力モードを備えたコンピュータ用の本発明のディスクドライブシステムは、低電力ディスクドライブ (LPDD) と高電力ディスクドライブ (HPDD) とを備える。制御モジュールは LPDD 内の最小使用ブロック (LUB) を識別する LUB モジュールを含み、少なくとも 1 つのデータ記憶要求やデータ検索要求を受けると、低電力モード中に LUB を選別的に HPDD に転送する。

【0009】

別の特徴では、書込みデータの記憶要求中、LPDD 上に書込みデータ用に十分なスペースがあれば、制御モジュールは書込みデータを LPDD に転送する。LPDD 上に書込みデータ用に十分なスペースがない場合は、制御モジュールは HPDD を起動し、LUB

50

をLPDDからHPDDに転送し、書込みデータをLPDDに転送する。

【0010】

更に別の特徴として、制御モジュールは、LPDD上に書込みデータ用に十分なスペースがない場合、書込みデータがLUBより前に使用される可能性があるかどうかを判別する適応記憶モジュールを含む。書込みデータがLUB後に使用される可能性があれば、制御モジュールはその書込みデータをHPDD上に記憶する。書込みデータがLUBより前に使用される可能性があれば、制御モジュールはHPDDを起動し、LUBをLPDDからHPDDに転送し、書込みデータをLPDDに転送する。

【0011】

更に別の特徴によれば、読取りデータに対するデータ検索要求中、読取りデータがLPDDに記憶されていれば、制御モジュールはLPDDから読取りデータを検索する。制御モジュールは、読取りデータがLPDD上にない場合、読取りデータが1度使用される可能性があるかどうかを判定する適応記憶モジュールを含む。読取りデータが1度使用される可能性があれば、制御モジュールはHPDDから読取りデータを検索する。読取りデータは1度以上使用される可能性があるとして適応記憶モジュールが判定すると、LPDD上に読取りデータ用に十分なスペースがあれば、制御モジュールは読取りデータをHPDDからLPDDに転送する。読取りデータは1度以上使用される可能性があるとして適応記憶モジュールが判定し、LPDD上に読取りデータ用に十分なスペースがない場合、制御モジュールはLUBをLPDDからHPDDに転送し、読取りデータをHPDDからLPDDに転送する。

【0012】

更に別の特徴によれば、LPDD上で読取りデータ用に十分なスペースがあれば、制御モジュールは読取りデータをHPDDからLPDDに転送する。LPDD上に十分なスペースがなければ、制御モジュールはLUBをLPDDからHPDDに転送し、読取りデータをHPDDからLPDDに転送する。読取りデータがLPDD上にない場合は、制御モジュールはHPDDから読取りデータを検索する。

【0013】

更に別の特徴では、HPDDは1つ以上のプラッタを含み、該1つ以上のプラッタは1.8インチ以上の直径を持つ。LPDDは1つ以上のプラッタを含み、該1つ以上のプラッタは1.8インチに等しいかそれ以下の直径を持つ。

【0014】

高電力及び低電力モードを持つコンピュータ用の本発明のディスクドライブシステムは、低電力ディスクドライブ(LPDD)と高電力ディスクドライブ(HPDD)を備え、制御モジュールはLPDD並びにHPDDと通信する。低電力モードで書込みデータの記憶要求中、制御モジュールはLPDD上に書込みデータ用に十分なスペースがあるかどうかを判定し、十分なスペースがあれば書込みデータをLPDDに転送する。

【0015】

別の特徴では、十分なスペースがなければ、制御モジュールは書込みデータをHPDD上に記憶する。制御モジュールは更に、高電力モード中にデータファイルをLPDDからHPDDに転送してLPDD上に利用可能なディスクスペースを増大するLPDD保守モジュールを含む。LPDD保守モジュールは、経年、サイズ、低電力モードで将来使用される可能性、の少なくとも1つに基づいてデータファイルを転送する。HPDDは1.8インチ以上の直径を持つ1つ以上のプラッタを含む。LPDDは1.8インチに等しいかそれ以下の直径を持つ1つ以上のプラッタを含む。

【0016】

低電力、高電力モードを含むコンピュータ用の本発明のデータ記憶システムは、低電力(LP)非揮発性メモリと高電力(HP)非揮発性メモリを備える。キャッシュ制御モジュールはLP、HP非揮発性メモリと通信し、適応記憶モジュールを含む。書込みデータをLP、HP非揮発性メモリの1つに書き込む場合、適応記憶モジュールはLPとHP非揮発性メモリの1つを選択する適応記憶決定を生成する。

10

20

30

40

50

【 0 0 1 7 】

別の特徴によれば、適応決定は、書込みデータの事前の使用状況、書込みデータのサイズ、書込みデータの最終使用日付、書込みデータのマニュアルの置換え状況と関連した少なくとも1つの電力モードに基づく。LP非揮発性メモリはフラッシュメモリと低電力ディスクドライブ(LPDD)の少なくとも1つを含む。LPDDは1つ以上のプラッタを含み、該1つ以上のプラッタは1.8インチに等しいかそれ以下の直径を持つ。HP非揮発性メモリは1つ以上のプラッタを持つハードディスクドライブを備え、該1つ以上のプラッタは1.8インチ以上の直径を持つ。

【 0 0 1 8 】

低電力、高電力モードを含むコンピュータ用の本発明のデータ記憶システムは、低電力(LP)非揮発性メモリと高電力(HP)非揮発性メモリを備える。キャッシュ制御モジュールはLP、HP非揮発性メモリと通信し、ドライブ電力削減モジュールを含む。低電力モード中にHP非揮発性メモリから読取りデータを読取り、読取りデータが順次アクセスデータファイルを含む場合、ドライブ電力削減モジュールは、読取りデータのセグメントをHP非揮発性メモリからLP非揮発性メモリへ転送するためのバースト周期を計算する。

10

【 0 0 1 9 】

別の特徴では、ドライブ電力削減モジュールはバースト周期を選択して、低電力モード中の読取りデータの再生中の消費電力を削減する。LP非揮発性メモリはフラッシュメモリと低電力ディスクドライブ(LPDD)の少なくとも1つを含む。LPDDは1つ以上のプラッタを含み、該1つ以上のプラッタは1.8インチに等しいかそれ以下の直径を持つ。HP非揮発性メモリは高電力ディスクドライブ(HPDD)を備える。HPDDは1つ以上のプラッタを含み、該1つ以上のプラッタは1.8インチ以上の直径を持つ。バースト周期は、LPDDのスピンアップ時間、HPDDのスピンアップ時間、LPDDの消費電力、HPDDの消費電力、読取りデータの再生長、LPDDの容量、の少なくとも1つに基づく。

20

【 0 0 2 0 】

本発明のマルチディスクドライブシステムは、1.8インチ以上の直径を持つ1つ以上のプラッタを含む高電力ディスクドライブ(HPDD)と、1.8インチに等しいかそれ以下の直径を持つ1つ以上のプラッタを含む低電力ディスクドライブ(LPDD)を備えている。ドライブ制御モジュールはLPDDとHPDDに対するデータアクセスを全体的に制御する。

30

【 0 0 2 1 】

本発明の独立ディスク冗長性アレイ(RAID)システムは、Xの高電力ディスクドライブ(HPDD)を含む第1のディスクアレイを備える。ここでXは2に等しいかそれ以上である。第2のディスクアレイはYの低電力ディスクドライブ(LPDD)を含む。ここでYは1に等しいかそれ以上の数である。アレイ管理モジュールは第1と第2のディスクアレイと通信し、第2のディスクアレイを利用してデータを第1のディスクアレイとの間でキャッシュする。

【 0 0 2 2 】

本発明の更なる適用分野は、以下の詳細な説明から明らかになる。詳細な説明や特定例は本発明の好適な実施例を示しているが、これは例示のためのものであり、本発明の範囲を限定するものではないことを理解すべきである。

40

【 発明を実施するための最良の形態 】

【 0 0 2 3 】

以下の好適な実施例の説明は例示的なもので、本発明やその応用、用途を限定することを意図したものではない。明解にするため、図面では同一参照数字を使用して同一構成要素を識別する。ここで使用するモジュールや装置という用語は、1つ以上のソフトウェアあるいはファームウェアプログラムを実行する特定用途向け集積回路(ASIC)、電子回路、プロセッサ(共用、専用、グループ)やメモリ、組合せ論理回路、その他記述され

50

た機能を提供する適切な構成部品をさす。

【 0 0 2 4 】

ここで使用する「高電力モード」という用語は、ホスト装置のホストプロセッサまたは一次グラフィックプロセッサの動作が稼動中であることをさす。「低電力モード」という用語は、二次プロセッサや二次グラフィックプロセッサが作動可能時に、一次プロセッサや一次グラフィックプロセッサが低電力不活発モード、オフモード、無反応モードにあることをさす。「オフモード」は一次と二次の両方のプロセッサがオフの状態をさす。

【 0 0 2 5 】

「低電力ディスクドライブ」ないしLPDDという用語は、直径が1.8インチに等しいかそれ以下の1つ以上のプラッタを有するディスクドライブないしマイクロドライブをさす。「高電力ディスクドライブ」ないしHPDDという用語は、直径が1.8インチ以上の1つ以上のプラッタを有するハードディスクドライブをさす。LPDDは一般に低い記憶容量を持ち、その電力損失はHPDDよりも少ない。LPDDは更にHPDDよりも高速で回転する。例えばLPDDでは10,000から20,000RPM以上の回転速度を達成できる。

【 0 0 2 6 】

本発明のコンピュータアーキテクチャは、(図1A、1Bと共に述べたように)高電力モード中に作動する一次プロセッサ、一次グラフィックプロセッサ、一次メモリを含む。二次プロセッサと二次グラフィックプロセッサは低電力モードで作動する。二次プロセッサと二次グラフィックプロセッサは後述するようにコンピュータの様々な構成部品と接続できる。低電力モード中、一次揮発性メモリは二次プロセッサと二次グラフィックプロセッサにより使用できる。あるいは下記に述べるように、DRAMなどの二次揮発性メモリや組み込みDRAMなどの組み込み二次揮発性メモリを使用できる。

【 0 0 2 7 】

一次プロセッサと一次グラフィックプロセッサは高電力モードで作動中、比較的高い電力損失を生じる。一次プロセッサと一次グラフィックプロセッサは、比較的大量の外部メモリを必要とする全機能オペレーティングシステム(OS)を実行する。一次プロセッサと一次グラフィックプロセッサは、複雑な演算や最新のグラフィックを始めとする高機能動作をサポートする。全機能OSにはウィンドウズ(登録商標)XPなどのウィンドウズ(登録商標)ベースのOS、リナックベースのOS、マック(登録商標)ベースのOSなどがある。全機能OSはHPDD15ないし50に記憶される。

【 0 0 2 8 】

二次プロセッサと二次グラフィックプロセッサは低電力モード中、(一次プロセッサや一次グラフィックプロセッサよりも)電力損失は少ない。二次プロセッサと二次グラフィックプロセッサは、比較的小量の外部揮発性メモリしか必要としない限定機能オペレーティングシステム(OS)を作動する。二次プロセッサと二次グラフィックプロセッサは更に同一OSを一次プロセッサとして使用できる。例えば全機能OSの切詰めバージョンを使用できる。二次プロセッサと二次グラフィックプロセッサは、低性能動作、低演算速度、最新でないグラフィックをサポートする。例えば限定機能OSはウィンドウズCE(登録商標)その他の適切な限定機能OSとすることができる。限定機能OSはフラッシュメモリやLPDDなどの非揮発性メモリに記憶するのが好ましい。実施例では、全機能及び限定機能OSは共通のデータフォーマットを共用して複雑性を削減する。

【 0 0 2 9 】

一次プロセッサと一次グラフィックプロセッサは、比較的小さい機能サイズの製作過程を使用して実装されるトランジスタを含むことが好ましい。ある実装では、それらのトランジスタは最新CMOS製作過程を使用して実装する。一次プロセッサおよび一次グラフィックプロセッサに実装されたトランジスタは比較的高い待機漏洩と比較的短いチャネルを持ち、高速用のサイズとしている。一次プロセッサと一次グラフィックプロセッサはるかに動的な論理を使用することが好ましい。云いかえればそれらを停止することはできない。トランジスタは約20%以下のデューティサイクル、好適には約10%以下でスイ

10

20

30

40

50

ッチする。しかし他のデューティサイクルも使用できる。

【0030】

対照的に、二次プロセッサおよび二次グラフィックプロセッサは、一次プロセッサと一次グラフィックプロセッサで使用した過程よりも大きな機能サイズを持つ製作過程で実装するトランジスタを含むことが好ましい。ある実装では、それらのトランジスタは通常のCMOS製作過程を使用して実装する。二次プロセッサと二次グラフィックプロセッサで実装されるトランジスタは比較的低い待機漏洩や比較的長いチャネルを持ち、低電力損失用のサイズとしている。二次プロセッサおよび二次グラフィックプロセッサは動的論理よりもはるかに静的な論理を使用するのが好ましい。トランジスタは80%以上のデューティサイクルで、好適には90%以上でスイッチする。しかし他のデューティサイクルも使用できる。

10

【0031】

一次プロセッサと一次グラフィックプロセッサは高電力モードで作動した時、比較的高い電力損失を生じる。二次プロセッサと二次グラフィックプロセッサは低電力モードで作動する時、電力損失は少ない。しかし低電力モードでは、高電力モードで作動する際よりもコンピュータアーキテクチャがサポートできる機能や演算、複雑なグラフィックは少なくなる。当業者には分かるように、本発明のコンピュータアーキテクチャを実施する方法は多くある。従って当業者には、図2A - 図4Cと共に下記に記載するコンピュータアーキテクチャは単に例示的なもので本発明を限定するものではないことが理解されよう。

【0032】

20

図2Aに第1の例示的なコンピュータアーキテクチャ60を示す。一次プロセッサ6、揮発性メモリ9、一次グラフィックプロセッサ11はインターフェイス8と通信し、高電力モード中に複雑なデータやグラフィックの処理をサポートする。二次プロセッサ62と二次グラフィックプロセッサ64はインターフェイス8と通信して低電力モード中に複雑度の少ないデータ、グラフィック処理をサポートする。LPDD66やフラッシュメモリ68のようなオプションの非揮発性メモリ65はインターフェイス8と通信し、低電力モードや高電力モード中にデータの低電力非揮発性記憶を提供する。HPDD15は高電力/容量の非揮発性メモリを提供する。非揮発性メモリ65やHPDD15は、低電力モード中に限定機能OSその他のデータやファイルを記憶するのに使用する。

【0033】

30

本実施例では、二次プロセッサ62と二次グラフィックプロセッサ64は、低電力モードで作動中、揮発性メモリ9(ないし一次メモリ)を使用する。このため、低電力モード中に少なくとも一部のインターフェイス8を起動し、一次メモリとの通信や低電力モード中に起動された構成部品間の通信をサポートする。例えばキーボード13、指示装置14、ディスプレイ16を起動して低電力モード中に使用できる。図2A - 図4Cと共に記載する全ての実施例で、(モノクロディスプレイなどの)削減能力を備えた二次ディスプレイや二次入出力装置を備えて低電力モード中に使用することもできる。

【0034】

図2Bに図2Aのアーキテクチャと類似の第2の例示的なコンピュータアーキテクチャ70を示す。本実施例では、二次プロセッサ62と二次グラフィックプロセッサ64は二次揮発性メモリ74、76と通信する。二次揮発性メモリ74、76はDRAMその他の適切な記憶装置とすることができる。低電力モード中、二次プロセッサ62と二次グラフィックプロセッサ64は、図2Aに示して説明した揮発性メモリ9に加えてあるいはその代わりに、二次揮発性メモリ74と76を利用する。

40

【0035】

図2Cに図2Aのものと類似した第3の例示的なコンピュータアーキテクチャ80を示す。二次プロセッサ62と二次グラフィックプロセッサ64は夫々、組込み形揮発性メモリ84、86を使用する。低電力モード中、二次プロセッサ62と二次グラフィックプロセッサ64は夫々、一次揮発性メモリに加えてあるいはその代わりに、組込み形揮発性メモリ84、86を利用する。1実施例では組込み形揮発性メモリ84、86をDRAM(

50

e D R A M) であるが、その他の種類の組込み形揮発性メモリを使用することもできる。

【 0 0 3 6 】

図 3 A に本発明の第 4 の例示的なコンピュータアーキテクチャ 1 0 0 を示す。一次プロセッサ 2 5、一次グラフィックプロセッサ 2 6、一次揮発性メモリ 2 8 は処理チップセット 2 2 と通信し、高電力モード中に複雑なデータ、グラフィック処理をサポートする。二次プロセッサ 1 0 4 と二次グラフィックプロセッサ 1 0 8 は、コンピュータが低電力モードの際、複雑度の少ないデータ、グラフィック処理をサポートする。本実施例では、二次プロセッサ 1 0 4 と二次グラフィックプロセッサ 1 0 8 は、低電力モードで作動中、一次揮発性メモリ 2 8 を使用する。このため、低電力モード中に処理チップセット 2 2 を全面的あるいは部分的に起動してそれらの間の通信を容易にすることができる。H P D D 5 0
10
を低電力モード中に起動して高電力揮発性メモリを提供できる。低電力非揮発性メモリ 1 0 9 (L P D D 1 1 0 ないしフラッシュメモリ 1 1 2) は処理チップセット 2 2、入出力チップセット 2 4 あるいはその他の場所に接続し、低電力モードの限定機能オペレーティングシステムを記憶する。

【 0 0 3 7 】

処理チップセット 2 2 を全面的あるいは部分的に起動して、H P D D 5 0、L P D D 1 1 0 及び低電力モード中に使用するその他の構成部品の作動をサポートできる。例えばキーボードや指示装置 4 2、一次ディスプレイを低電力モード中に使用できる。

【 0 0 3 8 】

図 3 B に、図 3 A のものと類似した第 5 の例示的なコンピュータアーキテクチャ 1 5 0
20
を示す。二次揮発性メモリ 1 5 4、1 5 8 を夫々、二次プロセッサ 1 0 4 と二次グラフィックプロセッサ 1 0 8 に接続する。低電力モード中、二次プロセッサ 1 0 4 と二次グラフィックプロセッサ 1 0 8 は一次揮発性メモリ 2 8 に加えてあるいはその代わりに夫々、二次揮発性メモリ 1 5 4 と 1 5 8 を利用する。処理チップセット 2 2 と一次揮発性メモリ 2 8 は所望により低電力モード中に停止することができる。二次揮発性メモリ 1 5 4、1 5 8 は D R A M その他の適切な記憶装置とすることができる。

【 0 0 3 9 】

図 3 C に、図 3 A のものと類似した第 6 の例示的なコンピュータアーキテクチャ 1 7 0
30
を示す。二次プロセッサ 1 0 4 と二次グラフィックプロセッサ 1 0 8 は夫々、組込み形メモリ 1 7 4、1 7 6 を含む。低電力モード中、二次プロセッサ 1 0 4 と二次グラフィックプロセッサ 1 0 8 は、一次揮発性メモリ 2 8 に加えてあるいはその代わりに夫々、組込み形メモリ 1 7 4、1 7 6 を利用する。1 実施例では、組込み形揮発性メモリ 1 7 4、1 7 6 は組込み形 D R A M (e D R A M) であるが、他の種類の組込み形メモリを使用することもできる。

【 0 0 4 0 】

図 4 A に本発明の第 7 の例示的なコンピュータアーキテクチャ 1 9 0 を示す。二次プロセッサ 1 0 4 と二次グラフィックプロセッサ 1 0 8 は入出力チップセット 2 4 と通信し、低電力モード中、一次揮発性メモリ 2 8 を揮発性メモリとして使用する。処理チップセット 2 2 は低電力モード中、全面的ないし部分的に起動されたままとなり、一次揮発性メモリ 2 8 へのアクセスを可能にする。
40

【 0 0 4 1 】

図 4 B に、図 4 A に示すものと類似した第 8 の例示的なコンピュータアーキテクチャ 2 0 0 を示す。二次揮発性メモリ 1 5 4、1 5 8 は夫々、二次プロセッサ 1 0 4 と二次グラフィックプロセッサ 1 0 8 に接続され、低電力モード中、一次揮発性メモリ 2 8 に加えてあるいはその代わりに使用される。処理チップセット 2 2 と一次揮発性メモリ 2 8 は低電力モード中、停止できる。

【 0 0 4 2 】

図 4 C に、図 4 A に示すものと類似の第 9 の例示的なコンピュータアーキテクチャ 2 1 0 を示す。組込み形揮発性メモリ 1 7 4、1 7 6 が夫々、一次揮発性メモリ 2 8 に加えて
50
あるいはその代わりに、二次プロセッサ 1 0 4 と二次グラフィックプロセッサ 1 0 8 に設

けられている。本実施例では、処理チップセット 22 と一次揮発性メモリ 28 は低電力モード中に停止できる。

【0043】

図5に図2A - 図4Cに例示したコンピュータアーキテクチャのキャッシュ階層 250を示す。HP非揮発性メモリHPDD50はキャッシュ階層250の最低レベル254に位置している。HPDD50の機能が抑止されていれば、低電力モード中にレベル254が使用されることもされないこともあるが、低電力モード中にHPDD50が使用可能であれば使用される。LPDD110やフラッシュメモリ112のようなLP非揮発性メモリはキャッシュ階層250の次のレベル258に位置している。一次揮発性メモリ、二次揮発性メモリ、二次組込み形メモリなどの外部揮発性メモリは構成にもよるが、キャッシュ階層250の次のレベル262にある。レベル2ないし二次キャッシュはキャッシュ階層250の次のレベル266を備える。レベル1キャッシュはキャッシュ階層250の次のレベル268である。CPU(一次ないし二次)はキャッシュ階層250の最終レベル270である。一次及び二次グラフィックプロセッサは同様の階層を使用する。

10

【0044】

本発明のコンピュータアーキテクチャは、複雑度の少ない処理やグラフィックをサポートする低電力モードを提供する。その結果、コンピュータの電力損失を大きく削減できる。ラップトップに適用すれば、バッテリー寿命を延長する。

【0045】

図6を参照すると、マルチディスクドライブシステムのドライブ制御モジュール300ないしホスト制御モジュールは、最小使用ブロック(LUB)モジュール304と、適応記憶モジュール306と、LPDD保守モジュール308とを含んでいる。ドライブ制御モジュール300は部分的にLUB情報に基づいて、ハードディスクドライブなどの高電力ディスクドライブ(HPDD)310と、マイクロドライブなどの低電力ディスクドライブ(LPDD)312間の記憶とデータの転送を制御する。ドライブ制御モジュール300は高電力、低電力モード中に、HPDDとLPDD間のデータの記憶や転送を管理することで消費電力を削減する。

20

【0046】

最小使用ブロックモジュール304はLPDD312内のデータの最小使用ブロックの記録を取る。低電力モード中、最小使用ブロックモジュール304はLPDD312内の(ファイルやプログラムなどの)データの最小使用ブロックを識別し、必要に応じて交換できるようにする。限定機能オペレーティングシステムのみに関連したファイル、LPDD312にマニュアル的に設定され記憶されたブロック、低電力モード中のみに作動されるその他のファイルやプログラムなど、特定のデータブロックやファイルは最小使用ブロックの監視から除外できる。後述するように、その他の基準を使用して上書きするデータブロックを選択できる。

30

【0047】

低電力モードでデータ記憶要求中、適応記憶モジュール306は書込みデータが最小使用ブロック前に使用される可能性があるかどうかを判定する。更に適応記憶モジュール306は低電力モードでデータ検索要求中、読取りデータが一度だけ使用される可能性があるかどうかを判定する。LPDD保守モジュール308は高電力モード中あるいは後述するその他の状況で、経年データをLPDDからHPDDに転送する。

40

【0048】

図7Aに、ドライブ制御モジュール300が行なうステップを示す。制御はステップ320から開始する。ドライブ制御モジュール300はステップ324で、データ記憶要求があるかどうか判定する。ステップ324が真であれば、ドライブ制御モジュール300はステップ328でLPDD312に十分なスペースがあるかどうか判定する。なければドライブ制御モジュール300はステップ330でHPDD310を起動する。ドライブ制御モジュール300はステップ334で、最小使用データブロックをHPDD310に転送する。ステップ336で、ドライブ制御モジュール300はLPDD312に十分な

50

スペースがあるかどうか判定する。なければ制御はステップ334に戻る。さもなければドライブ制御モジュール300はステップ340に続き、HPDD310をオフにする。ステップ344で、(例えばホストから)記憶するデータをLPDD312に転送する。

【0049】

ステップ324が偽であれば、ドライブ制御モジュール300はステップ350に続いて、データ検索要求があるかどうかを判定する。なければ制御はステップ324に戻る。さもなければ制御はステップ354に続き、データがLPDD312にあるかどうかを判定する。ステップ354が真であれば、ドライブ制御モジュール300はステップ356でデータをLPDD312から検索し、ステップ324に続く。さもなければドライブ制御モジュール300はステップ360でHPDD310を起動する。ドライブ制御モジュール300はステップ364では、要求データ用にLPDD312上に十分なスペースがあるかどうかを判定する。なければ、ドライブ制御モジュール300はステップ366で最小使用データブロックをHPDD310に転送し、ステップ364に続く。ステップ364が真であれば、ドライブ制御モジュール300はステップ368でデータをHPDD310からLPDD312に転送する。ステップ370でデータのLPDD312への転送が完了すれば、制御によりHPDD310をオフにする。

【0050】

図7Bを参照すると、図7Aに示すものと類似の変形方法が使用され、適応記憶モジュール306が行なう1つ以上の適応ステップを含んでいる。ステップ328でLPDD上に十分なスペースがある場合、ドライブ制御モジュール300はステップ372で、記憶するデータが、最小使用ブロックあるいは最小使用ブロックモジュールで識別されたブロック内のデータの前に使用される可能性があるかどうかを判定する。ステップ372が偽ならば、ドライブ制御モジュール300はステップ374でHPDD上にデータを記憶し、ステップ324に制御を続ける。それにより、最小使用ブロックをLPDDに転送するのに消費される電力を節約できる。ステップ372が真であれば、ドライブ制御モジュール300は制御を図7Aについて上述したようにステップ330に続ける。

【0051】

データ検索要求中でステップ354が偽であれば、制御はステップ376に続き、データが1度使用される可能性があるかどうかを判定する。ステップ376が真であれば、ドライブ制御モジュール300はステップ378でデータをHPDDから検索し、ステップ324に続く。それによりデータをLPDDに転送するのに消費する電力を節約できる。ステップ376が偽であれば、制御はステップ360に続く。ここでデータが1度使用される可能性があれば、データをLPDDに移す必要はないことが理解されよう。しかしHPDDの電力損失は避けることはできない。

【0052】

図7Cを参照すると、低電力作動中、より簡潔な形態の制御を行なうことができる。高電力や低電力モード中、(LPDD保守モジュール308を使用して)保守ステップを行なうこともできる。ステップ328でLPDD上に十分なスペースがあれば、ステップ344でデータをLPDDに転送し、ステップ324に戻る。さもなければ、ステップ328が偽であれば、ステップ380でデータをHPDDに記憶して、ステップ324に戻る。ここで図7Cに例示したアプローチは、容量がある時にはLPDDを使用し、LPDDの容量がない場合にはHPDDを使用することが理解されよう。当業者には、図7A-7Dの様々なステップの組合せを用いてハイブリッド手法を使用できることが理解されよう。

【0053】

図7Dでは、高電力モードに戻った時あるいはその他の時に、ドライブ制御モジュール300は保守ステップを行ない、LPDDに記憶された未使用あるいは使用頻度が少ないファイルを削除する。この保守ステップは、ディスクが満杯になったりその他の状況が生じた場合に、低電力モードでも使用中に定期的に行なうことができる。ステップ390から開始する。ドライブ制御モジュール300はステップ392で高電力モードを使用中か

10

20

30

40

50

どうかを判定する。そうでなければ、制御はステップ390に戻る。ステップ392が真であれば、ステップ394で最後のモードが低電力モードであったかどうかを判定する。そうでなければ、ステップ392に戻る。ステップ394が真であれば、ステップ396で、古いあるいは使用頻度の低いファイルをLPDDからHPDDに移動するなどの保守を行なう。例えば上述及び図8A - 図10と共に下記に記載する基準を使用して、どのファイルが将来使用される可能性があるか、適応決定を行うこともできる。

【0054】

図8Aと8Bに、記憶制御システム400-1、400-2、400-3を示す。図8Aで記憶制御システム400-1は、適応記憶制御モジュール414を備えたキャッシュ制御モジュール410を含んでいる。適応記憶制御モジュール414はファイルやプログラムの使用状況をモニタし、低電力モードあるいは高電力モードで使用される可能性があるかどうかを判定する。キャッシュ制御モジュール410は1つ以上のデータバス416と通信し、データバス416は一方でL1キャッシュ、L2キャッシュ、DRAMなどの揮発性RAMその他の揮発性電子データ記憶装置の揮発性メモリ422と通信する。バス416は更に(フラッシュメモリやLPDDなどの)低電力非揮発性メモリ424及びHPDD426などの高電力非揮発性メモリ426と通信する。図8Bに、適応記憶制御モジュール414を含む全機能ないし限定機能オペレーティングシステム430を示す。データバスとHPDDないしLPDD間には図示しない適切なインターフェイスないしコントローラがある。

【0055】

図8Cでは、ホスト制御モジュール440に適応記憶制御モジュール414が含まれている。ホスト制御モジュール440はLPDD424'やハードディスクドライブ426'と通信する。ホスト制御モジュール440は、ドライブ制御モジュール、統合化装置エレクトロニクス(IDE)、ATA、逐次ATA(SATA)他のコントローラとすることができる。

【0056】

図9に、図8A - 図8Cの記憶制御モジュールが行なうステップを示す。図9で、制御はステップ460から始まる。ステップ462で、非揮発性メモリへのデータ記憶要求があるかどうかを判定する。要求がなければステップ462に戻る。さもなくば、適応記憶制御モジュール414はステップ464で、低電力モードでデータが使用される可能性があるかどうか判定する。ステップ464が偽ならば、ステップ468でデータをHPDDに記憶する。ステップ464が真ならば、ステップ474でデータを非揮発性メモリ444に記憶する。

【0057】

図10に、データブロックが低電力モードで使用される可能性があるかどうかを判定する1つの方法を示す。表490には、データブロック記述子欄492、低電力カウンタ欄493、高電力カウンタ欄494、サイズ欄495、最終使用欄496及びマニュアル取消し欄497が含まれている。低電力モードないし高電力モード中に特定のプログラムないしファイルを使用する場合、カウンタ欄493ないし494が増分される。非揮発性メモリに対してプログラムないしファイルのデータ記憶要求がされた場合は、表490にアクセスする。しきい値率ないしカウンタ値を評価に使用できる。例えばファイルないしプログラムが低電力モードで80%以上の時間使用されれば、そのファイルはフラッシュメモリやマイクロドライブなどの低電力非揮発性メモリに記憶できる。しきい値に満たなければ、そのファイルやプログラムは高電力非揮発性メモリに記憶される。

【0058】

ここで、カウンタは所定数のサンプルの後(云いかえればローリングウィンドウを設けるため)あるいは他の基準を用いて周期的にリセットできることが理解されよう。更にサイズ欄495により尤度を重み付けできる、あるいは変更ないし取り換えることができる。云いかえれば、ファイルサイズが大きくなると、LPDDの容量が限られているゆえに、必要なしきい値が増大することがある。

10

20

30

40

50

【 0 0 5 9 】

最終使用欄 4 9 6 に記録されたファイルが最後に使用された時をベースに、使用尤度決定を更に変更できる。しきい日付を使用するか最後の使用からの時間を、尤度判定の1つの要素として使用できる。図 1 0 に表を示すが、使用する1つ以上の欄を他の場所や他のデータ構造に記憶できる。2以上の欄のアルゴリズムや重み付きサンプリングを使用することもできる。

【 0 0 6 0 】

マニュアル取消し欄 4 9 7 を使用することで、ユーザやオペレーティングシステムは使用尤度の判定をマニュアル的に取消しできる。例えばマニュアル取消し欄により LPDD でのデフォルト記憶に対する L ステータス、HPDD でのデフォルト記憶に対する H ステータス、自動記憶決定に対する A ステータスが(上述のように)可能になる。他のマニュアルの取消し分類も定義できる。上記の基準に加えて、LPDD で作動しているコンピュータの現在の電力レベルを使用して決定を調節できる。当業者には、ファイルやプログラムが高電力ないし低電力モードで使用される尤度を判定し、本発明の範囲に属する他の方法があることが理解されよう。

【 0 0 6 1 】

図 1 1 A、1 1 B に、ドライブ電力削減システム 5 0 0 - 1、5 0 0 - 2、5 0 0 - 3 (まとめて 5 0 0 とする)を示す。ドライブ電力削減システム 5 0 0 はオーディオやビデオファイル(これに限定されない)などの大きな順次アクセスファイルのセグメントを周期的あるいはその他のベースで低電力非揮発性メモリにバーストする。図 1 1 A で、ドライブ電力削減システム 5 0 0 - 1 はドライブ電力削減制御モジュール 5 2 2 を備えたキャッシュ制御モジュール 5 2 0 を含む。キャッシュ制御モジュール 5 2 0 は1つ以上のデータベース 5 2 6 と通信し、データベースは一方で L 1 キャッシュ、L 2 キャッシュ、DRAM などの揮発性 RAM、その他の揮発性電子データ記憶装置などの揮発性メモリ 5 3 0、フラッシュメモリや LPDD などの非揮発性メモリ、HPDD 5 3 8 と通信する。図 1 1 B で、ドライブ電力削減システム 5 0 0 - 2 はドライブ電力削減制御モジュール 5 2 2 を備えた全機能及び限定機能オペレーティングシステム 5 4 2 を含む。データベースと HPDD ないし LPDD の間には図示しない適切なインターフェイスやコントローラがある。

【 0 0 6 2 】

図 1 1 C でドライブ電力削減システム 5 0 0 - 3 は適応記憶制御モジュール 5 2 2 を備えたホスト制御モジュール 5 6 0 を含む。ホスト制御モジュール 5 6 0 は1つ以上のデータベース 5 6 4 と通信し、データベースは LPDD 5 3 4'、ハードディスクドライブ 5 3 8' と通信する。ホスト制御モジュール 5 6 0 はドライブ制御モジュール、統合化装置エレクトロニクス (IDE)、ATA、逐次 ATA (SATA)、その他のコントローラやインターフェイスとすることができる。

【 0 0 6 3 】

図 1 2 に、図 1 1 A - 1 1 C のドライブ電力削減システム 5 0 0 が行なうステップを示す。ステップ 5 8 2 から制御を開始する。ステップ 5 8 4 では、システムが低電力モード中にあるかどうかを判定する。そうでなければステップ 5 8 4 に戻る。ステップ 5 8 4 が真であればステップ 5 8 6 に続き、HPDD から大きなデータブロックアクセスが特に要求されているかどうかを判定する。そうでなければ、ステップ 5 8 4 に戻る。ステップ 5 8 6 が真であればステップ 5 9 0 に続き、データブロックが順次アクセスされているか判定する。そうでなければステップ 5 8 4 に戻る。ステップ 5 9 0 が真であれば、ステップ 5 9 4 に続いて再生長を判定する。ステップ 5 9 8 では、バースト周期と、高電力非揮発性メモリから低電力非揮発性メモリへのデータ転送の頻度を判定する。

【 0 0 6 4 】

ある実施例では、バースト周期と頻度を最適化して消費電力を削減する。バースト周期と頻度は HPDD ないし LPDD のスピンアップ時間、非揮発性メモリの容量、再生速度、HPDD と LPDD のスピンアップと安定状態の消費電力、順次データブロックの再生長に基づくことが好ましい。

10

20

30

40

50

【 0 0 6 5 】

例えば、高電力非揮発性メモリは作動中に1 - 2 Wを消費するHPDDであり、4 - 10秒のスピンアップ時間を持ち、一般に20 Gb以上の容量を持つ。低電力非揮発性メモリは作動中に0.2 - 0.5 Wを消費するマイクロドライブで、1 - 3秒のスピンアップ時間を持ち、1 - 6 Gbの容量を持つ。なお、上記の性能値や容量は他の実施例では異なることが理解されよう。HPDDはマイクロドライブに対して1 Gb/sのデータ転送速度を持つことができる。再生速度は(例えばビデオファイル用に)10 Mb/sとすることができる。バースト周期掛けるHPDDの転送速度は、マイクロドライブの容量を超過してはならないことは理解されよう。バースト間の期間はスピンアップ時間+バースト周期以上でなければならない。システムの消費電力はこれらのパラメータ内で最適化できる。低電力モードでHPDDを作動して映画などの全ビデオを再生する場合、かなりの電力量を消費する。上述の方法を使用することで、非常に高速(例えば100X再生速度)で一定間隔をあけた複数のバーストセグメントでデータをHPDDからLPDDに選別的に転送することで、電力損失をかなり削減でき、HPDDを停止できる。50%以上の省電力を容易に達成できる。

10

【 0 0 6 6 】

図13に、ドライブ制御モジュール650と、1つ以上のHPDD644と、1つ以上のLPDD648とを含む、本発明のマルチディスクドライブシステム640を示す。ドライブ制御モジュール650はホスト制御モジュール651を介してホスト装置と通信する。後述するようにマルチディスクドライブシステム640はホスト装置に対して、HPDD644とLPDD648を単一ディスクドライブとして効率的に作動して複雑性を削減し、性能を向上し、消費電力を削減する。ホスト制御モジュール651はIDE、ATA、SATAその他の制御モジュールやインターフェイスとすることができる。

20

【 0 0 6 7 】

図14の1実施例で、ドライブ制御モジュール650は、LPDDないしHPDDの一方ないし両方を制御するのに使用するハードディスクコントローラ(HDC)653を含む。バッファ656はHPDDやLPDDの制御に関係したデータを記憶し、あるいはHPDDとLPDDとの間のデータを積極的にバッファし、データブロックサイズを最適化してデータ転送速度を増大する。プロセッサ657はHPDDないしLPDDの作動に関係した処理を行なう。

30

【 0 0 6 8 】

HPDD648は、磁界を記憶する磁気コーティングを有する1つ以上のプラッタ652を含む。プラッタ652は参照数字654で概略的に示すスピンドルモータで回転する。一般にスピンドルモータ654は、読取りないし書込み作動中、プラッタ652を一定速度で回転する。1つ以上の読み書きアーム658がプラッタ652と相対的に移動してプラッタとの間でデータの読み書きを行なう。HPDD648はLPDDよりも大きなプラッタを持つので、スピンドルモータ654がHPDDをスピンアップしHPDDを一定速度に保つのにより多くの電力を必要とする。通常、スピンアップ時間もHPDDで長い。

【 0 0 6 9 】

読み書き装置659は読み書きアーム658の先端近くに位置する。読み書き装置659は、磁界を発生する誘電器などの書込み要素を含み、更にプラッタ652上の磁界を感知する磁気抵抗(MR)要素などの読取り要素を含んでいる。プリアンプ回路660はアナログの読み書き信号を増幅する。

40

【 0 0 7 0 】

データを読取る時、プリアンプ回路660は読取り要素からの低レベル信号を増幅し、増幅した信号を読み書き回路装置に出力する。データを書込み中、読み書き装置659の書込み要素を流れる書込み電流が生成され、スイッチされて正ないし負の極性を持つ磁界を生成する。正負の極性はプラッタ652に記憶され、データを表すのに使用する。LPDD644も1つ以上のプラッタ662と、スピンドルモータ664と、1つ以上の読

50

み書きアーム 668 と、読み書き装置 669 と、プリアンプ回路 670 とを含んでいる。

【0071】

HDC 653 はホスト制御モジュール 651、並びに第 1 のスピンドル/ボイスコイルモータ (VCM) ドライバ 672 と、第 1 の読み書きチャンネル回路 674 と、第 2 のスピンドル/VCM ドライバ 676 と、第 2 の読み書きチャンネル回路 678 と通信する。ホスト制御モジュール 651 とドライブ制御モジュール 650 とは、チップ上システム (SOC) 684 で実現できる。ここで、スピンドル/VCM ドライバ 672 と 676 及び読み書きチャンネル回路 674、678 を結合できることが理解されよう。スピンドル/VCM ドライバ 672、676 はプラッタ 652、662 を夫々回転するスピンドルモータ 654、664 を制御する。スピンドル/VCM ドライバ 672、676 は更に、例えばボイスコイルアクチュエータ、ステップモータその他の適切なアクチュエータを用いて読み書きアーム 658、668 を夫々位置決めする制御信号を生成する。

10

【0072】

図 15 - 17 にマルチディスクドライブシステムのその他の変形を示す。図 15 で、ドライブ制御モジュール 650 には 1 つ以上の LPDD 682 への外部接続を提供する直接インターフェイス 680 を含めることができる。1 実施例では、直接インターフェイスは周辺構成部品相互接続 (PCI) バス、PCI エキスプレス (PCI X) バスその他の適切なバスないしインターフェイスとする。

【0073】

図 16 で、ホスト制御モジュール 651 は LPDD 644 と HPDD 648 の両方と通信する。低電力ドライブ制御モジュール 650 LP と高電力ディスクドライブ制御モジュール 650 HP は直接、ホスト制御モジュールと通信する。LP ないし HP ドライブ制御モジュールのゼロ、1 つあるいは両方は SOC として実現できる。

20

【0074】

図 17 に直接インターフェイス 680 との通信をサポートするインターフェイス 690 を含む 1 つの例示的な LPDD 682 を示す。上述したように、インターフェイス 680、690 は周辺構成部品相互接続 (PCI) バス、PCI エキスプレス (PCI X) バスその他の適切なバスないしインターフェイスとすることができる。LPDD 682 は HDC 692 と、バッファ 694 と、プロセッサ 696 とを含む。上述のように LPDD 682 は更に、スピンドル・VCM ドライバ 676 と、読み書きチャンネル回路 678 と、プラッタ 662 と、スピンドルモータ 665 と、読み書きアーム 668 と、読取り要素 669 と、プリアンプ 670 とを含む。代わりに HDC 653 と、バッファ 656 と、プロセッサ 658 とを結合して両ドライブに対して使用できる。同様にスピンドル/VCM ドライバと読取りチャンネル回路をオプションで結合できる。図 13 - 17 の実施例で、LPDD の積極的なバッファリングを用いて性能を向上する。例えば、バッファを用いてデータブロックサイズを最適化し、ホストデータバスで最適速度を得る。

30

【0075】

従来のコンピュータシステムでは、ページングファイルは、オペレーションシステムが使用してコンピュータの揮発性メモリに適合しないプログラムやデータファイルの一部を保持する、HPDD ないし HP 非揮発性メモリ上の隠れファイルである。ページングファイルと物理的メモリあるいは RAM はコンピュータの仮想メモリを限定する。オペレーティングシステムは必要に応じてデータをページングファイルからメモリに転送し、データを揮発性メモリからページングファイルに戻して新しいデータ用に空きを作る。ページングファイルはスワップファイルとも呼ばれている。

40

【0076】

図 18 - 20 では、本発明は LPDD やフラッシュメモリなどの LP 非揮発性メモリを利用してコンピュータシステムの仮想メモリを増大する。図 18 では、オペレーティングシステム 700 によりユーザは仮想メモリ 702 を確定できる。作動中、オペレーティングシステム 700 は 1 つ以上のバス 704 を介して仮想メモリ 702 に対処する。仮想メモリ 702 は揮発性メモリ 708 及びフラッシュメモリや LPDD などの LP 非揮発性メ

50

メモリ710の両方を含む。

【0077】

図19で、オペレーティングシステムによりユーザはLP非揮発性メモリ710の一部ないし全部をページングメモリとして割当て、仮想メモリを増大できる。ステップ720で制御を開始する。ステップ724で、オペレーティングシステムは追加のページングメモリが要求されているかどうかを判定する。そうでなければ、ステップ724に戻る。さもなければオペレーティングシステムはステップ728で、LP非揮発性メモリの一部をページングファイルの用途に割当て仮想メモリを増大する。

【0078】

図20で、オペレーティングシステムは追加のLP非揮発性メモリをページングメモリとして使用する。ステップ740から制御を開始する。ステップ744では、オペレーティングシステムがデータ書込み作動を要求しているかどうかを判定する。真であれば、ステップ748に続き、揮発性メモリの容量を超過しているかどうかを判定する。そうでなければ、ステップ750で揮発性メモリを使用して書込み動作を行なう。ステップ748が真であれば、ステップ754でデータをLP非揮発性メモリ内のページングファイルに保存する。ステップ744が偽であれば、ステップ760に続いてデータ読取りが要求されているかどうかを判定する。偽であれば、ステップ744に戻る。さもなければステップ764で、アドレスがRAMアドレスに対応するかどうかを判定する。ステップ764が真であれば、ステップ764でデータを揮発性メモリから読取り、ステップ744に続く。ステップ764が偽であれば、ステップ770でLP非揮発性メモリ内のページングファイルからデータを読取り、ステップ744に続く。

【0079】

ここで、フラッシュメモリやLPDDなどのLP非揮発性メモリを使用して仮想メモリのサイズを増大することで、HPDDを使用するシステムに比べてコンピュータの性能を増大できることが理解されよう。更に、消費電力はHPDDをページングファイルに使用しているシステムよりも低くなる。HPDDはその増大したサイズ故に追加スピンアップ時間を必要とし、スピンアップ待ち時間がないフラッシュメモリやスピンアップ時間が短く電力損失が低いLPDDに比べてデータアクセス時間が増大する。

【0080】

図21に、ディスクアレイ808と通信する1つ以上のサーバないしクライアント804を含む独立ディスク冗長配列(RAID)システム800を示す。該1つ以上のサーバないしクライアント804はディスクアレイコントローラ812とアレイ管理モジュール814を含む。ディスクアレイコントローラ812とアレイ管理モジュール814はデータを受け、ディスクアレイ808に対してデータの論理から物理アドレスへのマッピングを行なう。ディスクアレイは一般に複数のHPDD816を含んでいる。

【0081】

複数のHPDD816はフォルトトレランス(冗長性)やデータアクセス速度の改善をもたらす。RAIDシステム800はディスクアレイ808があたかも1つの大きなハードディスクドライブのように、複数の個々のHPDDへアクセスする方法を提供する。全体としてディスクアレイ808は何百ギガバイトから10から100テラバイトのデータ記憶量を提供できる。データは様々な方法で複数のHPDD816上に保存して、1つのドライブが故障しても全てのデータを失うリスクを削減し、データアクセス時間を向上する。

【0082】

HPDD816にデータを保存する方法は一般にRAIDレベルと呼ばれている。RAIDレベル0あるいはディスクストリップングを含む様々なRAIDレベルがある。RAIDレベル0システムでは、データを複数のドライブにわたってブロックで書込み、次のドライブが次のブロックを探索している間にあるドライブがデータブロックを読み書きできるようにしている。ディスクストリップングの利点は、その高いアクセス率とアレイの容量を全面的に利用できることにある。その欠点はフォルトトレランスがないことである

10

20

30

40

50

。1つのドライブが故障すると、アレイの全コンテンツにアクセスできなくなる。

【0083】

RAIDレベル1ないしディスク二重化は夫々のドライブに2度、1度書き込むことで冗長性を提供する。1つのドライブが故障しても、別のものがデータの正確な複製を含んでおり、RAIDシステムはユーザのアクセス機能で待ち時間なしに二重化ドライブを使用するように切り替え可能。欠点には、必要なドライブ数が増える(2N)ことでデータアクセス速度が向上せず、コストが高いことがある。しかしRAIDレベル1により、1つのHPDDが故障した場合、アレイ管理ソフトウェアは単に全てのアプリケーション要求を生き残っているHPDDに宛てるだけなので、最良のデータ保護を提供できる。

【0084】

RAIDレベル3では、エラーの訂正や回復のため、パリティ専用の追加ドライブにより複数ドライブにわたりデータをストライプする。RAIDレベル5ではストライピング並びにエラー回復のためのパリティを提供する。RAIDレベル5ではアレイのドライブの間でパリティブロックを配分し、それによりドライブにわたりよりバランスの取れたアクセスロードがもたらされる。1つのドライブが故障した時、パリティ情報を使用してデータを回復する。欠点は書込みサイクルが比較的遅いことである(夫々の書込みブロックについて2回の読取りと2回の書込みが必要)。アレイ容量はN-1で、最低3つのドライブが必要である。

【0085】

RAIDレベル0+1は、パリティなしにストライピングと二重化を伴う。利点はデータアクセスが(RAIDレベル0と同様に)早いことと、(RAIDレベル1と同様に)単一ドライブのフォルトトレランスであることである。RAIDレベル0+1も(RAIDレベル1と同様に)2倍の数のドライブを必要とする。ここで、アレイ808上にデータを記憶する他のRAIDレベルや方法が可能であることが理解されよう。

【0086】

図22A、22Bを参照すると、本発明のRAIDシステム834-1は、XのHPDDからなるディスクアレイ836とYのLPDDからなるディスクアレイ838を含んでいる。1つ以上のクライアントないしサーバ840は、ディスクアレイコントローラ842ないしアレイ管理モジュール844を含んでいる。別々の装置842、844を図示しているが、それらの装置は所望により統合できる。Xは2に等しいかそれ以上であり、Yは1に等しいかそれ以上であることが理解されよう。XはY以上、Y以下、あるいはYに等しくすることができる。例えば図22BはX=Y=ZのRAIDシステム834-1'を示している。

【0087】

図23A、23B、24A、24BにRAIDシステム834-2、834-3を示す。図23Aで、LPDDディスクアレイ838はサーバないしクライアント840と通信し、HPDDディスクアレイ836はLPDDディスクアレイ838と通信する。RAIDシステム834-2にはLPDDディスクアレイ838を選別的に迂回する管理パイパス経路を含めることができる。Xは2に等しいかそれ以上であり、Yは1に等しいかそれ以上であることが理解されよう。XはY以上、Y以下、あるいはYに等しくすることができる。例えば図23BはX=Y=ZであるRAIDシステム834-2'を示している。図24Aでは、HPDDディスクアレイ836はサーバないしクライアント840と通信し、LPDDディスクアレイ838はHPDDディスクアレイ836と通信する。RAIDシステム834-3には、HPDDディスクアレイ836を選別的に迂回する点線で示す管理パイパス経路を含めることができる。Xは2に等しいかそれ以上であり、Yは1に等しいかそれ以上であることが理解されよう。XはY以上、Y以下、あるいはYに等しくすることができる。例えば図24BはX=Y=ZであるRAIDシステム834-3'を示している。使用した戦略には図23A-24Bで、ライトスルーないしライトバック方式を含めることができる。

【0088】

10

20

30

40

50

アレイ管理モジュール 844 やディスクコントローラ 842 は、LPDD ディスクアレイ 838 を利用して HPDD ディスクアレイ 836 の消費電力を削減する。一般に図 21 の従来の RAID システムの HPDD ディスクアレイ 808 は作動中、常にオンにして要求されるデータアクセス時間をサポートしている。ここで HPDD ディスクアレイ 808 の電力損失は比較的高いことが理解されよう。更に HPDD ディスクアレイ 808 には大量のデータが記憶されるので、HPDD のプラッタは一般にできるだけ大きくなり、高い容量のスピンダルモータが必要になり、読み書きアームは平均的に更に遠くに移動するのでデータアクセス時間が増大する。

【0089】

本発明では、図 6 - 17 と共に述べた手法を図 22B に示す RAID システム 834 で選別的に使用して消費電力とデータアクセス時間を削減する。図 22A、23A、24B には図示しないが、本発明の他の RAID システムもそれらの手法を使用することができる。云いかえれば、図 6、7A - 7D で述べた LUB モジュール 304、適応記憶モジュール 306、LPDD 保守モジュールをディスクアレイコントローラ 842 やアレイ管理コントローラ 844 により選別的に実施してデータを選別的に LPDD ディスクアレイ 838 に記憶して、消費電力とデータアクセス時間を削減する。図 8A - 8C、9、10 で述べた適応記憶制御モジュール 414 もディスクアレイコントローラ 842 やアレイ管理コントローラ 844 により選別的に実施して、消費電力とデータアクセス時間を削減できる。図 11A - 11C、12 で述べたドライブ電力削減モジュール 522 もディスクアレイコントローラ 842 やアレイ管理コントローラ 844 により実施して、消費電力とデータアクセス時間を削減できる。更に図 13 - 17 に示すマルチドライブシステムと直接インターフェイスも HPDD ディスクアレイ 836 の 1 つ以上の HPDD で実施して機能を増すと共に消費電力とアクセス時間を削減できる。

【0090】

図 25 に、記憶装置 854、記憶要求者 858、ファイルサーバ 862、通信システム 866 を含むネットワーク付加記憶 (NAS) システム 850 を示す。記憶装置 854 は一般に、ディスクドライブ、RAID システム、テープドライブ、テープライブラリ、光学ドライブ、ジュークボックスその他の共用する記憶装置を含む。記憶装置 854 はオブジェクト指向装置であることが好ましいがそうでなくともよい。記憶装置 854 には要求者 858 によるデータ記憶や検索のための入出力インターフェイスを含めることができる。要求者 858 には一般に、記憶装置 854 を共用ないし直接アクセスするサーバやクライアントがある。

【0091】

ファイルサーバ 862 は要求認証やリソース探索などの管理、セキュリティ機能を果たす。記憶装置 854 は管理指示についてファイルサーバ 862 に依存し、ファイルサーバ 862 が記憶管理に対して責任を取る範囲において要求者 858 の負担は軽減する。小さいシステムでは、専用のファイルサーバは望まれないことがある。そのような状況では、要求者は NAS システム 850 の作動を監督する責任を持つことができる。かくしてファイルサーバ 862 と要求者 858 の両方は夫々、管理モジュール 870、872 を含んで示されているが、その 1 つあるいは他方あるいは両方を設けることもできる。通信システム 866 は、NAS システム 850 の構成部品が通信する物理的インフラストラクチャである。これはネットワークとチャネルの両方の属性を持ち、ネットワーク内の全ての構成部品を接続する能力を持ち、チャネルで一般に見られる低い待ち時間を持つことが好ましい。

【0092】

NAS システム 850 を起動したとき、記憶装置 854 は互いに対してあるいはファイルサーバ 862、1 つ以上の要求者 858 あるいは通信システム 866 などの共通の参照点に対して自らを識別する。通信システム 866 は一般にそのために用いるネットワーク管理手法を提供し、通信システムと結合した媒体に接続することでアクセスできる。記憶装置 854 と要求者 858 は媒体にログオンする。オペレーティング構成の判定を望む

10

20

30

40

50

全ての構成部品は、媒体のサービスを使用してその他の全ての構成部品を識別できる。要求者 858 はファイルサーバ 854 からアクセスできる記憶装置 854 の存在を知り、一方で記憶装置 854 は他の装置を探索する必要がある場合やバックアップなどの管理サービスを呼び出す際に行くべきところを学習する。同様に、ファイルサーバ 862 は媒体サービスから記憶装置 854 の存在を知ることができる。特定のインストールのセキュリティによるが、要求者は一部の装置へのアクセスが否定されることがある。1組のアクセス可能な記憶装置から、ファイルやデータベース、利用可能な空きスペースを識別できる。

【0093】

同時に、夫々のNAS構成部品はファイルサーバ862に対して、知られることを望む特別な要件を確認できる。あらゆる装置レベルサービスの属性は1度ファイルサーバ862に伝達でき、全ての他の構成部品はそれを学ぶことができる。例えば要求者は開始に続く追加の記憶の導入について知られることを望むことがあるが、これは要求者がファイルサーバ862にログオンしたときに設定される属性によりトリガされる。ファイルサーバ862は、RAIDレベル5、二重化されたもののように重要な特性の搬送を含め、新しい記憶装置が構成に追加されるときはいつでも自動的にこれを行なうことができる。

【0094】

要求者がファイルを開かなければならないとき、記憶装置854に直接行くことができるか、ファイルサーバに行って許可を得て情報を探索しなければならないことがある。ファイルサーバ854が記憶装置へのアクセスを制御する範囲は、設置したシステムのセキュリティ要件の関数となる。

【0095】

図26に、記憶装置904と、要求者908と、ファイルサーバ912と、通信システム916とを含む本発明のネットワーク付加記憶(NAS)システム900を示す。記憶装置904は、図6-19で上述したRAIDシステム834及びマルチディスクドライブシステム930を含む。記憶装置904には一般に上述したように、ディスクドライブ、RAIDシステム、テープドライブ、テープライブラリ、光学的ドライブ、ジュークボックスその他の共用する記憶装置を含めることができる。改善形のRAIDシステムやマルチディスクドライブシステム930を使用することで、NASシステム900の消費電力やデータアクセス時間が削減されることが理解されよう。

【0096】

ここで当業者には、上記の説明から本発明の広範な教示を様々な形で実施できることが理解されよう。従って本発明をその特定例に関して説明したが、当業者には図面、明細書、特許請求項を学ぶことで当業者には他の変形も明らかになることから、本発明の真の範囲をそれに限定すべきではない。

【図面の簡単な説明】

【0097】

【図1A】従来の例示的なコンピュータアーキテクチャを示す。

【図1B】従来の例示的なコンピュータアーキテクチャを示す。

【図2A】高電力モード中に作動する一次プロセッサ、一次グラフィックプロセッサ、一次揮発性メモリを備え、更に一次プロセッサと通信し、低電力モード中に作動し、低電力モード中に一次揮発性メモリを使用する二次プロセッサと二次グラフィックプロセッサを備えた本発明の第1の例示的なコンピュータアーキテクチャを示す。

【図2B】図2Aと類似し、二次プロセッサないし二次グラフィックプロセッサと接続された二次揮発性メモリを含む本発明の第2の例示的なコンピュータアーキテクチャを示す。

【図2C】図2Aと類似し、二次プロセッサないし二次グラフィックプロセッサと結合した組込み形揮発性メモリを含む本発明の第3の例示的なコンピュータアーキテクチャを示す。

【図3A】高電力モード中に作動する一次プロセッサ、一次グラフィックプロセッサ、一次揮発性メモリを備え、更に処理チップセットと通信し、低電力モード中に作動し、低電

10

20

30

40

50

力モード中に一次揮発性メモリを使用する二次プロセッサと二次グラフィックプロセッサを備えたコンピュータの本発明の第4の例示的なコンピュータアーキテクチャを示す。

【図3B】図3Aと類似し、二次プロセッサないし二次グラフィックプロセッサと接続された二次揮発性メモリを含む本発明の第5のコンピュータアーキテクチャを示す。

【図3C】図3Aと類似し、二次プロセッサないし二次グラフィックプロセッサと結合した組込み形揮発性メモリを含む本発明の第6の例示的なコンピュータアーキテクチャを示す。

【図4A】処理チップセットと通信し、低電力モード中に作動し、低電力モード中に一次揮発性メモリを使用する二次プロセッサと二次グラフィックプロセッサを備えたコンピュータの本発明の第7の例示的なコンピュータアーキテクチャを示す。

【図4B】図4Aと類似し、二次プロセッサないし二次グラフィックプロセッサと接続された二次揮発性メモリを含む本発明の第8のコンピュータアーキテクチャを示す。

【図4C】図4Aと類似し、二次プロセッサないし二次グラフィックプロセッサと結合した組込み形揮発性メモリを含む本発明の第9の例示的なコンピュータアーキテクチャを示す。

【図5】図2A - 図4Cのコンピュータアーキテクチャに対する本発明のキャッシュ階層を示す。

【図6】最小使用ブロック(LUB)モジュールを含み、低電力ディスクドライブ(LPDD)と高電力ディスクドライブ(HPDD)間のデータの記憶と転送を管理するドライブ制御モジュールの機能ブロック図である。

【図7A】図6のドライブ制御モジュールが行なうステップを例示したフローチャートである。

【図7B】図6のドライブ制御モジュールが行なう別のステップを例示したフローチャートである。

【図7C】図6のドライブ制御モジュールが行なう別のステップを例示したフローチャートである。

【図7D】図6のドライブ制御モジュールが行なう別のステップを例示したフローチャートである。

【図8A】適応記憶制御モジュールを含み、LPDDとHPDD間のデータの記憶と転送を制御するキャッシュ制御モジュールを例示する。

【図8B】適応記憶制御モジュールを含み、LPDDとHPDD間のデータの記憶と転送を制御するオペレーティングシステムを例示する。

【図8C】適応記憶制御モジュールを含み、LPDDとHPDD間のデータの記憶と転送を制御するホスト制御モジュールを例示する。

【図9】図8A - 図8Cの適応記憶制御モジュールが行なうステップを例示する。

【図10】低電力モード中にプログラムないしファイルが使用される尤度を判定する1つの方法を示した例示的な表である。

【図11A】ディスクドライブ電力削減モジュールを含むキャッシュ制御モジュールを例示する。

【図11B】ディスクドライブ電力削減モジュールを含むオペレーティングシステムを例示する。

【図11C】ディスクドライブ電力削減モジュールを含むホスト制御モジュールを例示する。

【図12】図11A - 図11Cのディスクドライブ電力削減モジュールが行なうステップを例示する。

【図13】高電力ディスクドライブ(HPDD)と低電力ディスクドライブ(LPDD)を含むマルチディスクドライブシステムを例示する。

【図14】図13のマルチディスクドライブシステムの他の実施例を示す。

【図15】図13のマルチディスクドライブシステムの他の実施例を示す。

【図16】図13のマルチディスクドライブシステムの他の実施例を示す。

10

20

30

40

50

【図17】図13のマルチディスクドライブシステムの他の実施例を示す。

【図18】コンピュータの仮想メモリを増大するため、フラッシュメモリあるいは低電力ディスクドライブ(LPDD)などの低電力非揮発性メモリの使用を例示する。

【図19】図18の仮想メモリを割当てて使用するためオペレーティングシステムが行なうステップを例示する。

【図20】図18の仮想メモリを割当てて使用するためオペレーティングシステムが行なうステップを例示する。

【図21】従来の独立ディスク冗長性アレイ(RAID)システムの機能ブロック図である。

【図22A】XのHPDDを含むディスクアレイとYのLPDDを含むディスクアレイを備えた本発明の例示的なRAIDシステムの機能ブロック図である。

10

【図22B】XとYがZに等しい図22AのRAIDシステムの機能ブロック図である。

【図23A】XのHPDDを含むディスクアレイと通信するYのLPDDを含むディスクアレイを備えた本発明の別の例示的なRAIDシステムの機能ブロック図である。

【図23B】XとYがZに等しい図23AのRAIDシステムの機能ブロック図である。

【図24A】YのLPDDを含むディスクアレイと通信するXのHPDDを含むディスクアレイを備えた本発明の更に別の例示的なRAIDシステムの機能ブロック図である。

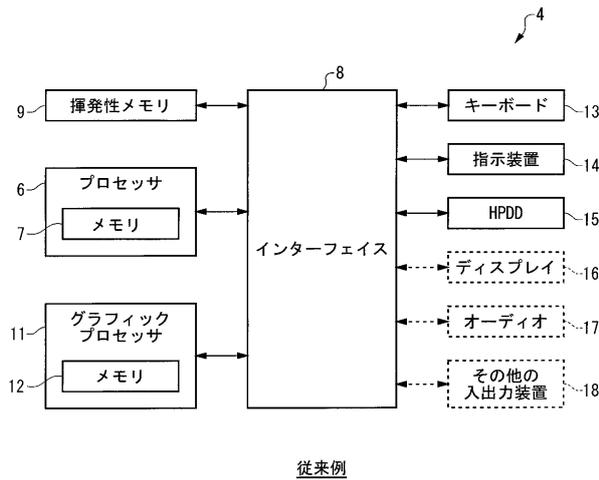
【図24B】XとYがZに等しい図24AのRAIDシステムの機能ブロック図である。

【図25】従来のネットワーク付加可能記憶(NAS)システムの機能ブロック図である。

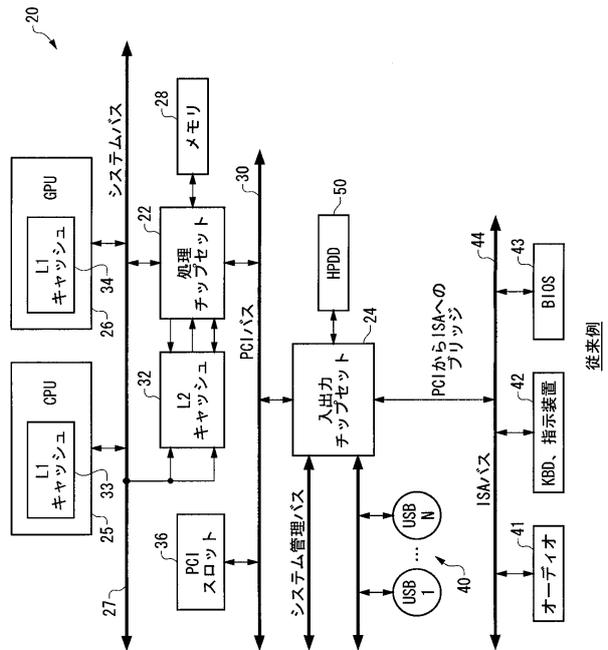
20

【図26】図22Aあるいは22B、23A、23B、24A、24BのRAIDシステムおよび図6-17のマルチドライブシステムを含む本発明のネットワーク付加可能記憶(NAS)システムの機能ブロック図である。

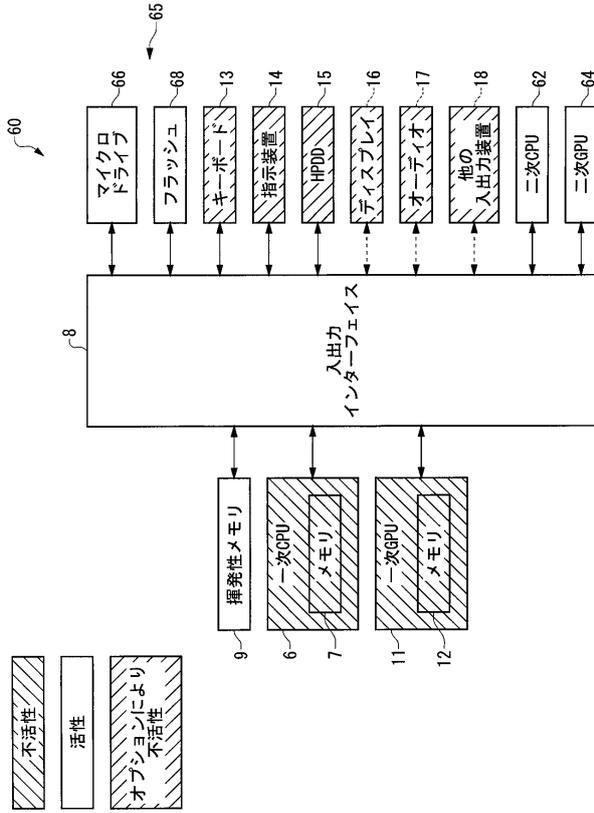
【図1A】



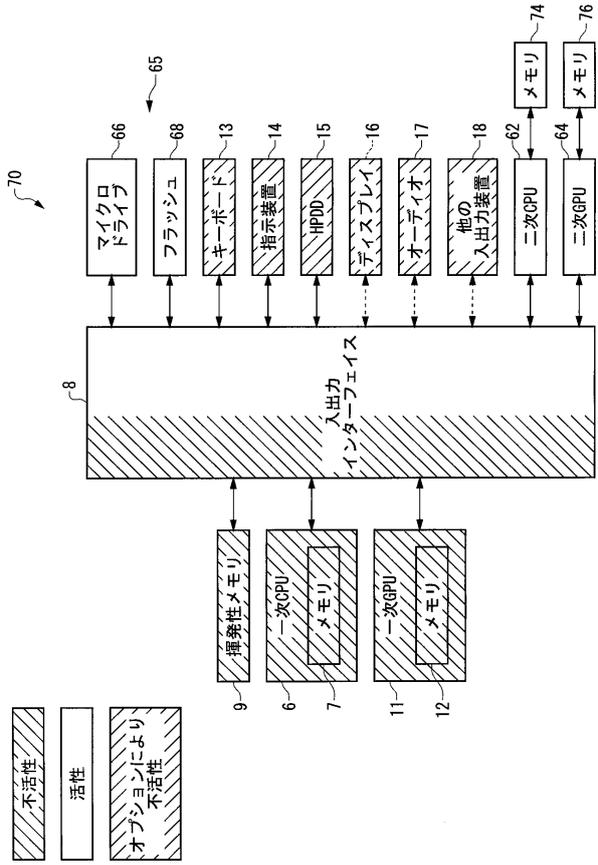
【図1B】



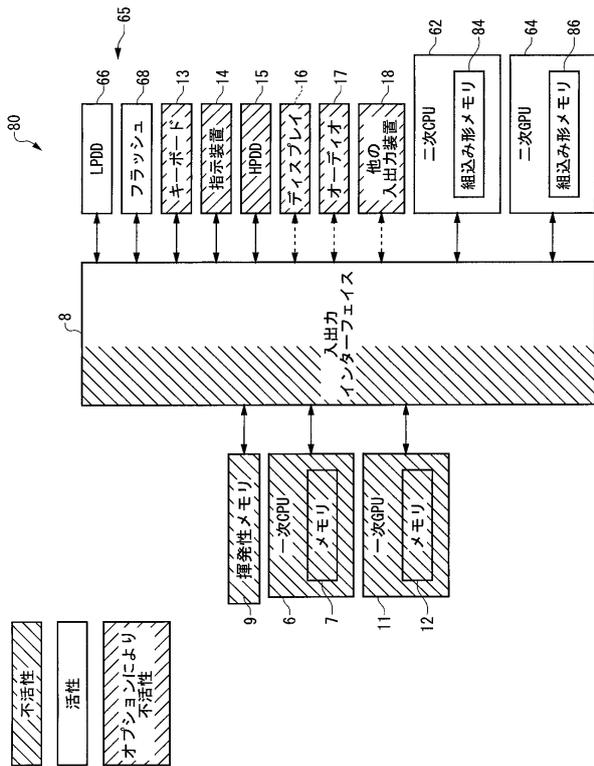
【図2A】



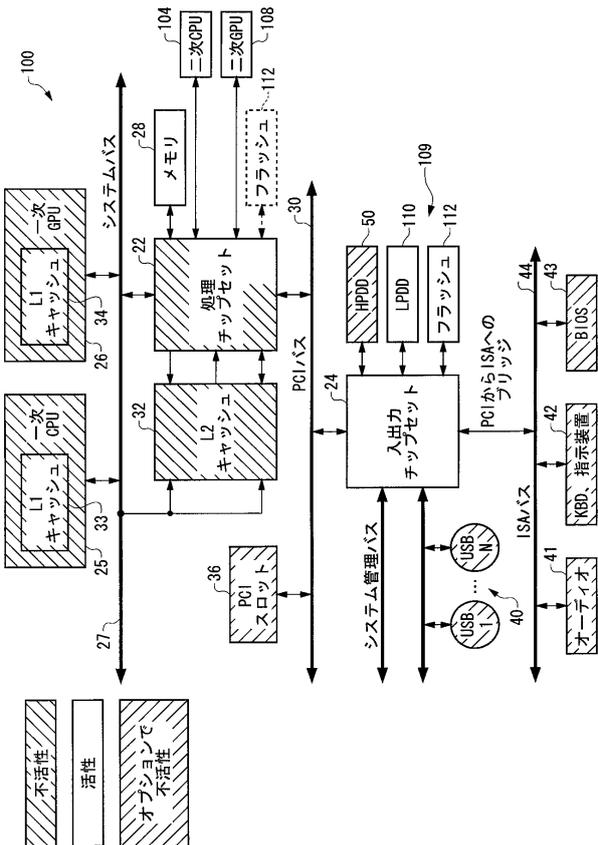
【図2B】



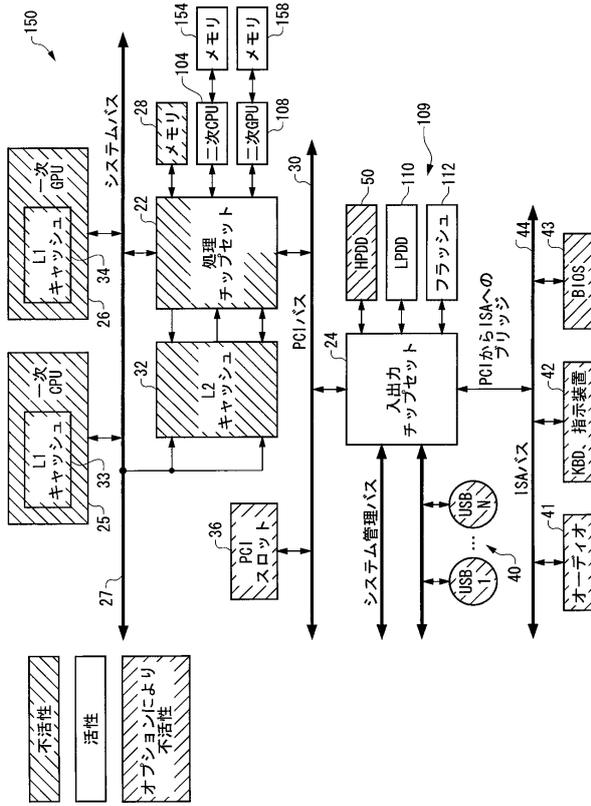
【図2C】



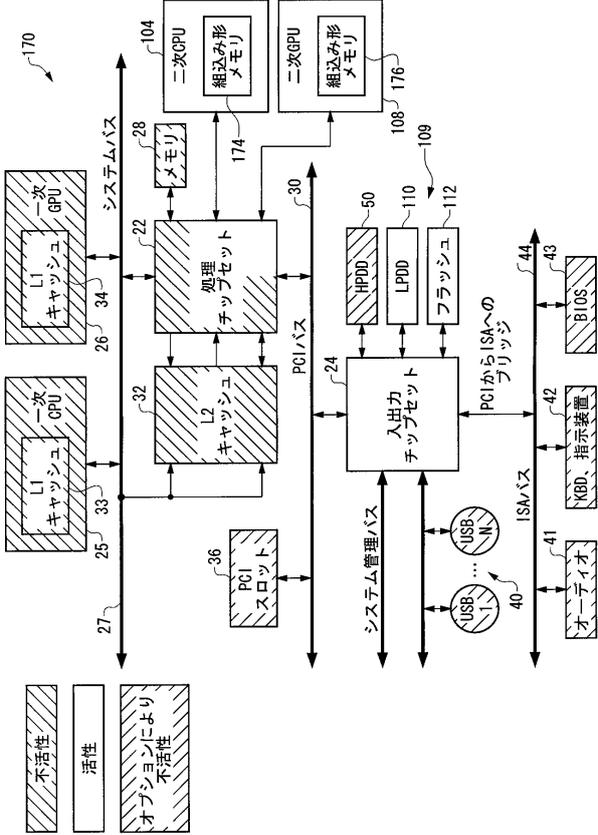
【図3A】



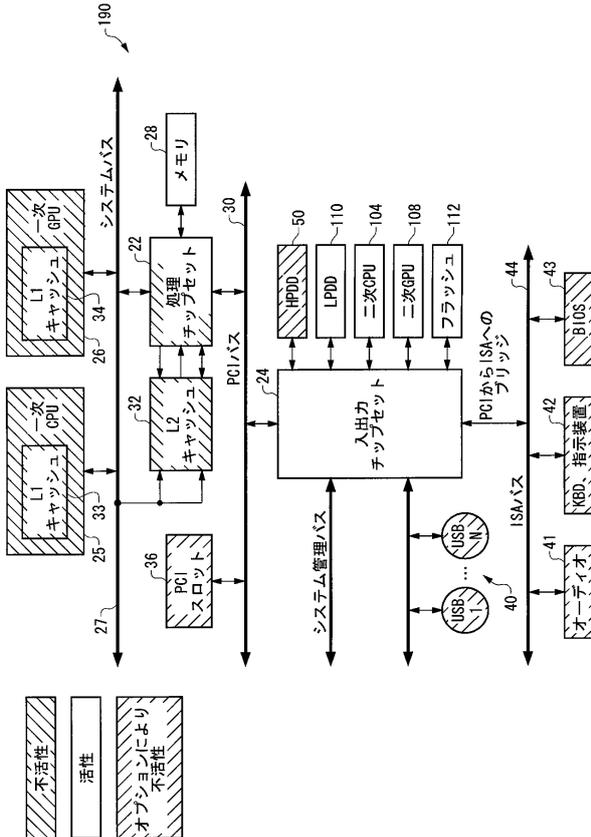
【図3B】



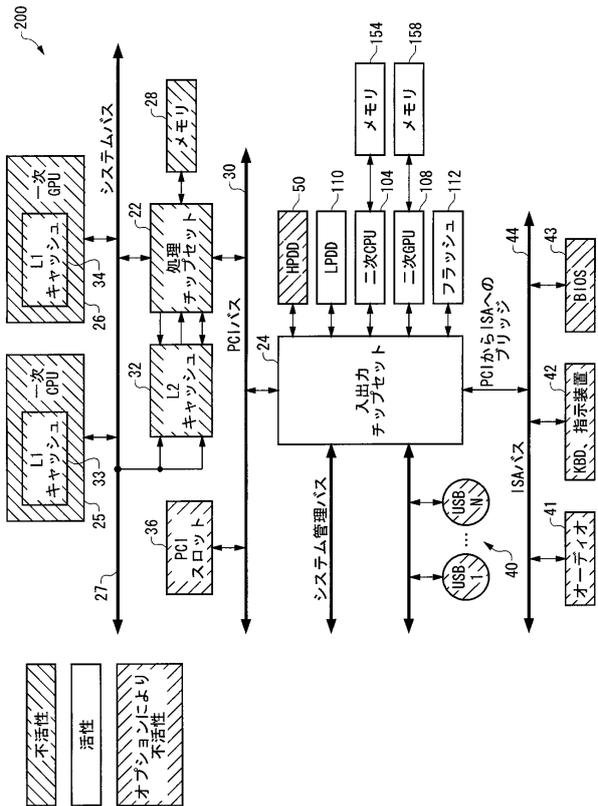
【図3C】



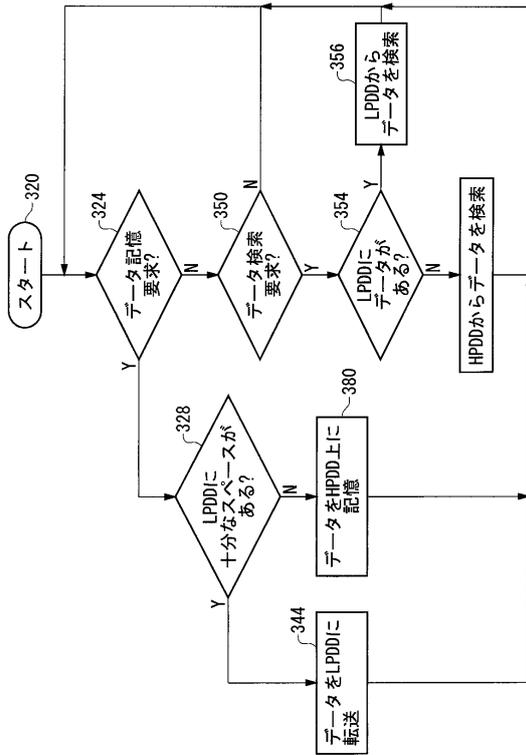
【図4A】



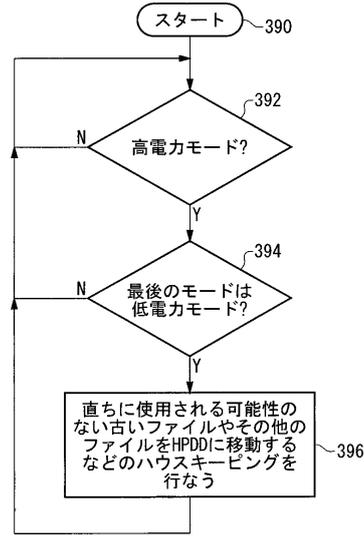
【図4B】



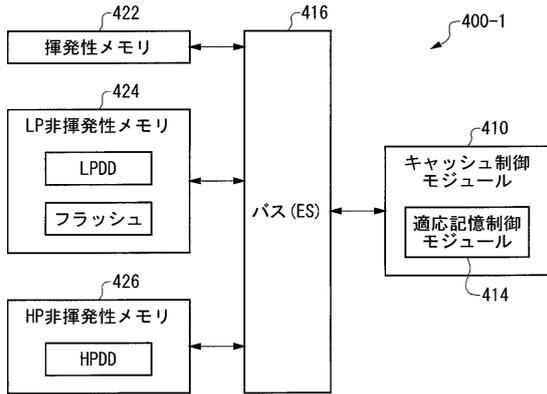
【図7C】



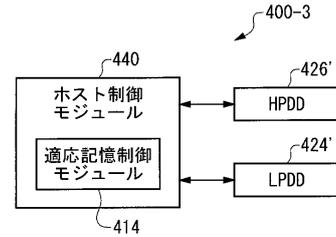
【図7D】



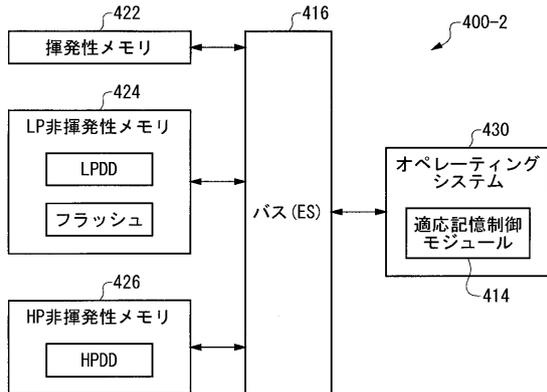
【図8A】



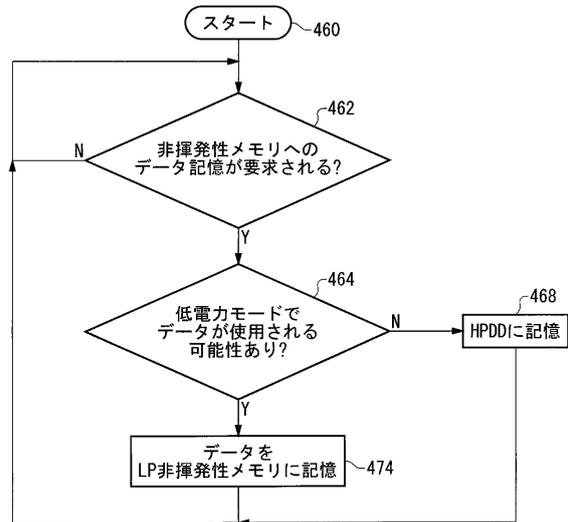
【図8C】



【図8B】



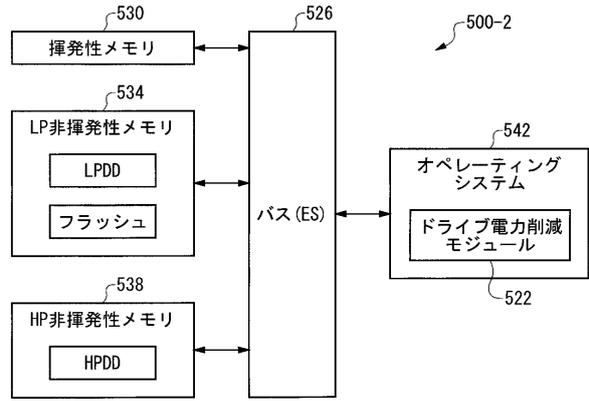
【図9】



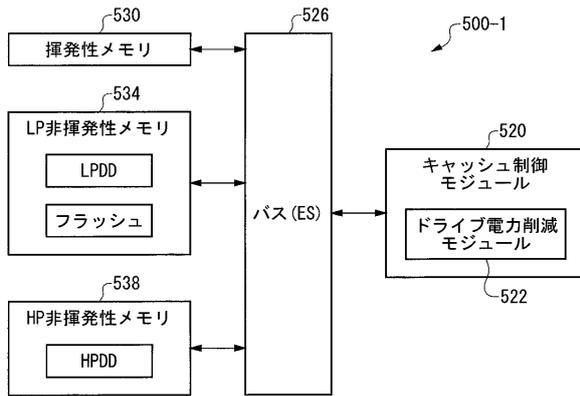
【図10】

データブロック記述子	LPカウンタ	HPカウンタ	サイズ	最終使用	マニュアル
プログラムA	10	1	10M	D1	L
プログラムB	0	67	2G	D2	A
ファイルA	0	45	80M	D3	H
ファイルB	48	45	5G	D4	A

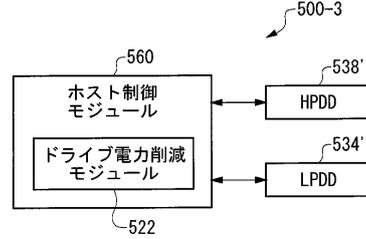
【図11B】



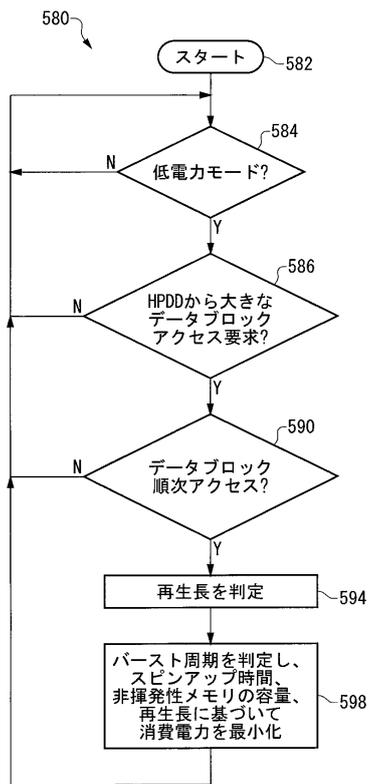
【図11A】



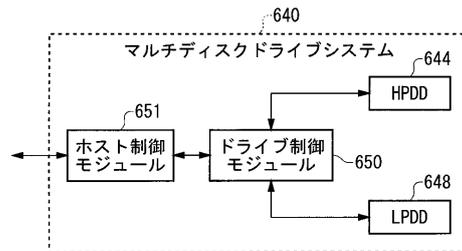
【図11C】



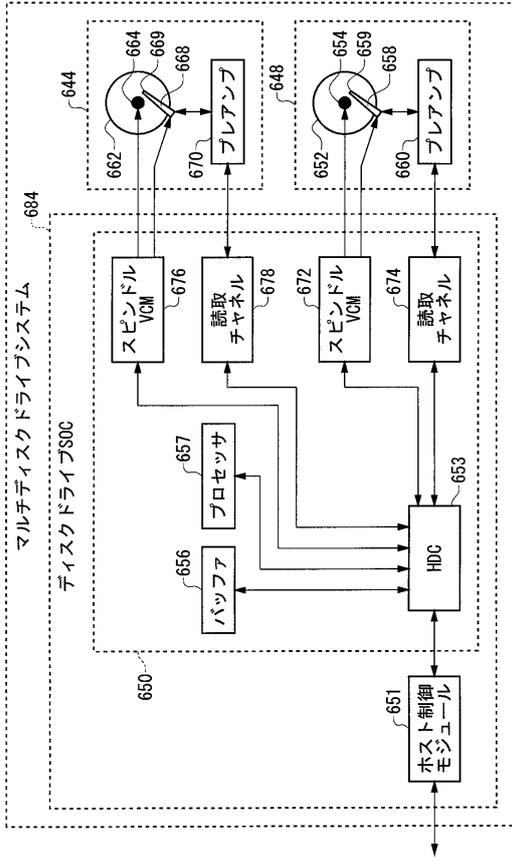
【図12】



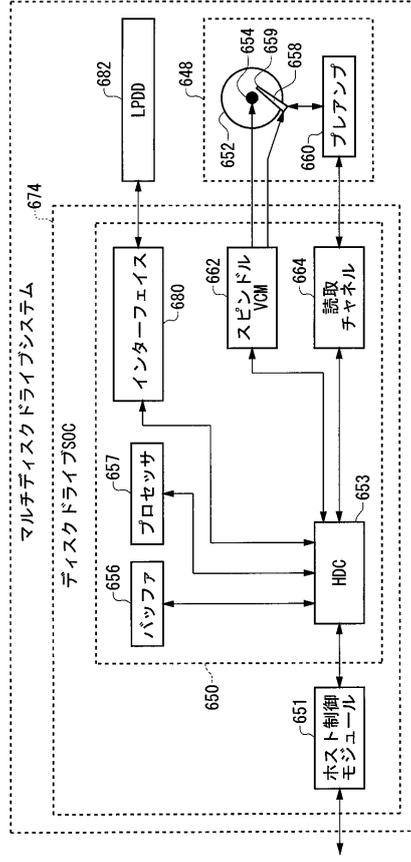
【図13】



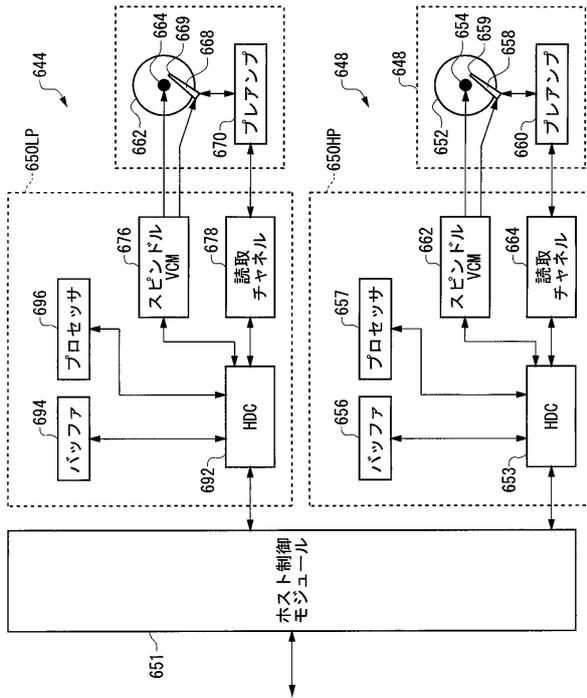
【図14】



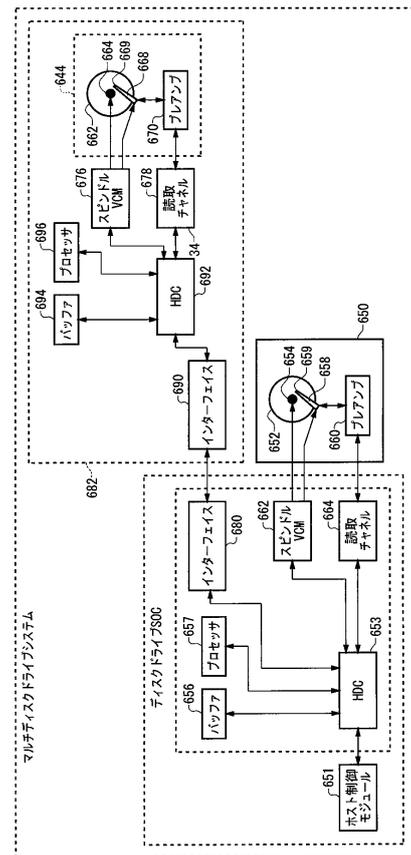
【図15】



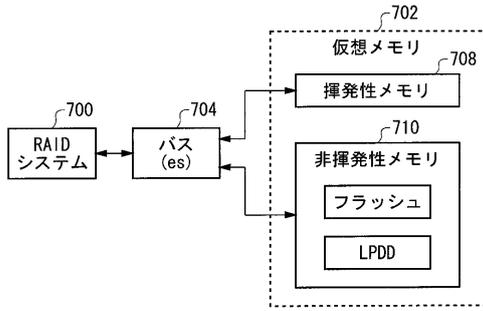
【図16】



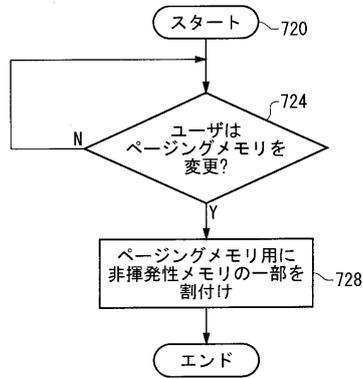
【図17】



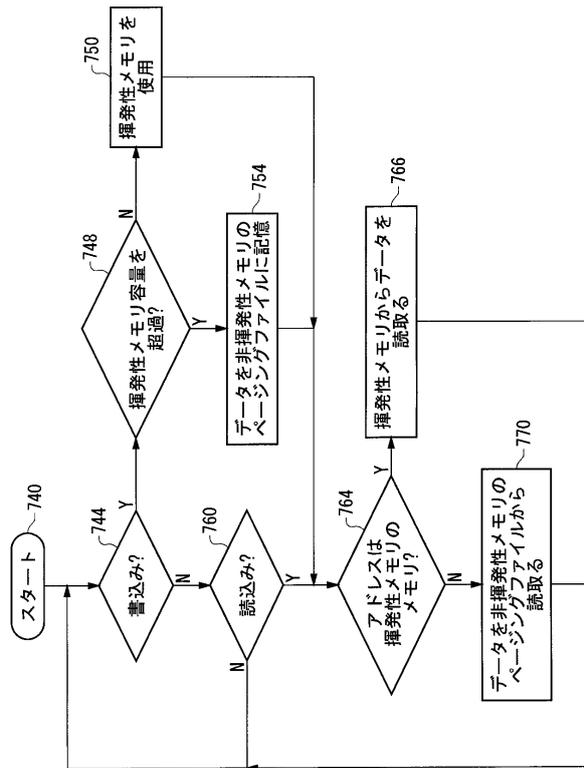
【図18】



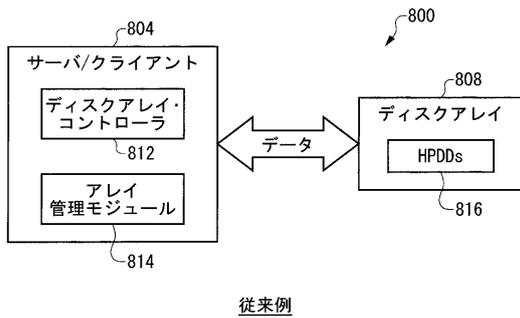
【図19】



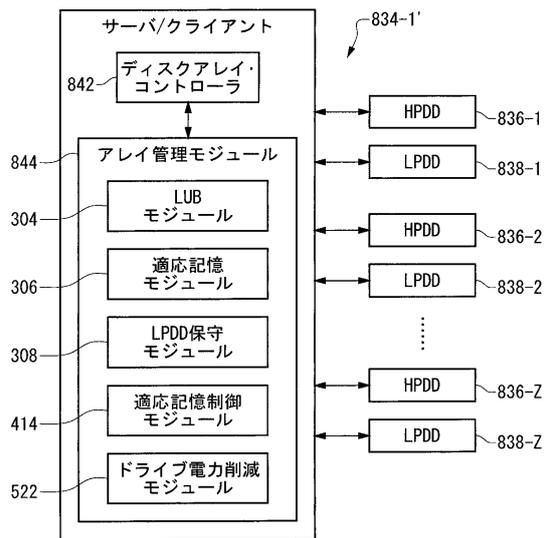
【図20】



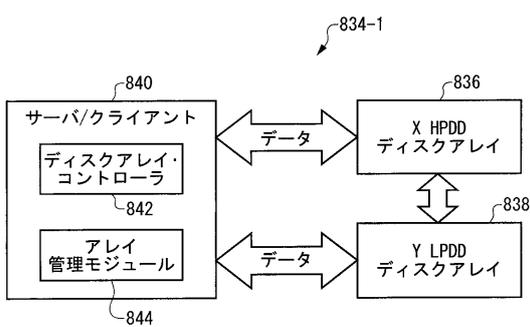
【図21】



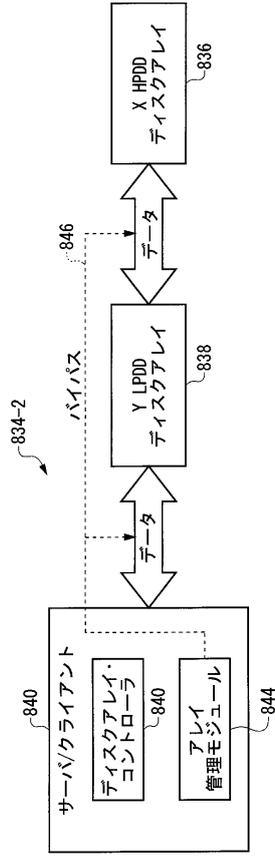
【図22B】



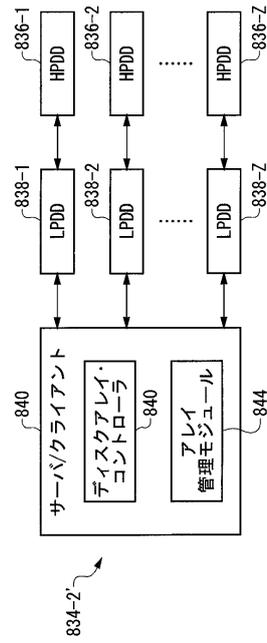
【図22A】



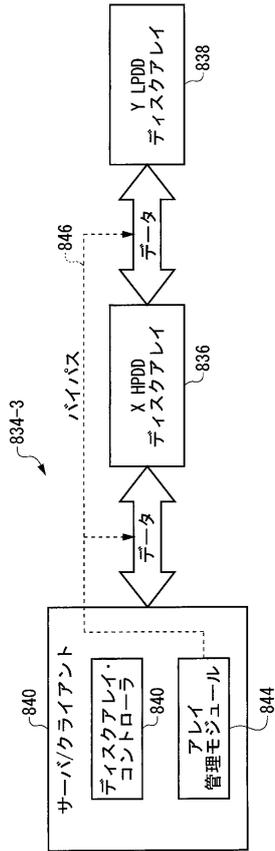
【図 23 A】



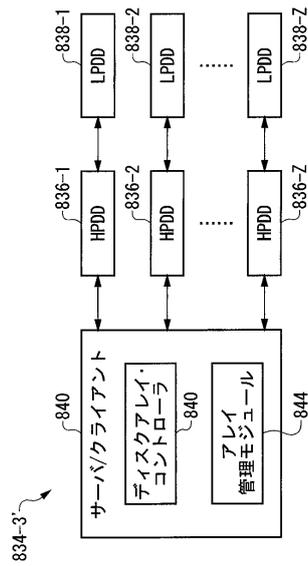
【図 23 B】



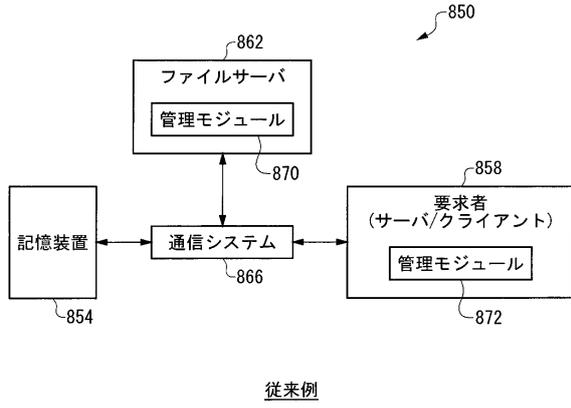
【図 24 A】



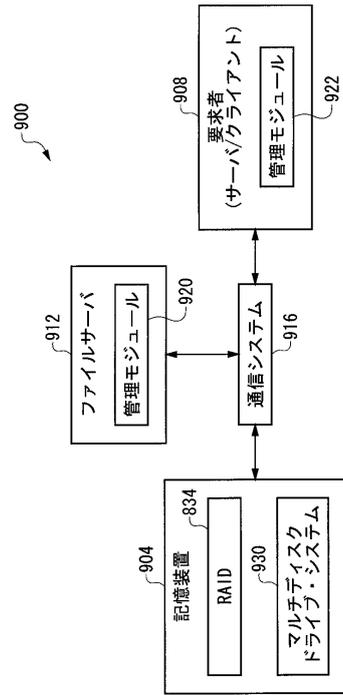
【図 24 B】



【図 25】



【図 26】



フロントページの続き

- (56)参考文献 国際公開第2004/023279(WO, A1)
米国特許第06628469(US, B1)
特開平09-270985(JP, A)
特開2004-087052(JP, A)
特開2000-173152(JP, A)
特開2002-189539(JP, A)
特表2006-510979(JP, A)
特表2005-538444(JP, A)
特表2005-537609(JP, A)
特開2004-192739(JP, A)

(58)調査した分野(Int.Cl., DB名)

G06F 3/06