

# 發明專利說明書

中文說明書替換本(102年3月)

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：094141985

※ 申請日期：94.11.30

※IPC 分類：G09G3/00 (2006.01)

## 一、發明名稱：(中文/英文)

開驅動電路及具有開驅動電路之顯示裝置

GATE DRIVER CIRCUIT AND DISPLAY DEVICE HAVING THE  
SAME

## 二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

韓商三星顯示器有限公司

SAMSUNG DISPLAY CO., LTD.

代表人：(中文/英文)

申相澈

SHIN, SANG CHEOL

住居所或營業所地址：(中文/英文)

韓國京畿道龍仁市器興區三星二路95號

95, SAMSUNG 2 RO, GIHEUNG-GU, YONGIN-CITY, GYEONGGI-DO,

446-711 KOREA

國籍：(中文/英文)

韓國 REPUBLIC OF KOREA

三、發明人：(共 6 人)

姓 名：(中文/英文)

1. 朴商鎮  
PAK, SANG-JIN
2. 李明雨  
LEE, MYUNG-WOO
3. 金炯傑  
KIM, HYUNG-GUEL
4. 魚基漢  
UH, KEE-HAN
5. 鄭東珍  
JEONG, DONG-JIN
6. 李柱亨  
LEE, JOO-HYUNG

國 籍：(中文/英文)

1. 韓國    REPUBLIC OF KOREA
2. 韓國    REPUBLIC OF KOREA
3. 韓國    REPUBLIC OF KOREA
4. 韓國    REPUBLIC OF KOREA
5. 韓國    REPUBLIC OF KOREA
6. 韓國    REPUBLIC OF KOREA

#### 四、聲明事項：

主張專利法第二十二條第二項  第一款或  第二款規定之事實，其事實發生日期為： 年 月 日。

申請前已向下列國家(地區)申請專利：

【格式請依：受理國家(地區)、申請日、申請案號 順序註記】

有主張專利法第二十七條第一項國際優先權：

1. 韓國；2005年03月30日；10-2005-0026461

2.

無主張專利法第二十七條第一項國際優先權：

1.

2.

主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

主張專利法第三十條生物材料：

須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

## 五、中文發明摘要：

本發明係關於一種閘驅動電路，其包括一第一移位暫存器及一第二移位暫存器。該第一移位暫存器將第 $(4n-3)$ 及第 $(4n-2)$ 閘訊號分別施加至第 $(4n-3)$ 及第 $(4n-2)$ 閘極線，以響應一第一時脈訊號、相對於該第一時脈訊號具有 $1H$ 時間之一延遲相的一第二時脈訊號以及具有與該第一時脈訊號相反之相位的一第三時脈訊號。該第二移位暫存器將第 $(4n-1)$ 及第 $4n$ 閘訊號分別施加至第 $(4n-1)$ 及第 $4n$ 閘極線，以響應該第一時脈訊號、該第三時脈訊號以及具有與該第二時脈訊號相反之相位的一第四時脈訊號。因此，可減少在該等第一及第二移位暫存器中電晶體之數量。

## 六、英文發明摘要：

## 七、指定代表圖：

(一)本案指定代表圖為：第(1)圖。

(二)本代表圖之元件符號簡單說明：

100	開驅動電路
110	第一移位暫存器
120	第二移位暫存器
CL1	第一時脈佈線
CL2	第二時脈佈線
CL3	第三時脈佈線
CL4	第四時脈佈線
GL4	N-1閘極線
GL4	N-2閘極線
GL4	N-3閘極線
GL4	N閘極線
L-CKB	第二時脈訊號
L-CK	第一時脈訊號
R-CKB	第四時脈訊號
R-CK	第三時脈訊號
S-LE	偶數號左平臺
S-LO	奇數號左平臺
S-RE	偶數號右平臺
S-RO	奇數號右平臺
STV	掃描起始訊號
VOFF	斷開電壓

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

(無)

## 九、發明說明：

### 【發明所屬之技術領域】

本發明係關於一種閘驅動電路及一種具有該閘驅動電路之顯示裝置。更明確而言，本發明係關於一種能減少其一尺寸之閘驅動電路及一種具有該閘驅動電路之顯示裝置。

### 【先前技術】

液晶顯示器("LCD")裝置包括一LCD面板。該LCD面板包括一陣列基板、面向該陣列基板之一彩色濾光片基板及一安置於該陣列基板與該彩色濾光片基板間之一液晶層。該陣列基板包括複數個傳遞閘訊號之閘極線，以及複數個傳遞資料訊號之資料線。該等資料線交越該等閘極線，且與該等閘極線絕緣。

該LCD裝置進一步包括將該等閘訊號輸出至該等閘極線之一閘驅動電路及將該等資料訊號輸出至該等資料線之一資料驅動電路。一般而言，該閘驅動電路或該資料驅動電路在一安裝於該LCD面板上之一晶片內形成。

該閘驅動電路直接形成於該LCD面板上，以便減少該LCD裝置之尺寸且增強生產力。

形成於該LCD面板上之該閘驅動電路包括具有複數個相互電連接的平臺之一移位暫存器。當該LCD裝置之尺寸增加時，該閘驅動電路必須包括兩個分別安置於該等閘極線之第一及第二末端部分之移位暫存器。該等兩個移位暫存器交替輸出閘訊號至該等閘極線。

該等平臺包括複數個電晶體及複數個電容器。該等電晶

體之數量判定該閘驅動電路之尺寸。此外，當該LCD面板包括兩個移位暫存器時，形成一平臺之電晶體的數量進一步增加，因此具有兩個在每一平臺具有數量增加的電晶體之移位暫存器之一閘驅動電路在尺寸上增加了。因此，亦必須增加一LCD裝置之尺寸以容納該閘驅動電路。

### 【發明內容】

需要減少該閘驅動電路及從而該顯示裝置之尺寸的能力。因此，本發明提供一能減少其尺寸之閘驅動電路。

本發明亦提供具有該上述閘驅動電路之一顯示裝置。

在依據本發明之一閘驅動電路之例示性實施例中，該閘驅動電路包括一第一移位暫存器及一第二移位暫存器。該第一移位暫存器包括複數個第一平臺。該第一移位暫存器將一第 $(4n-3)$ 閘訊號及一第 $(4n-2)$ 閘訊號分別施加至一第 $(4n-3)$ 閘極線及一第 $(4n-2)$ 閘極線，以響應一第一時脈訊號、一第二時脈訊號及一第三時脈訊號。該第二時脈訊號相對於該第一時脈訊號具有 $1H$ 時間之一延遲相，該第三時脈訊號具有一與該第一時脈訊號相反之相位。該第二移位暫存器包括複數個第二平臺。該第二移位暫存器將一第 $(4n-1)$ 閘訊號及一第 $4n$ 閘訊號分別施加至一第 $(4n-1)$ 閘極線及一第 $4n$ 閘極線，以響應該第一時脈訊號、該第三時脈訊號及一第四時脈訊號。該第四時脈訊號具有一與該第二時脈訊號相反之相位。此處， $n$ 表示一自然數。

在依據本發明之一顯示裝置之例示性實施例中，該顯示裝置包括一顯示面板、一閘驅動電路及一資料驅動電路。

該顯示面板響應於一閘訊號及一資料訊號顯示一影像。該閘驅動電路輸出該閘訊號，且該資料驅動電路輸出該資料訊號。該閘驅動電路包括一第一移位暫存器及一第二移位暫存器。該第一移位暫存器包括複數個第一平臺。該第一移位暫存器將一第 $(4n-3)$ 閘訊號及一第 $(4n-2)$ 閘訊號分別施加至一第 $(4n-3)$ 閘極線及一第 $(4n-2)$ 閘極線，以響應一第一時脈訊號、一第二時脈訊號及一第三時脈訊號。該第二時脈訊號相對於該第一時脈訊號具有 $1H$ 時間之一延遲相，且該第三時脈訊號具有一與該第一時脈訊號相反之相位。該第二移位暫存器包括複數個第二平臺。該第二移位暫存器將一第 $(4n-1)$ 閘訊號及一第 $4n$ 閘訊號分別施加至一第 $(4n-1)$ 閘極線及一第 $4n$ 閘極線，以響應該第一時脈訊號、該第三時脈訊號及一第四時脈訊號。該第四時脈訊號具有一與該第二時脈訊號相反之相位。

在依據本發明之一顯示裝置之其他例示性實施例中，該顯示裝置包括一包括複數個閘極線之一顯示面板，每一閘極線具有一第一終端及一第二終端。一第一移位暫存器對應該等閘極線之第一終端上的一第一時脈訊號及一第二時脈訊號，且對應該等閘極線之第二終端上的一第三時脈訊號。一第二移位暫存器對應該等閘極線之第二終端上的該第三時脈訊號及一第四時脈訊號，且對應該等閘極線之第一終端上的該第一時脈訊號。

因此，可減少該等第一及第二移位暫存器內之電晶體的數量以縮小該等第一及第二移位暫存器之尺寸。此外，可



有效使用該陣列基板之一空間，使得可縮小該陣列基板之一區域，該閘驅動電路形成於該區域。

### 【實施方式】

應理解，下文描述之本發明之該等例示性實施例可以很多不離開本文所揭示之該等發明原則之不同方式進行各種改良，且因此，本發明之範疇不侷限於此等特定實施例。更確切而言，提供此等實施例，使得此揭示內容能詳盡及完整，且藉由實例充分地將本發明之概念傳達給熟習該項技術者，且此等實施例不具限制性。

在下文中，將參照該等隨附圖式對本發明之該等實施例進行詳細描述。全文中，相同的數字指相同的元件。

圖1為一方塊圖，其說明依據本發明之一閘驅動電路之一例示性實施例，且圖2為一時序圖，其說明圖1中該閘驅動電路之輸入及輸出。

參看圖1，一閘驅動電路100包括一第一移位暫存器110及一第二移位暫存器120。

該第一移位暫存器110包括將一第 $(4n-3)$ 閘訊號及一第 $(4n-2)$ 閘訊號分別施加至一第 $(4n-3)$ 閘極線 $GL_{4n-3}$ 及一第 $(4n-2)$ 閘極線 $GL_{4n-2}$ 之複數個左或第一平臺S-LO及S-LE，且該第二移位暫存器120包括將一第 $(4n-1)$ 閘訊號及一第 $4n$ 閘訊號分別施加至一第 $(4n-1)$ 閘極線 $GL_{4n-1}$ 及一第 $4n$ 閘極線 $GL_{4n}$ 之複數個右或第二平臺S-RO及S-RE，其中‘n’表示一自然數。換言之，‘n’為一正整數。

該第一移位暫存器110接收一掃描起始訊號STV、一第

一時脈訊號L-CK、一第二時脈訊號L-CKB、一第三時脈訊號R-CK及一斷開電壓V斷開。該第二移位暫存器120接收該第一時脈訊號L-CK、該第三時脈訊號R-CK、一第四時脈訊號R-CKB及該斷開電壓V斷開。傳遞該等第一及第二時脈訊號L-CK及L-CKB之一第一時脈佈線CL1及一第二時脈佈線CL2鄰近於該第一移位暫存器110。傳遞該等第三及第四時脈訊號R-CK及R-CKB之一第三時脈佈線CL-3及一第四時脈佈線CL-4鄰近於該第二移位暫存器120。如所示，通常該等時脈佈線可與該等閘極線垂直佈置。

接收該第三時脈訊號R-CK之該第一移位暫存器110之右電晶體鄰近於該第三時脈佈線CL-3。接收該第一時脈訊號L-CK之該第二移位暫存器120之左電晶體鄰近於該第一時脈佈線CL-1。該左及右電晶體之位置將在下文參照圖3及4作進一步說明。

參看圖2，該等第一、第二、第三、及第四時脈訊號L-CK、L-CKB、R-CK及R-CKB之每一者皆具有一4H時間週期。應理解，"H"表示該水平週期之一單位，例如，"1H"等於一閘時脈訊號之一週期。詳言之，該等第一、第二、第三、及第四時脈訊號L-CK、L-CKB、R-CK及R-CKB之每一者皆具有達2H時間之一高狀態或位準及達2H時間之一低狀態或位準。該第二時脈訊號L-CKB之一相位相對於該第一時脈訊號L-CK之一相位延遲了1H時間。該第三時脈訊號R-CK具有一與該第一時脈訊號L-CK相反之相位，且相對於該第二時脈訊號L-CKB之一相位延遲了1H時間，

該第四時脈訊號 R-CKB 具有一與該第二時脈訊號 L-CKB 相反之相位，且相對於該第三時脈訊號 R-CK 之一相位延遲了 1H 時間。

該等奇數號左平臺 S-LO 響應於該第一時脈訊號 L-CK，在 1H 時間內將該第  $(4n-3)$  閘訊號施加至該第  $(4n-3)$  閘極線 GL $4n-3$ 。1H 時間過後，該奇數號左平臺 S-LO 響應於該第二時脈訊號 L-CKB，將該第  $(4n-3)$  閘極線 GL $4n-3$  之一電壓降低為該斷開電壓 V 斷開。然後，該等奇數號左平臺響應於該等第一及第三時脈訊號 L-CK 及 R-CK 將該第  $(4n-3)$  閘訊號保持為該斷開電壓 V 斷開。

該等偶數號左平臺 S-LE 響應於該第二時脈訊號 L-CKB，在 1H 時間內將該等第  $(4n-2)$  閘訊號施加至該第  $(4n-2)$  閘極線 GL $4n-2$ 。1H 時間過後，該偶數號左平臺 S-LE 響應於該第三時脈訊號 R-CK，將該第  $(4n-2)$  閘極線 GL $4n-2$  之一電壓降低為該斷開電壓 V 斷開。然後，該等偶數號左平臺響應於該等第一及第三時脈訊號 L-CK 及 R-CK 將該第  $(4n-2)$  閘訊號保持為該斷開電壓 V 斷開。

該等奇數號右平臺 S-RO 響應於該第三時脈訊號 R-CK，在 1H 時間內將該等第  $(4n-1)$  閘訊號施加至該等第  $(4n-1)$  閘極線 GL $4n-1$ 。1H 時間過後，該奇數號右平臺 S-RO 響應於該第四時脈訊號 R-CKB，將該等第  $(4n-1)$  閘極線 GL $4n-1$  之一電壓降低為該斷開電壓 V 斷開。然後，該等奇數號右平臺響應於該等第一及第三時脈訊號 L-CK 及 R-CK 將該等第  $(4n-1)$  閘訊號保持為該斷開電壓 V 斷開。

該等偶數號右平臺S-RE響應於該第四時脈訊號R-CKB，在1H時間內將該等第4n閘訊號施加至該等第4n閘極線GL4n。1H時間過後，該偶數號右平臺S-RE響應於該第四時脈訊號R-CKB，將該等第4n閘極線GL4n之一電壓降低為該斷開電壓V斷開。然後，該等偶數號右平臺響應於該第一及第三時脈訊號L-CK及R-CK將該等第4n閘訊號保持為該斷開電壓V斷開。

圖3為一電路圖，其說明圖1中一奇數號左平臺及一偶數號左平臺。

參看圖3，應理解，雖然僅說明了一奇數號左平臺S-LO及一偶數號左平臺S-LE，該第一移位暫存器110可包括複數個奇數及偶數號左平臺S-LO及S-LE。該等奇數號左平臺S-LO包括一第一左電晶體LT1，一第二左電晶體LT2，第四、第五、第六、第七及第八電晶體LT4、LT5、LT6、LT7及LT8，一第三右電晶體RT3，一第一左電容器LC1以及一第二左電容器LC2。該等偶數號左平臺S-LE包括一第九左電晶體LT9，第十一、第十二、第十三、第十四及第十五電晶體LT11、LT12、LT13、LT14及LT15，一第十右電晶體RT10，一第三左電容器LC3以及一第四左電容器LC4。

該第一、第二、第四、第五、第六、第七及第八左電晶體LT1、LT2及LT4至LT8，以及該等第一及第二左電容器LC1及LC2鄰近於該等第(4n-3)閘極線GL4n-3之一第一終端。該第三右電晶體RT3鄰近於該等第(4n-3)閘極線GL4n-

3之一第二終端。該第九及第十一至第十五左電晶體LT9、LT11至LT15，以及該第三及第四左電容器LC3及LC4鄰近於該等第(4n-2)閘極線GL4n-2之一第一終端。該第十右電晶體RT10鄰近於該等第(4n-2)閘極線GL4n-2之一第二終端。

該第一左電晶體LT1包括電連接至一第一節點N1之一閘電極、接收該第一時脈訊號L-CK之一汲電極及電連接至該等第(4n-3)閘極線GL4n-3之一源電極。該第二左電晶體LT2包括接收該第二時脈訊號L-CKB之一閘電極、電連接至該等第(4n-3)閘極線之一汲電極及接收該斷開電壓V斷開之一源電極。

該第一左電晶體LT1響應於該第一節點N1之一電壓，將該高位準之第一時脈訊號L-CK施加至該第(4n-3)閘極線GL4n-3。該第二左電晶體LT2響應於該高位準之第二時脈訊號L-CKB，將該第(4n-3)閘極線GL4n-3之一電壓降低為該斷開電壓V斷開，使得該第(4n-3)閘極線GL4n-3放電，成為該斷開電壓V斷開。

該第三右電晶體RT3包括接收該第三時脈訊號R-CK之一閘電極、電連接至該第(4n-3)閘極線GL4n-3之一汲電極及接收該斷開電壓V斷開之一源電極。該第四左電晶體LT4包括電連接至該第二節點N2之一閘電極、電連接至該第(4n-3)閘極線GL4n-3之一汲電極及接收該斷開電壓V斷開之一源電極。可將該第四左電晶體LT4之汲電極電連接至或該第二左電晶體LT2之相同汲電極，且可將該第四左電

晶體LT4之源電極電連接至或該第二左電晶體LT2之相同汲電極。將該第一時脈訊號L-CK施加至該第二節點N2。

當該第三時脈訊號R-CK自一低位準變化至一高位準時，該第三右電晶體RT3響應於該高位準之第三時脈訊號R-CK，將該斷開電壓V斷開施加至該等第(4n-3)閘極線GL4n-3。結果，該等第(4n-3)閘極線之一電壓在一2H時間週期內變為該斷開電壓V斷開。然後，當該第三時脈訊號R-CK自一高位準變化至一低位準時，該第一時脈訊號L-CK自一低位準變化至一高位準。因此，該第四左電晶體LT4響應於該高位準之第一時脈訊號L-CK，將該斷開電壓V斷開施加至該等第(4n-3)閘極線GL4n-3。

因此，即使當該第三時脈訊號R-CK變化為一低位準時，響應於該第一時脈訊號L-CK，該第(4n-3)閘訊號在2H時間內保持為該斷開電壓V斷開。換言之，該第(4n-3)閘訊號藉由具有相互反相之該等第一及第三時脈訊號L-CK及R-CK保持為該斷開電壓V斷開。

該第五左電晶體LT5包括一閘電極、一汲電極及電連接至該第一節點N1之一源電極。該第五左電晶體LT5之該等閘及汲電極相互電連接，且將該掃描起始訊號STV施加至該第五左電晶體LT5之該等閘及汲電極。該第一左電容器LC1包括電連接至該第一左電晶體LT1之閘電極之一第一端子，及電連接至該第一左電晶體LT1之源電極之一第二端子。

當將該掃描起始訊號STV經由該第五左電晶體LT5施加

102年5月21日修正頁(本)  
對線第094141985號專利申請案  
中文說明書替換頁(102年5月)

至該第一節點N1時，響應於該掃描起始訊號STV，經由該第一左電晶體LT1之閘電極，接通該第一左電晶體LT1。響應於該掃描起始訊號STV，該第五左電晶體LT5對該第一左電容器LC1充電。結果，當該第 $(4n-3)$ 閘訊號經由該第一左電晶體LT1時，將該高位準之第一時脈訊號L-CK施加至該第 $(4n-3)$ 閘極線GL $4n-3$ 。或者，若 $n>1$ ，則該第五左電晶體LT5可接收自一先前的閘極線之一閘訊號。

該第六左電晶體LT6包括接收該第 $(4n-2)$ 閘訊號之一閘電極、電連接至該第一節點N1之一汲電極及接收該斷開電壓V斷開之一源電極。該第七左電晶體LT7包括電連接至該第一節點N1之一閘電極、接收該第一時脈訊號L-CK之一汲電極及接收該斷開電壓V斷開之一源電極。該第八左電晶體LT8包括接收該第一時脈訊號L-CK之一閘電極、電連接至該第 $(4n-3)$ 閘極線GL $4n-3$ 之一汲電極及接收該斷開電壓V斷開之一源電極。可將該第八左電晶體LT8之汲電極電連接至或該第六左電晶體LT6之相同汲電極，且可將該第八左電晶體LT8之源電極電連接至或該第六左電晶體LT6之相同汲電極。

當將該第 $(4n-2)$ 閘訊號經由該第六左電晶體LT6之閘電極施加至該第六左電晶體LT6時，將該斷開電壓V斷開施加至該第一節點N1，使得經由該第一左電晶體LT1之閘電極，關斷該第一左電晶體LT1。

當將該第一節點N1之一電壓降低為該斷開電壓V斷開時，經由該第七左電晶體LT7之閘電極，關斷該第七左電

晶體 LT7，使得將該第一時脈訊號 L-CK 施加至該第二節點 N2。當該第一時脈訊號 L-CK 自一低位準變化至一高位準時，響應於該高位準之第一時脈訊號 L-CK，接通電連接至該第二節點 N2 之該等第四及第八左電晶體 LT4 及 LT8。該接通的第八左電晶體 LT8 將該第一節點 N1 之一電壓降低為該斷開電壓 V 斷開，且該接通的第四左電晶體 LT4 將該斷開電壓施加至該第  $(4n-3)$  閘極線 GL $4n-3$  上。

參看該偶數號左平臺 S-LE，該第九左電晶體 LT9 包括電連接至該第三節點 N3 之一閘電極、接收該第二時脈訊號 L-CKB 之一汲電極及電連接至該第  $(4n-2)$  閘極線 GL $4n-2$  之一源電極。該第十右電晶體 RT10 包括接收該第三時脈訊號 R-CK 之一閘電極、電連接至該第  $(4n-2)$  閘極線 GL $4n-2$  之一汲電極及接收該斷開電壓 V 斷開之一源電極。該第十一左電晶體 LT11 包括接收該第一時脈訊號 L-CK 之一閘電極、電連接至該第  $(4n-2)$  閘極線 GL $4n-2$  之一汲電極及接收該斷開電壓 V 斷開之一源電極。應注意，該偶數號左平臺 S-LE 並不需要將該第四節點 N4 連接至共享該第十一電晶體 LT11 之該等汲及源電極之一電晶體之一閘電極的一附加電晶體。

該第九左電晶體 LT9 響應於該第三節點 N3 之一電壓，輸出該高位準之第二時脈訊號 L-CKB 作為該第  $(4n-2)$  閘訊號。因此，將對應於該高位準之第二時脈訊號 L-CKB 之該第  $(4n-2)$  閘訊號施加至該第  $(4n-2)$  閘極線 GL $4n-2$ 。

當該第三時脈訊號 R-CK 自一低位準變化至一高位準



時，響應於該第三時脈訊號R-CK，該第十右電晶體RT10將該斷開電壓V斷開施加至該第(4n-2)閘極線GL4n-2。結果，將該第(4n-2)閘極線GL4n-2在2H時間內保持在一低位準。

然後，當該第三時脈訊號R-CK自一高位準變化至一低位準時，該第一時脈訊號L-CK自一低位準變化至一高位準。該第十一左電晶體LT11將該第(4n-2)閘訊號之一電壓降低為該斷開電壓V斷開，分別至該高位準之第一時脈訊號L-CK。結果，將該第(4n-2)閘極線GL4n-2之一電壓降低為該斷開電壓V斷開。

因此，即使該第三時脈訊號R-CK變化至一低位準，該第(4n-2)閘訊號在2H時間內亦保持為該斷開電壓V斷開。換言之，該第(4n-2)閘訊號藉由具有相互反相之該等第一及第三時脈訊號L-CK及R-CK保持為該斷開電壓V斷開。

該第十二左電晶體LT12包括一閘電極、電連接至該閘電極之一汲電極及電連接至該第三節點N3之一源電極。將該第十二左電晶體LT12之閘及汲電極電連接至該閘極線GL4n-3。因此，將該第(4n-3)閘訊號施加至該第十二左電晶體LT12之閘及汲電極。該第三左電容器LC3包括電連接至該第九左電晶體LT9之閘電極之一第一端子，及電連接至該第九左電晶體LT9之源電極之一第二端子。

當將該第(4n-3)閘訊號經由該第十二左電晶體LT12施加至該第三節點N3時，該第九左電晶體LT9輸出該高位準之第二時脈訊號L-CKB作為該第(4n-2)閘訊號。將該第二時

脈訊號L-CKB施加至該第 $(4n-2)$ 閘極線GL $4n-2$ 。

該第十三左電晶體LT13包括接收該第 $(4n-1)$ 閘訊號之一閘電極、電連接至該第三節點N3之一汲電極及接收該斷開電壓V斷開之一源電極。該第十四左電晶體LT14包括電連接至該第三節點N3之一閘電極，電連接至一第四節點N4之一汲電極及接收該斷開電壓V斷開之一源電極。該第十五左電晶體LT15包括電連接至該第四節點N4之一閘電極，電連接至該第三節點N3之一汲電極及接收該斷開電壓V斷開之一源電極。可將該第十五左電晶體LT15之汲電極電連接至該第十三左電晶體LT13之汲電極或該第十五左電晶體LT15之汲電極可與該第十三左電晶體LT13之汲電極相同，且可將該第十五左電晶體LT15之源電極電連接至該第十三左電晶體LT13之源電極或該第十五左電晶體LT15之源電極可與該第十三左電晶體LT13之源電極相同。

當將該第 $(4n-1)$ 閘訊號施加至該第十三左電晶體LT13時，將該斷開電壓V斷開施加至該第三節點N3，使得關斷該第九左電晶體LT9。當將該第三節點N3之一電壓降低為該斷開電壓V斷開時，關斷該第十四電晶體LT14，使得將該第二時脈訊號L-CKB施加至該第四節點N4。當該第二時脈訊號L-CKB自一低位準變化至一高位準時，響應於該高位準之第二時脈訊號L-CKB，電連接至該第四節點N4之該第十五左電晶體LT15將該第三節點N3之一電壓降低為該斷開電壓V斷開。

如上所述，藉由該第三時脈訊號R-CK控制該奇數號左

平臺 S-LO 及該偶數號左平臺 S-LE，該偶數號左平臺 S-LE 包括僅七個電晶體。因此，減少了該第一移位暫存器 110 之尺寸。

圖 4 為圖 1 中一奇數號右平臺及一偶數號右平臺之一電路圖。

參看圖 4，應理解，雖然僅說明了一奇數號右平臺 S-RO 及一偶數號右平臺 S-RE，該第二移位暫存器 120 可包括複數個奇數及偶數號右平臺 S-RO 及 S-RE。一奇數號右平臺 S-RO 包括第一、第二、第四、第五、第六、第七及第八右電晶體 RT1、RT2、RT4、RT5、RT6、RT7 及 RT8，以及一第三左電晶體 LT3。一偶數號右平臺 S-RE 包括第九、第十一、第十二、第十三、第十四及第十五右電晶體 RT9、RT11、RT12、RT13、RT14 及 RT15，以及一第十左電晶體 LT10。

將該第一、第二及第四至第八右電晶體 RT1、RT2 及 RT4 至 RT8 電連接至該第  $(4n-1)$  閘極線 GL $_{4n-1}$  之一第一終端，且將該第三左電晶體 LT3 電連接至該第  $(4n-1)$  閘極線 GL $_{4n-1}$  之一第二終端。將該第九及第十一至第十五右電晶體 RT9 及 RT11 至 RT15 電連接至該第  $4n$  閘極線 GL $_{4n}$  之一第一終端，且將該第十左電晶體 LT10 電連接至該第  $4n$  閘極線 GL $_{4n}$  之一第二終端。

參看該奇數號右平臺 S-RO，該第一右電晶體 RT1 包括電連接至一第五節點 N5 之一閘電極、接收該第三時脈訊號 R-CK 之一汲電極及電連接至該第  $(4n-1)$  閘極線 GL $_{4n-1}$  之一源

電極。該第二右電晶體 RT2 包括接收該第四時脈訊號 R-CKB 之一閘電極、電連接至該第  $(4n-1)$  閘極線 GL $_{4n-1}$  之一汲電極及接收該斷開電壓 V 斷開之一源電極。

該第一右電晶體 RT1 響應於該第五節點 N5 之一電壓，經由該第一右電晶體 RT1 之源電極輸出該高位準之第三時脈訊號 R-CK 作為該第  $(4n-1)$  閘訊號。因此，將對應於該高位準之第三時脈訊號 R-CK 之該第  $(4n-1)$  閘訊號施加至該第  $(4n-1)$  閘極線 GL $_{4n-1}$ 。響應於該高位準之第四時脈訊號 R-CKB，該第二右電晶體 RT2 將該第  $(4n-1)$  閘訊號降低為該斷開電壓 V 斷開，使得將該第  $(4n-1)$  閘極線 GL $_{4n-1}$  降低為該斷開電壓 V 斷開。

該第三左電晶體 LT3 包括接收該第一時脈訊號 L-CK 之一閘電極、電連接至該第  $(4n-1)$  閘極線 GL $_{4n-1}$  之一汲電極及接收該斷開電壓 V 斷開之一源電極。該第四右電晶體 RT4 包括電連接至一第六節點 N6 之一閘電極、電連接至該第  $(4n-1)$  閘極線 GL $_{4n-1}$  之一汲電極及接收該斷開電壓 V 斷開之一源電極。可將該第四右電晶體 RT4 之汲電極電連接至該第二右電晶體 RT2 之汲電極或該第四右電晶體 RT4 之汲電極可與該第二右電晶體 RT2 之汲電極相同，且可將該第四右電晶體 RT4 之源電極電連接至該第二右電晶體 RT2 之汲電極或該第四右電晶體 RT4 之源電極可與該第二右電晶體 RT2 之汲電極相同。將該第三時脈訊號 R-CK 施加至該第六節點 N6。

當該第一時脈訊號 L-CK 自一低位準變化至一高位準

時，該第三左電晶體LT3響應於該高位準之第一時脈訊號L-CK，將該斷開電壓施加至該第 $(4n-1)$ 閘極線GL $4n-1$ 。因此，該第 $(4n-1)$ 閘訊號可在 $2H$ 時間內保持為該斷開電壓V斷開。然後，當該第一時脈訊號L-CK自一高位準變化至一低位準時，該第三時脈訊號R-CK自一低位準變化至一高位準。因此，該第四右電晶體RT4響應於該第三時脈訊號R-CK，將該斷開電壓V斷開施加至該第 $(4n-1)$ 閘極線GL $4n-1$ 。

因此，即使當該第一時脈訊號L-CK變化為一低位準時，響應於該第三時脈訊號R-CK，該第 $(4n-1)$ 閘訊號在 $2H$ 時間內亦保持為該斷開電壓V斷開。換言之，藉由具有相互反相之該等第一及第三時脈訊號L-CK及R-CK，可保持該第 $(4n-1)$ 閘訊號。

該第五右電晶體RT5包括一閘電極、電連接至該閘電極之一汲電極及電連接至該第五節點N5之一源電極。該第一右電容器RC1包括電連接至該第一右電晶體RT1之閘電極之一第一端子，及電連接至該第一右電晶體RT1之源電極之一第二端子。

當將該第 $(4n-2)$ 閘訊號經由該第五右電晶體RT5施加至該第五節點N5時，響應於該第 $(4n-2)$ 閘訊號，接通該第一右電晶體RT1。結果，將該高位準之第三時脈訊號R-CK施加至該第 $(4n-1)$ 閘極線GL $4n-1$ 。換言之，該高位準之第三時脈訊號R-CK對應於該第 $(4n-1)$ 閘訊號。

該第六右電晶體RT6包括接收該第 $4n$ 閘訊號之一閘電

極，電連接至該第五節點N5之一汲電極及接收該斷開電壓V斷開之一源電極。該第七右電晶體RT7包括電連接至該第五節點N5之一閘電極，接收該第三時脈訊號R-CK之一汲電極及接收該斷開電壓V斷開之一源電極。該第八右電晶體RT8包括接收該第三時脈訊號R-CK之一閘電極、電連接至該第 $(4n-1)$ 閘極線GL $4n-1$ 之一汲電極及接收該斷開電壓V斷開之一源電極。可將該第八右電晶體RT8之汲電極電連接至該第六右電晶體RT6之汲電極或該第八右電晶體RT8之汲電極可與該第六右電晶體RT6之汲電極相同，且可將第八右電晶體RT8之源電極電連接至該第六右電晶體RT6之汲電極或第八右電晶體RT8之源電極可與該第六右電晶體RT6之汲電極相同。

當將該第 $4n$ 閘訊號施加至該第六右電晶體RT6時，將該斷開電壓V斷開施加至該第五節點N5，使得關斷該第一右電晶體RT1。

當將該第五節點N5之一電壓降低為該斷開電壓V斷開時，關斷該第七右電晶體RT7，使得將該第三時脈訊號R-CK施加至該第六節點N6。當該第三時脈訊號R-CK自一低位準變化至一高位準時，響應於該高位準之第三時脈訊號R-CK，接通電連接至該第六節點N6之該等第四及第八右電晶體RT4及RT8。該接通的第八右電晶體RT8將該第五節點N5之一電壓降低為該斷開電壓V斷開，且該第四右電晶體RT4將該斷開電壓施加至該第 $(4n-1)$ 閘極線GL $4n-1$ 。

參看該偶數號右平臺S-RE，該第九右電晶體RT9包括電

連接至該第七節點N7之一閘電極、接收該第四時脈訊號R-CKB之一汲電極及電連接至該第4n閘極線GL4n之一源電極。該第十左電晶體LT10包括接收該第一時脈訊號L-CK之一閘電極、電連接至該第四閘極線GL4n之一汲電極及接收該斷開電壓V斷開之一源電極。該第十一右電晶體RT11包括接收該第三時脈訊號R-CK之一閘電極、電連接至該第4n閘極線GL4n之一汲電極及接收該斷開電壓V斷開之一源電極。應注意，該偶數號右平臺S-RE並不需要將該第八節點N8連接至共享該第十一電晶體RT11之該等汲及源電極之一電晶體之一閘電極的一附加電晶體。

該第九右電晶體RT9響應於該第七節點N7之一電壓，輸出該第四時脈訊號R-CKB作為一第4n閘訊號。因此，將對應於該第四時脈訊號R-CKB之該第4n閘訊號施加至該第4n閘極線GL4n。

當該第一時脈訊號L-CK自一高位準變化至一低位準時，該第十左電晶體LT10響應於該高位準之第一時脈訊號L-CK，將該斷開電壓V斷開施加至該第4n閘極線GL4n。因此，將該第4n閘訊號在1H時間內保持為一高位準，然後藉由該第一時脈訊號L-CK在2H時間內保持為一低位準。

當該第一時脈訊號L-CK自一高位準變化至一低位準時，該第三時脈訊號R-CK自一低位準變化至一高位準。該第十一右電晶體RT11響應於該高位準之第三時脈訊號R-CK，將該第4n閘訊號降低為該斷開電壓V斷開，使得將該第4n閘極線GL4n降低為該斷開電壓V斷開。

結果，即使當該第一時脈訊號 L-CK 變化為一低位準時，響應於該第三時脈訊號 R-CK，該第  $4n$  閘訊號在  $2H$  時間內亦可保持為該斷開電壓  $V$  斷開。換言之，該第  $4n$  閘訊號藉由具有相互反相之該等第一及第三時脈訊號 L-CK 及 R-CK 保持為該斷開電壓  $V$  斷開。

該第十二右電晶體 RT12 包括一閘電極、電連接至該閘電極之一汲電極及電連接至一第七節點 N7 之一源電極。將該第十二右電晶體 RT12 之閘電極及汲電極電連接至該閘極線 GL $4n-1$ 。該第三右電容器 RC3 包括電連接至該第九右電晶體 RT9 之閘電極之一第一端子，及電連接至該第九右電晶體 RT9 之源電極之一第二端子。

當將該第  $(4n-1)$  閘訊號經由該第十二右電晶體 RT12 施加至該第七節點 N7 時，響應於該第  $(4n-1)$  閘訊號，該第九右電晶體 RT9 將該高位準之第四時脈訊號 R-CKB 施加至該第  $4n$  閘極線 GL $4n$ 。即，該高位準之第四時脈訊號 R-CKB 對應於該第  $4n$  閘訊號。

該第十三右電晶體 RT13 包括接收該第  $(4n-3)$  閘訊號之一閘電極、電連接至該第七節點 N7 之一汲電極及接收該斷開電壓  $V$  斷開之一源電極。該第十四右電晶體 RT14 包括電連接至該第七節點 N7 之一閘電極，電連接至該第八節點 N8 之一汲電極及接收該斷開電壓  $V$  斷開之一源電極。該第十五右電晶體 RT15 包括電連接至該第八節點 N8 之一閘電極，電連接至該第七節點 N7 之一汲電極及接收該斷開電壓  $V$  斷開之一源電極。可將該第十五右電晶體 RT15 之汲電極



電連接至該第十三右電晶體RT13之汲電極或該第十五右電晶體RT15之汲電極可與該第十三右電晶體RT13之汲電極相同，且可將該第十五右電晶體RT15之源電極電連接至該第十三右電晶體RT13之汲電極或該第十五右電晶體RT15之源電極可與該第十三右電晶體RT13之汲電極相同。當將該第 $(4n-3)$ 開訊號施加至該第十三右電晶體RT13之開電極時，將該斷開電壓V斷開施加至該第七節點N7，使得經由該第九右電晶體RT9之開電極關斷該第九右電晶體RT9。當將該第七節點N7降低為該斷開電壓V斷開時，經由該第十四右電晶體RT14之開電極關斷該第十四右電晶體RT14，使得將該第四時脈訊號R-CKB施加至該第八節點N8。當該第四時脈訊號R-CKB自一低位準變化至一高位準時，響應於該高位準之第四時脈訊號R-CKB，電連接至該第八節點N8之該第十五右電晶體RT15將該第七節點N7之一電壓降低為該斷開電壓V斷開。

如上所述，藉由經由該第一時脈訊號L-CK控制該奇數號右平臺S-RO及該偶數號右平臺S-RE，該偶數號右平臺S-RE可包括僅七個電晶體。因此，減少了該第二移位暫存器120之尺寸。

圖5為一示意性平面圖，其說明具有圖1中該開驅動電路之一LCD裝置。

參看圖1及圖5，一液晶顯示器("LCD")裝置600包括一顯示面板400、一開驅動電路100及一資料驅動晶片500。該顯示面板400顯示一影像，且該開驅動電路100及該資料驅

動晶片500驅動該顯示面板400。

該顯示面板400包括一陣列基板200，面向該陣列基板200之一彩色濾光片基板300及一安置於該陣列基板200與該彩色濾光片基板300間之一液晶層(未圖示)。該顯示面板400包括一顯示區DA、一第一周邊區PA1及一第二周邊區PA2。該第一周邊區PA1環繞該顯示區DA。該第二周邊區PA2近鄰於該第一周邊區PA1。

該陣列基板200包括複數個閘極線GL4n-3、GL4n-2、GL4n-1及GL4n，以及複數個資料線DL1、DL2、...、DLm。應理解，雖然說明了僅四條閘極線及兩條資料線，該陣列基板200內可具有複數個相似閘極線及資料線。該等閘極線GL4n-3、GL4n-2、GL4n-1及GL4n，以及該等資料線DL1、DL2、...、DLm安置於該顯示區DA內。該等閘極線GL4n-3、GL4n-2、GL4n-1及GL4n與該等資料線DL1、DL2、...、DLm電絕緣。該等閘極線GL4n-3、GL4n-2、GL4n-1及GL4n沿著一第一方向延伸，且該等資料線DL1、DL2、...、DLm沿著與該第一方向大體垂直之一第二方向延伸。該薄膜電晶體("TFT")210及一像素電極(未圖示)形成於由兩個鄰近閘極線及兩個鄰近資料線界定之一區域內。該TFT 210包括電連接至該等閘極線GL4n-3、GL4n-2、GL4n-1及GL4n之其中之一者的一閘電極，以及電連接至該等資料線DL1、DL2、...、DLm之其中之一者的一源電極。該像素電極進一步包括電連接至該TFT 210之一汲電極。

該開驅動電路100包括該等第一及第二移位暫存器110及120。將該第一移位暫存器110內之多數電晶體安置於該第一周邊區PA1內，使得在該第一移位暫存器110內之該等多數電晶體近鄰於該等閘極線GL4n-3、GL4n-2、GL4n-1及GL4n之第一終端。將該第二移位暫存器120內之多數電晶體安置於該第一周邊區PA1內，使得在該第二移位暫存器120內之該等多數電晶體近鄰於該等閘極線GL4n-3、GL4n-2、GL4n-1及GL4n之第二終端。

分別傳遞該等第一及第二時脈訊號L-CK及L-CKB之該等第一及第二時脈佈線CL1及CL2鄰近於該第一移位暫存器110。分別傳遞該等第三及第四時脈訊號R-CK及R-CKB之該等第三及第四時脈佈線CL3及CL4鄰近於該第二移位暫存器120。

該第一移位暫存器110之第三及第十右電晶體RT3及RT10(其接收該第三時脈訊號R-CK)與鄰近於該等第三及第四時脈佈線CL3及CL4之該第二移位暫存器120之部分鄰近。該第二移位暫存器120之第三及第十左電晶體LT3及LT10(其接收該第一時脈訊號L-CK)與鄰近於該等第一及第二時脈佈線CL1及CL2之該第一移位暫存器110之部分鄰近。

該第一移位暫存器110分別將該第(4n-3)閘訊號及該第(4n-2)閘訊號施加至該第(4n-3)閘極線GL4n-3及該第(4n-2)閘極線GL4n-2。然後，該第二移位暫存器120分別將該第(4n-1)閘訊號及該第4n閘訊號施加至該第(4n-1)閘極線

GL4n-1及該第4n閘極線GL4n。如上所述，該等第一及第二移位暫存器110及120藉由兩線單元交替輸出閘訊號以驅動該等閘極線GL4n-3、GL4n-2、GL4n-1及GL4n。

該資料驅動晶片500安裝於該陣列基板200之第二周邊區PA2上。將該資料驅動晶片500電連接至該等資料線DL1、DL2、...、DLm。該資料驅動晶片500將資料訊號施加至該等資料線DL1、DL2、...、DLm。

根據本發明之該閘驅動電路及該顯示裝置，該第一移位暫存器藉由該等第一至第三時脈訊號驅動，且該第二移位暫存器藉由該等第一、第三及第四時脈訊號驅動。

結果，可減少該等第一及第二移位暫存器內之電晶體的數量以縮小該等第一及第二移位暫存器之尺寸。

此外，將接收該第三時脈訊號之該第一移位暫存器之電晶體在該等閘極線之第二終端處鄰近該第二移位暫存器安置，且將接收該第一時脈訊號之該第二移位暫存器之電晶體在該等閘極線之第一終端處鄰近該第一移位暫存器安置。

結果，可有效使用該陣列基板之一空間，使得可縮小該陣列基板之一區域，該閘驅動電路形成於該區域。

在描述了本發明之該等例示性實施例及其優勢後，應注意，在不離開藉由隨附申請專利範圍界定之本發明之該精神及範疇的情況下，本文可進行各種變化、替代及變更。此外，該等術語第一、第二等的使用並不表示任何次序或重要性，而是將該等術語第一、第二等用於將一元件與另

一元件區分開。此外，該等術語一或一個等的使用並不表示一數量限制，而是表示該提及項目之至少一者的存在。

### 【圖式簡單說明】

圖1為一方塊圖，其說明依據本發明之一開驅動電路之一例示性實施例；

圖2為一時序圖，其說明圖1中該開驅動電路之輸入及輸出；

圖3為一電路圖，其說明圖1中一奇數號左平臺及一偶數號左平臺；

圖4為圖1中一奇數號右平臺及一偶數號右平臺之一電路圖；以及

圖5為一示意性平面圖，其說明具有圖1中該開驅動電路之一LCD裝置之一例示性實施例。

### 【主要元件符號說明】

100	開驅動電路
110	第一移位暫存器
120	第二移位暫存器
200	陣列基板
210	薄膜電晶體
300	彩色濾光片基板
400	顯示面板
500	資料驅動晶片
600	液晶顯示器("LCD")裝置
CL1	第一時脈佈線

CL2	第二時脈佈線
CL3	第三時脈佈線
CL4	第四時脈佈線
DA	顯示區
DL1	資料線
DLm	資料線
GL4	N-1閘極線
GL4	N-2閘極線
GL4	N-3閘極線
GL4	N閘極線
LC1	第一左電容器
LC2	第二左電容器
LC3	第三左電容器
LC4	第四左電容器
L-CKB	第二時脈訊號
L-CK	第一時脈訊號
LT10	第十左電晶體
LT11	第十一左電晶體
LT12	第十二左電晶體
LT13	第十三左電晶體
LT14	第十四左電晶體
LT15	第十五左電晶體
LT1	第一左電晶體
LT2	第二左電晶體

LT3	第三左電晶體
LT4	第四左電晶體
LT5	第五左電晶體
LT6	第六左電晶體
LT7	第七左電晶體
LT8	第八左電晶體
LT9	第九左電晶體
N1	第一節點
N2	第二節點
N3	第三節點
N4	第四節點
N5	第五節點
N6	第六節點
N7	第七節點
N8	第八節點
PA1	第一周邊區
PA2	第二周邊區
RC1	第一右電容器
RC2	第二右電容器
RC3	第三右電容器
RC4	第四右電容器
R-CKB	第四時脈訊號
R-CK	第三時脈訊號
RT10	第十右電晶體

RT11	第十一右電晶體
RT12	第十二右電晶體
RT13	第十三右電晶體
RT14	第十四右電晶體
RT15	第十五右電晶體
RT1	第一右電晶體
RT2	第二右電晶體
RT3	第三右電晶體
RT4	第四右電晶體
RT5	第五右電晶體
RT6	第六右電晶體
RT7	第七右電晶體
RT8	第八右電晶體
RT9	第九右電晶體
S-LE	偶數號左平臺
S-LO	奇數號左平臺
S-RE	偶數號右平臺
S-RO	奇數號右平臺
STV	掃描起始訊號
V	斷開斷開電壓



102年3月25日修正  
對號線(本)

## 十、申請專利範圍：

## 1. 一種閘驅動電路，其包含：

一第一移位暫存器，其包括複數個第一平臺，該第一移位暫存器將一第 $(4n-3)$ 閘訊號及一第 $(4n-2)$ 閘訊號分別施加至一第 $(4n-3)$ 閘極線及一第 $(4n-2)$ 閘極線，以響應一第一時脈訊號、一第二時脈訊號及一第三時脈訊號，該第二時脈訊號相對於該第一時脈訊號具有 $1H$ 時間之一延遲相， $H$ 係水平週期之一單位，且該第三時脈訊號具有與該第一時脈訊號相反之相位；以及

一第二移位暫存器，其包括複數個第二平臺，該第二移位暫存器將一第 $(4n-1)$ 閘訊號及一第 $4n$ 閘訊號分別施加至一第 $(4n-1)$ 閘極線及一第 $4n$ 閘極線，以響應該第一時脈訊號、該第三時脈訊號及一第四時脈訊號，該第四時脈訊號具有與該第二時脈訊號相反之相位，其中 $n$ 為一自然數。

2. 如請求項1之閘驅動電路，其中在該等第一平臺內之奇數號平臺將該高位準之第一時脈訊號施加至該第 $(4n-3)$ 閘極線，響應於該第二時脈訊號將該第 $(4n-3)$ 閘極線之一電壓降低為一斷開電壓，響應於該第三時脈訊號將該第 $(4n-3)$ 閘極線之該電壓保持為斷開電壓，且響應於該第一時脈訊號將該第 $(4n-3)$ 閘訊號之該電壓保持為該斷開電壓，以及

在該等第一平臺內之偶數號平臺將該高位準之第二時脈訊號施加至該第 $(4n-2)$ 閘極線，響應於該第三時脈訊

號將該第(4n-2)閘極線之一電壓降低為斷開電壓，且響應於該第一時脈訊號將該第(4n-2)閘極線之該電壓保持為斷開電壓。

3. 如請求項2之閘驅動電路，其中在該等第一平臺內之奇數號平臺將該高位準之第一時脈訊號施加至該第(4n-3)閘極線達1H時間，響應於該第二時脈訊號將該第(4n-3)閘極線之一電壓降低為一斷開電壓達1H時間，響應於該第三時脈訊號將該第(4n-3)閘極線之該電壓保持為斷開電壓達2H時間，且響應於該第一時脈訊號將該第(4n-3)閘極線之該電壓保持為該斷開電壓達2H時間，以及

在該等第一平臺內之偶數號平臺將該高位準之第二時脈訊號施加至該第(4n-2)閘極線達1H時間，響應於該第三時脈訊號將該第(4n-2)閘極線之一電壓降低為斷開電壓達2H時間，且響應於該第一時脈訊號將該第(4n-2)閘極線之該電壓保持為斷開電壓達2H時間。

4. 如請求項2之閘驅動電路，其中在該等第一平臺內之該等奇數號平臺中之每一者皆包含：

一第一左電晶體，其將該高位準之第一時脈訊號施加至該第(4n-3)閘極線；

一第二左電晶體，其響應於該高位準之第二時脈訊號將該第(4n-3)閘極線之一電壓降低為該斷開電壓；

一第三右電晶體，其響應於該高位準之第三時脈訊號將該第(4n-3)閘極線之該電壓保持為該斷開電壓；以及

一第四左電晶體，其響應於該高位準之第一時脈訊號

- 將該第(4n-3)閘極線之該電壓保持為該斷開電壓。
5. 如請求項4之閘驅動電路，其中在該等第一平臺內之該等奇數號平臺中之每一者進一步包含：
- 一第一左電容器，其具有電連接至該第一左電晶體之一閘電極之一第一端子，及電連接至該第一左電晶體之一源電極之一第二端子；
  - 一第五左電晶體，其響應於一掃描起始訊號或該第(4n-3)閘訊號對該第一左電容器充電；
  - 一第六左電晶體，其響應於該第(4n-2)閘訊號關斷該第一左電晶體；
  - 一第七左電晶體，其響應於該掃描起始訊號或該第(4n-3)閘訊號將該第一時脈訊號降低為該斷開電壓；以及
  - 一第八左電晶體，其響應於該第一時脈訊號關斷該第一左電晶體。
6. 如請求項5之閘驅動電路，其中該第一、第二及第四至第八左電晶體鄰近於該第(4n-3)閘極線之一第一終端，且該第三右電晶體鄰近於該第(4n-3)閘極線之一第二終端。
7. 如請求項2之閘驅動電路，其中在該等第一平臺內之該等偶數號平臺中之每一者皆包含：
- 一第九左電晶體，其將該高位準之第二時脈訊號施加至該第(4n-2)閘極線；
  - 一第十右電晶體，其響應於該高位準之第三時脈訊號將該第(4n-2)閘極線之一電壓降低為該斷開電壓；以及

修正頁(本)  
102年5月21日對線

第094141985號專利申請案  
中文申請專利範圍替換頁(102年5月)

一第十一左電晶體，其響應於該高位準之第一時脈訊號將該第(4n-2)閘極線之該電壓保持為該斷開電壓。

8. 如請求項7之閘驅動電路，其中在該等第一平臺內之該等偶數號平臺中之每一者進一步包含：

一第三左電容器，其包括電連接至該第九左電晶體之一閘電極之一第一端子，及電連接至該第九左電晶體之一源電極之一第二端子，該第三左電容器接通該第九左電晶體；

一第十二左電晶體，其響應於該第(4n-3)閘訊號對該第二左電晶體充電；

一第十三左電晶體，其響應於該第(4n-1)閘訊號關斷該第九左電晶體；

一第十四左電晶體，其響應於該第(4n-3)閘訊號將該第二時脈訊號降低為該斷開電壓；以及

一第十五左電晶體，其響應於該第二時脈訊號關斷該第九左電晶體。

9. 如請求項8之閘驅動電路，其中該第九及第十一至第十五左電晶體鄰近於該第(4n-2)閘極線之一第一終端，且該第十右電晶體鄰近於該第(4n-2)閘極線之一第二終端。

10. 如請求項1之閘驅動電路，其中在該等第二平臺內之奇數號平臺將該高位準之第三時脈訊號施加至該第(4n-1)閘極線，響應於該第四時脈訊號將該第(4n-1)閘極線之一電壓降低為一斷開電壓，響應於該第一時脈訊號將該

第(4n-1)閘極線之該電壓保持為斷開電壓，且響應於該第三時脈訊號將該第(4n-1)閘訊號之該電壓保持為該斷開電壓，以及

在該等第二平臺內之偶數號平臺將該高位準之第四時脈訊號施加至該第4n閘極線，響應於該第一時脈訊號將該第4n閘極線之一電壓降低為斷開電壓，且響應於該第三時脈訊號將該第4n閘極線之該電壓保持為斷開電壓。

11. 如請求項10之閘驅動電路，其中在該等第二平臺內之奇數號平臺將該高位準之第三時脈訊號施加至該第(4n-1)閘極線達1H時間，響應於該第四時脈訊號將該第(4n-1)閘極線之一電壓降低為一斷開電壓達1H時間，響應於該第一時脈訊號將該第(4n-1)閘極線之該電壓保持為斷開電壓達2H時間，且響應於該第三時脈訊號將該第(4n-1)閘訊號之該電壓保持為該斷開電壓達2H時間，以及

在該等第二平臺內之偶數號平臺將該高位準之第四時脈訊號施加至該第4n閘極線達1H時間，響應於該第一時脈訊號將該第4n閘極線之一電壓降低為斷開電壓達2H時間，且響應於該第三時脈訊號將該第4n閘極線之該電壓保持為斷開電壓達2H時間。

12. 如請求項10之閘驅動電路，其中在該等第二平臺內之該等奇數號平臺中之每一者皆包含：

一第一右電晶體，其將該高位準之第三時脈訊號施加至該第(4n-1)閘極線；

一第二右電晶體，其響應於該高位準之第四時脈訊號

將該第(4n-1)閘極線之一電壓降低為該斷開電壓；

一第三左電晶體，其響應於該高位準之第一時脈訊號將該第(4n-1)閘極線之該電壓保持為該斷開電壓；以及

一第四右電晶體，其響應於該高位準之第三時脈訊號將該第(4n-1)閘極線之該電壓保持為該斷開電壓。

13. 如請求項12之閘驅動電路，其中在該等第二平臺內之該等奇數號平臺中之每一者進一步包含：

一第一右電容器，其具有電連接至該第一右電晶體之一閘電極之一第一端子，及電連接至該第一右電晶體之一源電極之一第二端子；

一第五右電晶體，其響應於一掃描起始訊號或該第(4n-2)閘訊號對該第一右電容器充電；

一第六右電晶體，其響應於該第4n閘訊號關斷該第一右電晶體；

一第七右電晶體，其響應於該掃描起始訊號或該第(4n-2)閘訊號將該第三時脈訊號降低為該斷開電壓；以及

一第八右電晶體，其響應於該第三時脈訊號關斷該第一右電晶體。

14. 如請求項13之閘驅動電路，其中該第一、第二及第四至第八右電晶體鄰近於該第(4n-1)閘極線之一第一終端，且該第三左電晶體鄰近於該第(4n-1)閘極線之一第二終端。

15. 如請求項10之閘驅動電路，其中在該等第二平臺內之該

102年5月21日修正頁(本)  
對線

第094141985號專利申請案  
中文申請專利範圍替換頁(102年5月)

等偶數號平臺中之每一者皆包含：

一 第九右電晶體，其將該高位準之第四時脈訊號施加至該第 $4n$ 閘極線；

一 第十左電晶體，其響應於該高位準之第一時脈訊號將該第 $4n$ 閘極線之一電壓降低為該斷開電壓；以及

一 第十一右電晶體，其響應於該高位準之第三時脈訊號將該第 $4n$ 閘極線之該電壓保持為該斷開電壓。

16. 如請求項15之閘驅動電路，其中在該等第二平臺內之該等偶數號平臺中之每一者進一步包含：

一 第三右電容器，其包括電連接至該第九右電晶體之一閘電極之一第一端子，及電連接至該第九右電晶體之一源電極之一第二端子，該第三右電容器接通該第九右電晶體；

一 第十二右電晶體，其響應於該第 $(4n-1)$ 閘訊號對該第二右電晶體充電；

一 第十三右電晶體，其響應於該第 $(4n-3)$ 閘訊號關斷該第九右電晶體；

一 第十四右電晶體，其響應於該第 $(4n-1)$ 閘訊號將該第四時脈訊號降低為該斷開電壓；以及

一 第十五右電晶體，其響應於該第四時脈訊號關斷該第九右電晶體。

17. 如請求項16之閘驅動電路，其中該第九及第十一至第十五右電晶體鄰近於該第 $4n$ 閘極線之一第一終端，且該第十左電晶體鄰近於該第 $4n$ 閘極線之一第二終端。

18. 如請求項1之閘驅動電路，其中該第一至第四時脈訊號具有一4H時間週期，且該第一至第四時脈訊號較高達2H時間且較低達2H時間。
19. 如請求項1之閘驅動電路，其中該第一移位暫存器安置於該等第 $(4n-3)$ 至第 $4n$ 閘極線之一第一終端，且該第二移位暫存器安置於該等第 $(4n-3)$ 至第 $4n$ 閘極線之一第二終端。
20. 如請求項19之閘驅動電路，進一步包含傳遞該第一時脈訊號之一第一時脈佈線、傳遞該第二時脈訊號之一第二時脈佈線、傳遞該第三時脈訊號之一第三時脈佈線、及傳遞該第四時脈訊號之一第四時脈佈線，其中該等第一及第二時脈佈線鄰近於該第一移位暫存器且第三及第四時脈佈線鄰近於該第二移位暫存器。
21. 如請求項20之閘驅動電路，其中該第一移位暫存器包括響應於該第三時脈訊號操作且鄰近於該第三時脈佈線之一第一移位暫存器群，且該第二移位暫存器包括響應於該第一時脈訊號操作且鄰近於該第一時脈佈線之一第二移位暫存器群。
22. 如請求項1之閘驅動電路，其中該等複數個第一及第二平臺之偶數號平臺包括少於該等複數個第一及第二平臺之奇數號平臺的電晶體。
23. 一種顯示裝置，其包含：  
一顯示面板，其響應於一閘訊號及一資料訊號顯示一影像；



一 閘驅動電路，其輸出該閘訊號；以及

一 資料驅動電路，其輸出該資料訊號，其中該閘驅動電路包括：

一 第一移位暫存器，其包括複數個第一平臺，該第一移位暫存器將一第 $(4n-3)$ 閘訊號及一第 $(4n-2)$ 閘訊號分別施加至一第 $(4n-3)$ 閘極線及一第 $(4n-2)$ 閘極線，以響應一第一時脈訊號、一第二時脈訊號及一第三時脈訊號，該第二時脈訊號相對於該第一時脈訊號具有 $1H$ 時間之一延遲相， $H$ 係水平週期之一單位，且該第三時脈訊號具有與該第一時脈訊號相反之相位；以及

一 第二移位暫存器，其包括複數個第二平臺，該第二移位暫存器將一第 $(4n-1)$ 閘訊號及一第 $4n$ 閘訊號分別施加至一第 $(4n-1)$ 閘極線及一第 $4n$ 閘極線，以響應該第一時脈訊號、該第三時脈訊號及一第四時脈訊號，該第四時脈訊號具有與該第二時脈訊號相反之相位，其中 $n$ 為一自然數。

24. 如請求項23之顯示裝置，其中該顯示面板包括具有一第 $(4n-3)$ 閘極線、一第 $(4n-2)$ 閘極線、一第 $(4n-1)$ 閘極線及一第 $4n$ 閘極線之一陣列基板，該第一移位暫存器鄰近於該第 $(4n-3)$ 閘極線、該第 $(4n-2)$ 閘極線、該第 $(4n-1)$ 閘極線及該第 $4n$ 閘極線之一第一終端，且該第二移位暫存器鄰近於該第 $(4n-3)$ 閘極線、該第 $(4n-2)$ 閘極線、該第 $(4n-1)$ 閘極線及該第 $4n$ 閘極線之一第二終端。
25. 如請求項24之顯示裝置，其中該第一移位暫存器包括鄰

- 近於該第 $(4n-3)$ 閘極線之該第二終端之一電晶體及鄰近於該第 $(4n-2)$ 閘極線之該第二終端之一電晶體。
26. 如請求項25之顯示裝置，其中該第二移位暫存器包括鄰近於該第 $(4n-1)$ 閘極線之該第一終端之一電晶體及鄰近於該第 $4n$ 閘極線之該第一終端之一電晶體。
27. 如請求項24之顯示裝置，其中該閘驅動電路進一步包含傳遞該第一時脈訊號之一第一時脈佈線、傳遞該第二時脈訊號之一第二時脈佈線、傳遞該第三時脈訊號之一第三時脈佈線、及傳遞該第四時脈訊號之一第四時脈佈線，該等第一及第二時脈佈線鄰近於該第一移位暫存器，且第三及第四時脈佈線鄰近於該第二移位暫存器。
28. 如請求項27之顯示裝置，其中該第一移位暫存器包括響應於該第三時脈訊號操作且鄰近於該第三時脈佈線之一第一移位暫存器群，且該第二移位暫存器包括響應於該第一時脈訊號操作且鄰近於該第一時脈佈線之一第二移位暫存器群。
29. 一種顯示裝置，其包含：
- 一顯示面板，其包括複數個閘極線，每一閘極線皆具有一第一終端及一第二終端；
  - 一第一移位暫存器，其對應該等閘極線之該第一終端上之一第一時脈訊號及一第二時脈訊號，且對應該等閘極線之該第二終端上之一第三時脈訊號；以及
  - 一第二移位暫存器，其對應該等閘極線之該第二終端上的該第三時脈訊號及一第四時脈訊號，且對應該等閘

極線之該第一終端上的該第一時脈訊號。

30. 如請求項29之顯示裝置，其中該第一移位暫存器包括複數個第一平臺，每一第一平臺包括對應於該等第一及第二時脈訊號之複數個電晶體，且每一第一平臺包括對應於該第三時脈訊號之僅一個電晶體。
31. 如請求項30之顯示裝置，其中該第二移位暫存器包括複數個第二平臺，每一第二平臺包括對應於該等第三及第四時脈訊號之複數個電晶體，且每一第二平臺包括對應於該第一時脈訊號之僅一個電晶體。
32. 如請求項29之顯示裝置，其中該第一移位暫存器包括至少一奇數號平臺及一偶數號平臺，且該第二移位暫存器包括至少一奇數號平臺及一偶數號平臺，該等第一及第二移位暫存器之該等偶數號平臺包括少於該等第一及第二移位暫存器之該等奇數號平臺的電晶體。
33. 如請求項29之顯示裝置，其中該第二時脈訊號相對於該第一時脈訊號具有1H時間之一延遲相，H係水平週期之一單位，該第三時脈訊號具有相對於該第一時脈訊號之一反相，且該第四時脈訊號具有相對於該第二時脈訊號之一反相。

十一、圖式：

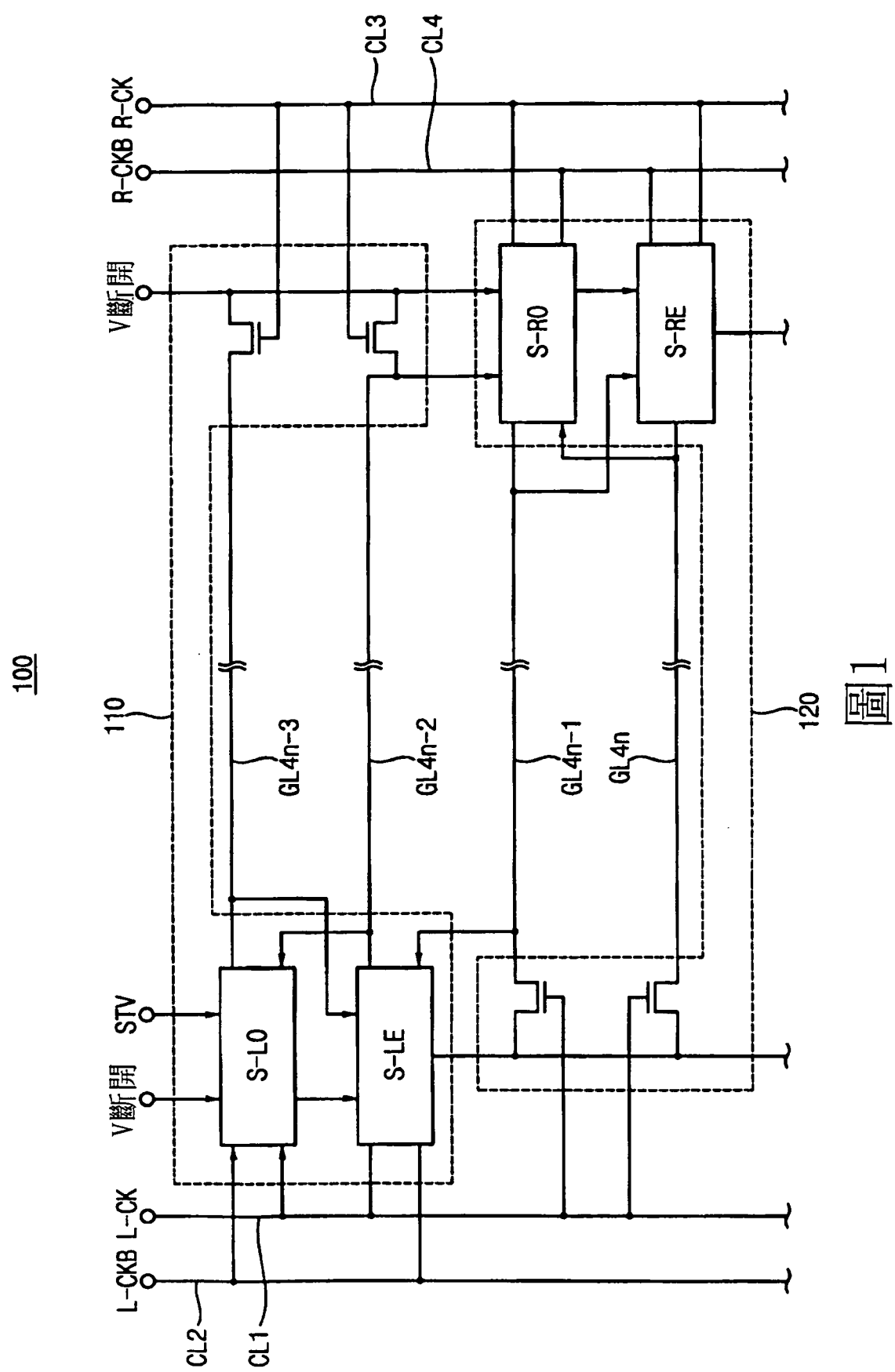


圖1

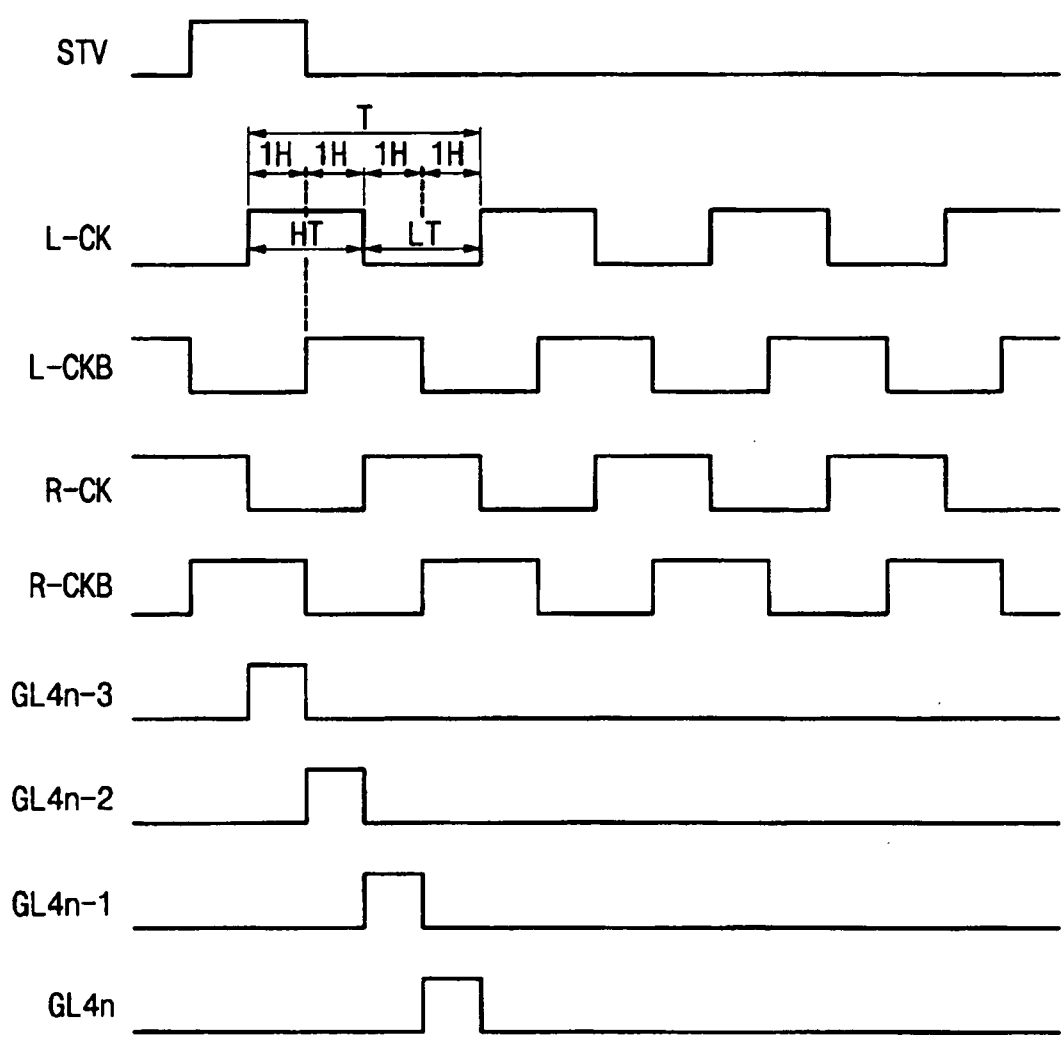


圖2

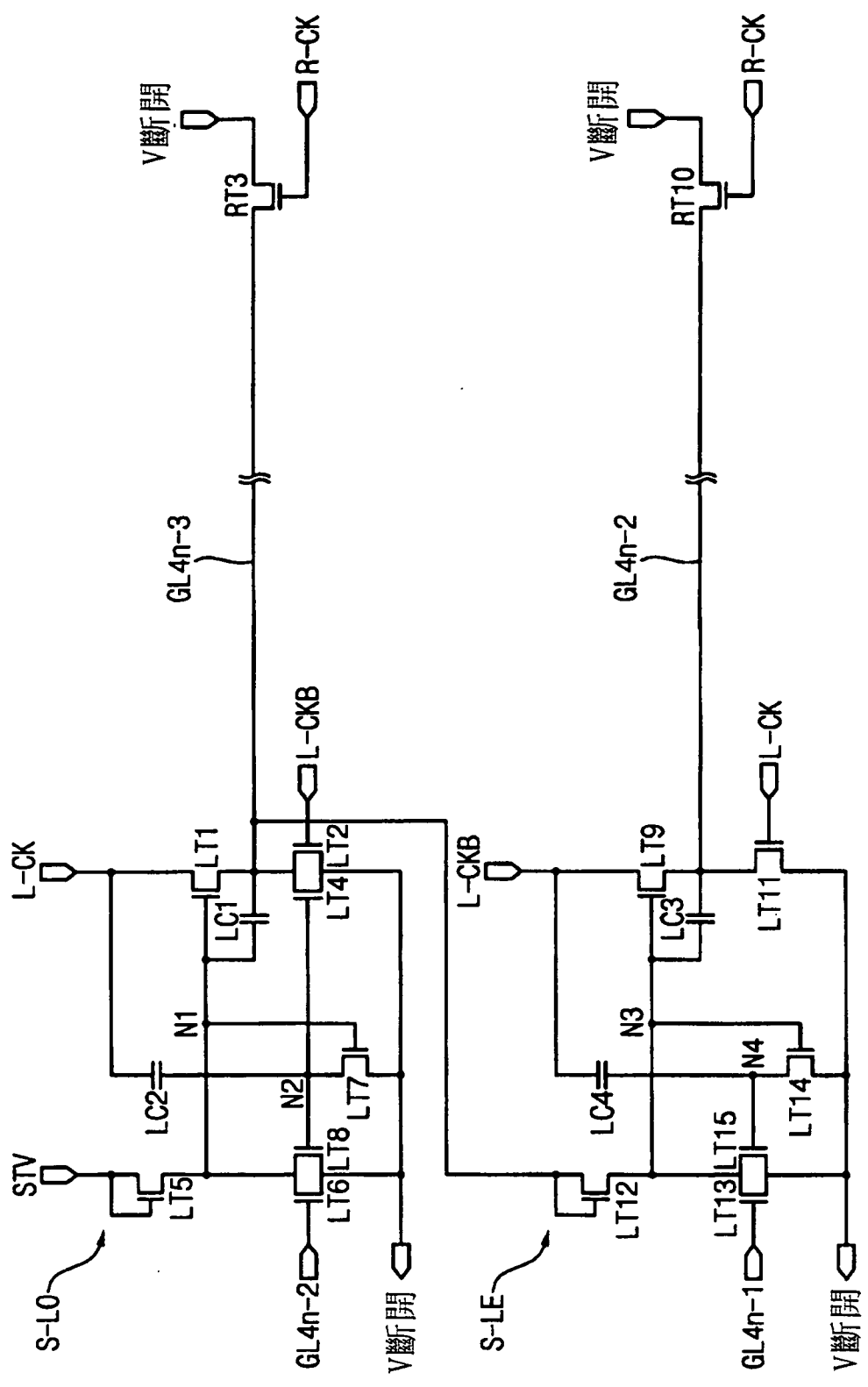


圖3

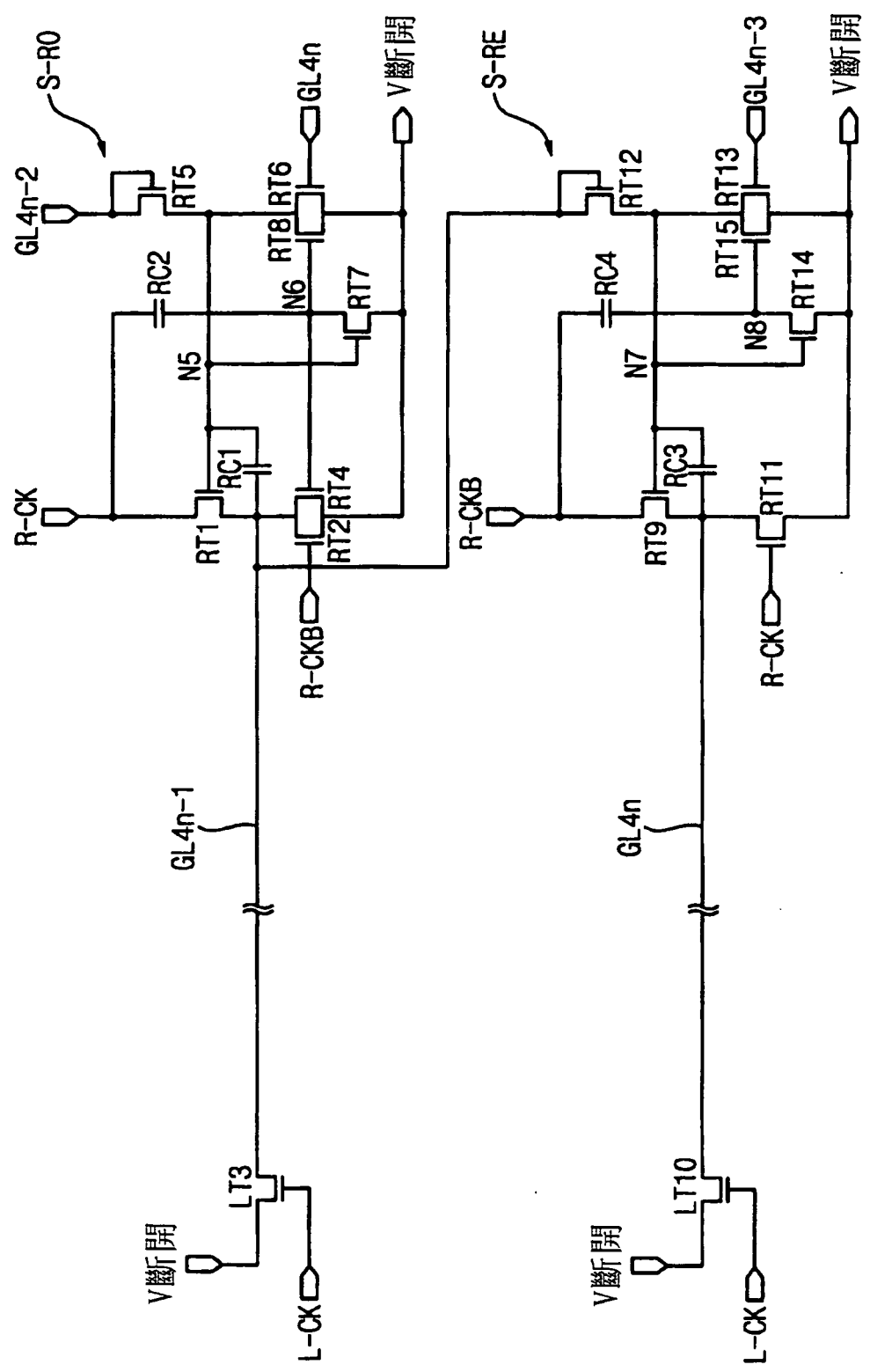


圖4

600

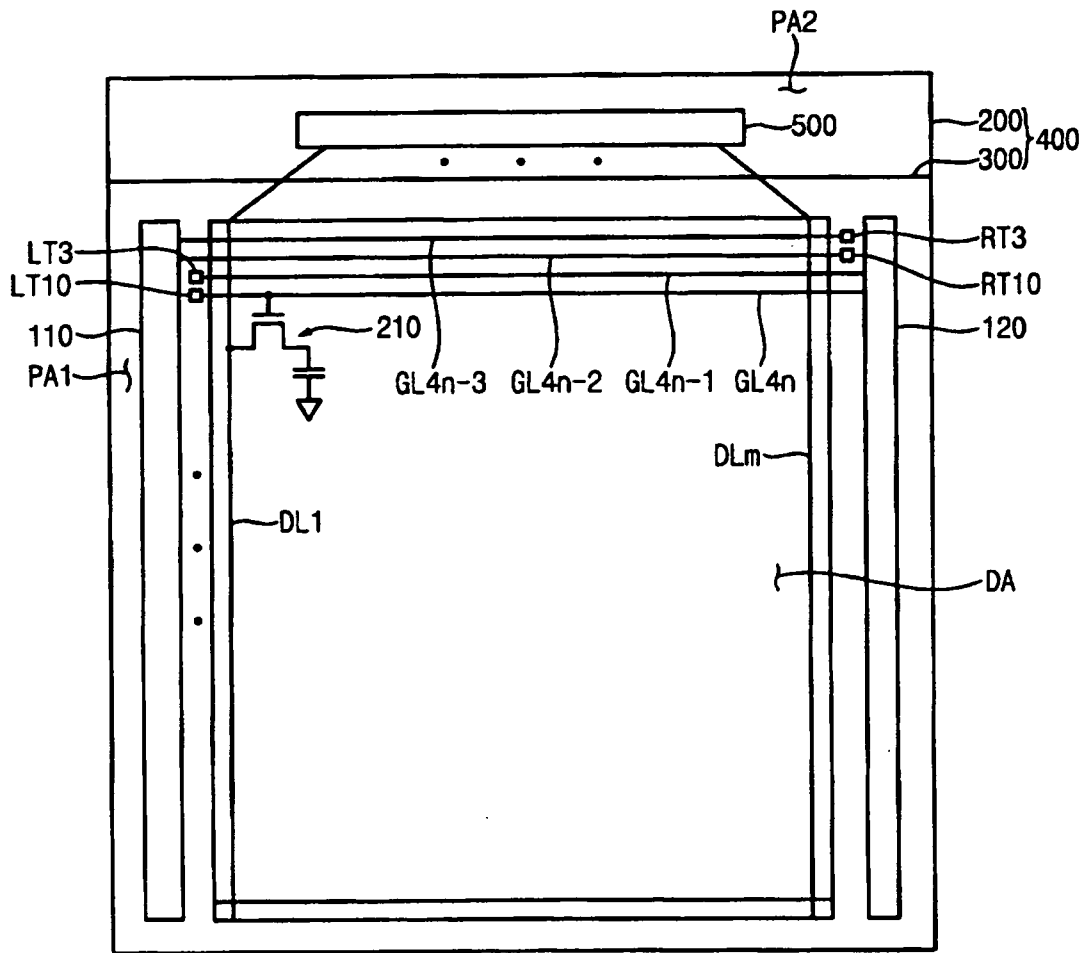


圖5