

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4592179号  
(P4592179)

(45) 発行日 平成22年12月1日(2010.12.1)

(24) 登録日 平成22年9月24日(2010.9.24)

(51) Int.Cl. F I  
H03L 7/081 (2006.01) H03L 7/08 J

請求項の数 14 (全 29 頁)

(21) 出願番号	特願2000-385020 (P2000-385020)	(73) 特許権者	302062931
(22) 出願日	平成12年12月19日(2000.12.19)		ルネサスエレクトロニクス株式会社
(65) 公開番号	特開2002-185313 (P2002-185313A)		神奈川県川崎市中原区下沼部1753番地
(43) 公開日	平成14年6月28日(2002.6.28)	(74) 代理人	100064746
審査請求日	平成19年10月15日(2007.10.15)		弁理士 深見 久郎
		(74) 代理人	100085132
			弁理士 森田 俊雄
		(74) 代理人	100083703
			弁理士 仲村 義平
		(74) 代理人	100096781
			弁理士 堀井 豊
		(74) 代理人	100109162
			弁理士 酒井 将行
		(74) 代理人	100111246
			弁理士 荒川 伸夫

最終頁に続く

(54) 【発明の名称】 デイレイロックドループ、当該ディレイロックドループを含む半導体装置およびクロック同期により動作するシステムのための制御方法

(57) 【特許請求の範囲】

【請求項1】

第1クロックを遅延して第2クロックを出力する遅延回路と、  
前記第1クロックと前記第2クロックとの位相差を検出して制御信号を出力する検出器と、

前記検出器からの制御信号をカウントし、グレイコードでカウント結果を格納するとともに、グレイコードの前記カウント結果の増減に基づき前記遅延回路の遅延段数の増減を制御するための信号を前記遅延回路へ出力するカウンタとを備え、

前記カウンタは、

グレイコードの前記カウント結果を格納するとともに出力するグレイコードレジスタと

10

前記グレイコードレジスタの出力をデコードして前記遅延段数の増減を制御するための信号を発生するデコーダと、

前記グレイコードレジスタの出力を受け、グレイコードの前記カウント結果をバイナリコードに変換するとともに格納するバイナリコード変換器と、

前記バイナリコード変換器から出力されるバイナリコードの前記カウント結果を受け、前記グレイコードレジスタのカウントアップ用キャリア信号とカウントダウン用キャリア信号とを発生するアップキャリア/ダウンキャリア発生器と、

前記カウントアップ用キャリア信号および前記カウントダウン用キャリア信号を受け、前記検出器から出力される前記制御信号に応じて、前記グレイコードレジスタに格納され

20

たグレイコードの前記カウント結果を更新するためのキャリー信号として前記カウントアップ用キャリー信号および前記カウントダウン用キャリー信号のいずれかを選択するキャリーマルチプレクサとを含む、ディレイロックドループ。

【請求項 2】

前記遅延回路は、

ファイン遅延素子と、

前記ファイン遅延素子と一列に接続され、前記ファイン遅延素子よりも前記グレイコードレジスタの格納値 1 ビット単位あたりの遅延変化量が大きいコース遅延素子とを含み、前記ファイン遅延素子は、前記バイナリコード変換器によって変換後格納されたバイナリコードの前記カウント結果により遅延量が調整され、

前記コース遅延素子は、前記デコーダからの前記遅延段数の増減を制御するための信号によって遅延量が調整される、請求項 1 に記載のディレイロックドループ。

10

【請求項 3】

外部クロックを受けて第 1 の内部クロックを出力する入力バッファと、

前記第 1 の内部クロックを遅延して第 2 の内部クロックを出力する遅延回路と、

前記第 1 の内部クロックと前記第 2 の内部クロックとの位相差を検出して制御信号を出力する検出器と、

前記検出器からの制御信号をカウントし、グレイコードでカウント結果を格納するとともに、グレイコードの前記カウント結果の増減に基づき前記遅延回路の遅延段数の増減を制御するための信号を前記遅延回路へ出力するカウンタとを含み、

20

前記カウンタは、

グレイコードの前記カウント結果を格納するとともに出力するグレイコードレジスタと

、前記グレイコードレジスタの出力をデコードして前記遅延段数の増減を制御するための信号を発生するデコーダと、

前記グレイコードレジスタの出力を受け、グレイコードの前記カウント結果をバイナリコードに変換するとともに格納するバイナリコード変換器と、

前記バイナリコード変換器から出力されるバイナリコードの前記カウント結果を受け、前記グレイコードレジスタのカウントアップ用キャリー信号とカウントダウン用キャリー信号とを発生するアップキャリー/ダウンキャリー発生器と、

30

前記カウントアップ用キャリー信号および前記カウントダウン用キャリー信号を受け、前記検出器から出力される前記制御信号に応じて、前記グレイコードレジスタに格納されたグレイコードの前記カウント結果を更新するためのキャリー信号として前記カウントアップ用キャリー信号および前記カウントダウン用キャリー信号のいずれかを選択するキャリーマルチプレクサとを有するディレイロックドループを備える、半導体装置。

【請求項 4】

前記遅延回路は、

ファイン遅延素子と、

前記ファイン遅延素子と一列に接続され、前記ファイン遅延素子よりも前記グレイコードレジスタの格納値 1 ビット単位あたりの遅延変化量が大きいコース遅延素子とを含み、前記ファイン遅延素子は、前記バイナリコード変換器によって変換後格納されたバイナリコードの前記カウント結果により遅延量が調整され、

40

前記コース遅延素子は、前記デコーダからの前記遅延段数の増減を制御するための信号によって遅延量が調整される、請求項 3 に記載の半導体装置。

【請求項 5】

前記第 2 の内部クロックに応じて動作する、信号を外部から受ける入力回路をさらに備える、請求項 3 に記載の半導体装置。

【請求項 6】

複数のメモリセルを含むメモリセルアレイをさらに備え、

前記入力回路は、前記メモリセルアレイにおけるデータ書込/読出のための信号を受け

50

る、請求項 5 に記載の半導体装置。

【請求項 7】

前記第 2 の内部クロックに応じて動作する、信号を外部に出力するための出力回路をさらに備える、請求項 3 に記載の半導体装置。

【請求項 8】

複数のメモリセルを含むメモリセルアレイをさらに備え、

前記出力回路は、前記メモリセルアレイから読出したデータを外部に出力する、請求項 7 に記載の半導体装置。

【請求項 9】

第 1 の外部クロックと前記第 1 の外部クロックと位相が相補になっている第 2 の外部クロックとが少なくとも入力され、前記第 1 の外部クロックの電位と前記第 2 の外部クロックの電位とが等しくなる前記第 1 の外部クロックの立上がりエッジのタイミングにおいて第 1 の内部クロックを出力する第 1 の入力バッファと、

前記第 1 の外部クロックと前記第 2 の外部クロックとが少なくとも入力され、前記第 1 の外部クロックの電位と前記第 2 の外部クロックの電位とが等しくなる前記第 2 の外部クロックの立上がりエッジのタイミングにおいて第 2 の内部クロックを出力する第 2 の入力バッファと、

前記第 1 の内部クロックを遅延して第 3 の内部クロックを出力する第 1 の遅延回路と、

前記第 2 の内部クロックを遅延して第 4 の内部クロックを出力する第 2 の遅延回路と、

前記第 1 の内部クロックと前記第 3 の内部クロックとの位相差を検出して制御信号を出力する検出器と、

前記検出器からの制御信号をカウントし、グレイコードでカウント結果を格納するとともに、グレイコードの前記カウント結果の増減に基づき前記第 1 の遅延回路の遅延段数および前記第 2 の遅延回路の遅延段数の増減を制御するための信号を前記第 1 の遅延回路および前記第 2 の遅延回路へ出力するカウンタとを含み、

前記カウンタは、

グレイコードの前記カウント結果を格納するとともに出力するグレイコードレジスタと

前記グレイコードレジスタの出力をデコードして前記遅延段数の増減を制御するための信号を発生するデコーダと、

前記グレイコードレジスタの出力を受け、グレイコードの前記カウント結果をバイナリコードに変換するとともに格納するバイナリコード変換器と、

前記バイナリコード変換器から出力されるバイナリコードの前記カウント結果を受け、前記グレイコードレジスタのカウントアップ用キャリア信号とカウントダウン用キャリア信号とを発生するアップキャリア/ダウンキャリア発生器と、

前記カウントアップ用キャリア信号および前記カウントダウン用キャリア信号を受け、前記検出器から出力される前記制御信号に応じて、前記グレイコードレジスタに格納されたグレイコードの前記カウント結果を更新するためのキャリア信号として前記カウントアップ用キャリア信号および前記カウントダウン用キャリア信号のいずれかを選択するキャリアマルチプレクサとを有するディレイロックドループを備える、半導体装置。

【請求項 10】

前記第 3 の内部クロックおよび前記第 4 の内部クロックに応じて動作する、信号を外部に出力するための出力回路をさらに備える、請求項 9 に記載の半導体装置。

【請求項 11】

複数のメモリセルを含むメモリセルアレイをさらに備え、

前記出力回路は、前記メモリセルアレイから読出したデータを前記第 3 および第 4 の内部クロックに応じて外部に出力する、請求項 10 に記載の半導体装置。

【請求項 12】

クロック同期により動作するシステムのための制御方法であって、

外部クロックを受けて第 1 の内部クロックを発生する入力バッファステップと、

10

20

30

40

50

前記第 1 の内部クロックを遅延して第 2 の内部クロックを出力する遅延ステップと、  
前記第 1 の内部クロックと前記第 2 の内部クロックとの位相差を検出して制御信号を出力する検出ステップと、

前記制御信号をカウントし、グレイコードでカウント結果を格納するとともに、グレイコードの前記カウント結果の増減に基づき前記遅延ステップにおける遅延量を決定するステップとを備え、

前記遅延量を決定するステップは、

グレイコードの前記カウント結果を格納するステップと、

格納されたグレイコードの前記カウント結果をデコードして前記遅延量を制御するための信号を発生するステップと、

10

格納されたグレイコードの前記カウント結果を受け、グレイコードの前記カウント結果をバイナリコードに変換するとともに格納するステップと、

変換されたバイナリコードの前記カウント結果を受け、カウントアップ用キャリー信号とカウントダウン用キャリー信号とを発生するステップと、

前記カウントアップ用キャリー信号および前記カウントダウン用キャリー信号を受け、前記検出ステップにおいて出力される前記制御信号に応じて、前記カウントアップ用キャリー信号および前記カウントダウン用キャリー信号のいずれかをキャリー信号として選択するステップと、

前記キャリー信号を受け、格納されたグレイコードの前記カウント結果を更新するステップとを含む、クロック同期により動作するシステムのための制御方法。

20

【請求項 1 3】

前記第 2 の内部クロックに応じてデータを外部に出力するステップをさらに備える、請求項 1 2 に記載のクロック同期により動作するシステムのための制御方法。

【請求項 1 4】

前記第 2 の内部クロックに応じて外部からデータを受けるステップをさらに備える、請求項 1 2 に記載のクロック同期により動作するシステムのための制御方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、クロック同期により動作するシステムにおいて同期を正確にとるために用いられるディレイロックドループ、当該ディレイロックドループを含む半導体装置およびクロック同期により動作するシステムのための制御方法に関するものである。

30

【0002】

【従来の技術】

クロック同期によって動作するシステムにおいて、ある部品がクロックに同期した読出命令を受取ってから、当該読出命令に回答して読出データをクロック同期してシステムバスに返す場合を考える。なお、以下において記号 A D R は、バイナリコードを示す。また、記号  $A D R < k >$  は、バイナリコードにおける k ビット目を意味し、レジスタ値  $A D R < k >$  またはバイナリコード  $A D R < k >$  と称す。

【0003】

40

システムクロック周期を“T”とし、部品が読出命令を受取ってから読出データを準備するために T 0 だけ時間を要するとする。クロック周期 T と期間 T 0 との大小関係は問わないものとし、ある整数 N に対し、 $N \times T < T 0 < (N + 1) \times T$  という関係が成り立っているものとする。この場合の出力の方法としては、以下の方法が考えられている。

【0004】

図 1 7 を参照して、時刻 t 1 (クロック C L K e x t の立上がりエッジ 0) においてクロック C L K e x t に同期して読出命令が発せられ、読出データが準備され、次のクロック C L K e x t の立上がりエッジ 1 (時刻 t 2 :  $t 2 = t 1 + T$ ) に同期してデータが出力されている。

【0005】

50

部品がクロック  $CLK_{ext}$  を受取ってから、準備されたデータを出力バッファに出力するまでには  $T_d$  だけ時間を要する。このため、クロックエッジ 1 よりも実際の出力データは  $T_d$  だけ遅れて出力される。

【0006】

期間  $T_d$  の内訳としては、図 18 に示すように、部品内部において出力バッファを駆動するクロック  $CLK_{in}$  をクロック  $CLK_{ext}$  から発生するための時間  $T_{in}$  と、クロック  $CLK_{in}$  によって出力バッファが動作し始めてから出力負荷であるシステムバスを所定の論理閾値を超えるまで駆動するための出力バッファ駆動時間  $T_{out}$  とが含まれる ( $T_d = T_{in} + T_{out}$ )。

【0007】

したがって、当該システムにおいては、実際にはクロックエッジ 1 よりも  $T_d$  だけ遅れてからでないとデータはシステムバスに出力されないため、次のクロックエッジ 2 においてデータを取込むようにシステムを設計することになる。

【0008】

このような動作である場合、システムクロック周期  $T$  が  $T_d$  に比べて等しい、または  $T$  が  $T_d$  よりも小さいくらいまで高周波になってくると、図 19 に示すような問題が生じる。図 19 においては、クロックエッジ 1 においてデータが出力し始めたにもかかわらず、遅延時間  $T_d$  が  $T$  よりも大きいため、クロックエッジ 2 においてまだデータがバス上に伝達されていない。したがって、次のクロックエッジ 3 まで待たないとシステムはデータを取込むことができない。言換えると、クロックエッジ 2 においてデータを取込むような設計のままだと、システムが誤動作を起こすことになる。

【0009】

特に、近年開発されている DDR・SDRAM (ダブルデータレート・シンクロナスダイナミックランダムアクセスメモリ) においては、クロックの立上がりエッジと立下がりエッジとの両方でデータを出力する。このため、図 20 に示すように、上記した出力手法を DDR・SDRAM に適用したならば、クロック周期の  $1/2$  が  $T_d$  とほぼ等しくなる時点で上記問題と同じ問題が顕在化することになる。

【0010】

このような問題点を解決するために従来用いられているのが、ディレイ・ロックド・ループ (以下、DLL と記す) である。DLL を用いた部品においては、図 21 に示すように、部品がシステムクロック  $CLK_{ext}$  を受取って、当該システムクロック  $CLK_{ext}$  を部品内部で遅延素子により  $T_{dll1}$  だけ遅延させる。そして、システムクロックの立上がりエッジよりも出力バッファ駆動時間相当の時間 ( $T_{out} = T_{out}$ ) だけ手前で立上がるような内部クロック  $CLK_{in2}$  を発生する。

【0011】

内部クロック  $CLK_{in2}$  を用いて出力バッファを駆動することにより、システムクロック  $CLK_{ext}$  のエッジで読出データがバス上に出力されているという状態が実現できる。すなわち、 $T_{dll1} + T_{out} = m \times T$  ( $m$  は、1 以上の整数) が成立する。

【0012】

このように、DLL は出力タイミングをクロックに同期させることができる。同様に、部品がシステムバスから各種制御信号や入力データを取込むための入力バッファに対しても DLL を用いることができる。

【0013】

DLL を用いない場合の入力バッファの動作タイミングを、図 22 を用いて説明する。図 22 に示されるように、DLL を用いない入力バッファにおいては、クロック  $CLK_{ext}$  を受けてから部品内部で内部クロック  $CLK_{in}$  を発生するのに  $T_{in}$  だけの時間を要している。

【0014】

このため、外部から入力される制御信号  $SIG$  は、 $T_{in}$  相当の時間  $T_{in}$  だけ内部で遅れた信号  $SIG_{in}$  になり、信号  $SIG_{in}$  は内部クロック  $CLK_{in}$  のエッジタイミ

10

20

30

40

50

ングでラッチ回路910によりラッチされ確定することになる。図において、確定した制御信号を示している。

【0015】

ラッチ回路910は、図23に示すように、インバータIV1～IV4およびNAND回路N1～N4を含む。インバータIV1, IV3は、内部クロックCLKinおよび当該内部クロックCLKinを反転したクロック/CLKinに応じて動作する。

【0016】

したがって、DLLを用いない場合、システムクロックCLKextのエッジよりもTin以上遅れてからでないと部品は制御信号を使用することができず、部品自体が高速動作に適さなくなる。

10

【0017】

このような遅延を補償するため、上記したDLLを用いることになる。DLLを用いた動作波形について、図24を用いて説明する。図24を参照して、システムクロックCLKextを部品内部で遅延素子によりTd112だけ遅延させ、システムクロックCLKextのエッジと同じ位置にエッジを持つ内部クロックCLKin3を生成する。そして、当該内部クロックCLKin3を制御信号SIGをラッチするために用いたとすれば、上記した場合よりも、Tin相当分だけの時間だけ早く制御信号SIGをラッチすることができる。これにより高速動作に適したシステム設計となる。この場合、上記した説明によりTd112 = m × Tが成立する。

【0018】

20

ここで、従来から用いられてきたDLLを構成する回路の構成例を、図25を用いて説明する。従来のDLL9000は、図25に示すように、クロックバッファ1、ファイン遅延素子3、コース遅延素子5、デコーダ70、遅延レジスタであるバイナリカウンタ80、位相比較器9、タイミングクロック発生器10、パルス発生器11およびレプリカ回路13を含む。

【0019】

外部クロックCLKextがクロックバッファ1に入力される。クロックバッファ1は、クロックBUFFCLKを出力する。外部クロックCLKextからクロックBUFFCLKまでの時間はTinである。

【0020】

30

クロックBUFFCLKは、ファイン遅延素子3に入力される。ファイン遅延素子3は、クロックBUFFCLKをTfineだけ遅らせて、クロックCLKAを出力する。クロックBUFFCLKからクロックCLKAまでの遅延時間Tfineは可変であって、ファイン遅延素子3に入力される3ビットのレジスタ値ADR < 0 : 2 > の値によって微小な刻みTf (約40ps刻み) で変化する。

【0021】

クロックCLKAはコース遅延素子5に入力される。コース遅延素子5は、クロックCLKAをTcoarseだけ遅らせて、クロックCLKBを出力する。クロックCLKAからクロックCLKBまでの遅延時間Tcoarseは可変であって、6ビットのレジスタ値ADR < 3 : 8 > によって粗い刻みTcで変化する。なお、Tcは、Tfの8倍の大きさに設定しておく。

40

【0022】

ファイン遅延素子3およびコース遅延素子5の遅延量を決定するレジスタ値は、バイナリカウンタ80から出力される。

【0023】

クロックがファイン遅延素子3とコース遅延素子5とを通過するのに、回路構成上、少なくとも遅延時間Txかかる。ファイン遅延素子3とコース遅延素子5とを通過する以上、たとえばレジスタ値が最短遅延時間の値であったとしてもTxだけ遅延してしまう。

【0024】

さて、従来のDLLは、ファイン遅延素子3およびコース遅延素子5のいずれにおいても

50

、バイナリコードにより遅延時間を設定していた。一例としては、ファイン遅延素子3における遅延時間は、レジスタ値  $ADR < 0 : 2 >$  が “001” だと  $Tf$ 、“010” だと  $2Tf$ 、“011” だと  $3 \times Tf$  になる。また、コース遅延素子5における遅延時間は、レジスタ値  $ADR < 3 : 8 >$  が “000111” だと  $7 \times Tc$ 、“001000” だと  $8 \times Tc$  になる。

【0025】

したがって、上記した回路構成上発生する遅延時間  $Tx$  も考慮に入れると、 $Tcoarse$  を決定するレジスタ値が “001001” であり  $Tfine$  を決定するレジスタ値が “011” の場合、クロック  $BUFFCLK$  からクロック  $CLKB$  までのトータルの遅延時間は、 $Tfine + Tcoarse = Tx + 3 \times Tf + 9 \times Tc$  になる。

10

【0026】

以降の説明において、コース遅延素子5に入力されるレジスタ値が “001001” であり、ファイン遅延素子3に入力されるレジスタ値が “011” の場合には、レジスタ値 “001001011” と表記する。

【0027】

クロック  $CLKB$  は、出力バッファ駆動用の内部クロック  $CLKin2$  と入力バッファ駆動用の内部クロック  $CLKin3$  とを発生するパルス発生器11およびレプリカ回路13に入力されている。内部クロック  $CLKin2$  は、図21で説明した役割を果たす。これにより、外部クロック  $CLKext$  の立上がりエッジで出力バッファの出力がシステムバスに伝達されることになる。

20

【0028】

レプリカ回路13は、入力バッファ遅延時間  $Tin$  と出力バッファ駆動時間  $Tout$  との和を模擬した固定遅延時間 ( $Tin + Tout$ ) だけクロック  $CLKB$  を遅らせて、クロック  $FCLK$  を発生する。

【0029】

したがって、クロック  $BUFFCLK$  からクロック  $FCLK$  までの遅延時間は、 $Tfine + Tcoarse + Tin + Tout$  となる。上記した外部クロック  $CLKext$  からクロック  $FCLK$  の発生に至るまでの各種信号の関係は、図26に示すとおりである。

【0030】

ここで、 $DLL$  が、所望の遅延時間を満たすように動作している場合の波形について図27を用いて説明する。図27に示す例では、クロック  $BUFFCLK$  の立上がりエッジとクロック  $FCLK$  との立上がりエッジが同時になっている。クロック  $BUFFCLK$  よりも  $Tin$  だけ前に外部クロック  $CLKext$  があり、クロック  $FCLK$  よりも ( $Tin + Tout$ ) だけ前に内部クロック  $CLKin2$  の立上がりエッジがある。このため、外部クロック  $CLKext$  の立上がりエッジよりも  $Tout$  だけ前に内部クロック  $CLKin2$  の立上がりエッジがあることになる。これは、上述した図21において説明したタイミングに相当している。ここで、 $Tin = Tin$ 、 $Tout = Tout$  となるようにレプリカ回路13における遅延時間は設計されている。

30

【0031】

ここで、 $DLL$  の最適遅延時間を決定するためにはクロック  $BUFFCLK$  とクロック  $FCLK$  との立上がりエッジの先後を検出する回路が必要になる。これが、図25に示される位相比較器9である。位相比較器9は、クロック  $BUFFCLK$  とクロック  $FCLK$  との位相差を検出して、信号  $UPF$ 、 $DNF$  を出力する。

40

【0032】

ここで、信号  $UPF$ 、 $DNF$  について、図28(a)、図28(b)を用いて説明する。クロック  $FCLK$  の位相がクロック  $BUFFCLK$  の位相よりも進んでいる場合、図28(a)に示すように、位相比較器9の出力は「アップ」( $UPF = “H”$ 、 $DNF = “L”$ )になる。また、クロック  $FCLK$  の位相がクロック  $BUFFCLK$  の位相よりも遅れている場合には、図28(b)に示すように、位相比較器9の出力は「ダウン」(D

50

N F = “ H ”、U P F = “ L ”)になる。

【 0 0 3 3 】

位相比較器 9 の構成の一例を図 3 0 に示す。位相比較器 9 は、図 3 0 に示すように、N A N D 回路 N 5 ~ N 1 0 を含む。N A N D 回路 N 5 に入力されるクロック B U F F C L K と N A N D 回路 N 6 に入力されるクロック F B C L K とにより、N A N D 回路 N 9 から信号 U P F が、N A N D 回路 N 1 0 から信号 D N F がそれぞれ出力される。

【 0 0 3 4 】

図 2 5 を参照して、タイミングクロック発生器 1 0 は、信号 U P F , D N F を受けて、カウンタ更新クロック C L K C N T とアップ信号 U P とダウン信号 D N とを発生する。

【 0 0 3 5 】

バイナリカウンタ 8 0 は、カウンタ更新クロック C L K C N T に応じて、アップ信号 U P , ダウン信号 D N に基づき、レジスタ値 A D R < 0 : 2 > , A D R < 3 : 8 > を出力する。

【 0 0 3 6 】

位相比較器 9 の出力が「アップ」であると、レジスタ値が増加する。たとえば、“ 0 0 0 0 0 0 0 1 0 ” が、“ 0 0 0 0 0 0 0 1 1 ” になる。また、位相比較器 9 の出力が「ダウン」であると、レジスタ値が減少する。たとえば、“ 0 0 0 0 0 0 0 1 1 ” が、“ 0 0 0 0 0 0 0 1 0 ” になる。

【 0 0 3 7 】

デコーダ 7 0 は、レジスタ値 A D R < 3 : 8 > をデコードする。デコーダ 7 0 は、図 2 9 に示すように、A N D 回路 9 0 0 ~ 9 0 7 および 9 1 0 ~ 9 1 1 5 を含む。

【 0 0 3 8 】

A N D 回路 9 0 0 は、バイナリコード A D R < 0 > を反転したバイナリコード / A D R < 0 > と、バイナリコード A D R < 1 > を反転したバイナリコード / A D R < 1 > とを受け、A N D 回路 9 0 1 は、バイナリコード A D R < 0 > とバイナリコード / A D R < 1 > とを受ける。

【 0 0 3 9 】

A N D 回路 9 0 2 は、バイナリコード / A D R < 0 > と、バイナリコード A D R < 1 > とを受け、A N D 回路 9 0 3 は、バイナリコード A D R < 0 > とバイナリコード A D R < 1 > とを受ける。

【 0 0 4 0 】

A N D 回路 9 0 4 は、バイナリコード A D R < 2 > を反転したバイナリコード / A D R < 2 > と、バイナリコード A D R < 3 > を反転したバイナリコード / A D R < 3 > とを受け、A N D 回路 9 0 5 は、バイナリコード A D R < 2 > とバイナリコード / A D R < 3 > とを受ける。

【 0 0 4 1 】

A N D 回路 9 0 6 は、バイナリコード / A D R < 2 > と、バイナリコード A D R < 3 > とを受け、A N D 回路 9 0 7 は、バイナリコード A D R < 2 > とバイナリコード A D R < 3 > とを受ける。

【 0 0 4 2 】

A N D 回路 9 1 i ( i = 0 ~ 3 ) は、A N D 回路 9 0 i の出力 X < i > と A N D 回路 9 0 4 の出力 X < 4 > とを入力に受ける。A N D 回路 9 1 i + 4 ( i = 0 ~ 3 ) は、A N D 回路 9 0 i の出力 X < i > と A N D 回路 9 0 5 の出力 X < 5 > とを受ける。A N D 回路 9 1 i + 8 ( i = 0 ~ 3 ) は、A N D 回路 9 0 i の出力 X < i > と A N D 回路 9 0 6 の出力 X < 6 > とを入力に受ける。A N D 回路 9 1 i + 1 2 ( i = 0 ~ 3 ) は、A N D 回路 9 0 i の出力 X < i > と A N D 回路 9 0 7 の出力 X < 7 > とを受ける。A N D 回路 9 1 k ( k = 0 ~ 1 5 ) の出力に応じて、コース遅延素子 5 の遅延段数 ( たとえば、k 個 ) が決定される。ここでは 4 ビットバイナリデコーダについて例示したが、A D R < 3 > ~ A D R < 8 > を受ける 6 ビットバイナリデコーダも同様の回路により実現されることは当業者によって容易に理解されることである。

10

20

30

40

50

## 【 0 0 4 3 】

外部クロックを遅延しすぎると、出力「ダウン」により遅延時間が短くなり、遅延が足りなくなると出力「アップ」により遅延時間が長くなる。この結果、D L L 9 0 0 0 は、所望の遅延時間で安定することになる。

## 【 0 0 4 4 】

D L L は、このように、クロック B U F F C L K とクロック F B C L K との立上がりエッジの先後を検出しつつ、クロック B U F F C L K とクロック F B C L K との立上がりエッジが同時になる状態を保持するよう遅延素子 3 および 5 の遅延時間を適宜調節する。

## 【 0 0 4 5 】

## 【 発明が解決しようとする課題 】

ところで、図 2 8 ( a ) および図 2 8 ( b ) のように位相差が明確である場合には何の問題も生じない。しかしながら、D L L 9 0 0 0 は上記したようにクロック B U F F C L K とクロック F B C L K との位相差をモニタし、位相差がほとんどない状態を保持するよう遅延素子 3 および 5 を調整すべく動作せねばならない。

## 【 0 0 4 6 】

したがって、必然的に D L L 9 0 0 0 が動作している通常状態では、クロック B U F F C L K とクロック F B C L K との位相差はほとんどない。このような場合には、位相比較器 9 は、「アップ」または「ダウン」のいずれかを出力するべきなのかを決定するのに非常に長い時間を要する状態がある確率で発生する。

## 【 0 0 4 7 】

これは、位相比較器 9 を含めフリップフロップ一般について言えることで、メタステーブル状態として知られている現象である。

## 【 0 0 4 8 】

しかしながら、「C M O S 超 L S I の設計」( 培風館、1 9 8 9 年刊、p . 1 2 8 ) にあるように、メタステーブル状態の発生確率を完全に 0 にすることは現実的に不可能である。このような場合に、従来のようなバイナリカウンタ 8 0 を用いると誤動作を起こす可能性がある。

## 【 0 0 4 9 】

たとえば、現在のレジスタ値が “ 0 1 1 1 1 1 1 1 ” である場合、次のレジスタ値は、「アップ」であれば “ 1 0 0 0 0 0 0 0 ” になるが、「ダウン」であれば、“ 0 1 1 1 1 1 1 0 ” になる。

## 【 0 0 5 0 】

つまり、この例では M S B ビットから L S B ビットの 1 つ手前までの合計 8 ビットの状態が、「アップ」か「ダウン」かによって異なることになる。言換えると、「アップ」なら、9 ビットのキャリーが “ 1 ” なのに、「ダウン」であるならば、L S B ビット以外のキャリーは “ 0 ” であり、「アップ」か「ダウン」かでキャリーの値が大きく異なる。

## 【 0 0 5 1 】

こうした瞬間にメタステーブル状態が発生すると、位相比較器 9 は、「アップ」か「ダウン」か、すなわちレジスタのキャリーは “ 0 ” なのか “ 1 ” なのか不定になる。この結果として、次のレジスタ状態が不定になる。実際には、次のレジスタ状態はランダムな値になる。

## 【 0 0 5 2 】

すなわち、D L L の遅延時間がある値から突然大きく異なる別の値になってしまうという結果をもたらす。たとえば、レジスタ値が “ 0 1 1 1 1 1 1 1 ” から “ 0 1 0 1 0 1 0 1 0 ” になった場合には、遅延素子の遅延時間  $T_{coarse} + T_{fine}$  は  $31 \times T_c + 7 \times T_f$  から  $21 \times T_c + 2 \times T_f$  になる。

## 【 0 0 5 3 】

したがって、所望の遅延状態で安定していたはずの D L L において、遅延時間が、突然大きくずれてしまい、系全体が誤動作状態を起こしてしまう。

## 【 0 0 5 4 】

10

20

30

40

50

そこで、本発明はかかる問題を解決するためになされたものでありその目的は、不連続な遅延の飛びを最小化することができるディレイロックドループおよび当該ディレイロックドループを備える半導体装置を提供する。

【0055】

【課題を解決するための手段】

この発明のある局面によるディレイロックドループは、第1クロックを遅延して第2クロックを出力する遅延回路と、上記第1クロックと上記第2クロックとの位相差を検出して制御信号を出力する検出器と、上記検出器からの制御信号をカウントし、グレイコードでカウント結果を格納するとともに、グレイコードの上記カウント結果の増減に基づき上記遅延回路の遅延段数の増減を制御するための信号を上記遅延回路へ出力するカウンタと 10  
を備え、上記カウンタは、グレイコードの上記カウント結果を格納するとともに出力するグレイコードレジスタと、上記グレイコードレジスタの出力をデコードして上記遅延段数の増減を制御するための信号を発生するデコーダと、上記グレイコードレジスタの出力を受け、グレイコードの上記カウント結果をバイナリコードに変換するとともに格納するバイナリコード変換器と、上記バイナリコード変換器から出力されるバイナリコードの上記  
カウント結果を受け、上記グレイコードレジスタのカウントアップ用キャリア信号とカウントダウン用キャリア信号とを発生するアップキャリア/ダウンキャリア発生器と、上記  
カウントアップ用キャリア信号および上記カウントダウン用キャリア信号を受け、上記検出器から出力される上記制御信号に応じて、上記グレイコードレジスタに格納されたグレイ  
コードの上記カウント結果を更新するためのキャリア信号として上記カウントアップ用 20  
キャリア信号および上記カウントダウン用キャリア信号のいずれかを選択するキャリアマルチプレクサとを含む。

【0057】

特に、上記遅延回路は、ファイン遅延素子と、上記ファイン遅延素子と一列に接続され、上記ファイン遅延素子よりも上記グレイコードレジスタの格納値1ビットあたりの遅延変化量が大きいコース遅延素子とを含み、上記ファイン遅延素子は、上記バイナリコード変換器によって変換後格納されたバイナリコードの上記カウント結果により遅延量が調整され、上記コース遅延素子は、上記デコーダからの上記遅延段数の増減を制御するための信号によって遅延量が調整される。

【0058】

この発明のある局面による半導体装置は、外部クロックを受けて第1の内部クロックを出力する入力バッファと、上記第1の内部クロックを遅延して第2の内部クロックを出力する遅延回路と、上記第1の内部クロックと上記第2の内部クロックとの位相差を検出して制御信号を出力する検出器と、上記検出器からの制御信号をカウントし、グレイコードでカウント結果を格納するとともに、グレイコードの上記カウント結果の増減に基づき上記遅延回路の遅延段数の増減を制御するための信号を上記遅延回路へ出力するカウンタと 30  
を含み、上記カウンタは、グレイコードの上記カウント結果を格納するとともに出力するグレイコードレジスタと、上記グレイコードレジスタの出力をデコードして上記遅延段数の増減を制御するための信号を発生するデコーダと、上記グレイコードレジスタの出力を受け、グレイコードの上記カウント結果をバイナリコードに変換するとともに格納する  
バイナリコード変換器と、上記バイナリコード変換器から出力されるバイナリコードの上記  
カウント結果を受け、上記グレイコードレジスタのカウントアップ用キャリア信号と  
カウントダウン用キャリア信号とを発生するアップキャリア/ダウンキャリア発生器と、上記  
カウントアップ用キャリア信号および上記カウントダウン用キャリア信号を受け、上記検出器から出力される上記制御信号に応じて、上記グレイコードレジスタに格納されたグレイ  
コードの上記カウント結果を更新するためのキャリア信号として上記カウントアップ用  
キャリア信号および上記カウントダウン用キャリア信号のいずれかを選択するキャリア  
マルチプレクサとを有するディレイロックドループを備える。 40

【0060】

特に、上記遅延回路は、ファイン遅延素子と、上記ファイン遅延素子と一列に接続され 50

、上記ファイン遅延素子よりも上記グレイコードレジスタの格納値 1 ビット単位あたりの遅延変化量が大きいコース遅延素子とを含み、上記ファイン遅延素子は、上記バイナリコード変換器によって変換後格納されたバイナリコードの上記カウント結果により遅延量が調整され、上記コース遅延素子は、上記デコーダからの上記遅延段数の増減を制御するための信号によって遅延量が調整される。

【 0 0 6 1 】

好ましくは、半導体装置は、第 2 の内部クロックに応じて動作する、信号を外部から受ける入力回路または、第 2 の内部クロックに応じて動作する、信号を外部に出力するための出力回路をさらに備える。特に、半導体装置は、複数のメモリセルを含むメモリセルアレイをさらに備え、入力回路は、前記メモリセルアレイにおけるデータ書込 / 読出のための信号を受け、出力回路は、前記メモリセルアレイから読出したデータを外部に出力する。

10

【 0 0 6 2 】

この発明のさらなる局面による半導体装置は、第 1 の外部クロックと上記第 1 の外部クロックと位相が相補になっている第 2 の外部クロックとが少なくとも入力され、上記第 1 の外部クロックの電位と上記第 2 の外部クロックの電位とが等しくなる上記第 1 の外部クロックの立上がりエッジのタイミングにおいて第 1 の内部クロックを出力する第 1 の入力バッファと、上記第 1 の外部クロックと上記第 2 の外部クロックとが少なくとも入力され、上記第 1 の外部クロックの電位と上記第 2 の外部クロックの電位とが等しくなる上記第 2 の外部クロックの立上がりエッジのタイミングにおいて第 2 の内部クロックを出力する第 2 の入力バッファと、上記第 1 の内部クロックを遅延して第 3 の内部クロックを出力する第 1 の遅延回路と、上記第 2 の内部クロックを遅延して第 4 の内部クロックを出力する第 2 の遅延回路と、上記第 1 の内部クロックと上記第 3 の内部クロックとの位相差を検出して制御信号を出力する検出器と、上記検出器からの制御信号をカウントし、グレイコードでカウント結果を格納するとともに、グレイコードの上記カウント結果の増減に基づき上記第 1 の遅延回路の遅延段数および上記第 2 の遅延回路の遅延段数の増減を制御するための信号を上記第 1 の遅延回路および上記第 2 の遅延回路へ出力するカウンタとを含み、上記カウンタは、グレイコードの上記カウント結果を格納するとともに出力するグレイコードレジスタと、上記グレイコードレジスタの出力をデコードして上記遅延段数の増減を制御するための信号を発生するデコーダと、上記グレイコードレジスタの出力を受け、グレイコードの上記カウント結果をバイナリコードに変換するとともに格納するバイナリコード変換器と、上記バイナリコード変換器から出力されるバイナリコードの上記カウント結果を受け、上記グレイコードレジスタのカウントアップ用キャリー信号とカウントダウン用キャリー信号とを発生するアップキャリー / ダウンキャリー発生器と、上記カウントアップ用キャリー信号および上記カウントダウン用キャリー信号を受け、上記検出器から出力される上記制御信号に応じて、上記グレイコードレジスタに格納されたグレイコードの上記カウント結果を更新するためのキャリー信号として上記カウントアップ用キャリー信号および上記カウントダウン用キャリー信号のいずれかを選択するキャリーマルチプレクサとを有するディレイロックループを備える。

20

30

【 0 0 6 3 】

好ましくは、半導体装置は、第 3 の内部クロックおよび第 4 の内部クロックに応じて動作する、信号を外部に出力するための出力回路をさらに備える。

40

【 0 0 6 4 】

特に、半導体装置は、複数のメモリセルを含むメモリセルアレイをさらに備え、出力回路は、メモリセルアレイから読出したデータを第 3 および第 4 の内部クロックに応じて外部に出力する。

【 0 0 6 5 】

この発明のさらなる局面によるクロック同期により動作するシステムにおける制御方法は、外部クロックを受けて第 1 の内部クロックを発生する入力バッファステップと、上記第 1 の内部クロックを遅延して第 2 の内部クロックを出力する遅延ステップと、上記第 1 の内部クロックと上記第 2 の内部クロックとの位相差を検出して制御信号を出力する検出

50

ステップと、上記制御信号をカウントし、グレイコードでカウント結果を格納するとともに、グレイコードの上記カウント結果の増減に基づき上記遅延ステップにおける遅延量を決定するステップとを備え、上記遅延量を決定するステップは、グレイコードの上記カウント結果を格納するステップと、格納されたグレイコードの上記カウント結果をデコードして上記遅延量を制御するための信号を発生するステップと、格納されたグレイコードの上記カウント結果を受け、グレイコードの上記カウント結果をバイナリコードに変換するとともに格納するステップと、変換されたバイナリコードの上記カウント結果を受け、カウントアップ用キャリー信号とカウントダウン用キャリー信号とを発生するステップと、上記カウントアップ用キャリー信号および上記カウントダウン用キャリー信号を受け、上記検出ステップにおいて出力される上記制御信号に応じて、上記カウントアップ用キャリー信号および上記カウントダウン用キャリー信号のいずれかをキャリー信号として選択するステップと、上記キャリー信号を受け、格納されたグレイコードの上記カウント結果を更新するステップとを含む。

10

【0067】

特に、制御方法は、第2の内部クロックに応じてデータを外部に出力するステップをさらに備える。または、制御方法は、第2の内部クロックに応じて外部からデータを受けるステップをさらに備える。

【0068】

【発明の実施の形態】

以下、本発明の実施の形態について、図を用いて説明する。図中同一または相当部分には同一記号または符号を付しその説明を省略する。

20

【0069】

[第1の実施の形態]

第1の実施の形態におけるディレイロックドループは、不連続な遅延の飛びを最小化することができる構成を有する。より具体的には、DLLにおいて、遅延レジスタとしてグレイコードカウンタ(グレイコード:交番符号)を用いる。

【0070】

これにより、キャリーを常に1ビットしかたてないようにすることで、仮にメタステーブル状態が起きても遅延時間の飛び(不連続な飛び)を最小化することができる。以下において、記号GADRは、グレイコードを意味する。また、記号GADR < k > は、グレイコードにおけるkビット目を意味し、レジスタ値ADR < k > またはグレイコードGADR < k > と称す。

30

【0071】

ここで、4ビットのグレイコードについて、図1を用いて説明する。図1では、デシマル(10進コード)に対するバイナリコード(2進コード)とグレイコードとをそれぞれ示している。図中、“ ”(上向き矢印)は、「ダウン」方向を、“ ”(下向き矢印)は、「アップ」方向を表わしている。また、記号ADRは、バイナリコードを、記号GADRは、グレイコードを意味している。記号“・”(黒丸)は、バイナリコードおよびグレイコードのそれぞれについてキャリーがどのビットに立っているかを示している。

40

【0072】

グレイコードの作成方法は、以下に示すとおりである。まず、デシマル“0”をグレイ“0000”に割当てたとする。この点から、アップ方向に各ビットがどのように“0”または“1”にアサインされていくか説明する。

【0073】

グレイコードの0ビット目(LSB)は、アップ方向に0110を繰返す。1ビット目は、アップ方向に00111100を繰返す。2ビット目は、アップ方向に0000111111110000を繰返す。以下同様に、nビット目は、アップ方向に“0”を2のn乗回、“1”を2の(n+1)乗回、“0”を2のn乗回繰返す。

【0074】

なお、図1に示すグレイコードにおいて、nビット目の論理値を逆転させたものもグレイ

50

コードになる。

【0075】

バイナリコード、グレイコードのどちらについても、M番目のコードのアップキャリアがiビット目に立っている場合、M+1番目のコードのダウンキャリアもiビット目に立つ。したがって、図1において、M番目のコードとM+1番目のコードとの間にある記号“・”は、M番目のコードから見るとアップキャリアに相当し、M+1番目のコードから見るとダウンキャリアになる。

【0076】

バイナリコードでは、アップまたはダウン方向のいずれにおいても複数ビットにキャリアが立っているが、グレイコードでは、アップおよびダウン方向のいずれにおいても1つのビットにのみキャリアが立つことがわかる。

10

【0077】

たとえば、バイナリコード“0110”（デシマルコード“6”）を考える。バイナリコード“0110”のダウンキャリアは、0ビット目と1ビット目とに立っており、アップキャリアは、0ビット目に立っている。一方、1つ前のデシマルコード“5”（バイナリコード“0101”）のアップキャリアは、0ビット目と1ビット目とに立っており、1つ後のデシマルコード“7”（バイナリコード“0111”）のダウンキャリアは、0ビット目に立っている。

【0078】

これに対し、グレイコード“0101”（デシマルコード“6”）について考察する。グレイコード“0101”のダウンキャリアは、1ビット目に立っており、アップキャリアは、0ビット目に立っている。1つ前のデシマルコード“5”（グレイコード“0111”）のアップキャリアは、1ビット目に立っており、1つ後のデシマルコード“7”（グレイコード“0100”）のダウンキャリアは、0ビット目に立っている。すなわち、グレイコードでは、キャリアが常に1ビットしか立たないことがわかる。

20

【0079】

4ビットのグレイコードを4ビットのバイナリコードに変換する変換式の一例を、図2を用いて説明する。図2において、Exorとは、排他的論理和を意味する。Exor回路は、入力される複数の信号のうち“1”の数が奇数であれば“1”を、偶数であれば“0”を出力する。

30

【0080】

たとえば、 $\text{Exor}(GADR < 3 >, GADR < 2 >)$ は、バイナリコード $ADR < 2 >$ とし、 $\text{Exor}(GADR < 3 > \sim GADR < 1 >)$ は、バイナリコード $ADR < 3 >$ とする。すなわち、図2に示される変換式で、グレイコード $GADR < 3 : 0 >$ をバイナリコード $ADR < 3 : 0 >$ に変換することが可能になる。

【0081】

同様に、nビットのグレイコードをnビットのバイナリコードに変換する変換式を、図3を用いて説明する。たとえば、グレイコード $GADR < n - 1 >$ は、バイナリコード $ADR < n - 1 >$ とし、 $\text{Exor}(GADR < n - 1 > \sim GADR < n - 3 >)$ は、バイナリコード $ADR < n - 3 >$ とする。図3に示される変換式で、nビットのグレイコードをn

40

【0082】

次に、グレイコードのキャリアがどのビットに立つかについて、図4を用いて説明する。図4では、グレイコード“0101”をデシマル“6”（バイナリコード“0110”）に対応させた例を示している。図中、キャリアビットとバイナリコードにおけるビットとの関係を、矢印で表わしている。

【0083】

グレイコード“0101”のダウンキャリアは、対応するバイナリコード“0110”のうち、最もLSB側の“1”が立っているビット、つまり1ビット目に立つ。また、アップキャリアは、対応するバイナリコード“0110”のうち、最もLSB側の“0”が立

50

っているビット、つまり0ビット目に立つ。

【0084】

一般化すると、あるグレイコードについて考えたとき、当該グレイコードのダウンキャリアは、対応するバイナリコードのうち最もLSB側の“1”が立っているビットに立つ。また、アップキャリアは、対応するバイナリコードのうち、最もLSB側の“0”が立っているビットに立つ。これにより、グレイコードにおいては、アップキャリア、ダウンキャリアのそれぞれは、1ビットにしか立たないことがわかる。

【0085】

ここで、第1の実施の形態によるグレイコードカウンタ(9ビット)の構成の一例を、図5を用いて説明する。グレイコードカウンタ81は、図5に示すように、グレイコードレジスタ810、バイナリコード発生器811、アップ・ダウンキャリア発生器812およびキャリアマルチプレクサ813を含む。

10

【0086】

グレイコードレジスタ810は、9ビットのグレイコードGADR<0>~GADR<8>を格納する。バイナリコード発生器811は、Exor回路E0~E7を含む。

【0087】

バイナリコード発生器811は、グレイコードレジスタ810から9ビットのグレイコードGADR<0>~GADR<8>を受けて、図3で説明した変換式にしたがってバイナリコードADR<0>~ADR<8>を生成する。

【0088】

アップ・ダウンキャリア発生器812は、バイナリコードADR<0>~ADR<8>を受けて、図4で説明した変換式に従い、アップキャリアUC<0>~UC<8>またはダウンキャリアDC<0>~DC<8>を生成する。

20

【0089】

上述したように、アップキャリアUC<0>~UC<8>のうちの1ビットのみが“1”であり、他は“0”である。または、ダウンキャリアDC<0>~DC<8>のうちの1ビットのみが“1”であり、他は“0”である。

【0090】

キャリアマルチプレクサ813は、信号UPおよびDNを受ける複数のマルチプレクサ(記号MUX)を含む。信号UPとDNとは、相対的に反対の論理レベルを有する。

30

【0091】

信号UP=“1”, 信号DN=“0”であれば、次はカウンタをアップさせねばならないので、アップキャリアUC<0>~UC<8>をキャリアC<0>~C<8>としてスルーする。一方、信号UP=“0”, 信号DN=“1”ならば、次は、カウンタをダウンさせねばならないので、ダウンキャリアDC<0>~DC<8>をキャリアC<0>~C<8>としてスルーする。

【0092】

キャリアC<0>~C<8>のうちの1ビットのみが“1”であり、他は“0”である。上記したキャリアC<0>~C<8>の発生過程は、図6に示すとおりである。このようにして生成されたキャリアC<0>~C<8>が、グレイコードレジスタ810に入力される。そして、次のカウンタ更新クロックCLKCNTのタイミングで、入力されるキャリアC<0>~C<8>に基づき、グレイコードGADR<0>~GADR<8>のうちの1ビットが新しい値に更新される。

40

【0093】

ここで、第1の実施の形態によるグレイコードレジスタ810の回路構成の一例を、図7を用いて説明する。図7は、グレイコードGADR<n>に対応するレジスタの構成を示している(n=0~8)。グレイコードGADR<n>対応のレジスタは、NAND回路N20、インバータIV20~IV25、ならびにゲートG20およびG21を含む。

【0094】

NAND回路N20は、カウンタ更新クロックCLKCNTとキャリアC<n>を受け

50

、信号 / C を出力する。インバータ I V 2 0 は、信号 / C を反転し信号 C を出力する。

【 0 0 9 5 】

インバータ I V 2 1 および I V 2 2 はラッチ回路を構成する。同様に、インバータ I V 2 3 および I V 2 4 は、ラッチ回路を構成する。ゲート G 2 0 および G 2 1 は、信号 C および / C に応じて入力信号を出力信号にスルーし、または入力信号と出力信号とを切断する。

【 0 0 9 6 】

インバータ I V 2 5 は、グレイコード G A D R < n > を出力する出力ノード O U T とゲート G 2 0 との間に接続される。インバータ I V 2 1 および I V 2 2 を含むラッチ回路は、ゲート G 2 0 と G 2 1 との間に接続される。インバータ I V 2 3 および I V 2 4 を含むラッチ回路は、ゲート G 2 1 とノード O U T との間に接続される。

10

【 0 0 9 7 】

次に、第 1 の実施の形態によるバイナリコード発生器 8 1 1 の回路構成の一例を、図 8 を用いて説明する。バイナリコード発生器 8 1 1 は、図 8 に示すように、E X O R 回路 E 9 a , E 9 b , E 9 c , ... を含む。E x o r 回路は、図 3 で説明したグレイコード / バイナリコード変換式に対応するように配置される。

【 0 0 9 8 】

たとえば、グレイコード G A D R < 8 > は、バイナリコード A D R < 8 > として出力される。グレイコード G A D R < 8 > と G A D R < 7 > とを受ける E X O R 回路 E 9 b の出力がバイナリコード A D R < 7 > として出力される。グレイコード G A D R < 6 > ~ G A D R < 8 > を入力に受ける E X O R 回路 E 9 c の出力が、バイナリコード A D R < 6 > として出力される。

20

【 0 0 9 9 】

次に、第 1 の実施の形態によるアップ・ダウンキャリー発生器 8 1 2 の回路構成の一例を、図 3 3 を用いて説明する。アップ・ダウンキャリー発生器 8 1 2 は、図 3 3 に示すように、複数の論理回路 4 0 , 4 1 , 4 2 , ... を含む。アップ・ダウンキャリー発生器 8 1 2 における複数の論理回路は、図 4 で説明したキャリービットの位置を求める方式に従い配置される。アップ・ダウンキャリー発生器 8 1 2 により、ダウンキャリー D C < 0 > , D C < 1 > , ...、アップキャリー U C < 0 > , U C < 1 > , ... が出力される。

【 0 1 0 0 】

次に、第 1 の実施の形態によるキャリーマルチプレクサ 8 1 3 の回路構成の一例について、図 3 4 を用いて説明する。図 3 4 は、キャリー C < n > に対応するマルチプレクサを示している ( n = 0 ~ 8 )。キャリー C < n > 対応のマルチプレクサは、図 3 4 に示すように、論理回路 5 0 および 5 1、ならびにインバータ I V 5 0 ~ I V 5 5 を含む。

30

【 0 1 0 1 】

論理回路 5 0 は、カウンタ更新クロック C L K C N T と信号 U P とを受け、信号 U を出力する。インバータ I V 5 0 は、信号 U を反転した信号 / U を出力する。信号 U は、信号 U P が H レベルかつカウンタ更新クロック C L K C N T が L レベルのときのみ H レベルになる。

【 0 1 0 2 】

論理回路 5 1 は、カウンタ更新クロック C L K C N T と信号 D N とを受け、信号 D を出力する。インバータ I V 5 1 は、信号 D を反転した信号 / D を出力する。信号 D は、信号 D N が H レベルかつカウンタ更新クロック C L K C N T が L レベルのときのみ H レベルになる。

40

【 0 1 0 3 】

インバータ I V 5 2 は、信号 U が H レベル ( 信号 / U が L レベル ) になると、アップキャリー U C < n > を反転して出力する。インバータ I V 5 3 は、信号 D が H レベル ( 信号 / D が L レベル ) になると、ダウンキャリー D C < n > を反転して出力する。

【 0 1 0 4 】

インバータ I V 5 4 および I V 5 5 は、ラッチ回路を構成する。インバータ I V 5 4 およ

50

びIV55を含むラッチ回路は、インバータIV52, IV53の出力ノードと、ノードOUTとの間に配置される。ノードOUTから、キャリアC<n>が出力される。

【0105】

第1の実施の形態によるDLL1000の全体構成を、図9を用いて説明する。DLL1000は、図9に示すように、クロックバッファ1、ファイン遅延素子3、コース遅延素子5、デコーダ71、グレイコードカウンタ81、位相比較器9、タイミングクロック発生器10、パルス発生器11およびレプリカ回路13を含む。

【0106】

従来のDLL9000と異なる点は、バイナリカウンタ80に代わってグレイコードカウンタ81を含むこと、およびこれに伴いデコーダ70に代わってデコーダ71を含むこと

10

【0107】

グレイコードカウンタ81は、カウンタ更新クロックCLKCNTに応じて、信号UP/DNに基づき、バイナリコードADR<0:2>およびグレイコードGADR<3:8>を出力する。

【0108】

デコーダ71は、グレイコードGADR<3:8>をデコードして、コース遅延素子5の遅延段数を決定する信号を出力する。

【0109】

デコーダ71の構成の一例を、図10 - 図12を用いて説明する。デコーダ71は、図10 - 図12に示すように、信号GX<k>を出力するAND回路60 k (k = 0 ~ 11)、および信号GX<k>に応じてコース遅延素子5における遅延段数を決定する信号を出力するAND回路61 0 ~ 61 63を含む。

20

【0110】

AND回路60 i x 4 (i = 0, 1, 2)は、グレイコードGADR<3 + i x 2>を反転したグレイコード/GADR<3 + i x 2>と、グレイコードGADR<4 + i x 2>を反転したグレイコード/GADR<4 + i x 2>を受け、AND回路60 (i x 4 + 1)は、グレイコードGADR<3 + i x 2>とグレイコード/GADR<4 + i x 2>を受け。

【0111】

AND回路60 (i x 4 + 2)は、グレイコードGADR<3 + i x 2>とグレイコードGADR<4 + i x 2>を受け、AND回路60 (i x 4 + 3)は、グレイコード/GADR<3 + i x 2>とグレイコードGADR<4 + i x 2>を受け。

30

【0112】

AND回路61 0 ~ 61 63は、第1, 第2および第3の入力ノードを有する。AND回路61 (8 x i)および61 (8 x i + 7)の第1入力ノードは、信号GX<0>を受け、AND回路61 (8 x i + 1)および61 (8 x i + 6)の第1入力ノードは、信号GX<1>を受け、AND回路61 (8 x i + 2)および61 (8 x i + 5)の第1入力ノードは、信号GX<2>を受け、AND回路61 (8 x i + 3)および61 (8 x i + 4)の第1入力ノードは、信号GX<3>を受け (i = 0 ~ 7)。

40

【0113】

AND回路61 (j x 32 + 0) ~ 61 (j x 32 + 3)および61 (j x 32 + 28) ~ 61 (j x 32 + 31)の第2入力ノードは、信号GX<4>を受け、AND回路61 (j x 32 + 4) ~ 61 (j x 32 + 7)および61 (j x 32 + 24) ~ 61 (j x 32 + 27)の第2入力ノードは、信号GX<5>を受け、AND回路61 (j x 32 + 8) ~ 61 (j x 32 + 11)および61 (j x 32 + 20) ~ 61 (j x 32 + 23)の第2入力ノードは、信号GX<6>を受け、AND回路61 (j x 32 + 12) ~ 61 (j x 32 + 15)および61 (j x 32 + 16) ~ 61 (j x 32 + 19)の第2入力ノードは、信号GX<7>を受け (j = 0, 1)。

【0114】

50

AND回路61 0 ~ 61 15の第3入力ノードは、信号GX<8>を受け、AND回路61 16 ~ 61 31の第3入力ノードは、信号GX<9>を受け、AND回路61 32 ~ 61 47の第3入力ノードは、信号GX<10>を受け、AND回路61 48 ~ 61 63の第3入力ノードは、信号GX<11>を受ける。

【0115】

AND回路61 m (m = 0 ~ 63)の出力に応じて、コース遅延素子5の遅延段数(たとえば、m個)が決定される。

【0116】

次に、第1の実施の形態によるDLL1000を有する半導体装置10000の構成の一例を、図13を用いて説明する。半導体装置10000は、図13に示すように、外部クロックCLKextを受けるDLL1000、制御信号(ロウアドレスストロープ信号/RAS, コラムアドレスストロープ信号/CAS, チップ選択信号/CS、ライトイネーブル信号/WE等)を受ける入力バッファ1001、アドレス信号An (n = 0, 1, ...)を受ける入力バッファ1002、入力バッファ1001の出力を受けて内部制御信号を発生する制御信号発生回路1003、内部制御信号に応じて入力バッファ1002から出力されるロウアドレスをラッチするロウアドレスラッチ1004、内部制御信号に応じて入力バッファ1002から出力されるコラムアドレスをラッチするコラムアドレスラッチ1005、行列状に配置される複数のメモリスルと行方向に配置される複数のワード線と列方向に配置される複数のビット線とを含むメモリアレイ1006、内部制御信号に応じてロウアドレスラッチ1004の出力に基づき行選択を行うためのロウデコーダ1007、ならびに内部制御信号に応じてコラムアドレスラッチ1005の出力に基づき列選択を行うためのコラムデコーダ1008を含む。

【0117】

入力バッファ1001および1002は、DLL1000の出力するクロックBUFFCLK (またはCLKin3)に同期して入力信号を取込む。クロックBUFFCLKよりもクロックCLKin3の方が、高速化により適している。

【0118】

半導体装置10000はさらに、メモリアレイ1006にデータを書込み、またはメモリアレイ1006からデータを読み出すためのアレイ入出力回路1009、内部制御信号に応じて読出データをラッチする読出データラッチ1010、読出データラッチ1010にラッチしたデータを取込み、データ入出力端子DQiに出力する出力バッファ1011、書込データをラッチする書込データラッチ1012、ならびにデータ入出力端子DQiからデータを取込み、書込データラッチ1012に書込データを出力する入力バッファ1013を含む。

【0119】

出力バッファ1011は、DLL1000の出力する内部クロックCLKin2に同期して動作する。

【0120】

第1の実施の形態によるグレイコードカウンタを含むDLLにより得られる効果について述べる。たとえば、図1, 2の例(4ビットグレイコード)で説明する。上記したように、グレイコードカウンタにおいては、「アップ」においても「ダウン」においても、1ビットだけキャリーが立つ。

【0121】

そこで、現在のレジスタ値がデシマルコード“6” = グレイコード“0101”であったとする。信号UPがHならば、キャリーC<0> = “1”、キャリーC<1> ~ C<3> = “0”である。一方、信号DN = Hならば、キャリーC<1> = “1”、キャリーC<0>, <2>, <3> = “0”である。ここで、位相比較器9においてメタステーブル状態が発生し、信号UPおよびDNが不定値となってしまったとする。この場合においてキャリー値がどのようなようになるかを考察する。

【0122】

10

20

30

40

50

キャリア  $C < 2 >$  ,  $< 3 >$  は、信号 UP または信号 DN のいずれが H であっても “ 0 ” である。したがって、信号 UP および DN が不定になってもキャリア  $C < 2 >$  ~  $C < 3 >$  は不定にならず “ 0 ” を保持する。

【 0 1 2 3 】

キャリア  $C < 0 >$  ,  $C < 1 >$  は、信号 UP および DN の値により “ 0 ” または “ 1 ” の値になる。したがって、信号 UP および DN が不定になるとキャリア  $C < 0 >$  ,  $C < 1 >$  も不定になる。つまり、これによる次の 4 通りの結果がいずれかの確率で発生してしまう。

【 0 1 2 4 】

(イ) キャリア  $C < 0 >$  = “ 0 ”、キャリア  $C < 1 >$  = “ 0 ” のとき  
すべてのキャリアが “ 0 ” になるので、次のレジスタ値はデシマルコード 6 = グレイコード 0 1 0 1 のままである。

10

【 0 1 2 5 】

(ロ) キャリア  $C < 0 >$  = “ 1 ”、キャリア  $C < 1 >$  = “ 0 ” のとき  
次のレジスタ値はデシマル 7 = グレイコード 0 1 0 0 である。

【 0 1 2 6 】

(ハ) キャリア  $C < 0 >$  = “ 0 ”、キャリア  $C < 1 >$  = “ 1 ” のとき  
次のレジスタ値はデシマルコード 5 = グレイコード 1 1 1 1 である。

【 0 1 2 7 】

(ニ) キャリア  $C < 0 >$  = “ 1 ”、キャリア  $C < 1 >$  = “ 1 ” のとき、次のレジスタ値はデシマル 4 = グレイコード 0 1 1 0 である。

20

【 0 1 2 8 】

この例に表わされるように、メタステーブル状態が発生した後は、元の状態 “ 6 ” から遷移する可能性があるのは “ 4 ” , “ 5 ” , “ 6 ” , “ 7 ” のみである。すなわち、元の状態から最大でも “ 2 ” だけ離れた値にしか遷移しない。

【 0 1 2 9 】

ここでは、元の状態が “ 6 ” である場合について説明したが、元の状態が “ 6 ” 以外の値であっても「元の状態から最大でも “ 2 ” だけ離れたところにしか遷移しない」ことがわかる。

【 0 1 3 0 】

また、この事情は 4 ビットグレイコードカウンタのみならず、一般の n ビットグレイコードカウンタについても言える。

30

【 0 1 3 1 】

したがって、グレイコードカウンタを用いることにより、メタステーブル状態が発生しても最大でも元のレジスタ値から 2 はなれたところまでしかレジスタ値が飛ばない。従来例であるバイナリカウンタでは、元のレジスタ値から全く予想ができないところにレジスタ値が飛んでしまう可能性があったことを考えると、本発明の示す効果が大きいことがわかる。

【 0 1 3 2 】

このため、グレイコードカウンタを含む D L L においては、D L L の遅延値が安定化され、遅延のとびが最小化されるので、従来例で見たような不良が起こる可能性がなくなると

40

いう効果がある。

【 0 1 3 3 】

[ 第 2 の実施の形態 ]

第 2 の実施の形態においては、D D R ・ S D R A M に搭載する D L L について説明する。D D R ・ S D R A M 用の D L L 2 0 0 0 について、図 1 4 を用いて説明する。D L L 2 0 0 0 には、図 1 4 に示すように、外部からクロック C L K e x t および Z C L K e x t が入力される。クロック Z C L K e x t はクロック C L K e x t と位相が 1 8 0 度異なる。

【 0 1 3 4 】

D L L 2 0 0 0 は、クロックバッファ 1 , 2、ファイン遅延素子 3 , 4、コース遅延素子 5 , 6、デコーダ 7 1、グレイコードカウンタ 8 1、位相比較器 9、タイミングクロック

50

発生器 10、パルス発生器 11 および 12、ならびにレプリカ回路 13 を含む。

【0135】

ファイン遅延素子 4 は、ファイン遅延素子 3 と、コース遅延素子 6 は、コース遅延素子 5 とそれぞれ同じ構成を有する。また、パルス発生器 12 は、パルス発生器 11 と同じ構成を有する。

【0136】

クロックバッファ 1 および 2 にはともに、外部クロック  $CLK_{ext}$ 、 $ZCLK_{ext}$  が入力されている。クロックバッファ 1、2 は、図 31、32 に示すように、トランジスタ  $Tr1$ 、 $Tr2$ 、 $Tr3$ 、 $Tr4$  およびインバータ  $IV10$  を含む。クロックバッファ 1 は、クロック  $BUFFCLK$  を、クロックバッファ 2 は、クロック  $BUFFZCLK$  を出力する。

10

【0137】

位相比較器 9 は、レプリカ回路 13 の出力するクロック  $FCLK$  とクロック  $BUFFCLK$  との位相を比較して、信号  $UPF/DNF$  を出力する。グレイコードカウンタ 81 から出力されるバイナリコード  $ADR < 0 : 2 >$  は、ファイン遅延素子 3、4 に入力される。

【0138】

デコーダ 71 は、グレイコードカウンタ 81 の出力するグレイコード  $GADR < 3 : 8 >$  をデコードして、コース遅延素子 5、6 に出力する。

【0139】

クロック  $BUFFZCLK$  は、ファイン遅延素子 4 とコース遅延素子 6 とを通過した後、パルス発生器 12 に入力される。パルス発生器 12 から、クロック  $ZCLK_{in2}$  が出力される。内部クロック  $ZCLK_{in2}$  は、内部クロック  $CLK_{in2}$  とともに  $DDR \cdot SDRAM$  のデータ出力に用いられる。

20

【0140】

ここで、 $DLL2000$  の動作について、図 15 を用いて説明する。図 15 を参照して、信号  $BUFFCLK$  は、クロックバッファ 1 によりクロック  $CLK_{ext}$  の立上がりとクロック  $ZCLK_{ext}$  の立下がりとのクロックポイントにおいて発生する。一方、クロック  $BUFFZCLK$  は、クロックバッファ 2 により、クロック  $ZCLK_{ext}$  の立上がりとクロック  $CLK_{ext}$  の立下がりのクロスポイントとにおいて発生される。

30

【0141】

内部クロック  $CLK_{in2}$  は、外部クロック  $CLK_{ext}$  の立上がりと外部クロック  $ZCLK_{ext}$  の立下がりとのクロスポイントに同期してデータを出力する際に用い、内部クロック  $ZCLK_{in2}$  は、外部クロック  $ZCLK_{ext}$  の立上がりと内部クロック  $CLK_{ext}$  の立下がりとのクロスポイントに同期してデータを出力する際に用いる。

【0142】

ここで、第 2 の実施の形態による  $DLL2000$  を有する半導体装置  $20000$  の構成の一例を、図 16 を用いて説明する。半導体装置  $20000$  は、図 16 に示すように、外部クロック  $CLK_{ext}$  および  $ZCLK_{ext}$  を受ける  $DLL2000$ 、制御信号（ロウアドレスストロブ信号 /  $RAS$ 、コラムアドレスストロブ信号 /  $CAS$ 、チップ選択信号 /  $CS$ 、ライトイネーブル信号 /  $WE$  等）を受ける入力バッファ  $2001$ 、アドレス信号  $A_n$  ( $n = 0, 1, \dots, 11$ ) およびバンクアドレス信号  $BA0$ 、 $BA1$  を受ける入力バッファ  $2002$ 、入力バッファ  $2001$  の出力を受けて内部制御信号を発生する制御信号発生回路  $2003$ 、内部制御信号に応じて入力バッファ  $1002$  から出力されるロウアドレスをラッチするロウアドレスラッチ  $2004$ 、内部制御信号に応じて入力バッファ  $2002$  から出力されるコラムアドレスをラッチするコラムアドレスラッチ  $2005$ 、行列状に配置される複数のメモリセルと行方向に配置される複数のワード線と列方向に配置される複数のビット線とを含むメモリアレイ  $2006$ 、内部制御信号に応じてロウアドレスラッチ  $2004$  の出力に基づき行選択を行うためのロウデコーダ  $2007$ 、ならびに内部制御信号に応じてコラムアドレスラッチ  $2005$  の出力に基づき列選択を行うためのコラ

40

50

ムデコーダ2008を含む。

入力バッファ2001および2002は、DLL2000の出力するクロックBUFFCLK(またはCLKin3)に同期して入力信号を取込む。クロックBUFFCLKよりもクロックCLKin3の方が、高速化により適している。

【0143】

半導体装置2000はさらに、メモリアレイ2006にデータを書込みまたはメモリアレイ2006からデータを読み出すためのアレイ入出力回路2009、内部制御信号に応じて読出データをラッチする読出データラッチ2010、読出データラッチ2010にラッチしたデータを取込み、データ入出力端子DQiに出力する出力バッファ2011、書込データをラッチする書込データラッチ2012、ならびにデータ入出力端子DQiからデータを取込み、書込データラッチ2012に書込データを出力する入力バッファ2013を含む。

10

【0144】

出力バッファ2011は、DLL2000の出力する内部クロックCLKin2およびZCLKin2に同期して動作する。したがって、半導体装置2000(DDR・SDRAM)は、1クロック周期中に2回のデータを出力することができる。

【0145】

今回開示された実施の形態はすべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は上記した説明ではなくて特許請求の範囲によって示され、特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される。

20

【0146】

【発明の効果】

このように、本発明によるDLL回路は、遅延量を調整する遅延レジスタとしてグレイコードカウンタを用いる。これにより、キャリーが1ビットしか立たないので、DLLの遅延値が安定化され、遅延のとびが最小化される。これにより、安定した高速動作を実現することが可能となる。

【0147】

また、本発明によるDLL回路を含む半導体装置によれば、外部クロックを遅延して内部クロックを発生する際に、遅延量を調整する遅延レジスタとしてグレイコードカウンタを用いる。これにより、不連続な遅延の「飛び」を原理的に最小化することが可能となる。したがって、入力バッファや出力バッファを当該内部クロックで制御することで、安定した高速動作を実現することが可能となる。

30

【0148】

また、本発明によるクロック同期により動作するシステムのための制御方法によれば、グレイコードを用いて遅延量を制御するため、不連続な遅延の「飛び」を原理的に最小化することが可能となる。これにより、データを安定したタイミングで入力することができる。同じく、データを安定したタイミングで出力することができる。

【図面の簡単な説明】

【図1】4ビットのグレイコードについて説明するための図である。

40

【図2】4ビットのグレイコードを4ビットのバイナリコードに変換する変換式について説明するための図である。

【図3】nビットのグレイコードをnビットのバイナリコードに変換する変換式について説明するための図である。

【図4】グレイコードにおけるキャリーについて説明するための図である。

【図5】第1の実施の形態によるグレイコードカウンタ(9ビット)の構成の一例を示す図である。

【図6】キャリーC<0>~C<8>の発生過程を説明するためのタイミングチャートである。

【図7】第1の実施の形態によるグレイコードレジスタ810の回路構成の一例を示す図

50

である。

【図 8】第 1 の実施の形態によるバイナリコード発生器 8 1 1 の回路構成の一例を示す図である。

【図 9】第 1 の実施の形態による D L L 1 0 0 0 の全体構成を示す図である。

【図 1 0】第 1 の実施の形態によるデコーダ 7 1 の構成要素を示す図である。

【図 1 1】第 1 の実施の形態によるデコーダ 7 1 の構成要素を示す図である。

【図 1 2】第 1 の実施の形態によるデコーダ 7 1 の構成要素を示す図である。

【図 1 3】第 1 の実施の形態による D L L 1 0 0 0 を有する半導体装置 1 0 0 0 0 の構成の一例を示す図である。

【図 1 4】第 2 の実施の形態による D L L 2 0 0 0 の全体構成を示す図である。

10

【図 1 5】第 2 の実施の形態による D L L 2 0 0 0 の動作について説明するためのタイミングチャートである。

【図 1 6】第 2 の実施の形態による D L L 2 0 0 0 を有する半導体装置 2 0 0 0 0 の構成の一例を示す図である。

【図 1 7】データの出力タイミングについて説明するためのタイミングチャートである。

【図 1 8】データの出力タイミングについて説明するためのタイミングチャートである。

【図 1 9】システムクロック周期 T が短い場合におこる問題点を説明するためのタイミングチャートである。

【図 2 0】DDR・SDRAMにおける動作タイミングを説明するためのタイミングチャートである。

20

【図 2 1】DLLを用いた部品における動作を説明するためのタイミングチャートである。

【図 2 2】DLLを用いない場合のデータ入力における動作について説明するためのタイミングチャートである。

【図 2 3】ラッチ回路 9 1 0 の構成の一例を示す図である。

【図 2 4】DLLを用いた場合のデータ入力における動作について説明するためのタイミングチャートである。

【図 2 5】従来の D L L 9 0 0 0 の構成の一例を示す図である。

【図 2 6】D L L 9 0 0 0 の動作について説明するためのタイミングチャートである。

【図 2 7】D L L 9 0 0 0 の動作について説明するためのタイミングチャートである。

30

【図 2 8】( a ) , ( b ) は、信号 U P F , D N F の値について説明するためのタイミングチャートである。

【図 2 9】デコーダ 7 0 の構成の一例を示す図である。

【図 3 0】位相比較器 9 の構成の一例を示す図である。

【図 3 1】クロックバッファ 1 の構成の一例を示す図である。

【図 3 2】クロックバッファ 2 の構成の一例を示す図である。

【図 3 3】第 1 の実施の形態によるアップ・ダウンキャリア発生器 8 1 2 の回路構成の一例を示す図である。

【図 3 4】第 1 の実施の形態によるキャリアマルチプレクサ 8 1 3 の回路構成の一例を示す図である。

40

【符号の説明】

1 , 2 クロックバッファ、3 , 4 ファイン遅延素子、5 , 6 コース遅延素子、9 位相比較器、1 0 タイミングクロック発生器、1 1 , 1 2 パルス発生器、1 3 レプリカ回路、2 0 ゲート、4 0 バッファ、7 1 デコーダ、8 1 グレイコードカウンタ、8 1 0 グレイコードレジスタ、8 1 1 バイナリコード発生器、8 1 2 アップ・ダウンキャリア発生器、8 1 3 キャリアマルチプレクサ、1 0 0 0 , 2 0 0 0 D L L 、1 0 0 1 , 1 0 0 2 , 1 0 1 3 , 2 0 0 1 , 2 0 0 2 , 2 0 1 3 入力バッファ、1 0 0 3 , 2 0 0 3 制御信号発生回路、1 0 0 4 , 2 0 0 4 ロウアドレスラッチ、1 0 0 5 , 2 0 0 5 コラムアドレスラッチ、1 0 0 6 , 2 0 0 6 メモリアレイ、1 0 0 7 , 2 0 0 7 ロウデコーダ、1 0 0 8 , 2 0 0 8 コラムデコーダ、1 0 0 9 , 2 0 0 9 ア

50

レイ入出力回路、1010, 2010 読出データラッチ、1011, 2011 出力バッファ、1012, 2012 書込データラッチ、10000, 20000 半導体装置。

【図1】

4ビットグレイコードの説明

デシマルコード	バイナリコード ADR<3~0>				グレイコード GADR<3~0>			
	<3>	<2>	<1>	<0>	<3>	<2>	<1>	<0>
0	0	0	0	0	0	0	0	0
1	0	0	0	1	0	0	0	1
2	0	0	1	0	0	0	1	1
3	0	0	1	1	0	0	1	0
4	0	1	0	0	0	1	1	0
5	0	1	0	1	0	1	1	1
6	0	1	1	0	0	1	0	1
7	0	1	1	1	0	1	0	0
8	1	0	0	0	1	1	0	0
9	1	0	0	1	1	1	0	1
10	1	0	1	0	1	1	1	1
11	1	0	1	1	1	1	1	0
12	1	1	0	0	1	0	1	0
13	1	1	0	1	1	0	1	1
14	1	1	1	0	1	0	0	1
15	1	1	1	1	1	0	0	0

• キャリー

↓  
ダウン方向

↑  
アップ方向

【図2】

4ビットグレイコードを4ビットバイナリコードに変換する変換式

バイナリコード ADR<3~0>	グレイコード GADR<3~0>
ADR<3>	= GADR<3>
ADR<2>	= Exor(GADR<3>,GADR<2>)
ADR<1>	= Exor(GADR<3>~GADR<1>)
ADR<0>	= Exor(GADR<3>~GADR<0>)

【図3】

nビットグレイコードをnビットバイナリコードに変換する変換式

バイナリコード ADR<n-1~0>	グレイコード GADR<n-1~0>
ADR<n-1>	= GADR<n-1>
ADR<n-2>	= Exor(GADR<n-1>,GADR<n-2>)
ADR<n-3>	= Exor(GADR<n-1>~GADR<n-3>)
⋮	⋮
ADR<0>	= Exor(GADR<n-1>~GADR<0>)

【図4】

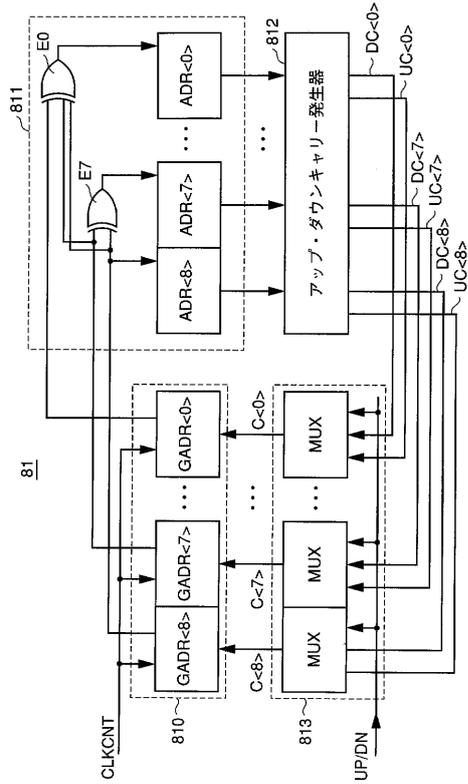
4ビットグレイコードのキャリーの場所の例示

デシマルコード	バイナリコード	グレイコード
5	0 1 0 1	0 1 1 1
6	0 1 ① ②	0 1 0 1
7	0 1 1 1	0 1 0 0

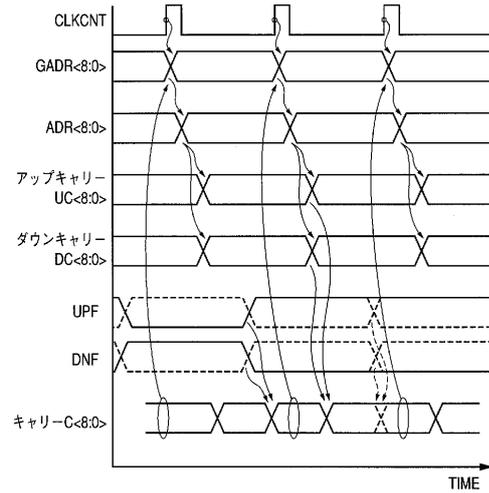
↓  
ダウン

↑  
アップ

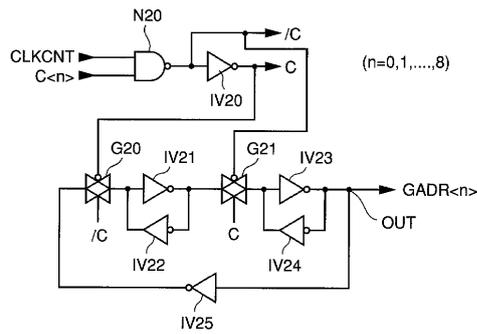
【図5】



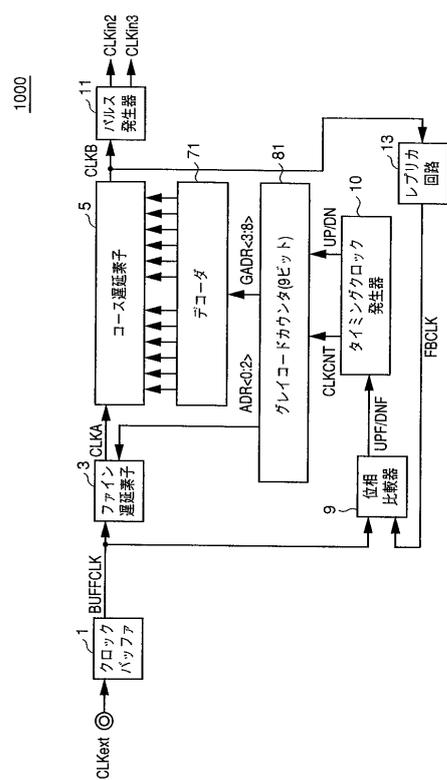
【図6】



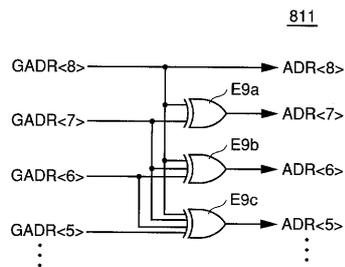
【図7】



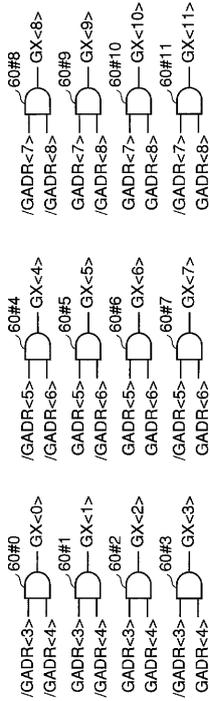
【図9】



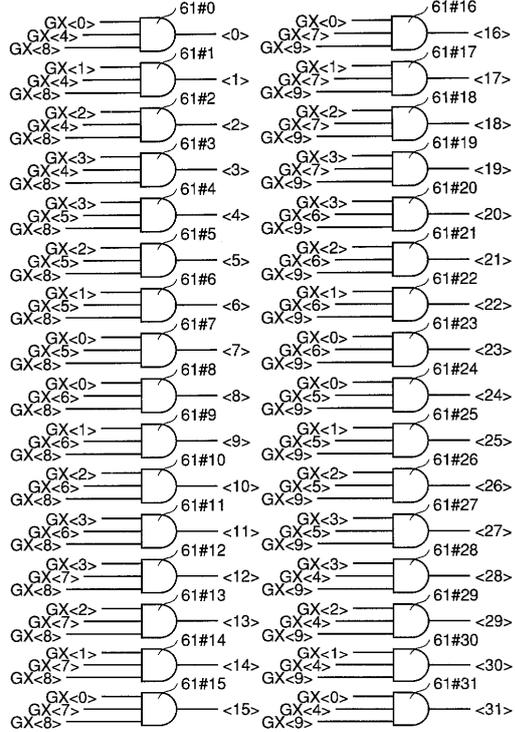
【図8】



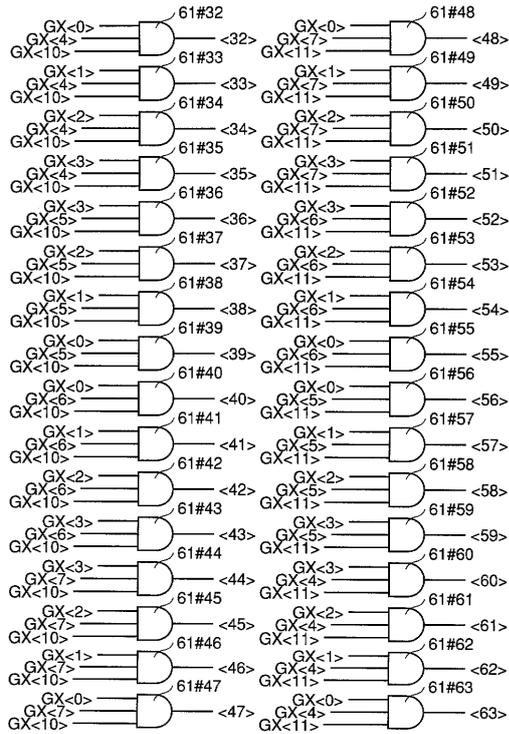
【図10】



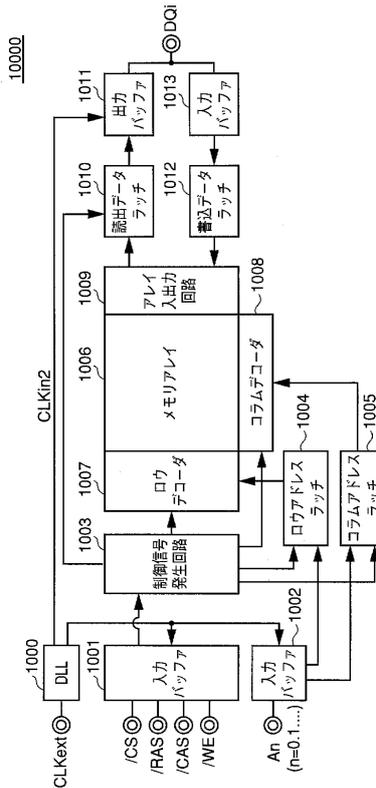
【図11】



【図12】

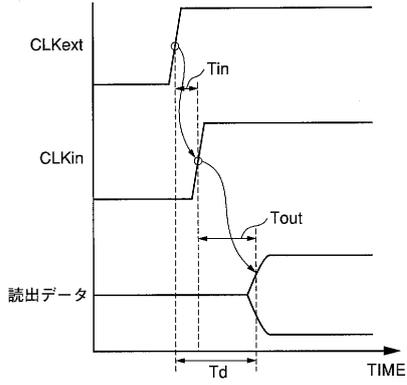


【図13】

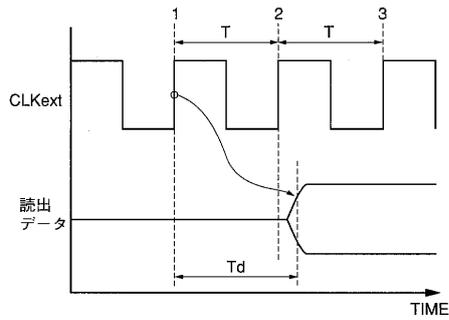




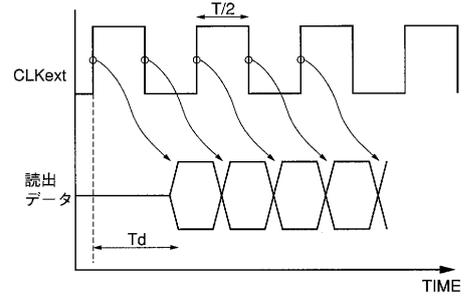
【図18】



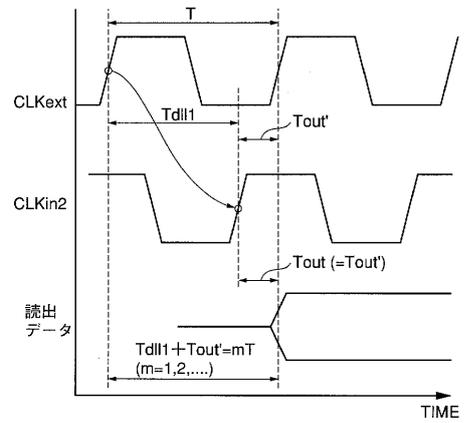
【図19】



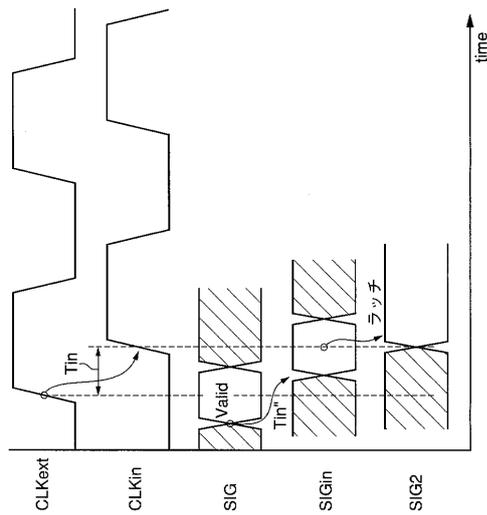
【図20】



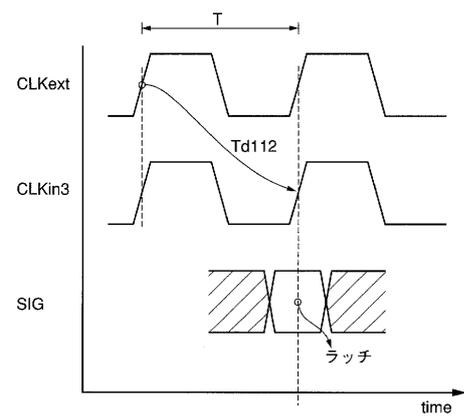
【図21】



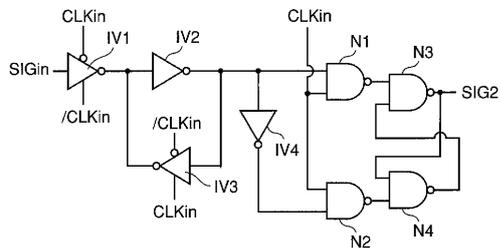
【図22】



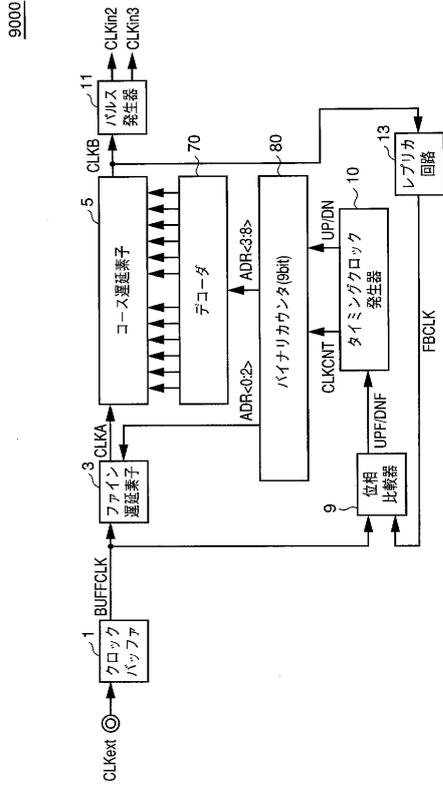
【図24】



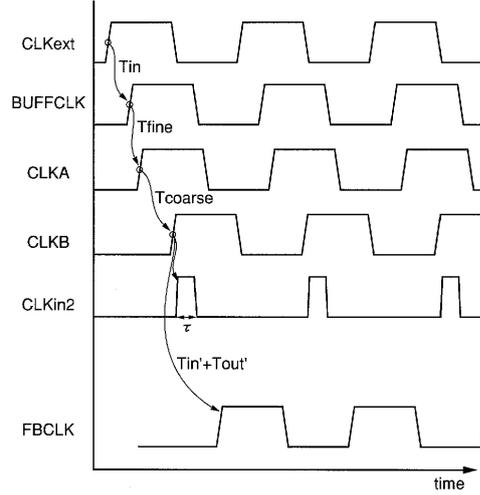
【図23】



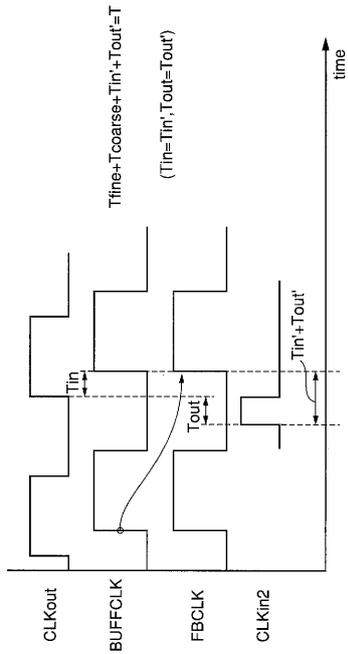
【 図 2 5 】



【 図 2 6 】

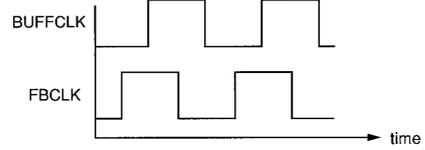


【 図 2 7 】

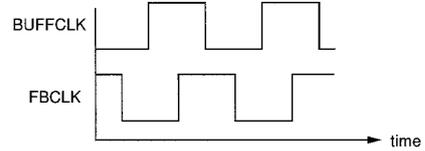


【 図 2 8 】

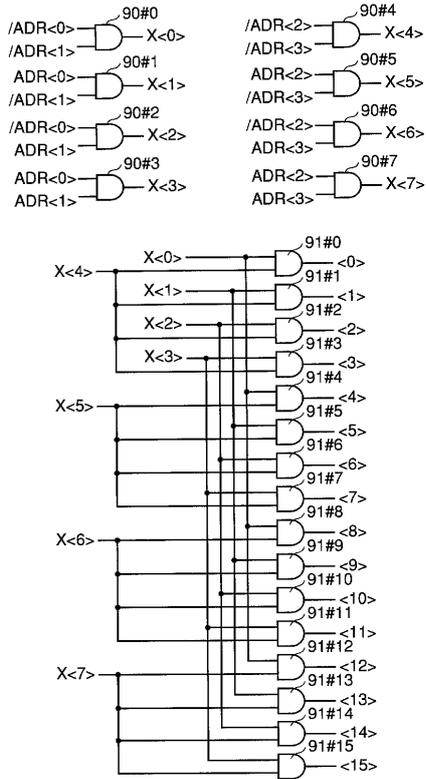
(a) アップ (UPF="H", DNF="L")



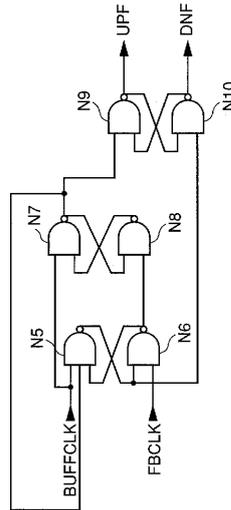
(b) ダウン (DNF="H", UPF="L")



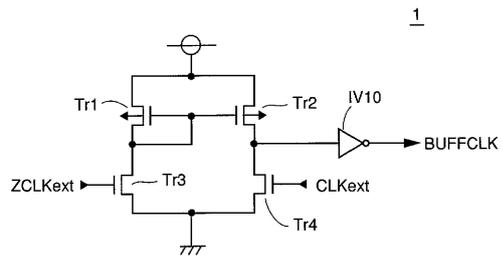
【 図 29 】



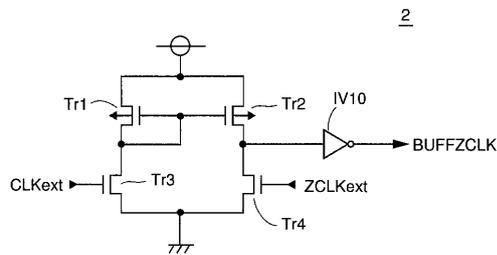
【 図 30 】



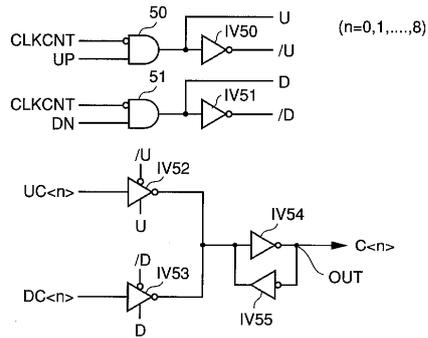
【 図 31 】



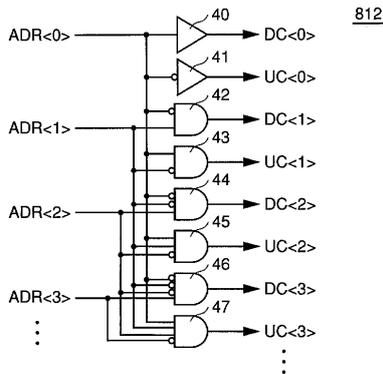
【 図 32 】



【 図 34 】



【 図 33 】



---

フロントページの続き

(74)代理人 100124523

弁理士 佐々木 真人

(74)代理人 100098316

弁理士 野田 久登

(72)発明者 月川 靖彦

東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内

審査官 佐藤 聡史

- (56)参考文献 特表平07-506476(JP,A)  
特開平11-007768(JP,A)  
特開平09-238053(JP,A)  
特開平11-355131(JP,A)  
特開平08-097715(JP,A)  
特開2000-122750(JP,A)  
特開平11-122750(JP,A)  
特開2000-163961(JP,A)  
特開平11-355133(JP,A)

(58)調査した分野(Int.Cl., DB名)

H03L 1/00-7/26