



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2014년01월14일
 (11) 등록번호 10-1350979
 (24) 등록일자 2014년01월07일

(51) 국제특허분류(Int. Cl.)
H01L 27/105 (2006.01)
 (21) 출원번호 10-2007-0046200
 (22) 출원일자 2007년05월11일
 심사청구일자 2012년03월27일
 (65) 공개번호 10-2008-0100082
 (43) 공개일자 2008년11월14일
 (56) 선행기술조사문헌
 KR1020060087882 A
 US20060252176 A1
 US06507061 B1
 US20060097341 A1

(73) 특허권자
삼성전자주식회사
 경기도 수원시 영통구 삼성로 129 (매탄동)
 (72) 발명자
이명재
 경기도 수원시 영통구 봉영로1517번길 30, 신나무
 실6단지 풍림 아파트 601동 1602호 (영통동)
박영수
 경기도 용인시 수지구 상현로 101 (상현동, 상현
 마을수지센트럴아이파크) 105-704
 (뒷면에 계속)
 (74) 대리인
리앤목특허법인

전체 청구항 수 : 총 10 항

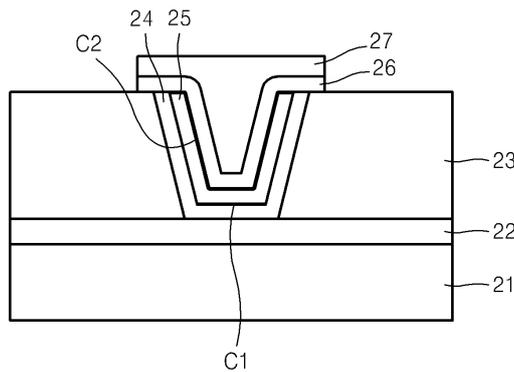
심사관 : 오순영

(54) 발명의 명칭 **저항성 메모리 소자 및 그 제조 방법**

(57) 요약

본 발명은 저항성 메모리 소자 및 그 제조 방법에 관한 것이다. 저항성 메모리 소자에 있어서, 하부 전극; 상기 하부 전극 상에 형성되며, 상기 하부 전극을 노출시키는 홀이 형성된 절연층; 상기 홀 내부에 형성된 저항층 및 중간 전극; 상기 중간 전극의 표면 상에 형성된 스위치 구조체; 및 상기 스위치 구조체 상에 형성된 상부 전극; 을 포함하는 저항성 메모리 소자를 제공한다.

대표도 - 도2



(72) 발명자

이정현

경기도 용인시 수지구 수지로 166, 태영레스빌아파트 106동 803호 (풍덕천동)

황순원

서울특별시 강남구 논현로102길 29-3, 303호 (역삼동)

정석재

경기도 성남시 분당구 미금로 177 (구미동, 까치마을신원아파트) 305-301

이창수

경기도 수원시 권선구 효원로230번길 24, 올림픽공원 대우미래사랑 102동 503호 (권선동)

특허청구의 범위

청구항 1

저항성 메모리 소자에 있어서,

하부 전극;

상기 하부 전극 상에 형성되며, 상기 하부 전극을 노출시키는 홀이 형성된 절연층;

상기 홀 내부에 형성된 저항층 및 중간 전극;

상기 중간 전극의 표면 상에 형성된 스위치 구조체; 및

상기 스위치 구조체 상에 형성된 상부 전극;을 포함하며,

상기 스위치 구조체는 상기 중간 전극 및 상기 저항층의 노출된 표면 상에 형성된 것을 특징으로 하는 저항성 메모리 소자.

청구항 2

제 1항에 있어서,

상기 저항층은 전류 인가에 따라 두 가지 저항 특성을 나타내는 물질인 것을 특징으로 하는 저항성 메모리 소자.

청구항 3

제 2항에 있어서,

상기 저항층은 전이 금속 산화물 또는 페로브스카이트 금속 산화물을 포함하는 것을 특징으로 하는 저항성 메모리 소자.

청구항 4

제 3항에 있어서,

상기 전이 금속 산화물은 Ni 산화물, Ti 산화물, Hf 산화물, Zr 산화물, Zn 산화물, W 산화물, Co 산화물, Cu 산화물 또는 Nb 산화물 또는 이들의 화합물인 것을 특징으로 하는 저항성 메모리 소자.

청구항 5

제 1항에 있어서,

상기 저항층 및 중간 전극은 상기 홀 내부의 바닥면 및 측면에 상기 홀의 형태에 따라 순차적으로 형성된 것을 특징으로 하는 저항성 메모리 소자.

청구항 6

삭제

청구항 7

제 1항에 있어서,

상기 스위치 구조체는 다이오드 구조체, varistor, threshold switching device 등의 non-ohmic 구조체로 형성된 것을 특징으로 하는 저항성 메모리 소자.

청구항 8

제 7항에 있어서,

상기 다이오드 구조체의 경우 n형 반도체층과 p형 반도체층의 이중층 구조이거나 n형 산화물층과 p형 산화물층의 이중층 구조인 것을 특징으로 하는 저항성 메모리 소자.

청구항 9

저항 메모리 소자의 제조 방법에 있어서,

(가) 하부 전극을 형성하는 단계;

(나) 상기 하부 전극 상에 절연층을 형성한 뒤, 상기 하부 전극을 노출시키는 홀을 형성하는 단계;

(다) 상기 홀 내부에 저항층 및 중간 전극을 순차적으로 형성하는 단계; 및

(라) 중간 전극의 표면에 스위치 구조체 및 상부 전극을 순차적으로 형성하는 단계를 포함하며,

상기 스위치 구조체는 상기 중간 전극 및 상기 저항층의 노출된 표면 상에 형성하는 것을 특징으로 하는 저항성 메모리 소자의 제조 방법.

청구항 10

제 9항에 있어서,

상기 저항층은 전이 금속 산화물 또는 페로브스카이트 금속 산화물을 포함하여 형성하는 것을 특징으로 하는 저항성 메모리 소자의 제조 방법.

청구항 11

청구항 11은(는) 설정등록료 납부시 포기되었습니다.

제 10항에 있어서,

상기 전이 금속 산화물은 Ni 산화물, Ti 산화물, Hf 산화물, Zr 산화물, Zn 산화물, W 산화물, Co 산화물, Cu 산화물 또는 Nb 산화물 또는 이들의 화합물인 것을 특징으로 하는 저항성 메모리 소자의 제조 방법.

청구항 12

제 9항에 있어서,

상기 저항층 및 중간 전극은 상기 홀 내부의 바닥면 및 측면에 상기 홀의 형태에 따라 순차적으로 형성하는 것을 특징으로 하는 저항성 메모리 소자의 제조 방법.

청구항 13

삭제

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

[0014] 본 발명은 저항성 메모리 소자에 관한 것으로, 보다 상세하게는 저항성 메모리 소자의 집적도를 유지하면서 스윙을 위한 접촉 면적을 증가시킨 저항성 메모리 소자 및 그 제조 방법에 관한 것이다.

[0015] 통상적인 반도체 메모리 어레이는 회로적으로 연결된 수많은 단위 메모리 셀들을 포함한다. 대표적인 반도체 메모리인 DRAM(Dynamic Random Access Memory)의 경우, 단위 메모리 셀은 한 개의 스위치와 한 개의 커패시터로 구성되는 것이 일반적이다. DRAM은 집적도가 높고 동작 속도가 빠른 이점이 있다. 그러나, 전원이 꺼진 후에는 저장된 데이터가 모두 소실되는 단점이 있다. 전원이 꺼진 후에도 저장된 데이터가 보존될 수 있는 비휘발성 메모리 소자의 대표적인 예가 플래쉬 메모리이다. 플래쉬 메모리는 휘발성 메모리와 달리 비휘발성의 특성을 지니고 있으나 DRAM에 비해 집적도가 낮고 동작 속도가 느린 단점이 있다.

[0016] 현재, 많은 연구가 진행되고 있는 비휘발성 메모리 소자로, MRAM(Magnetic Random Access Memory), FRAM(Ferroelectric Random Access Memory), PRAM(Phase-change Random Access Memory) 및 RRAM(resistance

random access memory) 등이 있다. 여기서 RRAM(resistance random access memory: 저항성 메모리 소자)은 주로 전이 금속 산화물의 저항 변환(variable resistance) 특성, 즉 상태에 따라 저항 값이 변화하는 특성을 이용한 것이다.

[0017] 도 1a는 종래 기술에 의한 일반적인 구조의 저항성 메모리 소자의 구조를 나타낸 도면이다. 도 1a를 참조하면, 하부 전극(11) 상에 저항층(12)이 형성되어 있으며, 저항층(12) 상에 상부 전극(13)이 형성되어 있다. 저항층(12)은 주로 전이 금속 산화물(transition metal oxide : TMO)로 형성되며, 하부 전극(11)과 상부 전극(13)은 일반적인 반도체 메모리 소자에 사용되는 금속 또는 금속 산화물 등의 전도성 물질로 형성된다.

[0018] 도 1b는 저항성 메모리 소자의 동작 특성을 나타낸 I-V 그래프를 단순화하여 나타낸 것이다. 가로축은 인가 전압을 나타내며, 세로축은 인가 전압에 대한 전류 값을 나타내었다. 도 1b를 참조하면, 하부 전극(11) 및 상부 전극(12)을 통하여 인가하는 전압의 크기를 0V에서 점차적으로 증가시키면, 전압에 비례하여 G_1 그래프를 따라 전류 값이 증가한다. 그러나, V_1 이상의 전압을 인가하면, 저항층의 저항이 크게 증가하여 전류 값이 감소하게 된다. $V_1 \sim V_2$ 범위로 전압을 인가하면 저항층에 흐르는 전류 값은 G_2 그래프를 따라 증가한다. 그리고, $V_2(V_2 > V_1)$ 이상의 전압을 가하게 되면, 저항이 갑자기 감소하여 전류가 증가하게 되어 다시 G_1 그래프를 따르게 된다. 일반적인 저항성 메모리 소자는 낮은 저항 상태(low resistance state : LRS)인 G_1 그래프에서 높은 저항 상태(high resistance state : HRS)인 G_2 그래프로 변화하는 리셋 전류(reset current) 값, 즉 V_1 전압에서의 G_1 그래프의 전류 값은 단위 셀의 사이즈가 작아질수록 감소하는 경향을 나타낸다. 단위 셀의 사이즈를 작게 하여 리셋 전류를 감소시키는 것은 소비 전력 측면이나 집적도 측면에서 바람직하다.

[0019] 그러나, 소자 집적도 측면에 있어서 크로스 포인트형 메모리 소자에서는 트랜지스터와 같은 선택 스위치(select switch)가 반드시 필요하며 적층에 유리한 2단 스위치를 사용하는 것이 바람직하다. 대표적인 2단 스위치인 다이오드를 사용하는 경우, 저항성 메모리 소자를 스위칭시키기 위하여 큰 전류 밀도(current density)가 요구된다. 스위칭 전류를 크게 하기 위해서는 기본적으로 소자와의 접촉 면적을 크게 하는 것이 바람직하다. 그러나, 접촉 면적을 크게 하기 위해서는 소자의 크기가 커져야 하므로 소자의 집적도 측면에서 불리한 점이 있다.

[0020] 따라서, 높은 집적도를 지니면서 안정된 스위칭 전류를 유지할 수 있는 새로운 구조의 저항성 메모리 소자가 요구된다.

발명이 이루고자 하는 기술적 과제

[0021] 본 발명에서는 상술한 종래 기술의 문제점을 해결하기 위하여 저항성 메모리 소자의 전체 크기를 감소시켜 집적도를 향상시키면서 안정된 스위칭 전류를 확보할 수 있는 새로운 구조의 저항성 메모리 소자 및 그 제조 방법을 제공하는 것을 목적으로 한다.

발명의 구성 및 작용

[0022] 본 발명에서는 상기 목적을 달성하기 위하여 본 발명에서는,

[0023] 저항성 메모리 소자에 있어서,

[0024] 하부 전극;

[0025] 상기 하부 전극 상에 형성되며, 상기 하부 전극을 노출시키는 홀이 형성된 절연층;

[0026] 상기 홀 내부에 형성된 저항층 및 중간 전극;

[0027] 상기 중간 전극의 표면 상에 형성된 스위치 구조체; 및

[0028] 상기 스위치 구조체 상에 형성된 상부 전극;을 포함하는 저항성 메모리 소자를 제공한다.

[0029] 본 발명에 있어서, 상기 저항층은 전이 금속 산화물 또는 페로브스카이트 금속 산화물을 포함하는 것을 특징으로 한다.

[0030] 본 발명에 있어서, 상기 전이 금속 산화물은 Ni 산화물, Ti 산화물, Hf 산화물, Zr 산화물, Zn 산화물, W 산화물, Co 산화물, Cu 산화물 또는 Nb 산화물 또는 이들의 화합물인 것을 특징으로 한다.

[0031] 본 발명에 있어서, 상기 저항층 및 중간 전극은 상기 홀 내부의 바닥면 및 측면에 상기 홀의 형태에 따라 순차

적으로 형성된 것을 특징으로 한다.

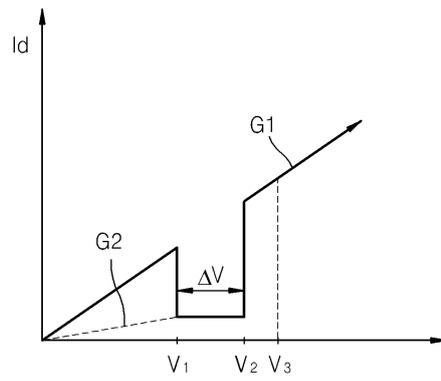
- [0032] 본 발명에 있어서, 상기 스위치 구조체는 상기 중간 전극 및 상기 저항층의 노출된 표면 상에 형성된 것을 특징으로 한다.
- [0033] 본 발명에 있어서, 상기 스위치 구조체는 다이오드 구조체, varistor, threshold switching device 등의 non-ohmic 구조체로 형성된 것을 특징으로 한다.
- [0034] 본 발명에 있어서, 상기 다이오드 구조체의 경우 n형 반도체층과 p형 반도체층의 이중층 구조이거나 n형 산화물층과 p형 산화물층의 이중층 구조인 것을 특징으로 한다.
- [0035] 또한, 본 발명에서는
- [0036] (가) 하부 전극을 형성하는 단계;
- [0037] (나) 상기 하부 전극 상에 절연층을 형성한 뒤, 상기 하부 전극을 노출시키는 홀을 형성하는 단계;
- [0038] (다) 상기 홀 내부에 저항층 및 중간 전극을 순차적으로 형성하는 단계; 및
- [0039] (라) 중간 전극의 표면에 스위치 구조체 및 상부 전극을 순차적으로 형성하는 단계를 포함하는 저항성 메모리 소자의 제조 방법을 제공한다.
- [0040] 이하, 첨부된 도면을 참조하여 본 발명의 실시예에 의한 저항성 메모리 소자 및 그 제조 방법에 대해 상세히 설명하고자 한다. 여기서, 도면에 도시된 각각 층 또는 영역들의 두께 및 폭은 설명을 위하여 과장되게 도시한 것임을 명심하여야 한다.
- [0041] 도 2는 본 발명의 실시예에 의한 저항성 메모리 소자를 나타낸 단면도이다. 본 발명의 실시예에 의한 저항성 메모리 소자는 1S(스위치)-1R(저항변환 물질)
- [0042] 도 2를 참조하면, 기판(21) 상에 하부 전극(bottom electrode)(22)이 형성되어 있으며, 하부 전극(22) 상에는 홀이 형성된 절연층(23)이 형성되어 있다. 절연층(23)의 홀(h) 내부에는 저항층(24) 및 중간 전극(25)이 형성되어 있다. 중간 전극(25)의 표면 상에는 스위치 구조체(26) 및 상부 전극(27)이 형성되어 있다. 보다 상세하게 설명하면, 절연층(23)의 홀(h)의 바닥 및 측면에는 저항층(24) 및 중간 전극(25)이 형성되어 있다. 홀(h) 내부에 저항층(24) 및 중간 전극(25)이 홀(h) 형태에 따라 형성되면서 홀(h)의 직경 및 깊이의 크기는 감소한다. 중간 전극(25)의 노출된 표면 상에는 스위치 구조체(26)가 형성되어 있으며, 스위치 구조체는 저항층(24)의 노출된 표면까지 연장되도록 형성되어 있다. 스위치 구조체(26) 상에는 상부 전극(27)이 형성되어 있다.
- [0043] 도 2에 나타낸 본 발명의 실시예에 의한 저항성 메모리 소자를 구성하는 각층의 구성 물질을 설명하면 다음과 같다. 기판(21)은 통상적인 반도체 소자에 사용되는 기판을 사용할 수 있다. 하부 전극(22), 중간 전극(25) 및 상부 전극(27)은 통상적으로 반도체 소자에 사용되는 전극 물질을 사용할 수 있으며, 예를 들어 Al, Hf, Zr, Zn, W, Co, Au, Pt, Ru, Ir, Ti 또는 전도성 금속 산화물 등을 사용할 수 있다. 절연층(23)은 통상적인 절연 물질로 형성할 수 있으며, 예를 들어 SiO₂, Si₃N₄ 등으로 형성할 수 있다. 홀 내부의 경사각을 조절하기 위하여 SiO₂로 수직면을 지닌 홀을 형성한 뒤, 홀 내부의 측면에 Si₃N₄를 도포하여 기울어지도록 된 사면을 지니도록 절연층(23)을 형성하는 것이 가능하다.
- [0044] 저항층(24)은 저항성 메모리 소자에 사용되는 저항변환 물질(variable resistance material)로 형성시킨다. 저항 변환 물질은 전류 인가에 따라 두 가지 저항 특성을 지닌 것이다. 전이금속 산화물인 Ni 산화물, Ti 산화물, Hf 산화물, Zr 산화물, Zn 산화물, W 산화물, Co 산화물, Cu 산화물, Nb 산화물 또는 이들의 화합물이나 페로브스카이트 금속 산화물(STO) 등을 사용할 수 있다. 전이 금속 산화물은 구체적으로 NiO, TiO₂, HfO, ZrO, ZnO, WO₃, CoO, CuO 또는 Nb₂O₅ 중 적어도 어느 한 물질 또는 이들의 화합물을 포함한다. 스위치 구조체(26)는 다이오드 구조, varistor, threshold switching 등의 non-ohmic 구조체로 형성할 수 있다. 다이오드 구조체의 경우 n형 반도체층과 p형 반도체층의 이중층(bilayer) 구조 또는 n형 산화물층과 p형 산화물층의 이중층(bilayer) 구조로 형성된 것일 수 있다.
- [0045] 도 2에 나타낸 바와 같은 본 발명의 실시예에 의한 저항성 메모리 소자에서는, 저항층(24)과 중간 전극(25)이 접하는 중간 전극(25)의 바닥면 영역 C1에서 스토리지 노드의 구동을 위한 전위가 인가되므로 절연층(23)의 홀의 aspect ratio를 조절하여 메모리 소자의 집적도를 향상시킬 수 있다. 또한, 스위치 구조체(26)와 중간 전극(25)의 접촉면 C2가 3차원 구조로 홀의 폭에 비해 매우 넓어짐으로써 메모리 소자의 스위칭을 위한 전류 밀도를

향상시키는데 매우 큰 장점이 있다.

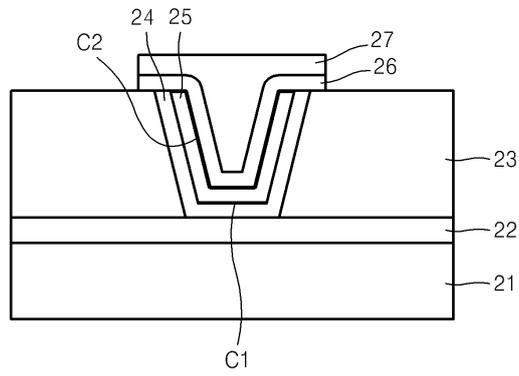
- [0046] 이하, 도 3a 내지 도 3e를 참조하여 본 발명의 실시예에 의한 저항성 메모리 소자의 제조 방법에 대해 상세하게 설명하고자 한다.
- [0047] 도 3a를 참조하면, Si 등과 같은 기판(21) 상에, 예를 들어 Al, Hf, Zr, Zn, W, Co, Au, Pt, Ru, Ir, Ti 또는 전도성 금속 산화물 등을 도포하여 하부 전극(22)을 형성한다. 도 4a에서는 크로스 포인트형 메모리 어레이 구조를 형성하는 공정을 도시하였다. 도 4a를 참조하면, 기판(21) 상에 전극 물질을 도포하고 이를 패터닝하여 하부 전극(22) 라인을 형성하는 것을 나타내었다.
- [0048] 도 3b를 참조하면, 하부 전극(22) 상에 절연물질, 예를 들어 SiO₂ 또는 Si₃N₄를 도포하여 절연층(23)을 형성한 뒤, 절연층(23)을 식각하여 하부 전극(22)을 노출시키는 홀(h)을 형성한다. 크로스 포인트형 메모리 어레이 구조의 형성 공정을 나타낸 도 4b를 참조하면, 하부 전극(22) 라인 영역 상에 절연 물질을 도포하여 절연층(23)을 형성한 뒤, 하부 전극(22) 라인에 대응하는 절연층(23) 영역에 다수의 홀(h)을 형성한다.
- [0049] 도 3c를 참조하면, 홀(h) 내부에 저항변환 물질, 예를 들어 전이금속 산화물인 Ni 산화물, Ti 산화물, Hf 산화물, Zr 산화물, Zn 산화물, W 산화물, Co 산화물, Cu 산화물, Nb 산화물 또는 이들의 화합물이나 페로브스카이트 금속 산화물(STO)을 도포하여 저항층(24)을 형성한다. 그리고, 저항층(24) 상에 Al, Hf, Zr, Zn, W, Co, Au, Pt, Ru, Ir, Ti 또는 전도성 금속 산화물 등을 도포하여 중간 전극(25)을 형성한 뒤, 절연층(23) 상면을 평탄화 시킨다.
- [0050] 도 3d를 참조하면, 중간 전극(25) 상에 p-반도체 물질 및 n-반도체 물질을 이중층 구조로 도포하여 스위치 구조체(26)을 형성한다. 예를 들어 p-산화물 반도체 및 n-산화물 반도체 물질을 도포하여 다이오드 구조체를 형성할 수 있다.
- [0051] 도 3e를 참조하면, 스위치 구조체(26) 상에 전도성 물질인 Al, Hf, Zr, Zn, W, Co, Au, Pt, Ru, Ir, Ti 또는 전도성 금속 산화물을 도포하여 상부 전극(27)을 형성한다. 크로스 포인트형 메모리 어레이 구조의 형성 공정을 나타낸 도 4c를 참조하면, 하부 전극(22) 라인과 직교하는 방향으로 상부 전극(27) 라인을 형성함으로써 크로스 포인트형 메모리 어레이 구조를 형성할 수 있다.
- [0052] 도 5는 스토리지 노드의 면적에 따른 리셋 전류 값을 나타낸 그래프이다. 도 5를 참조하면, 스토리지 노드의 면적이 감소함에 따라 리셋 전류 값이 크게 감소하는 것을 알 수 있다. 특히 직경이 30nm의 원형의 스토리지 노드를 지닌 저항성 메모리 소자의 경우 리셋 전류 값은 1 μ A인 것을 알 수 있다. 본 발명의 실시예에 의한 저항성 메모리 소자의 경우, 스토리지 노드의 면적은 도 2의 저항층(24)과 접하는 중간 전극(25)의 타원형인 바닥면 C1의 면적을 의미하며 이는 홀(h)의 단면의 면적보다 좁은 것이다.
- [0053] 도 6은 스위치 구조체의 면적에 따라 특성의 전류 밀도 값에서의 소자에 공급할 수 있는 전류 값을 나타낸 그래프이다.
- [0054] 예를 들어, 10⁻² μ m²의 면적을 지닌 원형 구조의 스위치의 경우, 저항 변환 물질이 10⁻⁴ A(0.1mA)의 전류로 스위칭을 한다고 가정하면, 10⁶ A/cm²의 전류 밀도가 요구된다. 이는 한 변의 길이가 100nm인 사각형 구조의 스위치도 동일하다. 그러나 본 발명의 실시예에 의한 저항성 메모리 소자와 같이 홀 내부에 스위치 구조체를 3차원 구조로 형성한 경우에는 스위치 구조체의 면적이 매우 넓어진다. 예를 들어, 본 발명의 실시예에 의한 저항성 메모리 소자와 같이 3차원 구조로 스위치 구조체를 형성한 경우, 바닥면의 면적은 10⁻² μ m²이나, 총 면적이 10⁻¹ μ m²인 경우, 10⁵ A/cm²의 전류 밀도에서 10⁻⁴ A의 스위칭 전류를 흐르게 할 수 있다. 즉, 2차원 구조의 스위치에 비해 요구되는 전류 밀도를 1/10로 감소시킬 수 있다. 결과적으로 본 발명의 실시예에 의한 저항성 메모리 소자의 경우 스토리지 노드의 면적은 증가시키지 않으면서 스위치 구조체를 3차원 구조로 형성하여 높은 집적도를 지니면서 안정된 스위칭 전류를 유지할 수 있다.
- [0055] 상기한 설명에서 많은 사항이 구체적으로 기재되어 있으나, 그들은 발명의 범위를 한정하는 것이라기보다, 바람직한 실시예의 예시로서 해석되어야 한다. 따라서, 본 발명의 범위는 설명된 실시예에 의하여 정하여 질 것이 아니고 특허 청구범위에 기재된 기술적 사상에 의해 정하여져야 한다.

발명의 효과

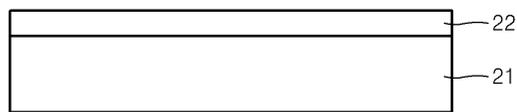
도면1b



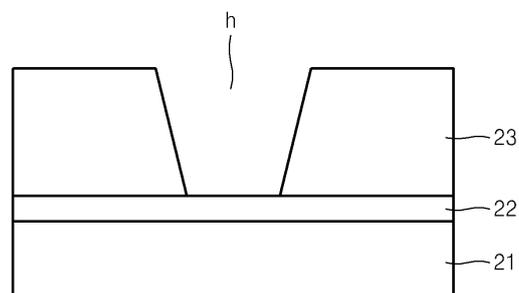
도면2



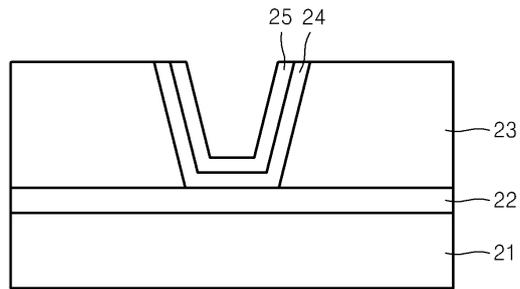
도면3a



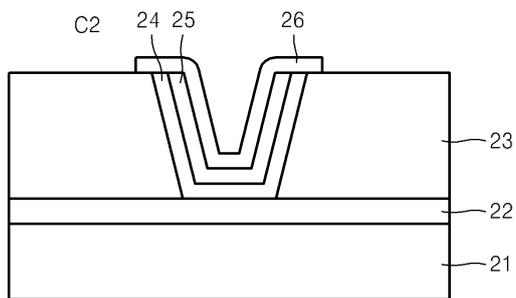
도면3b



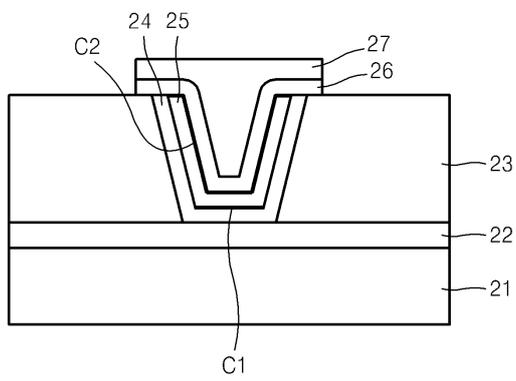
도면3c



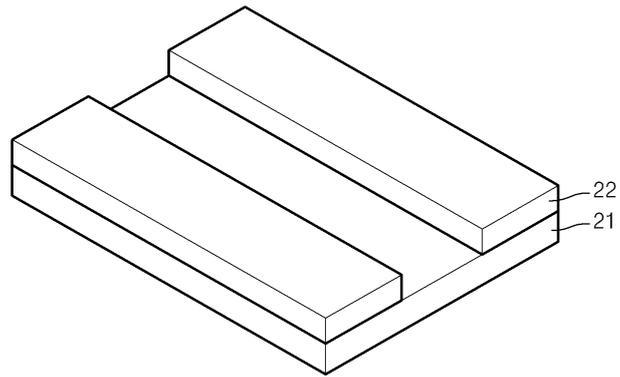
도면3d



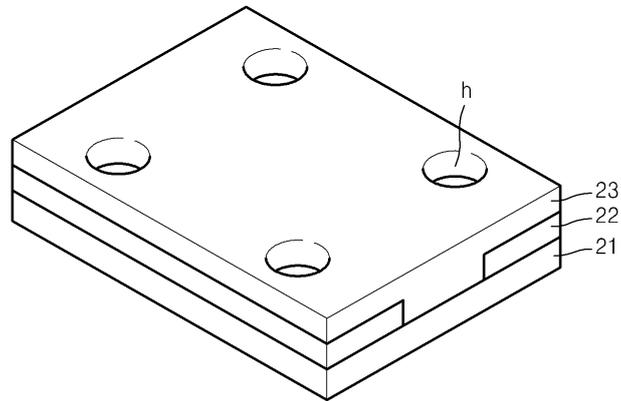
도면3e



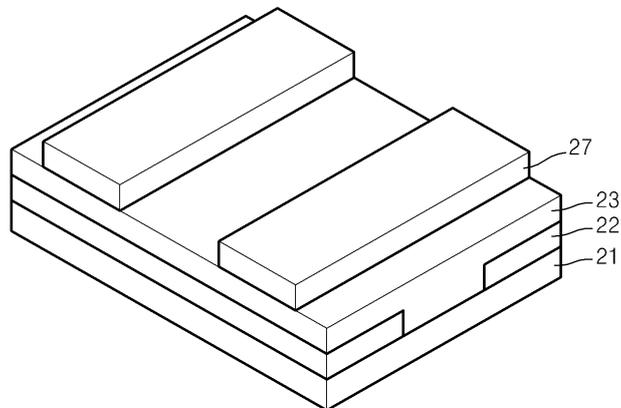
도면4a



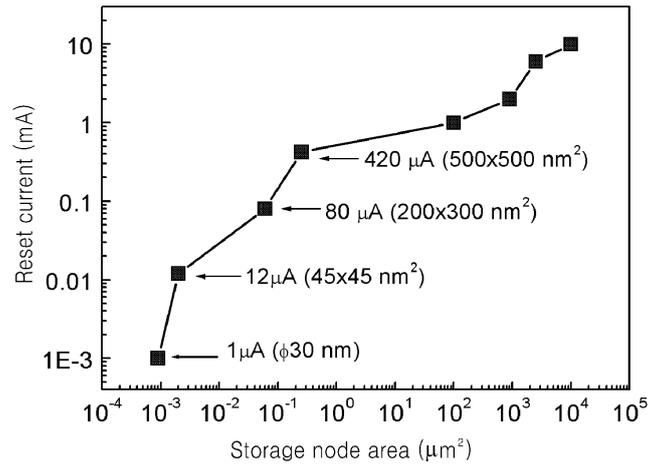
도면4b



도면4c



도면5



도면6

