



(12) 发明专利

(10) 授权公告号 CN 115934436 B

(45) 授权公告日 2023.07.18

(21) 申请号 202211437990.6

(51) Int.Cl.

(22) 申请日 2022.11.15

G06F 11/22 (2006.01)

G06F 11/26 (2006.01)

(65) 同一申请的已公布的文献号

申请公布号 CN 115934436 A

审查员 杨晓东

(43) 申请公布日 2023.04.07

(73) 专利权人 航天新长征大道科技有限公司

地址 116085 辽宁省大连市甘井子区信达

街31号航天大厦1602房间

(72) 发明人 刘瀛 何枫 韩兵兵 张燕琴

赵芸卿 张来园 杨与争 高昊

郝思聪

(74) 专利代理机构 北京风雅颂专利代理有限公司

11403

专利代理师 王刚

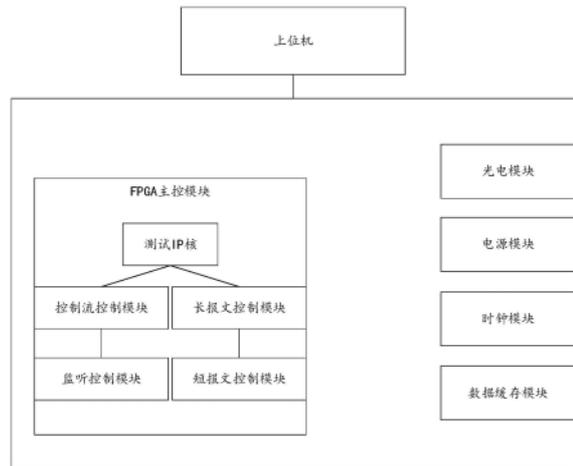
权利要求书1页 说明书7页 附图5页

(54) 发明名称

一种光通信总线测试板卡

(57) 摘要

本公开提供一种光通信总线测试板卡,板卡与上位机连接,包括:用于配置运行程序的主控模块,主控模块与总线连接,主控模块内设有测试IP核;测试IP核包括本地寄存器模块、控制流控制模块、短报文控制模块和长报文控制模块;测试IP核通过片内总线连接并控制本地寄存器模块、控制流控制模块、短报文控制模块和长报文控制模块,长报文控制模块还与总线直接连接。本方案应用在航天工业领域地面测试设备中,满足分系统间、单机设备间以及设备内板卡间通信的各种需求,并且能够满足高可靠、低误码率和数据通信链路双冗余,满足高宽带、双冗余、并且适用于小型化,能够在装备保障方面对高速输入宽带命令和响应消息格式的光总线进行数据的功能性测试。



1. 一种光通信总线测试板卡,所述板卡与上位机连接,其特征在于,包括:

用于配置运行程序的FPGA主控模块,所述FPGA主控模块与PXIe总线连接,所述FPGA主控模块内设有测试IP核;所述FPGA主控模块还包括时钟单元、程序配置单元、总线通信单元、缓存通信单元、光模块通信单元和外围电路;所述程序配置单元用于加载运行程序;所述总线通信单元通过片内总线的形式与PXIe总线极性连接;所述缓存通信单元用于与存储器进行信息交互;所述光模块通信单元用于与光模块进行信息交互;所述FPGA模块内置6路光总线测试IP核每路所述光总线测试IP核与两个所述光模块中的一条链路连接;

所述测试IP核包括本地寄存器模块、控制流控制模块、短报文控制模块和长报文控制模块;

所述PXIe总线转换为AXI总线和AXI-stream总线,所述AXI-stream总线与上位机进行数据交互;

所述AXI总线通过片内总线连接并控制本地寄存器模块、控制流控制模块、短报文控制模块和长报文控制模块,所述长报文控制模块还与所述AXI-stream总线直接连接。

2. 根据权利要求1所述的光通信总线测试板卡,其特征在于,所述本地寄存器模块包括通过片内总线控制器连接的总线触发单元、中断请求控制单元和复位请求控制单元,用于处理本地复位请求、终端请求、和多个光模块冗余控制器的初始化控制;

所述本地寄存器模块还用于处理PXIe总线背板的总线触发功能,PXIe背板总线与PCIe核控制器直接连接,并通过PCIe核的AXI总线接口连接所述片内总线。

3. 根据权利要求1所述的光通信总线测试板卡,其特征在于,所述长报文控制模块的发送和接收通路均包括FIFO缓冲单元、数据分割单元和缓冲器;

所述长报文控制模块在接收信号时,信号经过所述缓冲器、数据分割单元和FIFO缓冲单元进入至所述AXI-stream总线;

所述长报文控制模块在发送信号时,信号从所述AXI-stream总线进入所述缓冲器、数据分割单元和FIFO缓冲单元。

4. 根据权利要求3所述的光通信总线测试板卡,其特征在于,所述缓冲器、数据分割单元和FIFO缓冲单元还连接至本地寄存器模块和中断请求控制单元,所述本地寄存器模块和中断请求控制单元用于控制各个模块和中断请求。

5. 根据权利要求1所述的光通信总线监听记录板卡,其特征在于,所述板卡还包括数据缓存模块、电源模块、时钟模块和光电模块。

6. 根据权利要求1所述的光通信总线监听记录板卡,其特征在于,所述PXIe背板的接口电路选用多通道的PXIe总线接口。

## 一种光通信总线测试板卡

### 技术领域

[0001] 本公开涉及航天工业地面测试设备技术领域,尤其涉及一种光通信总线测试板卡。

### 背景技术

[0002] 航天工业中光通信总线能够满足分系统间、单机设备间以及设备内板卡间通信的各种需求,其高速传输带宽支持0.6Gbps~3.125Gbps的带宽接入,通常满足高可靠、低误码率和数据通信链路双冗余的航天工业通信传输要求。

[0003] 因此,在装备保障方面如何对此类命令和消息响应消息格式的光通信总线进行功能性测试,满足高带宽、双冗余以及小型化为关键性问题。发明人基于现有的不足进行研发改进。

### 发明内容

[0004] 有鉴于此,本公开的目的在于提出一种用于航天工业地面测试的光通信总线测试板卡。

[0005] 基于上述目的,本公开提供了一种光通信总线测试板卡,所述板卡与上位机连接,其特征在于,包括:

[0006] 用于配置运行程序的FPGA主控模块,所述FPGA主控模块与PXIe总线连接,所述FPGA主控模块内设有测试IP核;

[0007] 所述测试IP核包括本地寄存器模块、控制流控制模块、短报文控制模块和长报文控制模块;

[0008] 所述PXIe总线转换为AXI总线和AXI-stream总线,所述AXI-stream总线与上位机进行数据交互;

[0009] 所述AXI总线通过片内总线连接并控制本地寄存器模块、控制流控制模块、短报文控制模块和长报文控制模块,所述长报文控制模块还与所述AXI-stream总线直接连接;

[0010] 所述寄存器模块被配置为,与PXIe总线背板直接连接,用于处理PXIe总线背板的总线触发功能;

[0011] 所述短报文控制模块被配置为,所述短报文控制模块与所述本地寄存器模块连接,包括多个能够相互传输的发送单元和接收单元,用于与被测对象进行短报文的数据交互;

[0012] 所述长报文控制模块被配置为:包括发送通路和接收通路,通过所述AXI-stream总线进入至所述发送通路中进行发送,通过所述接收通路进入至所述AXI-stream总线进行接收。

[0013] 在一些可选的实施例中,所述FPGA主控模块还包括时钟单元、程序配置单元、总线通信单元、缓存通信单元、光模块通信单元和外围电路;

[0014] 所述程序配置单元用于加载运行程序;

- [0015] 所述总线通信单元通过X4的形式与PXIe总线极性连接；
- [0016] 所述缓存通信单元用于与存储器进行信息交互；
- [0017] 所述光模块通信单元用于与两个光模块进行信息交互。
- [0018] 在一些可选的实施例中，所述FPGA模块内置6路光总线测试IP核，每路所述光总线测试IP核与两个所述光模块中的一条链路连接。
- [0019] 在一些可选的实施例中，所述本地寄存器模块包括通过片内总线控制器连接的总线触发单元、中断请求控制单元和复位请求控制单元，用于处理本地复位请求、终端请求、和多个光模块冗余控制器的初始化控制；
- [0020] 所述本地寄存器模块还用于处理PXIe总线背板的总线触发功能，PXIe背板总线与PCIe核控制器直接连接，并通过PCIe核的AXI总线接口连接所述片内总线。
- [0021] 在一些可选的实施例中，所述长报文控制模块的发生和接收通路均包括FIFO缓冲单元、数据分割单元和缓冲器；所述长报文控制模块在接收信号时，信号经过所述缓冲器、数据分割单元和FIFO缓冲单元进入至所述AXI-stream总线；所述长报文控制模块在发送信号时，信号从所述AXI-stream总线进入所述缓冲器、数据分割单元和FIFO缓冲单元。
- [0022] 在一些可选的实施例中，所述缓冲器、数据分割单元和FIFO缓冲单元还连接至本地寄存器模块和中断请求控制单元，所述本地寄存器模块和中断请求控制单元用于控制各个模块和中断请求。
- [0023] 在一些可选的实施例中，还包括作为系统片外缓存元器件的数据缓存模块，所述数据缓存模块与所述FPGA主控模块连接，所述FPGA带有DDR控制器，通过两组独立的地址数据总线控制至少两组DDR缓存阵列。
- [0024] 在一些可选的实施例中，所述光电模块的接口电路包括4个发射接口和4个接收接口。
- [0025] 在一些可选的实施例中，所述PXIe背板的接口电路选用4通道的PXIe总线接口。
- [0026] 从上面所述可以看出，本公开提供的光通信总线测试板卡，能够应用在航天工业领域地面测试设备中，满足分系统间、单机设备间以及设备内板卡间通信的各种需求，并且能够满足高可靠、低误码率和数据通信链路双冗余，满足高宽带、双冗余、并且适用于小型化，能够在装备保障方面对高速输入宽带命令和响应消息格式的光总线进行数据的功能性测试。

## 附图说明

- [0027] 为了更清楚地说明本公开或相关技术中的技术方案，下面将对实施例或相关技术描述中所需要使用的附图作简单地介绍，显而易见地，下面描述中的附图仅仅是本公开的实施例，对于本领域普通技术人员来讲，在不付出创造性劳动的前提下，还可以根据这些附图获得其他的附图。
- [0028] 图1为本公开实施例的光通信总线测试板卡的结构示意图；
- [0029] 图2为本公开实施例的光通信总线测试板卡的结构框图；
- [0030] 图3为本公开实施例的FPGA模块的结构框图；
- [0031] 图4为本公开实施例的光通信测试IP核的结构框图；
- [0032] 图5为本公开实施例的本地寄存器模块的结构框图；

- [0033] 图6为本公开实施例的短报文控制模块的结构框图；  
[0034] 图7为本公开实施例的长报文控制模块的结构框图；  
[0035] 图8为本公开实施例的电源模块的结构框图。

### 具体实施方式

[0036] 为使本公开的目的、技术方案和优点更加清楚明白，以下结合具体实施例，并参照附图，对本公开进一步详细说明。

[0037] 需要说明的是，除非另外定义，本公开实施例使用的技术术语或者科学术语应当为本公开所属领域内具有一般技能的人士所理解的通常意义。本公开实施例中使用的“第一”、“第二”以及类似的词语并不表示任何顺序、数量或者重要性，而只是用来区分不同的组成部分。“包括”或者“包含”等类似的词语意指出现该词前面的元件或者物件涵盖出现在该词后面列举的元件或者物件及其等同，而不排除其他元件或者物件。“连接”或者“相连”等类似的词语并非限定于物理的或者机械的连接，而是可以包括电性的连接，不管是直接的还是间接的。“上”、“下”、“左”、“右”等仅用于表示相对位置关系，当被描述对象的绝对位置改变后，则该相对位置关系也可能相应地改变。

[0038] 在描述本发明所提供的光通信总线监听记录板卡之前，首先描述本发明的应用背景和发明构思，本申请应用在航天工业领域地面测试设备中，航天工业中光通信总线能够满足分系统间、单机设备间以及设备内板卡间通信的各种需求，其高速传输带宽支持0.6Gbps~3.125Gbps的带宽接入，通常满足高可靠、低误码率和数据通信链路双冗余的航天工业通信传输要求。因此，在装备保障方面如何对此类命令和消息响应消息格式的光总线进行功能性测试，并且满足高带宽、双冗余以及小型化成为关键性问题。

[0039] 因此，发明人基于能够在装备保障方面对高速输入宽带命令和响应消息格式的光总线进行数据的准确测试为发明初衷，提出一种用于航天工业地面测试的光通信总线测试板卡。

[0040] 结合图1所示，本实施例公开一种光通信总线测试板卡，所述板卡与上位机连接，包括用于配置运行程序的FPGA主控模块，所述FPGA主控模块与PXIe总线连接，所述FPGA主控模块内设有测试IP核；

[0041] 所述测试IP核包括本地寄存器模块、控制流控制模块、短报文控制模块和长报文控制模块；所述PXIe总线转换为AXI总线和AXI-stream总线，所述AXI-stream总线与上位机进行数据交互；所述AXI总线通过APB总线桥连接并控制本地寄存器模块、控制流控制模块、短报文控制模块和长报文控制模块，所述长报文控制模块还与所述AXI-stream总线直接连接。

[0042] 其中，所述寄存器模块被配置为，与PXIe总线背板直接连接，用于处理PXIe总线背板的总线触发功能；所述短报文控制模块被配置为，所述短报文控制模块与所述本地寄存器模块连接，包括多个能够相互传输的发送单元和接收单元，用于与被测对象进行短报文的数据交互；所述长报文控制模块被配置为：包括发送通路和接收通路，通过所述AXI-stream总线进入至所述发送通路中进行发送，通过所述接收通路进入至所述AXI-stream总线进行接收。

[0043] 其中，进一步的结合图2所示的板卡总体结构，板卡具有6路双冗余光接口，TX1-A/

TX1-B~TX6-A/TX6-B,包括一块FPGA控制器模块,时钟模块、DDR3模块、SPIFLASH模块以及电源模块等组成。使用时,具有两种模式:

[0044] 模式1:通过板卡FPGA控制器内置的控制IP核,对被监听的的设备进行通信交互,同时监听总线中本卡与对方的收发数据,多用于点对点测试监听。

[0045] 模式2:板卡接入交换机中,使用时不对被监听的设备进行数据交互,仅在网络域中监听总线上的收发数据,多用于组网监听测试。

[0046] 在一些可选的实施例中,所述FPGA主控模块还包括时钟单元、程序配置单元、总线通信单元、缓存通信单元、光模块通信单元和外围电路;

[0047] 所述总线通信单元通过片内总线的形式与PXIe总线极性连接;

[0048] 所述缓存通信单元用于与存储器进行信息交互;

[0049] 所述光模块通信单元用于与光模块进行信息交互。

[0050] 进一步地,所述FPGA模块内置6路光总线测试IP核,每路所述光总线测试IP核与两个所述光模块中的一条链路连接。

[0051] 进一步结合图3所示,在一些可选的实施例中,所述FPGA主控模块由FPGA、时钟、程序配置FLASH、PXI通信接口、DDR3 SDRAM缓存接口以及其他外围电路组成。

[0052] 所述FPGA模块主要用于从程序配置SPI-FLASH中加载运行程序,PXIe接口采用X4形式与总线极性连接,用于该模块与PXIe总线进行通信,DDR缓存接口用于该模块与DDR3存储器交互,GLINK通信接口用于与光模块A与光模块B(AB冗余)进行数据收发通信。该模块内置6路“光总线测试IP核”。每一路光总线测试IP核与光模块A中一路链路以及光模块B中一路链路进行连接。

[0053] 进一步结合图4所示,所述光通信测试IP核模块将指令+响应式的光通信的功能测试,抽象为三种测试控制模块,分别是控制流控制模块、短报文控制模块、长报文控制模块,分别采用硬件描述语言进行设计。图中左侧,PXIe总线通过桥模块转换为AXI总线和AXI-Stream总线,AXI总线通过片内总线转换为地址与数据分离的低速总线,并通过片内总线分别控了本地寄存器控制模块、控制流控制模块、短报文控制模块、长报文控制模块。其中长报文控制模块需要传输高速数据,因此与AXI-Stream总线直接相连。

[0054] 在一些可选的实施例中,所述本地寄存器模块包括通过片内总线控制器连接的总线触发单元、中断请求控制单元和复位请求控制单元,用于处理本地复位请求、终端请求、和多个光模块冗余控制器的初始化控制;所述本地寄存器模块还用于处理PXIe总线背板的总线触发功能,PXIe背板总线与PCIe核控制器直接连接,并通过PCIe核的AXI总线接口连接所述片内总线。

[0055] 进一步结合图5所示,在本地寄存器模块中,处理本地复位请求、中断请求、以及光模块A/B冗余控制器的初始化控制。并且,本地寄存器模块处理PXIe总线背板的总线触发功能。

[0056] 进一步地,所述本地寄存器模块中,PXIe背板与本地寄存器控制模块的总线触发子模块直接相连,用于背板同步触发控制器的实现。PXIe背板信号与PCIe核控制器直接相连,并通过PCIe核的AXI总线接口连接片内总线,并通过片内总线总线控制本地寄存器模块中的总线触发寄存器设置,中断请求控制器寄存器设置以及复位请求控制寄存器的设置。

[0057] 结合图6所示,在一些可选的实施例中,所述短报文控制模块至少包括至少15个

FIFO发送单元和15个FIFO接收单元,所述短报文控制模块还包括选通单元、映射表单元、组帧发送单元和解帧发送单元;

[0058] 所述选通单元包括发送选通和接收选通,所述映射表包括发送映射表和接收映射表,交互数据从所述FIFO发送单元传输至发送选通和发送映射表,再通过组帧发送单元和解帧发送单元,传输至接收选通和接收映射表,最终传输至FIFO接收单元内;其中,所述接收选通、接收映射表和解帧发送单元与所述寄存器控制单元连接。

[0059] 为了覆盖短报文字地址的范围,设计了选通模块与映射表模块对发送与接收FIFO模块进行选通和映射,发送/接收FIFO选通模块决定FIFO中哪些作为发送子地址缓冲区,其余哪些作为接收子地址缓冲区。发送/接收FIFO映射表模块,可以对备选的FIFO进行子地址映射,映射后的FIFO直通短报文的组帧/解帧发送模块,用来对被测对象进行通信测试的数据发送、接收的缓冲区。短报文控制模块用于与被测设备进行短报文的数据交互。

[0060] 在一些可选的实施例中,所述长报文控制模块的发送和接收通路均包括FIFO缓冲单元、数据分割单元和缓冲器;

[0061] 所述长报文控制模块在接收信号时,信号经过所述缓冲器、数据分割单元和FIFO缓冲单元进入至所述AXI-stream总线;

[0062] 所述长报文控制模块在发送信号时,信号从所述AXI-stream总线进入所述缓冲器、数据分割单元和FIFO缓冲单元。

[0063] 所述缓冲器、数据分割单元和FIFO缓冲单元还连接至本地寄存器模块和中断请求控制单元,所述本地寄存器模块和中断请求控制单元用于控制各个模块和中断请求。

[0064] 结合图7所示,所述长报文控制模块在发送时,AXI-Stream总线经过FIFO缓冲1、数据分割模块1、到DDR3缓冲器中。接收时,从DDR3缓冲器、数据分割模块2、FIFO缓冲2到达AXI-Stream总线。AXI-Stream总线通过DMA与上位机进行数据交互。寄存器与中断请求控制器用于控制各个模块和中断请求。

[0065] 在一些可选的实施例中,所述控制流控制模块被配置为,用于与被监听的设备进行控制流的数据交互;所述短报文控制模块与所述本地寄存器模块连接,包括多个能够相互传输的发送单元和接收单元,用于与被监听设备进行短报文的数据交互;所述监听控制模块包括接收通路,所述接收通路包括第一缓冲器、数据分割单元和第二缓冲器并依次连接至AXI总线,用于监听AXI总线上其它模块的数据收发。

[0066] 在一些可选的实施例中,所述FPGA主控模块还包括数据缓存模块、电源模块、时钟模块和光电模块。

[0067] 在一些可选的实施例中,所述FPGA主控模块还包括数据缓存模块、电源模块、时钟模块和光电模块;所述数据缓存模块作为系统片外缓存元器件,所述数据缓存模块与所述FPGA主控模块连接,所述FPGA带有DDR控制器,通过两组独立的地址数据总线控制至少两组DDR缓存阵列。

[0068] 在一些可选的实施例中,还包括4路并行收发一体的光电模块和限制工作电压的电源模块,所述光电模块和电源模块与所述FPGA主控模块连接。

[0069] 所述光电模块选用中航光电4EONTR-85-5127X3M(01)4路并行收发一体光电模块。模块的发射波长为850nm,采用SNAP12封装形式,电接口为MEG-ARRAY,光口为MP0插拔型。供电为+3.3V,四路发射与四路接收一体,每通道速率为3.125Gbps。3.3V供电,每通道

3.125Gbps的传输速率,850nm发射波长,MPO光接口,MEG-ARRAY电接口,控制端CMOS兼容。

[0070] 如图8所示,在本方案中采用PXIE机箱背板12V作为板卡输入电源,按照高稳定性和低复杂度原则,设计采用两片Linear Technology公司的LTM4644IY\_REV\_ODC/DC控制器为各功能模块提供供电。该芯片4~14V宽电压输入范围,每通道峰值输出电流4A。为提高系统可靠性,板卡上电顺序为1.0V-->1.2V-->1.5V-->1.8V-->3.3V。

[0071] 本方案的主要接口电路设计,采用PXIE Gen2单通道带宽为5Gb/s,本方案选用4通道PXIE总线接口,理论上下行数据传输带宽为2GB/s的电路设计,

[0072] 作为一种可选的实施例,光电转换接口电路设计,可插拔MPO光接口定义的光口从左至右依次为:发射1、发射2、发射3、发射4、空、空、空、空、接收4、接收3、接收2、接收1。

[0073] 本公开实施例所提供的光通信总线测试板卡,能够应用在航天工业领域地面测试设备中,满足分系统间、单机设备间以及设备内板卡间通信的各种需求,并且能够满足高可靠、低误码率和数据通信链路双冗余,满足高宽带、双冗余、并且适用于小型化,能够在装备保障方面对高速输入宽带命令和响应消息格式的光总线进行数据的功能性测试。

[0074] 需要说明的是,本公开实施例的方法可以由单个设备执行,例如一台计算机或服务器等。本实施例的方法也可以应用于分布式场景下,由多台设备相互配合来完成。在这种分布式场景的情况下,这多台设备中的一台设备可以只执行本公开实施例的方法中的某一个或多个步骤,这多台设备相互之间会进行交互以完成所述的方法。

[0075] 需要说明的是,上述对本公开的一些实施例进行了描述。其它实施例在所附权利要求书的范围内。在一些情况下,在权利要求书中记载的动作或步骤可以按照不同于上述实施例中的顺序来执行并且仍然可以实现期望的结果。另外,在附图中描绘的过程不一定要示出的特定顺序或者连续顺序才能实现期望的结果。在某些实施方式中,多任务处理和并行处理也是可以的或者可能是有利的。

[0076] 所属领域的普通技术人员应当理解:以上任何实施例的讨论仅为示例性的,并非旨在暗示本公开的范围(包括权利要求)被限于这些例子;在本公开的思路下,以上实施例或者不同实施例中的技术特征之间也可以进行组合,步骤可以以任意顺序实现,并存在如上所述的本公开实施例的不同方面的许多其它变化,为了简明它们没有在细节中提供。

[0077] 另外,为简化说明和讨论,并且为了不会使本公开实施例难以理解,在所提供的附图中可以示出或不示出与集成电路(IC)芯片和其它部件的公知的电源/接地连接。此外,可以以框图的形式示出装置,以便避免使本公开实施例难以理解,并且这也考虑了以下事实,即关于这些框图装置的实施方式的细节是高度取决于将要实施本公开实施例的平台(即,这些细节应当完全处于本领域技术人员的理解范围内)。在阐述了具体细节(例如,电路)以描述本公开的示例性实施例的情况下,对本领域技术人员来说显而易见的是,可以在没有这些具体细节的情况下或者这些具体细节有变化的情况下实施本公开实施例。因此,这些描述应被认为是说明性的而不是限制性的。

[0078] 尽管已经结合了本公开的具体实施例对本公开进行了描述,但是根据前面的描述,这些实施例的很多替换、修改和变型对本领域普通技术人员来说将是显而易见的。例如,其它存储器架构(例如,动态RAM(DRAM))可以使用所讨论的实施例。

[0079] 本公开实施例旨在涵盖落入所附权利要求的宽泛范围之内的所有这样的替换、修改和变型。因此,凡在本公开实施例的精神和原则之内,所做的任何省略、修改、等同替换、

改进等,均应包含在本公开的保护范围之内。

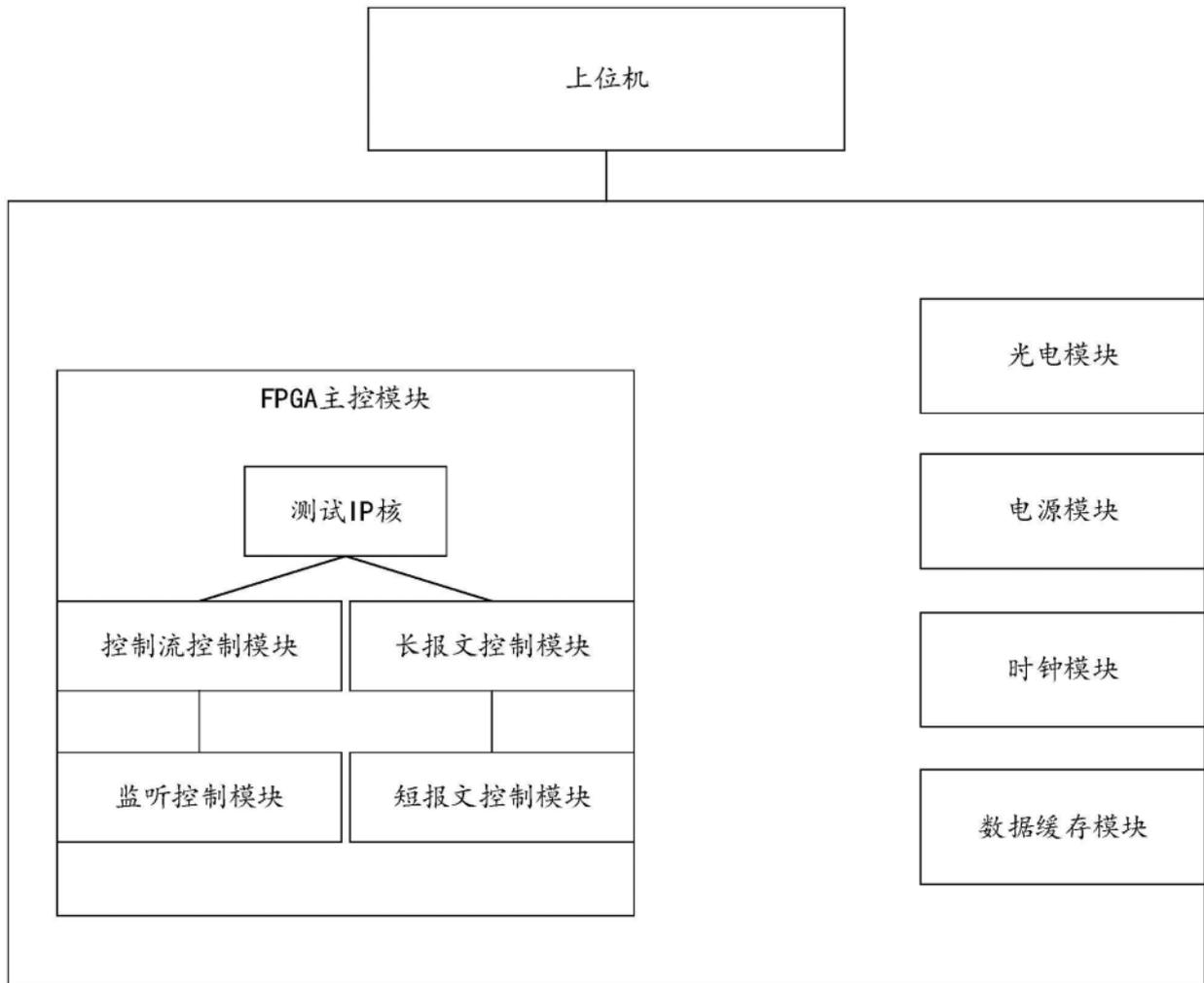


图1

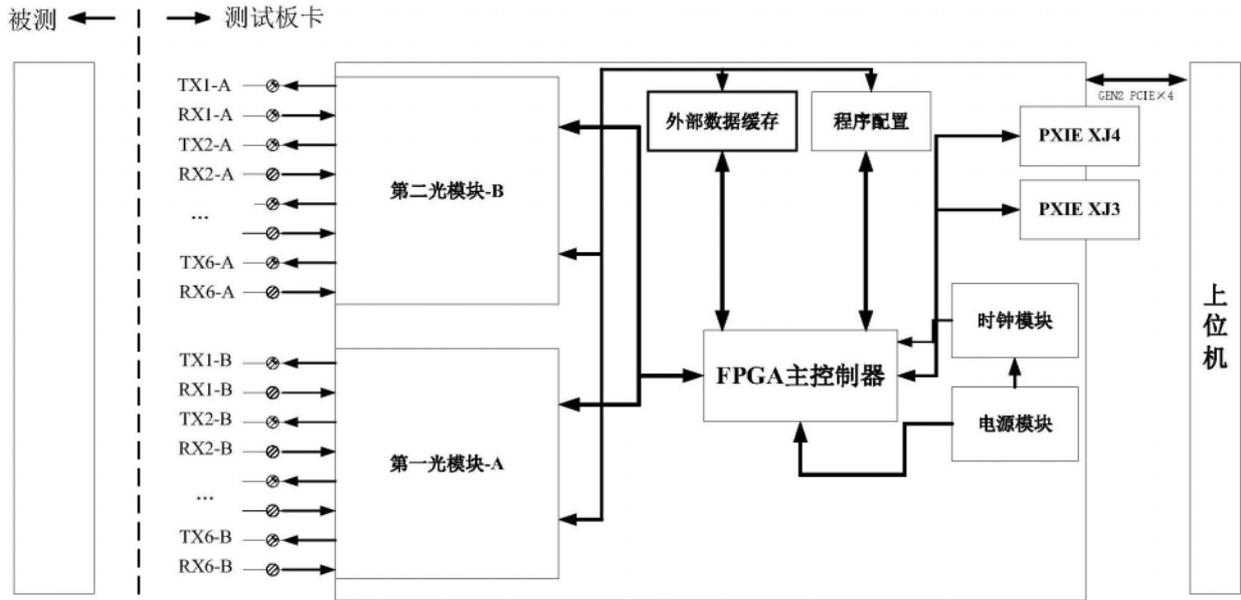


图2

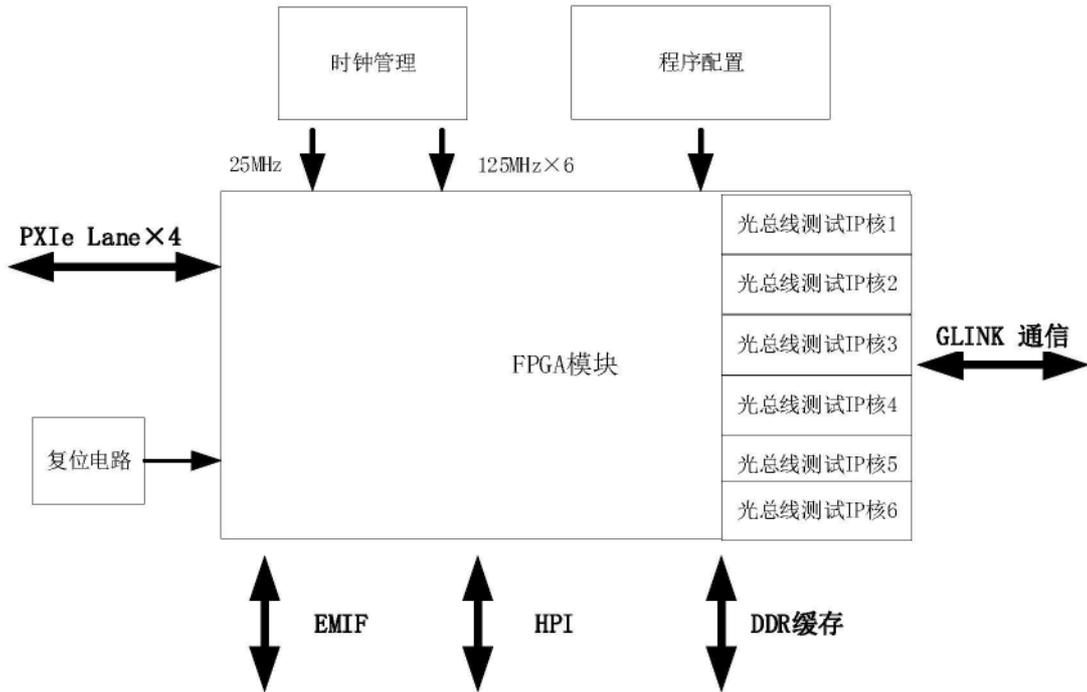


图3

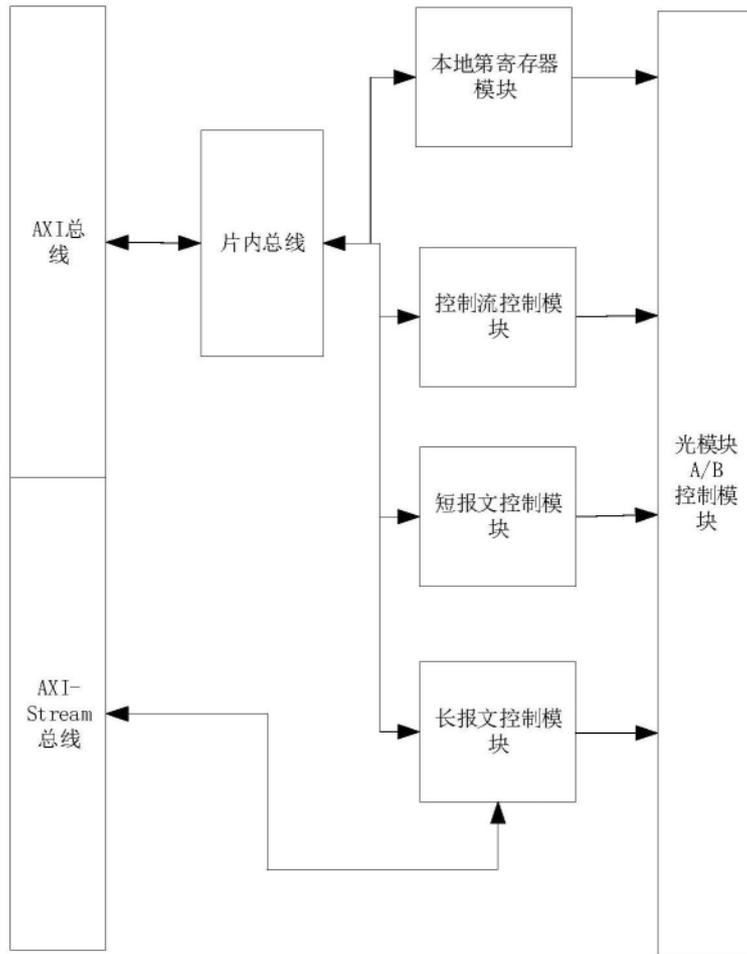


图4

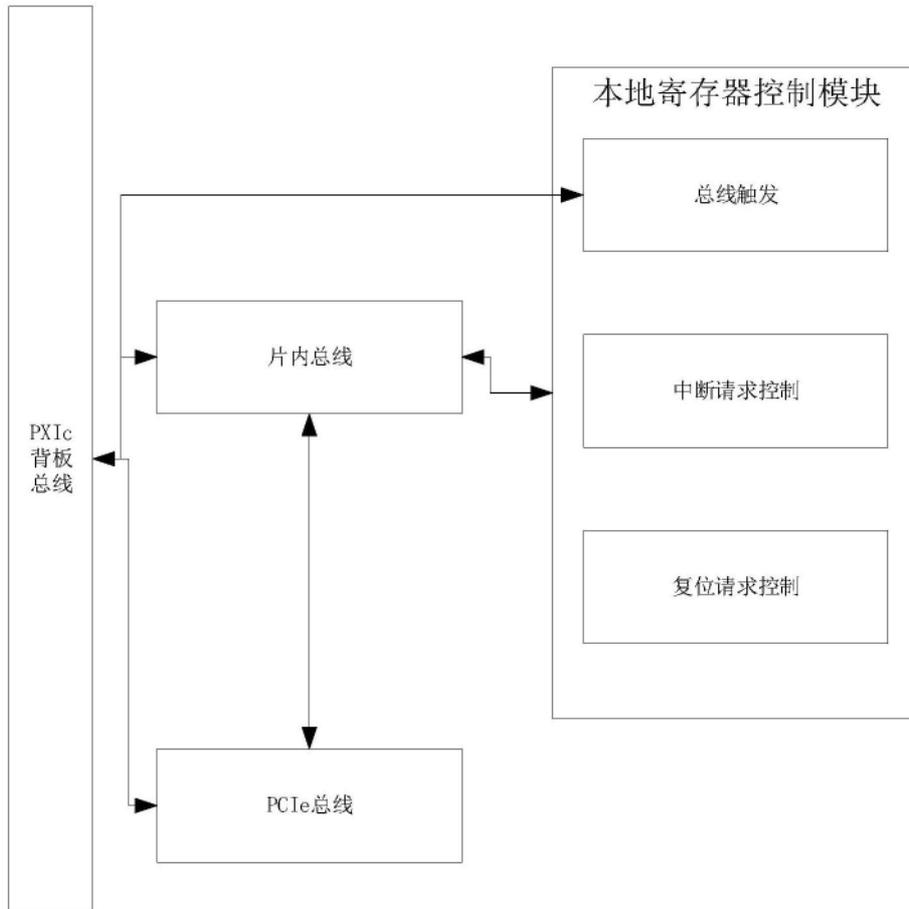


图5

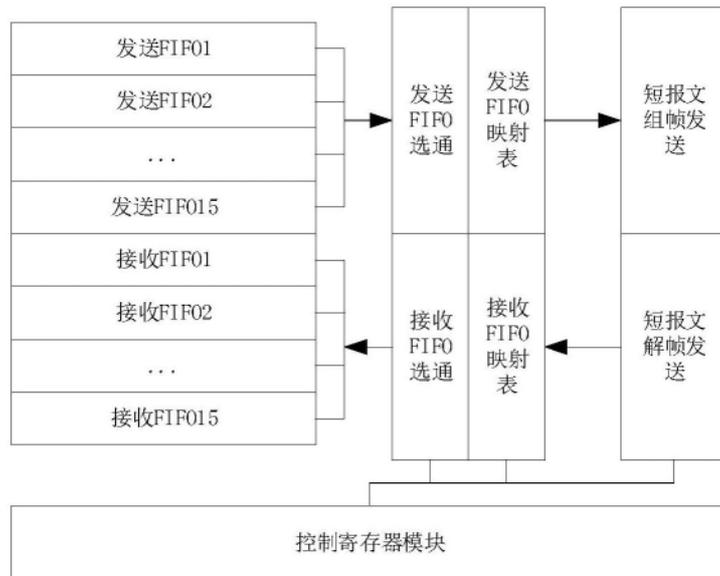


图6

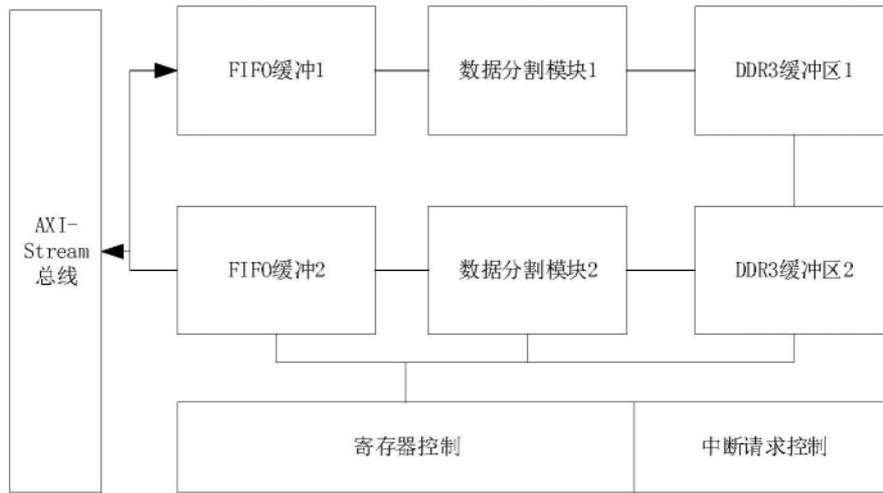


图7

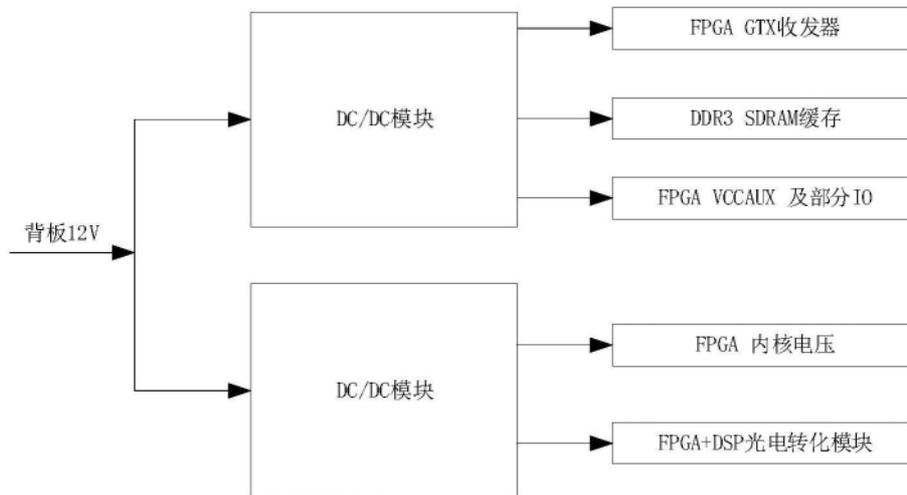


图8