



(12) 发明专利

(10) 授权公告号 CN 109243510 B

(45) 授权公告日 2023.04.18

(21) 申请号 201810151736.7
 (22) 申请日 2018.02.14
 (65) 同一申请的已公布的文献号
 申请公布号 CN 109243510 A
 (43) 申请公布日 2019.01.18
 (30) 优先权数据
 10-2017-0087873 2017.07.11 KR
 (73) 专利权人 爱思开海力士有限公司
 地址 韩国京畿道
 (72) 发明人 李熙烈 曹秉奎
 (74) 专利代理机构 北京三友知识产权代理有限公司 11127
 专利代理师 李辉 刘久亮

(51) Int. Cl.
 G11C 7/18 (2006.01)
 G11C 7/12 (2006.01)
 G11C 8/14 (2006.01)
 G11C 8/08 (2006.01)
 (56) 对比文件
 CN 106558339 A, 2017.04.05
 US 2016148696 A1, 2016.05.26
 CN 104821184 A, 2015.08.05
 审查员 张慧敏

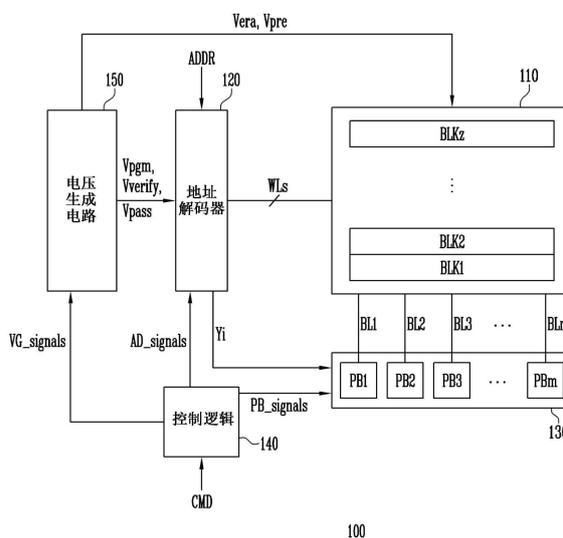
权利要求书3页 说明书13页 附图8页

(54) 发明名称

半导体存储装置及其操作方法

(57) 摘要

半导体存储装置及其操作方法。公开了一种半导体存储装置及其操作方法。该半导体存储装置包括：存储单元阵列，所述存储单元阵列包括共用一条或更多条漏极选择线的多个存储块；外围电路，所述外围电路被配置为对所述存储单元阵列执行编程操作；以及控制逻辑，所述控制逻辑被配置为控制所述外围电路来对所述多个存储块中的每一个中所包括的一个或更多个漏极选择晶体管进行编码编程。



1. 一种半导体存储装置,该半导体存储装置包括:

存储单元阵列,所述存储单元阵列包括共用一条或更多条漏极选择线的多个存储块,其中,所述多个存储块中的每一个包括一个或更多个漏极选择晶体管以及串联联接在所述一个或更多个漏极选择晶体管与位线之间的连接控制晶体管;

外围电路,所述外围电路被配置为对所述存储单元阵列执行编程操作;以及

控制逻辑,所述控制逻辑被配置为控制所述外围电路来:

对所述连接控制晶体管执行所述编程操作,

响应于对所述连接控制晶体管的所述编程操作被完成,对所述一个或更多个漏极选择晶体管执行所述编程操作,并且

在对所述一个或更多个漏极选择晶体管的所述编程操作期间,控制所述外围电路以向所述位线施加电源电压并且向所述连接控制晶体管施加地电压。

2. 根据权利要求1所述的半导体存储装置,其中,所述外围电路执行所述编程操作以使得所述多个存储块中的每一个中所包括的所述一个或更多个漏极选择晶体管分别具有不同的编码数据。

3. 根据权利要求1所述的半导体存储装置,其中,所述多个存储块中的每一个包括多个存储单元以及源极选择晶体管。

4. 根据权利要求3所述的半导体存储装置,其中,所述多个存储块共用与所述连接控制晶体管连接的控制线、与所述一个或更多个漏极选择晶体管连接的所述一条或更多条漏极选择线以及与所述存储单元连接的多条字线。

5. 根据权利要求3所述的半导体存储装置,其中,包括在所述多个存储块中的所述源极选择晶体管分别连接到电分离的源极选择线。

6. 根据权利要求3所述的半导体存储装置,其中,在包括在所述多个存储块中的所述连接控制晶体管的编程操作期间,所述外围电路通过在使所述源极选择晶体管截止之后将编程允许电压施加到所述位线并且将编程电压施加到所述连接控制晶体管来同时对包括在所述多个存储块中的所述连接控制晶体管进行编程。

7. 根据权利要求3所述的半导体存储装置,其中,所述外围电路在对所述一个或更多个漏极选择晶体管的所述编程操作期间通过公共源线对所述多个存储块当中的被选存储块的沟道进行预充电。

8. 根据权利要求3所述的半导体存储装置,其中,所述外围电路在对所述一个或更多个漏极选择晶体管的所述编程操作期间通过将所述地电压施加到公共源线、使所述连接控制晶体管截止、使所述多个存储块当中的被选存储块的源极选择晶体管导通、以及然后将编程电压施加到所述漏极选择线来对所述一个或更多个漏极选择晶体管进行编程。

9. 根据权利要求8所述的半导体存储装置,其中,所述外围电路在对所述一个或更多个漏极选择晶体管的所述编程操作期间通过使未选存储块的源极选择晶体管截止来对所述未选存储块的沟道进行升压。

10. 一种半导体存储装置,该半导体存储装置包括:

存储单元阵列,所述存储单元阵列包括共用位线、公共源线和一条或更多条漏极选择线的多个存储块;

外围电路,所述外围电路被配置为对所述存储单元阵列执行编程操作;以及

控制逻辑,所述控制逻辑被配置为控制所述外围电路来对所述多个存储块中的每一个中所包括的一个或更多个漏极选择晶体管进行编码编程,

其中,所述多个存储块中的每一个包括串联联接在所述一个或更多个漏极选择晶体管与所述位线之间的连接控制晶体管、多个存储单元以及源极选择晶体管,并且

其中,所述控制逻辑被配置为控制所述外围电路来:

对所述连接控制晶体管进行编程,并且

响应于对所述连接控制晶体管的所述编程操作被完成,通过向所述位线施加电源电压并且向所述连接控制晶体管施加地电压来对所述一个或更多个漏极选择晶体管进行编码编程。

11. 根据权利要求10所述的半导体存储装置,其中,所述多个存储块中的每一个还包括连接在所述连接控制晶体管与所述一个或更多个漏极选择晶体管之间的虚拟连接控制晶体管。

12. 根据权利要求11所述的半导体存储装置,

其中,所述多个存储块中的每一个共用与所述连接控制晶体管连接的控制线、与所述虚拟连接控制晶体管连接的虚拟连接控制线、与所述一个或更多个漏极选择晶体管连接的所述一条或更多条漏极选择线以及与所述存储单元连接的多条字线,并且

其中,包括在所述多个存储块中的所述源极选择晶体管分别连接到电分离的源极选择线中的一条源极选择线。

13. 根据权利要求10所述的半导体存储装置,其中,所述外围电路对所述一个或更多个漏极选择晶体管进行编程以使得所述多个存储块的每一个中所包括的所述一个或更多个漏极选择晶体管分别具有不同的编码数据。

14. 一种操作半导体存储装置的方法,该方法包括以下步骤:

提供包括共用位线、公共源线和一条或更多条漏极选择线的多个存储块的存储单元阵列,其中,所述多个存储块中的每一个包括一个或更多个漏极选择晶体管以及串联联接在所述一个或更多个漏极选择晶体管与所述位线之间的连接控制晶体管;

对所述连接控制晶体管进行编程;以及

响应于对所述连接控制晶体管的编程操作被完成,按照所述一个或更多个漏极选择晶体管被编码编程为使得所述多个存储块分别具有不同的编码数据的方式对所述一个或更多个漏极选择晶体管进行编程,

其中,对所述一个或更多个漏极选择晶体管的编程包括:向所述位线施加电源电压并且向所述连接控制晶体管施加地电压。

15. 根据权利要求14所述的方法,其中,所述多个存储块中的每一个包括多个存储单元以及源极选择晶体管。

16. 根据权利要求15所述的方法,其中,对所连接控制晶体管进行编程的步骤包括:通过将编程允许电压施加到所述位线、使所述源极选择晶体管截止、以及然后将编程电压施加到所述连接控制晶体管来同时对所述多个存储块中包括的所述连接控制晶体管进行编程。

17. 根据权利要求14所述的方法,其中,所述编码编程的步骤包括通过所述公共源线对所述多个存储块的沟道进行预充电。

18. 根据权利要求14所述的方法,其中,所述编码编程的步骤包括通过在对沟道进行预充电之后将所述地电压施加到所述公共源线、使所述连接控制晶体管截止、并且在使所述多个存储块当中的被选存储块的源极选择晶体管导通之后将编程电压施加到所述漏极选择线来对所述一个或更多个漏极选择晶体管进行编程。

半导体存储装置及其操作方法

技术领域

[0001] 本公开的各种示例性实施方式涉及电子装置。更具体地,本公开的各种实施方式涉及半导体存储装置及其操作方法。

背景技术

[0002] 半导体存储装置通常分类为易失性存储装置和非易失性存储装置。

[0003] 非易失性存储装置具有相对低的写入速率和读取速率,但是即使电源被阻断,非易失性存储装置也保持所存储的数据。因此,使用非易失性存储装置以便存储不管电源如何都需要保持的数据。非易失性存储装置包括只读存储器(ROM)、掩模式ROM(MROM)、可编程ROM(PROM)、电可编程ROM(EPROM)、电可擦除可编程ROM(EEPROM)、闪存存储器、相变RAM(PRAM)、磁性RAM(MRAM)、电阻式RAM(RRAM)、铁电式RAM(FRAM)等。闪存存储器一般被划分为NOR型和NAND型。

[0004] 闪存存储器具有其中数据被自由编程和擦除的RAM的优点,以及即使电源被阻断也可保持存储的数据的ROM的优点。闪存存储器被广泛用作诸如数码相机、个人数字助理(PDA)、MP3播放器等的便携式电子装置的存储介质。

发明内容

[0005] 为了解决与现有技术相关联的上述问题,已经提出了本公开,并且本公开提供一种半导体存储装置及其操作方法,该半导体存储装置能够在其操作期间选择性地操作共用漏极选择线的多个单元串。

[0006] 为了解决与现有技术相关的上述问题,已经提出了本公开,并且本公开还提供一种半导体存储装置,该半导体存储装置包括:存储单元阵列,所述存储单元阵列包括共用一条或更多条漏极选择线的多个存储块;外围电路,所述外围电路被配置为对所述存储单元阵列执行编程操作;以及控制逻辑,所述控制逻辑被配置为控制所述外围电路来对包括在所述多个存储块中的每一个中的一个或更多个漏极选择晶体管进行编码编程。

[0007] 本公开的一个示例性实施方式提供一种半导体存储装置,该半导体存储装置包括:存储单元阵列,所述存储单元阵列包括共用位线、公共源线和一条或更多条漏极选择线的多个存储块;外围电路,所述外围电路被配置为对所述存储单元阵列执行编程操作;以及控制逻辑,所述控制逻辑被配置为控制所述外围电路来对所述多个存储块中的每一个中所包括的一个或更多个漏极选择晶体管进行编码编程,其中,所述多个存储块中的每一个包括串联连接在位线与公共源线之间的一个或更多个连接控制晶体管、一个或更多个漏极选择晶体管、多个存储单元以及源极选择晶体管。

[0008] 本公开的又一示例性实施方式提供一种操作半导体存储装置的方法,该方法包括以下步骤:提供包括共用位线、公共源线和一条或更多条漏极选择线的多个存储块的存储单元阵列;对包括在所述多个存储块中的一个或更多个连接控制晶体管进行编程;以及按照所述多个存储块中的每一个中所包括的一个或更多个漏极选择晶体管被编码编程以使得

所述多个存储块分别具有不同的编码数据的方式对所述一个或更多个漏极选择晶体管进行编程。

[0009] 根据本公开的示例性实施方式,半导体存储装置被设计为使得该半导体存储装置的多个串共用漏极选择线,由此减小存储单元阵列的面积,并且能够跳过用于分离漏极选择线的工艺,由此改进制造工艺。

附图说明

[0010] 现在将参照附图在下文更充分地描述各种示例性实施方式;然而,这些示例性实施方式可按照不同的形式来实现,并且不应当被解释为限于本文所阐述的这些实施方式。相反,提供这些实施方式使得本公开将是透彻的和完整的,并且将示例性实施方式的范围充分地传达给本领域技术人员。

[0011] 在附图中,为了清楚例示起见,可夸大尺寸。将理解的是,当元件被称为“在”两个元件“之间”时,该元件可以是这两个元件之间的唯一元件,或者也可存在一个或更多个中间元件。相同的附图标记自始至终指代相同的元件。

[0012] 图1是例示根据本公开的示例性实施方式的半导体存储装置的框图。

[0013] 图2是例示图1的存储单元阵列的示例性实施方式的框图。

[0014] 图3是例示图1的存储块的详细配置的电路图。

[0015] 图4是例示图1的控制逻辑的框图。

[0016] 图5是描述根据本公开的示例性实施方式的半导体存储装置的操作的流程图。

[0017] 图6是例示根据本公开的示例性实施方式的图1的存储块的详细配置的电路图。

[0018] 图7是例示包括图1的半导体存储装置的存储系统的框图。

[0019] 图8是例示图7的存储系统的应用示例的框图。

[0020] 图9是例示包括参照图8所述的存储系统的计算系统的框图。

具体实施方式

[0021] 下面参照附图更详细地描述本发明的各种实施方式。然而,我们注意到,本发明可按照其它不同的实施方式、形式和其变形来实现,并且不应当被解释为限于本文阐述的实施方式。相反,提供所描述的实施方式以使得本公开将是透彻的和完整的,并将本发明充分地传达给本发明所属领域的技术人员。在整个公开内容中,贯穿本发明的各个附图和实施方式,相同的附图标记指代相同的部件。

[0022] 将理解的是,尽管在本文可使用术语“第一”、“第二”、“第三”等来描述各种元件,但是这些元件不受这些术语的限制。这些术语被用于将一个元件和另一元件区分开。因此,在不脱离本发明的精神和范围的情况下,以下描述的第一元件也可被称为第二元件或第三元件。

[0023] 附图不一定按比例绘制,在一些情况下,可能已经夸大了比例以便清楚地例示实施方式的特征。

[0024] 还将理解的是,当元件被称为“连接到”或“联接到”另一元件时,该元件可直接在另一元件上、连接到或联接到另一元件,或者可存在一个或更多个中间元件。此外,还将理解的是,当元件被称为在两个元件“之间”时,该元件可以是这两个元件之间的唯一元件,或

者也可存在一个或更多个中间元件。在整个说明书和所附权利要求中,当描述元件“联接”至另一元件时,该元件可“直接联接”至另一元件或者通过第三元件“电联接”至另一元件。

[0025] 本文中使用的术语仅为了描述特定实施方式的目的,而不意图限制本发明。如本文中所使用的,除非上下文另外明确地指出,否则单数形式也意图包括复数形式。还将理解的是,当在本说明书中使用术语“包含”和“包括”时,这些术语说明所述元件的存在而不排除一个或更多个其它元件的存在或添加。如本文所使用的,术语“和/或”包括相关列举项目中的一个或更多个的任何组合和所有组合。

[0026] 鉴于本公开,除非另有说明,否则本文中使用的包括技术术语和科学术语在内的所有术语具有与本发送所属领域的普通技术人员通常理解的含义相同的含义。还将理解的是,除非本文中明确说明,否则术语(诸如在通用字典中定义的术语)应当被解释为具有与它们在本公开的上下文和相关领域中的含义一致的含义,而不是理想地或者过于形式化地解释它们的含义。

[0027] 在以下描述中,阐述了许多具体细节以便提供对本发明的透彻理解。本发明也可在没有这些具体细节的一些或全部的情况下来实现。在其它情况下,没有详细描述公知工艺结构和/或过程以免不必要地模糊本发明。

[0028] 还应注意,在一些情况下,除非另有明确说明,否则如对相关领域技术人员显而易见的是,与一个实施方式相关地描述的特征或元素可单独使用或与另一实施方式的其它特征或元素相结合使用。

[0029] 图1是例示根据本公开的示例性实施方式的半导体存储装置100的框图。

[0030] 参照图1,半导体存储装置100可包括存储单元阵列110、地址解码器120、读取和写入电路130、控制逻辑140和电压生成电路150。

[0031] 地址解码器120、读取和写入电路130以及电压生成电路150可被定义为对存储单元阵列110执行诸如编程操作、擦除校验操作和读取操作之类的一般操作的外围电路。此外,地址解码器120、读取和写入电路130以及电压生成电路150可被定义为执行包括在存储单元阵列110中的连接控制晶体管和漏极选择晶体管的编程操作的外围电路。

[0032] 存储单元阵列110可包括多个存储块BLK1至BLKz。多个存储块BLK1至BLKz通过多条字线WL连接到地址解码器120。多个存储块BLK1至BLKz通过位线BL1至BLm连接到读取和写入电路130。在此示例性实施方式中,多个存储单元可以是基于电荷捕获器件的非易失性存储单元。共同连接到相同字线的多个存储单元可被定义为一页。存储单元阵列110由多个页构成。

[0033] 后面将描述存储单元阵列110的详细配置。

[0034] 地址解码器120通过字线WL连接到存储单元阵列110。地址解码器120可响应于从控制逻辑140输出的控制信号AD_signals而操作。地址解码器120通过半导体存储装置100的输入/输出缓冲器(未示出)接收地址ADDR。在编程操作期间,地址解码器120根据所接收的地址将编程电压V_{pgm}施加到字线WL当中的被选字线,并且将通过电压V_{pass}施加到未选字线。此外,在编程验证操作期间,地址解码器120将验证电压V_{verify}施加到被选字线,并且将通过电压V_{pass}施加到未选字线。

[0035] 地址解码器120可在存储单元阵列的连接控制晶体管的编程操作期间将编程电压V_{pgm}施加到与连接控制晶体管连接的控制线,并且可在漏极选择晶体管的编程操作期

间将编程电压 V_{pgm} 施加到与漏极选择晶体管连接的漏极选择线。

[0036] 此外,在半导体存储装置100的包括编程操作、读取操作和擦除操作的各种一般操作期间接收到的地址ADDR可包括块地址、行地址和列地址。地址解码器120根据块地址和行地址选择一个存储块和一条字线。列地址 Y_i 由地址解码器120解码并被提供给读取和写入电路130。

[0037] 地址解码器120可包括块解码器、行解码器、列解码器、地址缓冲器等。

[0038] 读取和写入电路130可包括多个页缓冲器PB1至PB m 。多个页缓冲器PB1至PB m 通过位线BL1至BL m 连接到存储单元阵列110。多个页缓冲器PB1至PB m 可根据在编程操作期间要编程的数据分别调整对应位线BL1至BL m 的电位电平。此外,多个页缓冲器PB1至PB m 在程序验证操作期间分别将位线BL1至BL m 的电位电平预充电至预定电平,并且感测位线BL1至BL m 的电位电平或电流,以确定编程操作是通过还是失败。

[0039] 读取和写入电路130可响应于从控制逻辑140输出的控制信号PB_signals而操作。

[0040] 控制逻辑140与地址解码器120、读取和写入电路130以及电压生成电路150连接。控制逻辑140通过半导体存储装置100的输入/输出缓冲器(未示出)接收命令CMD。控制逻辑140可响应于命令CMD而控制半导体存储装置100的包括编程操作、读取操作和擦除操作在内的各种一般操作以及连接控制晶体管和漏极选择晶体管的编程操作。

[0041] 此外,控制逻辑140可控制地址解码器120、读取和写入电路130以及电压生成电路150,以便对存储单元阵列110中包括的多个存储块BLK1至BLK z 当中的、共用漏极选择线的两个或更多个存储块中包括的漏极选择晶体管进行编码编程(code-program)。编码编程可被编程为使得多个存储块与不同的编码数据对应。

[0042] 控制逻辑140可响应于命令CMD而生成并输出用于控制地址解码器120的控制信号AD_signals、用于控制读取和写入电路130的控制信号PB_signals以及用于控制电压生成电路150的控制信号VG_signals。

[0043] 当接收到与连接控制晶体管和漏极选择晶体管的编程操作对应的命令CMD时,控制逻辑140可控制外围电路以使得连接控制晶体管被编程为具有预定电平的阈值电压值,并且共用位线的多个单元串的漏极选择晶体管通过使用经编程的连接控制晶体管的导通/截止特性被选择性地编程。

[0044] 电压生成电路150可响应于从控制逻辑140输出的控制信号VG_signals而操作。

[0045] 电压生成电路150可在编程操作期间生成并输出编程电压 V_{pgm} 和通过电压 V_{pass} ,在验证操作期间生成并输出验证电压 V_{verify} 和通过电压 V_{pass} ,并且在擦除操作期间生成并输出擦除电压 V_{era} 。此外,电压生成电路150可在漏极选择晶体管的编程操作期间将预充电电压 V_{pre} 施加到存储单元阵列110的公共源线,并且将被选单元串的沟道预充电到预定电平。此外,电压生成电路150可在擦除操作期间将擦除电压 V_{era} 施加到存储单元阵列110的公共源线,并且执行擦除操作。

[0046] 图2是例示图1的存储单元阵列110的示例性实施方式的框图。

[0047] 参照图2,存储单元阵列110可包括多个存储块BLK1至BLK z 。多个存储块中的每一个可具有二维(2D)结构或三维(3D)结构。多个存储块中的每一个可包括堆叠在基板上的多个存储单元。当存储块具有3D结构时,如图2所示,存储单元阵列110可包括各自具有3D结构(或垂直结构)的多个存储块BLK1至BLK z 。多个存储单元沿+X轴方向、+Y轴方向和+Z轴方向

布置。将参照图3更详细地描述多个存储块中的每一个的结构。

[0048] 图3是例示图1的存储块BLK1至BLKz的电路图。

[0049] 在图1中,例示了多个存储块BLK1至BLKz通过位线BL1至BL_m连接到读取和写入电路130。然而,为了例示的目的和为了方便起见,在图3中仅代表性地例示了存储块BLK1和存储块BLK2。存储块BLK1和存储块BLK2具有共用位线BL1至BL_m和公共源线CSL的结构。此外,存储块BLK1和存储块BLK2具有共用多条字线WL0至WL_n、第一漏极选择线DSL0和第二漏极选择线DSL1、连接控制线DCL、漏极虚拟线DPWL和源极虚拟线SPWL的结构。

[0050] 参照图3,存储块BLK1和存储块BLK2连接到多条位线BL1至BL_m。

[0051] 存储块BLK1可包括多个单元串ST1至ST_m。多个单元串ST1至ST_m分别连接在多条位线BL1至BL_m与公共源线CSL之间。多个单元串ST1至ST_m中的每一个可包括源极选择晶体管SST、一个或更多个源极虚拟单元DC0、多个串联连接的存储单元C0至C_n、一个或更多个漏极虚拟单元DC1、两个或更多个漏极选择晶体管DST0和DST1以及一个或更多个连接控制晶体管DCT。

[0052] 源极选择晶体管SST连接到源极选择线SSL0,一个或更多个源极虚拟单元DC0连接到源极虚拟线SPWL。多个存储单元C0至C_n分别连接到字线WL0至WL_n。一个或更多个漏极虚拟单元DC1连接到漏极虚拟线DPWL,并且两个或更多个漏极选择晶体管DST0和DST1分别连接到第一漏极选择线DSL0和第二漏极选择线DSL1。一个或更多个连接控制晶体管DCT连接到连接控制线DCL。

[0053] 存储块BLK2可按照与存储块BLK1的结构类似的结构形成。也就是说,存储块BLK2可包括多个串ST1至ST_m,并且多个串ST1至ST_m分别连接在多条位线BL1至BL_m与公共源线CSL之间。多个单元串ST1至ST_m中的每一个可包括源极选择晶体管SST、一个或更多个源极虚拟单元DC0、多个串联连接的存储单元C0至C_n、一个或更多个漏极虚拟单元DC1、两个或更多个漏极选择晶体管DST0和DST1以及一个或更多个连接控制晶体管DCT。

[0054] 源极选择晶体管SST连接到源极选择线SSL1,并且一个或更多个源极虚拟单元DC0连接到源极虚拟线SPWL。多个存储单元C0至C_n分别连接到字线WL0至WL_n。一个或更多个漏极虚拟单元DC1连接到漏极虚拟线DPWL,并且两个或更多个漏极选择晶体管DST0和DST1分别连接到第一漏极选择线DSL0和第二漏极选择线DSL1。一个或更多个连接控制晶体管DCT连接到连接控制线DCL。

[0055] 如上所述,存储块BLK1和存储块BLK2可具有类似的结构,在该结构中,多条字线WL0至WL_n、源极虚拟线SPWL和漏极虚拟线DPWL、第一漏极选择线DSL0和第二漏极选择线DSL1以及连接控制线DCL被共用,并且仅与源极选择晶体管连接的源极选择线SSL0和SSL1被电分离。

[0056] 在本公开的示例性实施方式中,存储单元阵列110中包括的多个存储块BLK1当中的两个或更多个存储块可被定义为一组并且共用漏极选择线。例如,当两个存储块被定义为一个存储块组时,漏极选择晶体管被编码编程为使得存储块中的每一个存储块具有一比特的编码数据。当四个存储块被定义为一个存储块组时,漏极选择晶体管被编码编程为使得存储块中的每一个存储块具有两比特的编码数据。当八个存储块被定义为一个存储块组时,漏极选择晶体管被编码编程为使得存储块中的每一个存储块具有三比特的编码数据。也就是说,漏极选择晶体管被编码编程为使得共用漏极选择线的存储块组中包括的多个存

储块与不同的编码数据对应。此外,当两个存储块被定义为一组时,漏极选择晶体管被编码编程为使得存储块中的每一个存储块包括一个漏极选择晶体管并且具有一比特的编码数据。当四个存储块被定义为一组时,两个漏极选择晶体管被编码编程为使得存储块中的每一个存储块包括两个漏极选择晶体管并且具有两比特的编码数据。此外,当八个存储块被定义为一组时,三个漏极选择晶体管被编码编程为使得存储块中的每一个存储块包括三个漏极选择晶体管并且具有三比特的编码数据。

[0057] 下面将描述每个存储块的漏极选择晶体管的编码编程操作。

[0058] 图4是例示图1的控制逻辑140的框图。

[0059] 参照图4,控制逻辑140可包括ROM 141、编程操作选择电路142和控制信号生成电路143。

[0060] 可在ROM 141中存储用于执行半导体存储装置的各种操作(编程操作、读取操作、擦除操作、连接控制晶体管和漏极选择晶体管的编程操作等)的算法。例如,ROM 141可响应于从与半导体存储装置连接的主机Host输入的命令CMD而向控制信号生成电路143输出内部控制信号int_CS,并且向编程操作选择电路142输出计数信号Count。

[0061] 编程操作选择电路142可响应于从ROM 141接收到的计数信号Count而生成并输出连接控制晶体管编程信号PGM_DCT或漏极选择晶体管编程信号PGM_DST。

[0062] 编程操作选择电路可包括连接控制晶体管控制电路142A和漏极选择晶体管控制电路142B。连接控制晶体管控制电路142A可响应于计数信号Count而生成并输出连接控制晶体管编程信号PGM_DCT,而漏极选择晶体管控制信号142B可响应于计数信号Count而生成并输出漏极选择晶体管编程信号PGM_DST。例如,编程操作选择电路142首先响应于计数信号Count生成并输出连接控制晶体管编程信号PGM_DCT。在连接控制晶体管的编程操作完成之后,漏极选择晶体管控制信号142B响应于计数信号Count而生成并输出漏极选择晶体管编程信号PGM_DST。

[0063] 控制信号生成电路143可响应于内部控制信号int_CS、连接控制晶体管编程信号PGM_DCT和漏极选择晶体管编程信号PGM_DST而输出用于控制外围电路(图1的电压生成电路150、地址解码器120以及读取和写入电路130)的多个控制信号VG_signals、AD_signals和PB_signals。

[0064] 图5是描述根据本公开的示例性实施方式的半导体存储装置100的操作的流程图。

[0065] 下面的表1是表示在根据本公开的半导体存储装置100的操作方法中应用偏置(bias)的表格。

[0066] [表1]

		BL	DCL	DSL		WL	SSL		CSL
				DSL0	DSL1		SSL0	SSL1	
DCT 编程		0V	Vp _{pgm} (ISPP)	V _{pass}	V _{pass}	0V	0V	0V	0V
[0067]	DST0 PGM	V _{dc}	0V	V _{pgm} (ISPP)	V _{pass}	V _{pass}	V _{pass}	0V	0V
	V _{verify}	0.5V	V _{pass}	V _{verify}	V _{pass}	V _{pass}	V _{pass}	0V	0V
[0067]	DST1 PGM	V _{dc}	0V	0V	V _{pgm} (ISP)	V _{pass}	0V	V _{pass}	0V
	V _{verify}	0.5V	V _{pass}	V _{pass}	V _{verify}	V _{pass}	0V	V _{pass}	0V

[0068] 下面将参照图1至图5以及表1来描述根据本公开的示例性实施方式的半导体存储装置100的操作方法。

[0069] 在本公开的示例性实施方式中,作为示例描述了其中包括在存储单元阵列110中的多个存储块BLK1至BLKz当中的四个存储块共用漏极选择线DSL0和DSL1的结构,因此,第一漏极选择晶体管DST0和第二漏极选择晶体管DST1被编程为使得四个存储块分别对应于不同的编码数据。

[0070] 在步骤S510处,对包括在被选存储块(例如,BLK1)中的存储单元C0至Cn执行擦除操作。在本公开的示例性实施方式中,描述了仅擦除被选存储块,但是本公开不限于此,可擦除存储单元阵列110中包括的所有多个存储块BLK1至BLKz或者可擦除一个或更多个存储块。

[0071] 电压生成电路150可响应于控制信号VG_signals而生成擦除电压Vera,并将所生成的擦除电压Vera施加到存储单元阵列110的公共源线CSL。

[0072] 地址解码器120可响应于控制信号AD_signals而将被选存储块BLK1的字线WL0至WLn控制为处于浮置状态,并且将选择线电压(例如,地电压,0V)施加到漏极选择线DSL0和DSL1以及源极选择线SSL0中的每一个。因此,通过经由公共源线CSL施加擦除电压Vera,在被选存储块BLK1的源极选择晶体管SST的下部沟道中生成栅极感应漏极泄漏(GIDL)电流,并且在GIDL电流中生成的热空穴被提供给多个单元串ST1至STm的沟道层。当字线WL0至WLn的电位电平被放电至地电压电平时,单元串ST1至STm与字线WL0至WLn的沟道之间的电压差增加到足够大,并且包括在被选存储块BLK1中的存储单元C0至Cn的电荷存储层中捕获的电子被放电到沟道,使得存储单元C0至Cn的阈值电压降低,由此将存储单元C0至Cn擦除。

[0073] 在擦除操作期间,可将存储单元C0至Cn、漏极选择晶体管DST0和DST1以及连接控制晶体管DCT一起擦除。漏极选择晶体管DST0和DST1以及连接控制晶体管DCT的擦除操作可与存储单元C0至Cn的擦除操作一起执行。也就是说,可通过将擦除电压Vera施加到公共源线CSL并且使连接控制线DCL以及漏极选择线DSL0和DSL1在浮置状态下放电至地电压电平,将漏极选择晶体管DST0和DST1以及连接控制晶体管DCT的阈值电压控制为处于擦除状态。

[0074] 作为示例,本示例性实施方式基于使用GIDL方案的擦除操作,但是本公开不限于此,并且可应用于擦除半导体存储装置的存储单元的所有擦除操作。例如,本公开还可应用于通过将具有高电位电平的擦除电压施加到源线的FN隧穿方案来擦除存储在存储单元中的数据的数据的擦除操作。例如,存储在存储单元中的数据通过将具有高电位电平的擦除电压施加到源线的FN隧道方案而被擦除。

[0075] 在步骤S520处,执行连接控制晶体管DCT的编程操作。

[0076] 电压生成电路150可响应于控制信号VG_signals而生成编程电压Vpgm和通过电压Vpass,地址解码器120可响应于控制信号AD_signals而将编程电压Vpgm施加到连接控制线DCL并且将通过电压Vpass施加到第一漏极选择线DSL0和第二漏极选择线DSL1。此外,地址解码器120可响应于控制信号AD_signals而将地电压(0V)施加到源极选择线SSL0和SSL1以及字线WL0至WLn。在这种情况下,施加到连接控制线DCL的编程电压Vpgm可以是增量步进脉冲编程(ISPP)方案中的编程电压。

[0077] 在这种情况下,读取和写入电路130可响应于控制信号PB_signals而施加编程允许电压(0V)。

[0078] 因此,包括在存储单元阵列110的多个存储块中的连接控制晶体管DCT可被编程为具有呈预定电平或更高的阈值电压分布。在这种情况下,阈值电压至少可以是1V或更高。

[0079] 在连接控制晶体管DCT的编程操作中,可在施加编程电压 V_{pgm} 的操作之后执行编程验证操作,但是连接控制晶体管DST的编程操作不是要求精确阈值电压的编程操作,因此可在编程电压 V_{pgm} 被施加了预定次数之后跳过编程验证操作。

[0080] 可对共用连接控制线和漏极选择线的多个存储块同时执行连接控制晶体管DCT的编程操作。

[0081] 然后,可执行被选存储块(例如,BLK1)的第一漏极选择晶体管DST0和第二漏极选择晶体管DST1的编码编程操作。也就是说,被选存储块BLK1可通过对第一漏极选择晶体管DST0和第二漏极选择晶体管DST1进行编程而与预定编码数据对应。例如,在本公开的示例性实施方式中,将描述对第一漏极选择晶体管DST0和第二漏极选择晶体管DST1进行编码编程以使存储块BLK1与数据“00”对应的方法。

[0082] 在步骤S530处,可执行被选存储块(例如,BLK1)的第一漏极选择晶体管DST0的编程操作。

[0083] 电压生成电路150可响应于控制信号VG_signals而生成预充电电压 V_{pre} ,并将所生成的预充电电压 V_{pre} 施加到公共源线CSL。地址解码器120可响应于控制信号AD_signals而将通过电压 V_{pass} 施加到多个存储块BLK1至BLK m 的源极选择线SSL0和SSL1,并使多个存储块BLK1至BLK m 的源极选择线SSL0和SSL1导通。因此,包括在多个存储块BLK1至BLK m 中的单元串ST1至ST m 的沟道被预充电至预定电平或更高。

[0084] 然后,电压生成电路150可响应于控制信号VG_signals而生成编程电压 V_{pgm} 和通过电压 V_{pass} ,并且使公共源线CSL的电位电平放电至0V。地址解码器120可响应于控制信号AD_signals而将通过电压 V_{pass} 施加到被选存储块BLK1的源极选择线SSL0、第二漏极选择线DSL1以及字线WL0至WL n ,并将地电压(0V)施加到未选存储块BLK2的源极选择线SSL1。因此,包括在被选存储块BLK1中的单元串ST1至ST m 的沟道被放电至0V的电位电平,而包括在未选存储块BLK2中的单元串ST1至ST m 的沟道由于施加到字线WL0至WL n 的通过电压 V_{pass} 被沟道升压至预定电位电平或更高。

[0085] 然后,地址解码器120可响应于控制信号AD_signals而将编程电压 V_{pgm} 施加到第一漏极选择线DSL0,并对第一漏极选择晶体管DST0进行编程。编程电压可以是ISPP方案的编程电压。

[0086] 编程电压 V_{pgm} 也可被施加到未选存储块BLK2的第一漏极选择线DSL0,但是由于沟道的电位电平处于升压(boost)状态,因此未选存储块BLK2的第一漏极选择晶体管DST0没有被编程。

[0087] 在这种情况下,读取和写入电路130可响应于控制信号PB_signals而将电源电压 V_{dc} 施加到位线BL1至BL m 。

[0088] 然后,通过执行编程验证操作来验证第一漏极选择晶体管DST0是否具有预定电平或更高的阈值电压。

[0089] 在编程验证操作期间,读取和写入电路130可响应于控制信号PB_signals而将位线BL1至BL m 的电位电平预充电到预定电平(例如,0.5V),并且电压生成电路150可响应于控制信号VG_signals而生成验证电压 V_{verify} 和通过电压 V_{pass} 。地址解码器120可响应于控

制信号AD_signals而将验证电压Vverify施加到第一漏极选择线DSL0,并且将通过电压Vpass施加到连接控制线DCL、源极选择线SSL0、第二漏极选择线DSL1以及字线WL0至WLn。读取和写入电路130可感测位线BL1至BLm的电位电平或电流量的变化并执行编程验证操作。当作为编程验证操作的结果而确定编程操作失败时,通过将编程电压Vpgm增加步进电压来再次执行编程操作。

[0090] 在步骤S540处,当作为编程验证操作的结果而确定编程操作已经通过时,可执行第二漏极选择晶体管DST1的编程操作。

[0091] 电压生成电路150可响应于控制信号VG_signals而生成预充电电压Vpre,并将所生成的预充电电压Vpre施加到公共源线CSL。地址解码器120响应于控制信号AD_signals而将通过电压Vpass施加到多个存储块BLK1至BLKm的源极选择线SSL0和SSL1,并使多个存储块BLK1至BLKm的源极选择线SSL0和SSL1导通。因此,包括在多个存储块BLK1至BLKm中的单元串ST1至STm的沟道被预充电到预定电平或更高。

[0092] 然后,电压生成电路150可响应于控制信号VG_signals而生成编程电压Vpgm和通过电压Vpass,并且使公共源线CSL的电位电平放电至0V。地址解码器120可响应于控制信号AD_signals而将通过电压Vpass施加到被选存储块BLK1的源极选择线SSL0、第一漏极选择线DSL0以及字线WL0至WLn,并且将地电压(0V)施加到未选存储块BLK2的源极选择线SSL1。因此,包括在被选存储块BLK1中的单元串ST1至STm的沟道被放电至0V的电位电平,而包括在未选存储块BLK2中的单元串ST1至STm的沟道由于施加到字线WL0至WLn的通过电压Vpass而被沟道升压至预定电平或更高。

[0093] 然后,地址解码器120可响应于控制信号AD_signals而将编程电压Vpgm施加到第二漏极选择线DSL1,并对第二漏极选择晶体管DST1进行编程。编程电压可以是ISPP方案的编程电压。

[0094] 编程电压Vpgm也可被施加到未选存储块BLK2的第二漏极选择线DSL1,但是由于沟道的电位电平处于升压状态,因此未选存储块BLK2的第二漏极选择晶体管DST1没有被编程。

[0095] 在这种情况下,读取和写入电路130可响应于控制信号PB_signals而将电源电压Vdc施加到位线BL1至BLm。

[0096] 然后,通过执行编程验证操作来验证第二漏极选择晶体管DST2是否具有预定电平或更高的阈值电压。

[0097] 在编程验证操作期间,读取和写入电路130可响应于控制信号PB_signals而将位线BL1至BLm的电位电平预充电到预定电平(例如,0.5V),并且电压生成电路150可响应于控制信号VG_signals而生成验证电压Vverify和通过电压Vpass。地址解码器120可响应于控制信号AD_signals而将验证电压Vverify施加到第二漏极选择线DSL1,并且将通过电压Vpass施加到连接控制线DCL、源极选择线SSL0、第一漏极选择线DSL0以及字线WL0至WLn。读取和写入电路130可感测位线BL1至BLm的电位电平或电流量的变化,并执行编程验证操作。当作为编程验证操作的结果而确定编程操作失败时,通过将编程电压Vpgm增加步进电压来再次执行编程操作。

[0098] 当作为第二漏极选择晶体管DST1的编程验证操作的结果而确定编程操作已经通过时,通过选择下一个存储块来执行第一漏极选择晶体管DST0和第二漏极选择晶体管DST1

的编程操作。在这种情况下,第一漏极选择晶体管DST0和第二漏极选择晶体管DST1可被编程以使得下一个存储块与和前一存储块的编码数据不同的编码数据对应。例如,第一漏极选择晶体管DST0和第二漏极选择晶体管DST1被编程为使得下一存储块与“01”、“10”和“11”当中的编码数据的任何一个元素对应。

[0099] 在前述示例性实施方式中,描述了当第一漏极选择晶体管DST0和第二漏极选择晶体管DST1具有预定阈值电压或更高阈值电压时存储块与数据“0”对应,以及当第一漏极选择晶体管DST0和第二漏极选择晶体管DST1具有比预定阈值电压低的阈值电压时(即,当第一漏极选择晶体管DST0和第二漏极选择晶体管DST1具有擦除状态时)存储块与数据“1”对应。

[0100] 也就是说,在与数据“00”对应的存储块中,第一漏极选择晶体管DST0和第二漏极选择晶体管DST1都被编程为具有等于或高于预定阈值电压的阈值电压。在与数据“01”对应的存储块中,仅第一漏极选择晶体管DST0被编程为具有等于或高于预定阈值电压的阈值电压。在与数据“10”对应的存储块中,仅第二漏极选择晶体管DST1被编程为具有比预定阈值电压高的阈值电压。在与数据“11”对应的存储块中,第一漏极选择晶体管DST0和第二漏极选择晶体管DST1都具有比预定阈值电压低的阈值电压,因此没有执行编程操作,以使得第一漏极选择晶体管DST0和第二漏极选择晶体管DST1保持擦除状态。

[0101] 如上所述,当包括在存储块组中的四个存储块的第一漏极选择晶体管DST0和第二漏极选择晶体管DST1的编码编程操作终止时,在步骤S550处执行连接控制晶体管DCT的擦除操作。

[0102] 连接控制晶体管DCT的擦除操作可通过以页为单位的擦除操作方案来执行。例如,擦除电压Vera通过公共源线施加,并且位线BL1至BLm被控制为处于浮置状态(floating state)。然后,通过将电压Vpass施加到第一漏极选择线DSL0和第二漏极选择线DSL1以及多条字线WL0至WLn来仅选择性地擦除连接控制晶体管DCT。在这种情况下,可将比擦除电压Vera低的预定电压施加到源极选择线SSL0和SSL1。

[0103] 在本公开的示例性实施方式中,描述了在步骤S550处执行连接控制晶体管DCT的擦除操作,但是本公开不限于此。该过程可被终止以使得连接控制晶体管DCT在没有对连接控制晶体管DCT的擦除操作的步骤S550的情况下具有编程状态。

[0104] 如上所述,根据本公开的示例性实施方式,漏极选择晶体管可被编程为使得共用漏极选择线的多个存储块分别具有不同的编码数据,因此能够通过包括编程操作、读取操作和擦除操作的生成操作期间调节施加到漏极选择线的电压来选择性地激活多个存储块中的一个存储块。

[0105] 图6是例示根据本公开的示例性实施方式的图1的存储块BLK1至BLKz的详细配置的电路图。

[0106] 在图1中,例示了多个存储块BLK1至BLKz通过位线BL1至BLm连接到读取和写入电路130,但是在图6中,出于说明的目的和为了方便起见,仅代表性地例示了存储块BLK1和存储块BLK2。存储块BLK1和存储块BLK2具有共用位线BL1至BLm和公共源线CSL的结构。此外,存储块BLK1和存储块BLK2可具有共用多条字线WL0至WLn、第一漏极选择线DSL0和第二漏极选择线DSL1、连接控制线DCL、漏极虚拟线DPWL和源极虚拟线SPWL的结构。

[0107] 参照图6,存储块BLK1和存储块BLK2连接到多条位线BL1至BLm。

[0108] 存储块BLK1可包括多个单元串ST1至ST_m。多个单元串ST1至ST_m分别连接在多条位线BL1至BL_m与公共源线CSL之间。多个单元串ST1至ST_m中的每一个可包括源极选择晶体管SST、一个或更多个源极虚拟单元DC0、多个串联连接的存储单元C0至C_n、一个或更多个漏极虚拟单元DC1、两个或更多个漏极选择晶体管DST0和DST1、一个或更多个虚拟连接控制晶体管D_DCT以及一个或更多个连接控制晶体管DCT。

[0109] 源极选择晶体管SST连接到源极选择线SSL0，一个或更多个源极虚拟单元DC0连接到源极虚拟线SPWL。多个存储单元C0至C_n分别连接到字线WL0至WL_n。一个或更多个漏极虚拟单元DC1连接到漏极虚拟线DPWL，并且两个或更多个漏极选择晶体管DST0和DST1连接到第一漏极选择线DSL0和第二漏极选择线DSL1。此外，一个或更多个虚拟连接控制晶体管D_DCT连接到虚拟连接控制线D_DCL，并且一个或更多个连接控制晶体管DCT连接到连接控制线DCL。

[0110] 存储块BLK2可具有与存储块BLK1相似的结构。也就是说，存储块BLK2可包括多个串ST1至ST_m，并且多个串ST1至ST_m分别连接在多条位线BL1至BL_m与公共源线CSL之间。多个单元串ST1至ST_m中的每一个可包括源极选择晶体管SST、一个或更多个源极虚拟单元DC0、多个串联连接的存储单元C0至C_n、一个或更多个漏极虚拟单元DC1、两个或更多个漏极选择晶体管DST0和DST1、一个或更多个虚拟连接控制晶体管D_DCT以及一个或更多个连接控制晶体管DCT。

[0111] 源极选择晶体管SST连接到源极选择线SSL1，一个或更多个源极虚拟单元DC0连接到源极虚拟线SPWL。多个存储单元C0至C_n分别连接到字线WL0至WL_n。一个或更多个漏极虚拟单元DC1连接到漏极虚拟线DPWL，并且两个或更多个漏极选择晶体管DST0和DST1连接到第一漏极选择线DSL0和第二漏极选择线DSL1。一个或更多个虚拟连接控制晶体管D_DCT连接到虚拟连接控制线D_DCL，并且一个或更多个连接控制晶体管DCT连接到连接控制线DCL。

[0112] 如上所述，存储块BLK1和存储块BLK2可具有类似的结构，其中多条字线WL0至WL_n、源极虚拟线SPWL和漏极虚拟线DPWL、第一漏极选择线DSL0和第二漏极选择线DSL1以及连接控制线DCL被共用，并且仅与源极选择晶体管连接的源极选择线SSL0和SSL1被电分离。

[0113] 此外，根据图6的存储块的详细结构与根据图3的存储块的详细结构的不同之处在于：附加设置有与虚拟连接控制线D_DCL连接的虚拟连接控制晶体管D_DCT。虚拟连接控制晶体管D_DCT可被设置在连接控制晶体管DCT与漏极选择晶体管DST0之间以使漏极选择晶体管DST0的电特性稳定。虚拟连接控制晶体管D_DCT在连接控制晶体管DCT以及第一漏极选择晶体管DST0和第二漏极选择晶体管DST1的编程操作期间保持擦除状态。

[0114] 图7是例示包括图1的半导体存储装置100的存储系统1000的框图。

[0115] 参照图7，存储系统1000可包括半导体存储装置100和控制器1100。

[0116] 半导体存储装置100可按照与参照图1描述的方式类似的方式操作。在下文中，将省略重叠描述。

[0117] 控制器1100连接到主机Host和半导体存储装置100。控制器1100可响应于来自主机Host的请求而访问半导体存储装置100。例如，控制器1100可控制半导体存储装置100的读取操作、写入操作、擦除操作和后台操作。控制器1100可提供半导体存储装置100与主机Host之间的接口。控制器1100可驱动用于控制半导体存储装置100的固件。

[0118] 控制器1100可包括随机存取存储器(RAM) 1110、处理单元1120、主机接口1130、存

存储器接口1140和错误校正块1150。RAM 1110被用作处理单元1120的工作存储器、半导体存储装置100与主机Host之间的缓存存储器以及半导体存储装置100与主机Host之间的缓冲存储器中的至少一个。处理单元1120控制控制器1100的一般操作。此外,控制器1100可在写入操作期间临时存储从主机Host提供的编程数据。

[0119] 主机接口1130可以包括用于在主机Host与控制器1100之间执行数据交换的协议。作为示例性实施方式,控制器1100可通过诸如以下协议之类的各种接口协议中的至少一种与主机Host进行通信:通用串行总线(USB)协议、多媒体卡(MMC)协议、外围组件互连(PCI)协议、PCI-express(PCI-E)协议、高级技术附件(ATA)协议、串行ATA协议、并行ATA协议、小型计算机小型接口(SCSI)协议、增强型小型磁盘接口(ESDI)协议、集成式驱动电子(IDE)协议和专用协议。

[0120] 存储器接口1140与半导体存储装置100接口连接。例如,存储器接口包括NAND接口或NOR接口。

[0121] 错误校正块1150可通过使用错误校正码(ECC)来检测并校正从半导体存储装置100接收的数据中的错误。处理单元1120可根据错误校正块1150的错误检测结果来控制半导体存储装置100调整读取电压,并执行重新读取操作。作为示例性实施方式,错误校正块可被设置为控制器1100的构成元件。

[0122] 控制器1100和半导体存储装置100可被集成到一个半导体装置中。作为示例性实施方式,控制器1100和半导体存储装置100可被集成到一个半导体装置中,以构成存储卡。例如,控制器1100和半导体存储装置100可被集成为一个半导体装置,以构成诸如PC卡(个人计算机存储卡国际协会(PCMCIA))、紧凑型闪存(CF)卡、智能媒体卡(SM或SMC)、记忆棒、多媒体卡(MMC、RS-MMC或MMCmicro)、SD卡(SD、miniSD、microSD或SDHC)或通用闪存存储(UFS)这样的存储卡。

[0123] 控制器1100和半导体存储装置100可被集成到一个半导体装置中以构成半导体驱动(固态硬盘(SSD))。半导体驱动SSD包括被配置为将数据存储在半导体的存储器中的存储装置。在存储系统1000被用作SSD的情况下,可显著地提高与存储系统1000连接的主机Host的操作速度。

[0124] 作为另一示例,存储系统1000可被设置为诸如计算机、超移动PC(UMPC)、工作站、上网本电脑、个人数字助理(PDA)、便携式计算机、网络平板PC、无线电话、移动电话、智能电话、电子书阅读器、便携式多媒体播放器(PMP)、便携式游戏装置、导航装置、黑匣子、数码相机、三维电视、数字音频记录器、数字音频播放器、数字图像记录器、数字图像播放器、数字视频记录器、数字视频播放器这样的电子装置的各种组件中的一种、能够在无线环境中收发信息的装置、构成家庭网络的各种电子装置中的一种、构成计算机网络的各种电子装置中的一种、构成远程信息处理网络的各种电子装置中的一种、RFID装置或者构成计算系统的各种组成元件装置中的一种。

[0125] 作为示例性实施方式,半导体存储装置100或存储系统1000可按照各种封装形式来安装。例如,半导体存储装置100或存储系统1000可按照以下方法来封装并嵌入:诸如堆叠式封装(PoP)、球栅阵列(BGA)、芯片级封装(CSP)、塑料引线芯片载体(PLCC)、塑料双列直插式封装(PDIP)、Waffle封装裸片、晶圆形式裸片、板上芯片(COB)、陶瓷双列直插式封装(CERDIP)、塑料度量四方扁平封装(MQFP)、薄四方扁平封装(TQFP)、小外形封装(SOIC)、收

缩小外形封装 (SSOP)、薄小外形封装 (TSOP)、薄四方扁平封装 (TQFP)、系统封装 (SIP)、多芯片封装 (MCP)、晶圆级制造封装 (WFP) 和晶圆级处理堆栈封装 (WSP)。

[0126] 图8是例示图7的存储系统的应用示例的框图。

[0127] 参照图8,存储系统2000包括半导体存储装置2100和控制器2200。半导体存储装置2100包括多个半导体存储芯片。多个半导体存储芯片被划分成多个组。

[0128] 在图8中,例示了多个组分别通过第一信道CH1至第k信道CHk与控制器2200进行通信。每个半导体存储芯片可按照参照图1描述的半导体存储装置100中的一个半导体存储芯片的方式相同的方式进行配置和操作。

[0129] 每个组通过一个公共信道与控制器2200通信。控制器2200按照与参照图7描述的控制器1100类似的方式配置,并且可通过多个信道CH1至CHk来控制半导体存储装置2100的多个存储芯片。

[0130] 图9是例示包括参照图8描述的存储系统的计算系统的框图。

[0131] 参照图9,计算系统3000包括中央处理单元3100、随机存取存储器 (RAM) 3200、用户接口3300、电源3400、系统总线3500和存储系统2000。

[0132] 存储系统2000通过系统总线3500电连接到中央处理单元3100、RAM 3200、用户接口3300和电源3400。通过用户接口3300提供的数据或由中央处理单元3100处理的数据被存储在存储系统2000中。

[0133] 在图9中,例示了半导体存储装置2100通过控制器2200连接到系统总线3500。然而,半导体存储装置2100可被配置为直接连接到系统总线3500。在这种情况下,控制器2200的功能可由中央处理单元3100和RAM 3200执行。

[0134] 在图9中,例示了设置有参照图8描述的存储系统2000。然而,存储系统2000可被参照图7描述的存储系统1000代替。作为示例性实施方式,计算系统3000可被配置为包括参照图7和图8描述的所有存储系统1000和2000。

[0135] 本公开的详细描述包括特定示例性实施方式的描述,但是在不脱离本公开的范围和技术精神的情况下,可在该范围内进行各种修改。因此,本公开的范围不应当限于所描述的示例性实施方式,而应当由所附权利要求和权利要求的等同物来限定。

[0136] 相关申请的交叉引用

[0137] 本申请要求于2017年7月11日提交的韩国专利申请No.10-2017-0087873的优先权,所述韩国专利申请的整个公开内容通过引用并入本文。

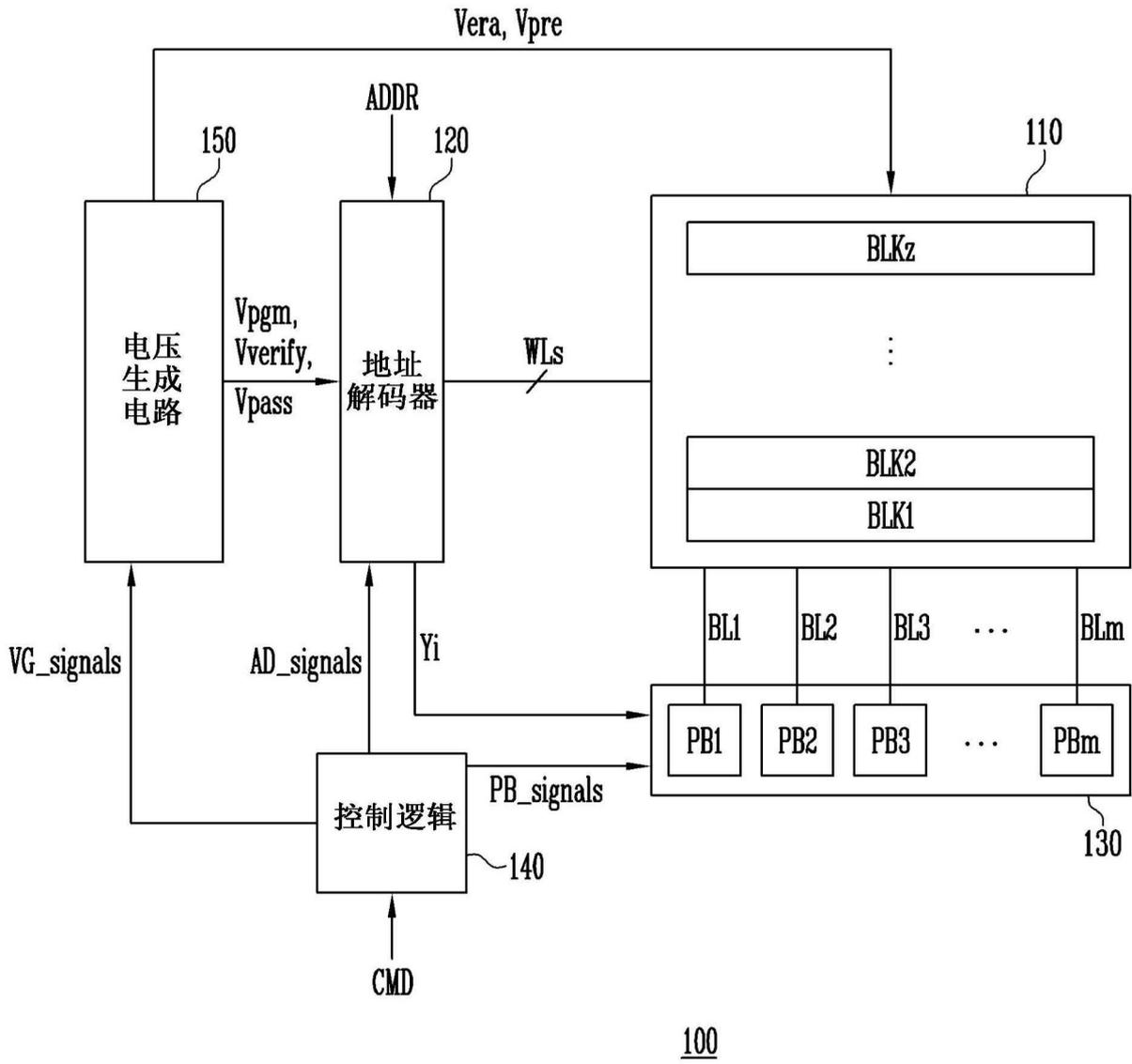


图1

110

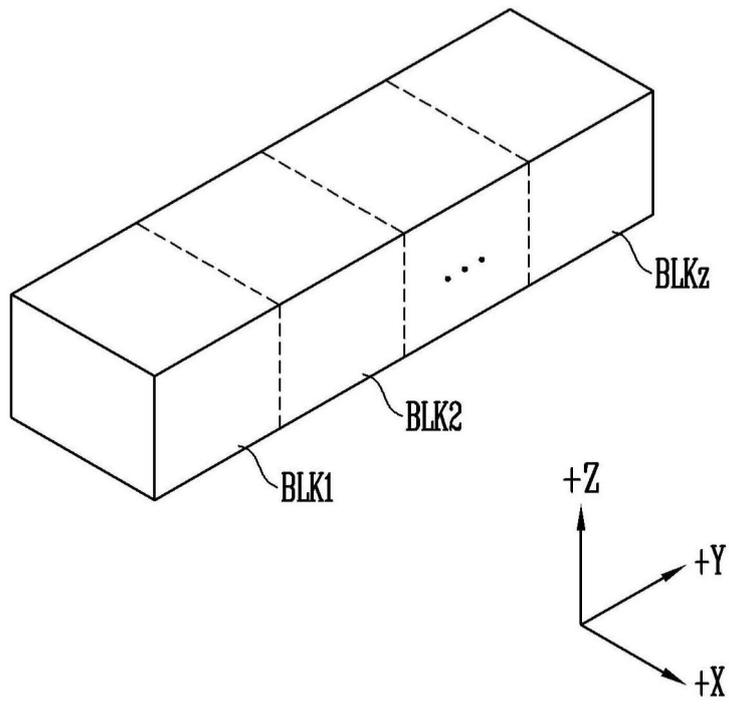


图2

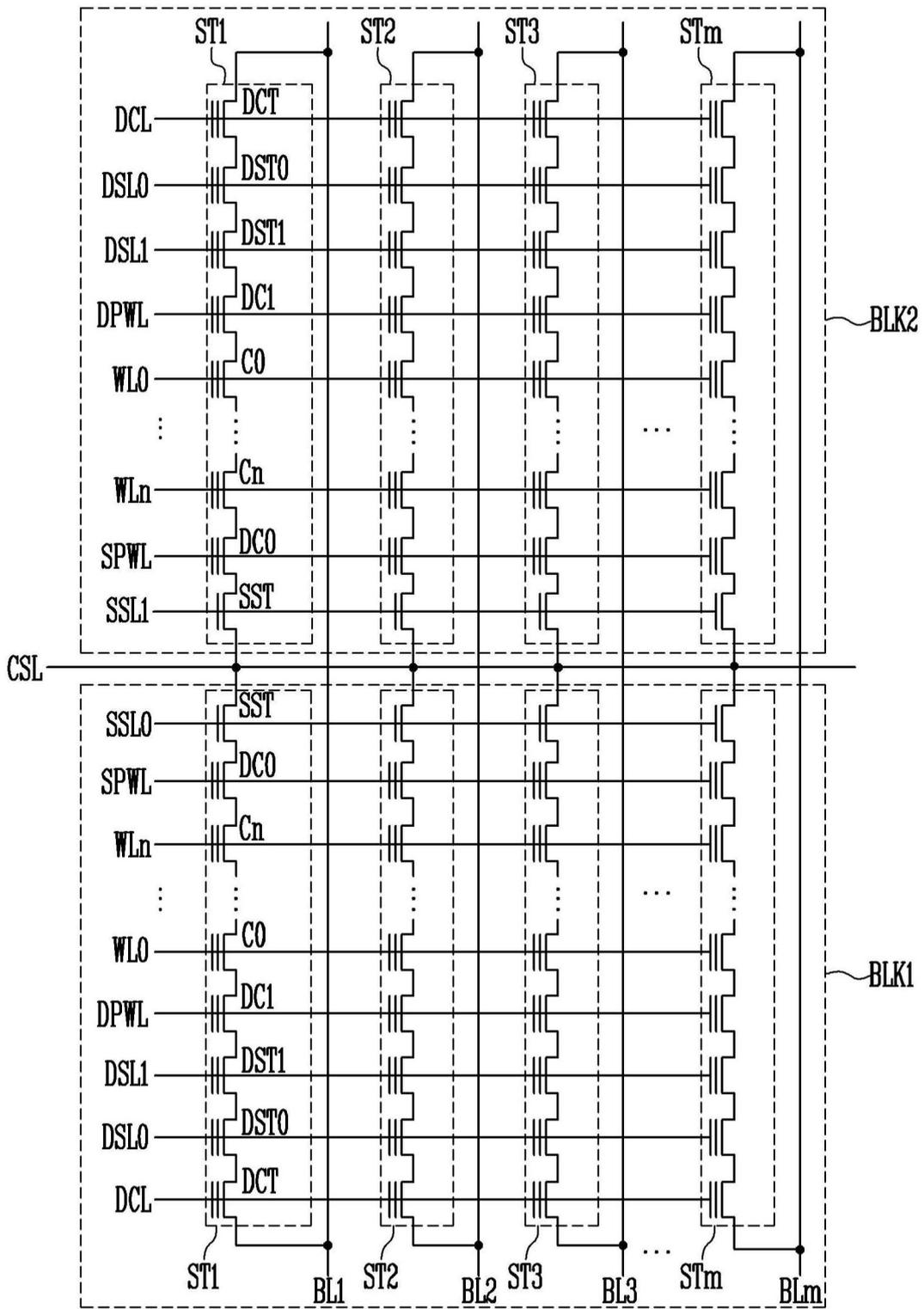


图3

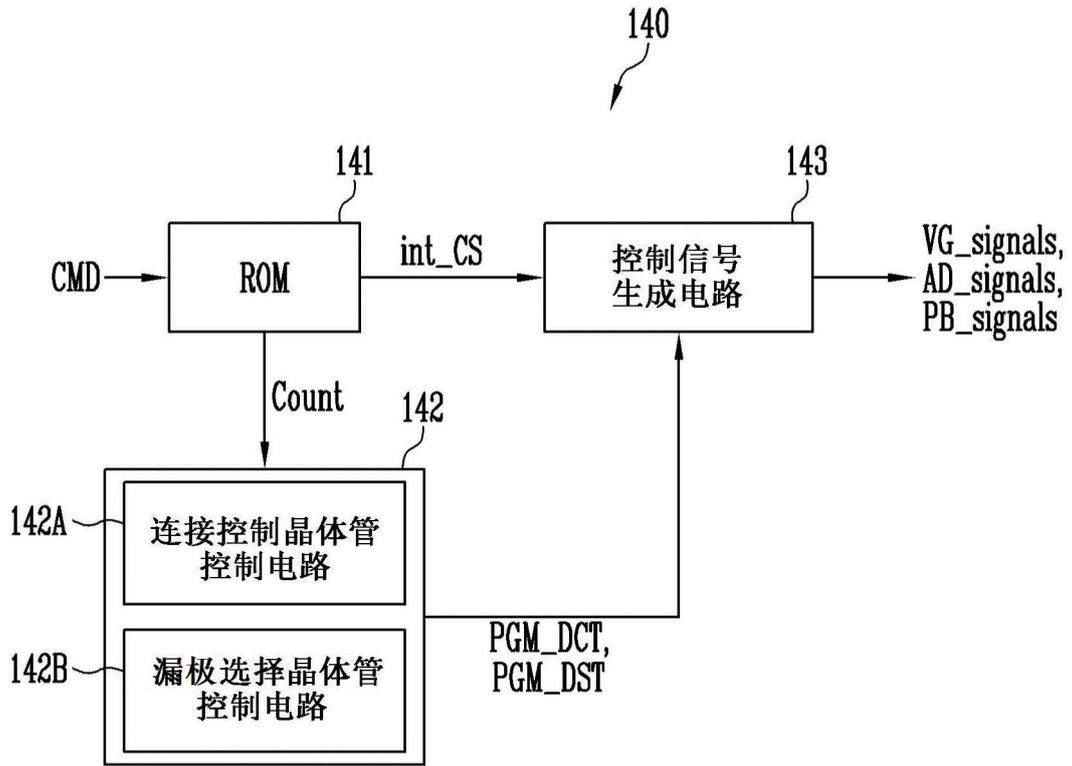


图4

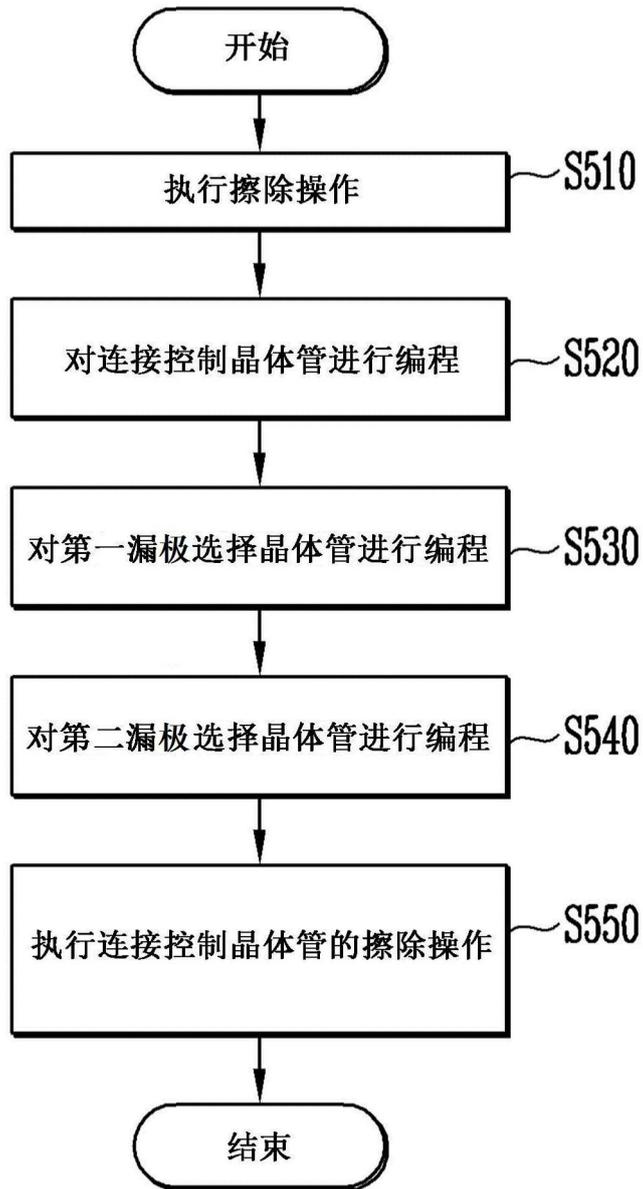


图5

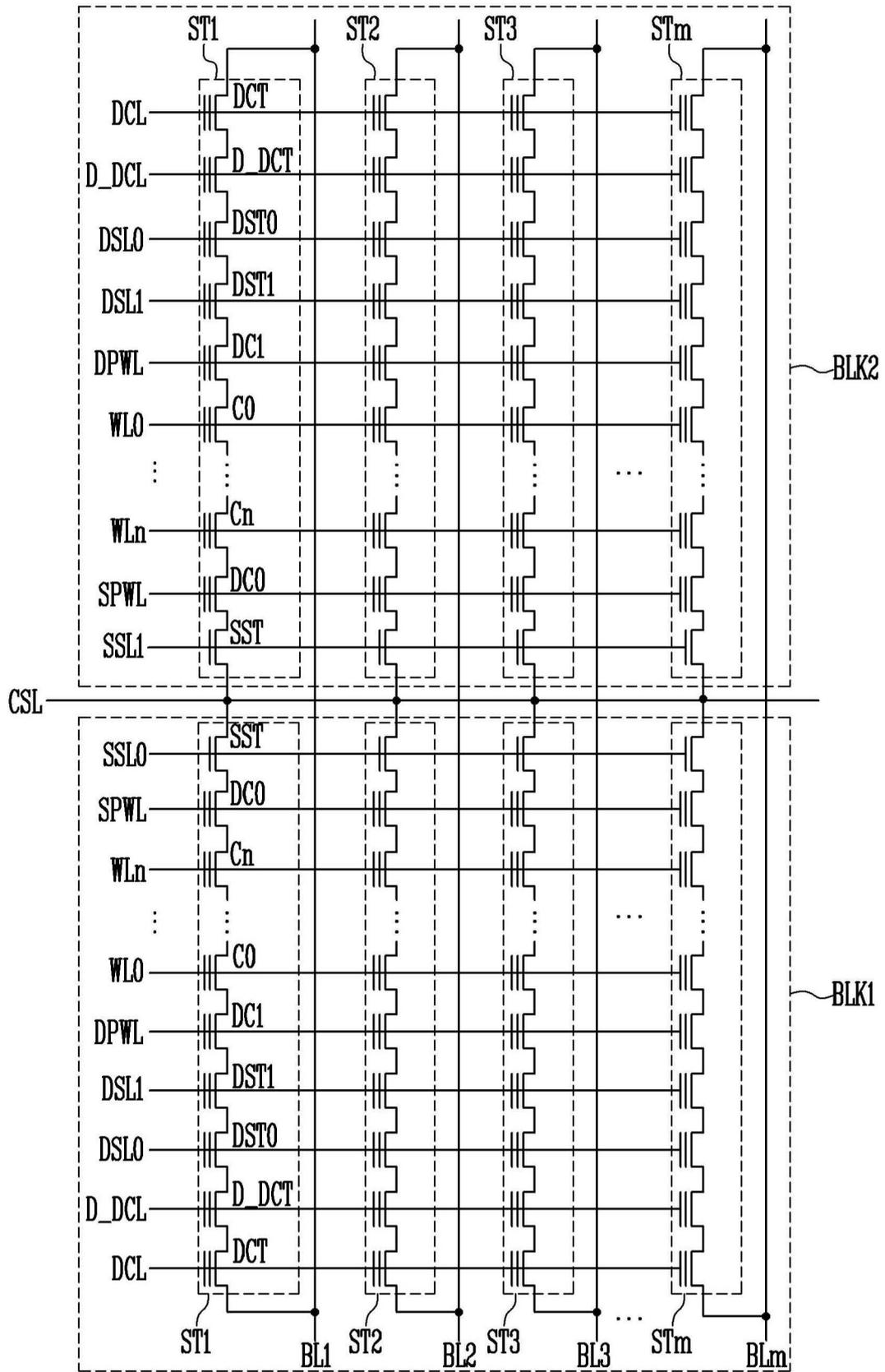


图6

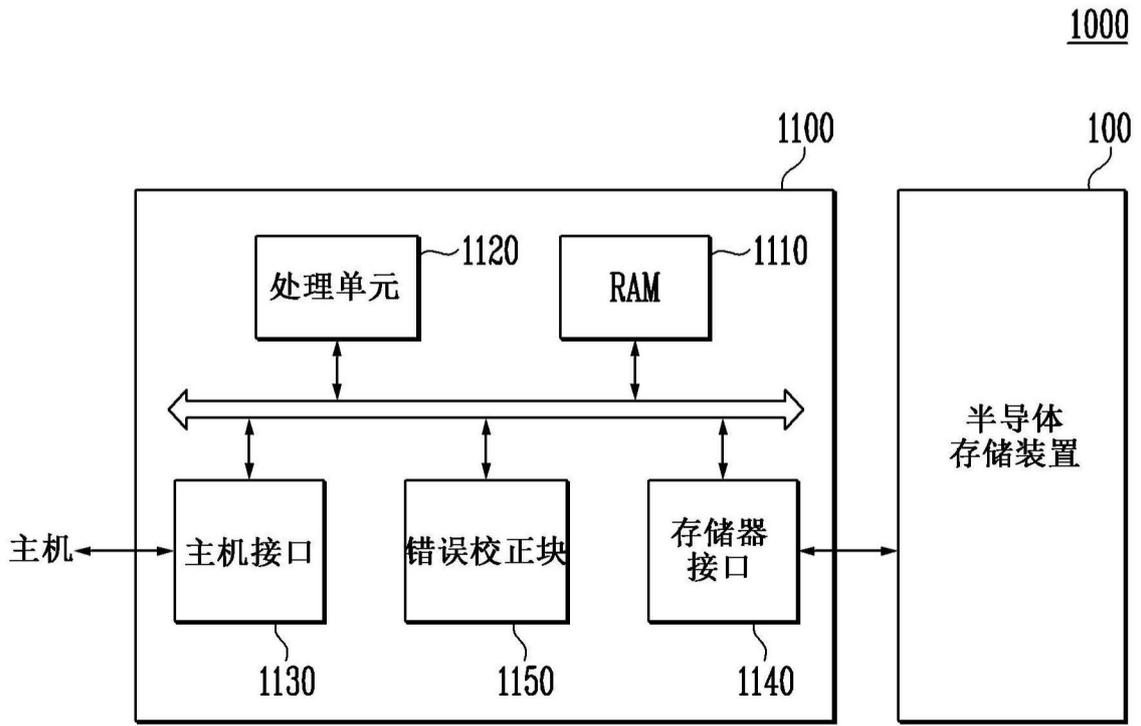


图7

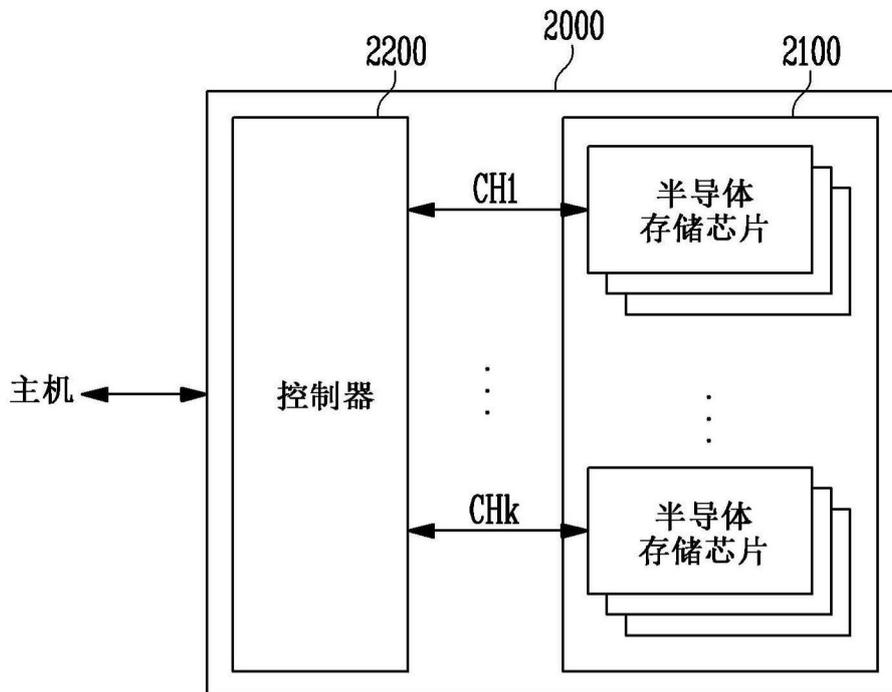


图8

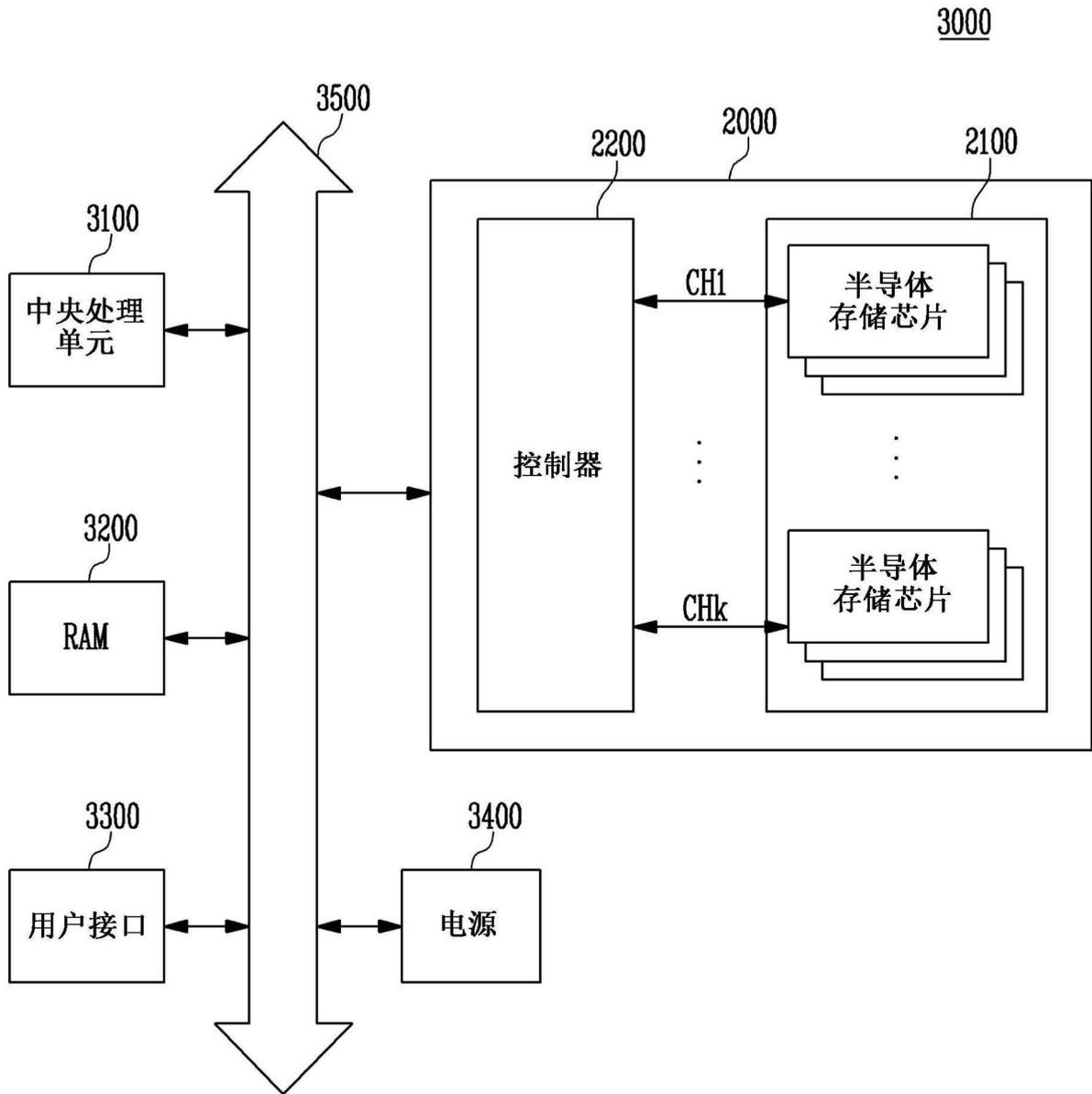


图9