

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2009-238892

(P2009-238892A)

(43) 公開日 平成21年10月15日(2009.10.15)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 21/822 (2006.01)	HO 1 L 27/04 E	5 F 0 3 8
HO 1 L 27/04 (2006.01)	HO 1 L 27/04 M	

審査請求 有 請求項の数 14 O L (全 20 頁)

(21) 出願番号 特願2008-80904 (P2008-80904)  
 (22) 出願日 平成20年3月26日 (2008.3.26)

(71) 出願人 000002369  
 セイコーエプソン株式会社  
 東京都新宿区西新宿2丁目4番1号  
 (74) 代理人 100090479  
 弁理士 井上 一  
 (74) 代理人 100104710  
 弁理士 竹腰 昇  
 (74) 代理人 100124682  
 弁理士 黒田 泰  
 (72) 発明者 森田 晶  
 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内  
 Fターム(参考) 5F038 BE04 BE08 BH10 BH18 CD04  
 CD08 CD16 DF01 DF17 EZ20

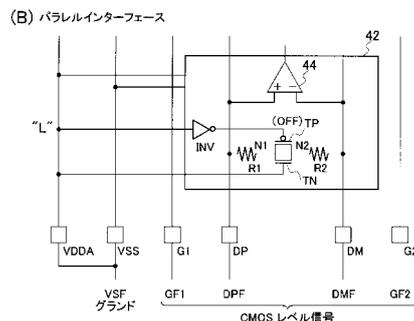
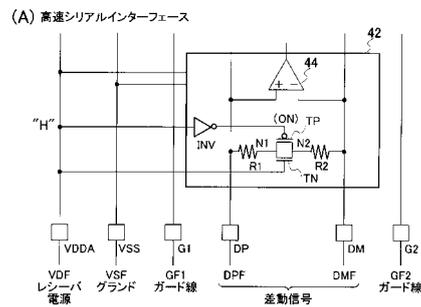
(54) 【発明の名称】 集積回路装置、電気光学装置及び電子機器

(57) 【要約】

【課題】 インターフェース回路の端子を共通化できる集積回路装置、電気光学装置及び電子機器を提供すること。

【解決手段】 本発明は、シリアルバスを介して差動信号を受信するレシーバ回路42と、差動信号が入力される端子DP、DMと、レシーバ回路用の電源電圧が供給される電源端子VDDAと、端子DPとノードN1との間に設けられた終端抵抗R1と、端子DMとノードN2との間に設けられた終端抵抗R2と、ノードN1とN2の間に設けられたトランジスタTP、TN(スイッチ素子)を含む。トランジスタTP、TNは、レシーバ回路用電源端子VDDAからの電圧に基づいて、高速シリアルインターフェースモードにおいてオンし、パラレルインターフェースモードにおいてオフする。

【選択図】 図3



**【特許請求の範囲】****【請求項 1】**

シリアルバスを介して差動信号を受信するレシーバ回路を有する高速シリアルインターフェース回路と、

前記差動信号を構成する第 1 の信号が入力される第 1 の端子と、

前記差動信号を構成する第 2 の信号が入力される第 2 の端子と、

前記レシーバ回路用の高電圧側の電源電圧が供給されるレシーバ回路用電源端子と、

前記第 1 の端子と第 1 のノードとの間に設けられた第 1 の終端抵抗と、

前記第 2 の端子と第 2 のノードとの間に設けられた第 2 の終端抵抗と、

前記第 1、第 2 のノードの間に設けられたスイッチ素子と、

を含み、

前記スイッチ素子は、

前記レシーバ回路用電源端子からの前記電源電圧を用いて、高速シリアルインターフェースモードにおいてオンし、パラレルインターフェースモードにおいてオフすることを特徴とする集積回路装置。

**【請求項 2】**

請求項 1 において、

前記スイッチ素子は、

第 1 導電型ウェル上に形成される第 2 導電型トランジスタを有し、

前記第 1 導電型ウェルの電位がフローティング状態に設定されることを特徴とする集積回路装置。

**【請求項 3】**

請求項 1 において、

前記スイッチ素子は、

第 1 導電型ウェル上に形成される第 2 導電型トランジスタを有し、

前記第 1 導電型ウェルの電位は、

ロジック回路用の高電圧側の電源電圧に固定されていることを特徴とする集積回路装置

。

**【請求項 4】**

請求項 2 又は 3 のいずれかにおいて、

ロジック回路用の高電圧側の電源電圧で動作し、前記レシーバ回路用電源端子からの電圧が入力されるインバータを含み、

前記第 2 導電型トランジスタが前記インバータの出力に基づいて、高速シリアルインターフェースモードにおいてオンし、パラレルインターフェースモードにおいてオフすることを特徴とする集積回路装置。

**【請求項 5】**

請求項 4 において、

前記インバータの第 2 導電型トランジスタが前記第 1 導電型ウェル上に形成されることを特徴とする集積回路装置。

**【請求項 6】**

請求項 2 乃至 5 のいずれかにおいて、

前記第 1 導電型ウェルが N 型ウェルであり、前記スイッチ素子の第 2 導電型トランジスタ及び前記インバータの第 2 導電型トランジスタが P 型トランジスタであることを特徴とする集積回路装置。

**【請求項 7】**

請求項 1 乃至 6 のいずれかにおいて、

前記シリアルバスにおいて輻射防止用に用いられる第 1、第 2 のガード用端子と、

前記第 1 のガード用端子を介してパラレルインターフェース信号を入出力する第 1 の I/O バッファと、

前記第 2 のガード用端子を介してパラレルインターフェース信号を入出力する第 2 の I

10

20

30

40

50

ノオバッファと、  
を含み、

高速シリアルインターフェースモードにおいて、前記第 1、第 2 の I / O バッファの出力が前記レシーバ回路用電源端子からの電圧に基づいて低電圧側レベル又はハイインピーダンス状態に設定されることを特徴とする集積回路装置。

【請求項 8】

請求項 7 において、

前記第 1、第 2 の I / O バッファは、

入力バッファと、出力バッファと、論理回路とを有し、

前記論理回路は、

前記出力バッファの前段に設けられ、高速シリアルインターフェースモード時に前記レシーバ回路用電源端子からの電圧に基づいて固定レベルの信号を出力し、

前記出力バッファは、

前記論理回路の前記固定レベルの信号が入力されたときに、前記低電位側レベルを出力することを特徴とする集積回路装置。

10

【請求項 9】

請求項 7 において、

前記第 1、第 2 の I / O バッファは、

入力バッファと、出力バッファと、論理回路とを有し、

前記論理回路は、

高速シリアルインターフェースモード時に前記レシーバ回路用電源端子からの電圧に基づいて固定レベルの信号を出力し、

前記出力バッファの出力は、

前記論理回路の前記固定レベルの信号に基づいて、前記ハイインピーダンス状態に設定されることを特徴とする集積回路装置。

20

【請求項 10】

請求項 1 乃至 6 のいずれかにおいて、

前記第 1 の端子を介してパラレルインターフェース信号が入力される第 1 の入力バッファと、

前記第 1 の端子を介してパラレルインターフェース信号が入力される第 2 の入力バッファと、

を含み、

高速シリアルインターフェースモードにおいて、前記第 1、第 2 の入力バッファの出力が前記レシーバ回路用電源端子からの電圧に基づいて固定レベルの信号を出力することを特徴とする集積回路装置。

30

【請求項 11】

請求項 10 において、

前記レシーバ回路用の高電圧側の電源電圧と異なるロジック回路用の電源電圧で動作するインバータを含み、

前記インバータには、

前記レシーバ回路用電源端子に供給される前記レシーバ回路用の高電圧側の電源電圧が入力され、

前記第 1、第 2 の入力バッファは、

前記インバータの出力により制御されることを特徴とする集積回路装置。

40

【請求項 12】

請求項 1 乃至 11 のいずれかにおいて、

パラレルインターフェースモード時に、前記レシーバ回路用電源端子に低電圧側の電源電圧が供給されることを特徴とする集積回路装置。

【請求項 13】

請求項 1 乃至 12 のいずれかに記載の集積回路装置を含むことを特徴とする電気光学装

50

置。

【請求項 1 4】

請求項 1 3 に記載の電気光学装置を含むことを特徴とする電子機器。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、集積回路装置、電気光学装置及び電子機器等に関する。

【背景技術】

【0002】

近年、LSI間の通信手段としてLVDS (Low Voltage Differential Signaling) などの高速シリアルインターフェースが注目されている。この高速シリアル転送では、トランスミッタ回路がシリアル化されたデータを差動信号により送信し、レシーバ回路が差動信号を差動増幅することでデータ転送を実現する。 10

【0003】

一般的なプロジェクタ (投写型表示装置) は、表示する画像の処理等を行う基板部分と、液晶パネル (電気光学パネル)、光源、レンズ等が設けられる光学系部分により構成される。そして、基板部分からはホストプロセッサによって画像データが送信され、光学系部分において表示ドライバ (ドライバ) がその画像データ受信して液晶パネルを駆動する。このようなデータ転送において高速シリアルインターフェースを用いれば、高精細な画像表示に対応した高速な通信を行うことができる。 20

【0004】

ここで、これまでの表示ドライバでは、ホストプロセッサとの間のインターフェースとして、MPU (Micro Processor Unit) 用のパラレルインターフェースであるMPUインターフェースが広く用いられている。そのため、表示ドライバに両方のインターフェースを集積しておく場合がある。このときインターフェース回路の端子を共通化できればコスト削減につながるが、インターフェースが異なれば端子の機能も異なるため端子の共通化が実現できないという課題があった。

【発明の開示】

【発明が解決しようとする課題】

【0005】

本発明の幾つかの態様によれば、インターフェース回路の端子を共通化できる集積回路装置、電気光学装置及び電子機器を提供できる。 30

【課題を解決するための手段】

【0006】

本発明は、シリアルバスを介して差動信号を受信するレシーバ回路を有する高速シリアルインターフェース回路と、前記差動信号を構成する第1の信号が入力される第1の端子と、前記差動信号を構成する第2の信号が入力される第2の端子と、前記レシーバ回路用の高電圧側の電源電圧が供給されるレシーバ回路用電源端子と、前記第1の端子と第1のノードとの間に設けられた第1の終端抵抗と、前記第2の端子と第2のノードとの間に設けられた第2の終端抵抗と、前記第1、第2のノードの間に設けられたスイッチ素子とを含み、前記スイッチ素子は、前記レシーバ回路用電源端子からの前記電源電圧を用いて、高速シリアルインターフェースモードにおいてオンし、パラレルインターフェースモードにおいてオフすることを特徴とする集積回路装置に係する。 40

【0007】

本発明によれば、差動信号を終端する終端抵抗に直列にスイッチ素子を設け、パラレルインターフェースモードにおいてスイッチ素子をオフできる。そのため、終端抵抗が、パラレルインターフェースモードの信号の負荷とならないようにできる。これにより、高速シリアルインターフェースとパラレルインターフェースで端子の共有を実現できる。また、スイッチ素子のオン、オフにレシーバ回路用の電源電圧を用いたことにより、新たに信号や端子を設けることなくインターフェース切り替えを実現できる。 50

## 【 0 0 0 8 】

また本発明では、前記スイッチ素子は、第1導電型ウェル上に形成される第2導電型トランジスタを有し、前記第1導電型ウェルの電位がフローティング状態に設定されてもよい。

## 【 0 0 0 9 】

これにより、終端抵抗のスイッチ素子を実現できる。そして、パラレルインターフェースモードにおいて、終端抵抗が設けられた端子にパラレルインターフェースモードの信号を入力することができる。

## 【 0 0 1 0 】

また本発明では、前記スイッチ素子は、第1導電型ウェル上に形成される第2導電型トランジスタを有し、前記第1導電型ウェルの電位は、ロジック回路用の高電圧側の電源電圧に固定されてもよい。

10

## 【 0 0 1 1 】

同様に、終端抵抗のスイッチ素子を実現できる。そして、パラレルインターフェースモードにおいて、終端抵抗が設けられた端子にパラレルインターフェースモードの信号を入力することができる。

## 【 0 0 1 2 】

また本発明では、ロジック回路用の高電圧側の電源電圧で動作し、前記レシーバ回路用電源端子からの電圧が入力されるインバータを含み、前記第2導電型トランジスタが前記インバータの出力に基づいて、高速シリアルインターフェースモードにおいてオンし、パラレルインターフェースモードにおいてオフしてもよい。

20

## 【 0 0 1 3 】

これにより、レシーバ回路用の電源電圧によるスイッチ素子のオン、オフを実現できる。

## 【 0 0 1 4 】

また本発明では、前記インバータの第2導電型トランジスタが前記第1導電型ウェル上に形成されてもよい。

## 【 0 0 1 5 】

これにより、インバータを実現できる。そして、レシーバ回路用の電源電圧に基づいて、スイッチ素子を構成する第2導電型トランジスタのオン、オフを実現できる。

30

## 【 0 0 1 6 】

また本発明では、前記第1導電型ウェルがN型ウェルであり、前記スイッチ素子の第2導電型トランジスタ及び前記インバータの第2導電型トランジスタがP型トランジスタであってもよい。

## 【 0 0 1 7 】

これにより、スイッチ素子をCMOSトランジスタで構成できる。そして、N型ウェルをフローティング状態又はロジック回路用の電源電圧に固定することで、第1、第2の端子にパラレルインターフェースの信号を入力できる。

## 【 0 0 1 8 】

また本発明では、前記シリアルバスにおいて輻射防止用に用いられる第1、第2のガード用端子と、前記第1のガード用端子を介してパラレルインターフェース信号を入出力する第1のI/Oバッファと、前記第2のガード用端子を介してパラレルインターフェース信号を入出力する第2のI/Oバッファとを含み、高速シリアルインターフェースモードにおいて、前記第1、第2のI/Oバッファの出力が前記レシーバ回路用電源端子からの電圧に基づいて低電圧側レベル又はハイインピーダンス状態に設定されてもよい。

40

## 【 0 0 1 9 】

本発明によれば、高速シリアルインターフェースとパラレルインターフェースでI/Oバッファの出力を切り替えられるため、端子の共有を実現できる。また、本発明では電源端子VDDAに供給される電圧を用いてインターフェース切り替えを行っている。これにより、端子や信号を追加することなくインターフェースの選択を実現できる。

50

## 【 0 0 2 0 】

また本発明では、前記第 1、第 2 の I / O バッファは、入力バッファと、出力バッファと、論理回路とを有し、前記論理回路は、前記出力バッファの前段に設けられ、高速シリアルインターフェースモード時に前記レシーバ回路用電源端子からの電圧に基づいて固定レベルの信号を出力し、前記出力バッファは、前記論理回路の前記固定レベルの信号が入力されたときに、前記低電位側レベルを出力してもよい。

## 【 0 0 2 1 】

これにより、インターフェース切り替え可能な I / O バッファを実現できる。

## 【 0 0 2 2 】

また本発明では、前記第 1、第 2 の I / O バッファは、入力バッファと、出力バッファと、論理回路とを有し、前記論理回路は、高速シリアルインターフェースモード時に前記レシーバ回路用電源端子からの電圧に基づいて固定レベルの信号を出力し、前記出力バッファの出力は、前記論理回路の前記固定レベルの信号に基づいて、前記ハイインピーダンス状態に設定されてもよい。

10

## 【 0 0 2 3 】

このようにしても、インターフェース切り替え可能な I / O バッファを実現できる。

## 【 0 0 2 4 】

また本発明では、前記第 1 の端子を介してパラレルインターフェース信号が入力される第 1 の入力バッファと、前記第 1 の端子を介してパラレルインターフェース信号が入力される第 2 の入力バッファとを含み、高速シリアルインターフェースモードにおいて、前記第 1、第 2 の入力バッファの出力が前記レシーバ回路用電源端子からの電圧に基づいて固定レベルの信号を出力してもよい。

20

## 【 0 0 2 5 】

本発明によれば、高速シリアルインターフェースモードにおいて、そのモードで使用されないパラレルインターフェース回路の後段のロジック回路に信号が入力されることがない。これにより、消費電流を削減できる。また、レシーバ回路用の電源電圧を用いることで、新たな制御用端子を設けることなく入力バッファを制御できる。

## 【 0 0 2 6 】

また本発明では、前記レシーバ回路用の高電圧側の電源電圧と異なるロジック回路用の電源電圧で動作するインバータを含み、前記インバータには、前記レシーバ回路用電源端子に供給される前記レシーバ回路用の高電圧側の電源電圧が入力され、前記第 1、第 2 の入力バッファは、前記インバータの出力により制御されてもよい。

30

## 【 0 0 2 7 】

これにより、レシーバ回路用の電源電圧を用いて入力バッファを制御できる。

## 【 0 0 2 8 】

また本発明では、パラレルインターフェースモード時に、前記レシーバ回路用電源端子に低電圧側の電源電圧が供給されてもよい。

## 【 0 0 2 9 】

これにより、レシーバ回路用の電源電圧を用いてインターフェース切り替えを実現できる。

40

## 【 0 0 3 0 】

また本発明は、上記のいずれかに記載の集積回路装置を含む電気光学装置に関係する。

## 【 0 0 3 1 】

また本発明は、上記に記載の電気光学装置を含む電子機器に関係する。

## 【 発明を実施するための最良の形態 】

## 【 0 0 3 2 】

以下、本発明の好適な実施の形態について詳細に説明する。なお以下に説明する本実施形態は特許請求の範囲に記載された本発明の内容を不当に限定するものではなく、本実施形態で説明される構成の全てが本発明の解決手段として必須であるとは限らない。

## 【 0 0 3 3 】

50

## 1. 電気光学装置

図1に本実施形態の電気光学装置の構成例を示す。図1の構成例には、本実施形態の集積回路装置を適用することができる。例えば、この構成例はプロジェクタの表示部に使用されるものであり、コネクタCNでプロジェクタ内部の電子基板に接続される。ただし、本実施形態の集積回路装置は、他の電子機器、例えば携帯電話などの表示部にも適用することができる。

### 【0034】

図1に示す本実施形態の電気光学装置は、電気光学パネル400（表示パネル）、配線基板200、ドライバ100（集積回路装置）を含む。電気光学パネル400は、例えばTFTなどのアクティブマトリクス方式の液晶パネルで構成できる。また、アクティブマトリクス方式ではない液晶パネルや有機EL（Electro Luminescence）パネルでも構成することができる。配線基板200は、フレキシブル基板などのプリント基板を用いて構成することができ、電気光学パネル400やドライバ100の電源線や信号線などの配線が形成されている。ドライバ100は、配線基板200に実装されており、配線基板200に形成された配線を介して信号を受信し、電気光学パネル400を駆動する。

10

### 【0035】

具体的には、配線基板200には、ドライバ100に電源を供給する配線としてグラウンド配線VSF1（第2の電源配線）が配線され、ドライバ100の高速シリアルインターフェースに電源を供給する配線として電源配線VDF（第1の電源配線）が配線されている。グラウンド配線は複数設けることができ、図1の構成例ではVSF1とVSF2の2本が配線されている。また配線基板200には、ドライバ100に信号を伝送するための配線として第1の配線DPF、第2の配線DMF、第1のガード用配線GF1、第2のガード用配線GF2が配線されている。この配線DPFと配線DMFは、ガード用配線GF1とガード用配線GF2との間に配線される。

20

### 【0036】

ドライバ100は、例えば後述する図14の表示情報処理回路720と高速シリアルインターフェースを用いて通信を行う。このとき、ドライバ100は配線DPFとDMFを介して差動信号を受信し、ガード用配線GF1とGF2にはコネクタCNを介してプロジェクタの電子基板からグラウンド電圧（広義には固定電圧）が与えられる。

### 【0037】

またドライバ100は、パラレルインターフェースを用いて通信することもできる。このとき、ドライバ100のインターフェース回路は、I/Oバッファを含むことができ、配線GF1、DPF、DMF、GF2を介してCMOSレベルの信号を送受信することができる。

30

### 【0038】

ところで、ドライバ100をこれらの高速シリアルインターフェースとパラレルインターフェースの両方に対応させることで、必要な通信速度などに応じてインターフェースを選択可能にすることもできる。この場合、シリアルバス用の端子とCMOSレベル信号用の端子を共通して利用できれば、端子数や面積を削減することも可能となる。

### 【0039】

ここで、高速シリアルインターフェースの差動信号はレシーバ回路で受信される。このレシーバ回路は終端抵抗を含み、差動信号は終端抵抗で終端される。このとき、パラレルインターフェースと端子を共有すると、パラレルインターフェースモードにおいてCMOSレベルの信号が入力されたときに、終端抵抗が負荷となるという課題があった。

40

### 【0040】

また、端子を共有すると、シリアルバスのガード線を接続する端子には、パラレルインターフェースモードにおいてCMOSレベルの信号が入力されることになる。そのためパラレルインターフェースのI/Oバッファを高速シリアルインターフェースモードにおいてガード線に対応させる必要があるという課題もあった。

### 【0041】

50

## 2. 高速シリアル・パラレルインターフェース切り替え回路

図2に、これらの課題を解決することができる本実施形態の集積回路装置の構成例を示す。本実施形態の集積回路装置は、第1のガード用端子G1、第2のガード用端子G2、第1の端子DP、第2の端子DMを含む。そして、端子DP、DMはガード用端子G1とG2の間に配置される。

### 【0042】

具体的には、高速シリアルインターフェースモードにおいて、ガード用端子G1、G2は輻射防止用の端子であり、端子DPには差動信号を構成する第1の信号が入力され、端子DMには差動信号を構成する第2の信号が入力される。すなわち、端子DP、DMには図1の配線DPF、DMFを介して差動信号が入力され、ガード用端子G1、G2には図1のガード用配線GF1、GF2が接続されグランド電圧に固定される。一方、パラレルインターフェースモードにおいては、端子DP、DM、G1、G2には図1の配線DPF、DMF、GF1、GF2を介してCMOSレベルの信号が入力される。

10

### 【0043】

また、図2に示す本実施形態はパラレルインターフェース回路60を含む。このパラレルインターフェース回路60は、I/Oバッファ62-1、62-2、64-1、64-2を含む。そして、パラレルインターフェースモードにおいて、I/Oバッファ62-1、62-2は端子G1、G2を介してCMOSレベルの信号を入出力し、I/Oバッファ64-1、64-2は端子DP、DMを介してCMOSレベルの信号を入出力する。一方高速シリアルインターフェースモードにおいては、I/Oバッファ62-1、62-2の出力はグランド電圧（低電圧側レベル）又はハイインピーダンス状態に設定される。

20

### 【0044】

さらに、本実施形態の集積回路装置は、高速シリアルインターフェース回路40、レシーバ回路用電源端子VDDA、低電圧側電源端子VSSを含む。この高速シリアルインターフェース回路40は、シリアルバスを介して差動信号を受信するレシーバ回路42を含む。また、電源端子VDDAはレシーバ回路42用の電源電圧（高電圧側の電源電圧）が供給される端子であり、図1の電源配線VDFが接続される。グランド端子VSS（低電圧側の電源端子）はグランド電圧（低電圧側の電源電圧）が供給される端子でありグランド配線VSF1が接続される。なお端子VSSとは別に、グランド配線VSF2に接続されるグランド端子を設けることもできる。

30

### 【0045】

例えば、レシーバ回路42は図2に示すように終端抵抗Rと差動アンプ44によって構成することができる。終端抵抗Rは端子DPからの配線DPLと端子DMからの配線DMLとの間に設けられ、端子DPとDMに入力された差動信号によって終端抵抗Rの両端に生じる電圧が差動アンプ44に入力される。

### 【0046】

図3(A)、図3(B)にレシーバ回路42の詳細な構成例を示す。この構成例は、パラレルインターフェースモードにおいて終端抵抗Rがオープン状態に設定されるようになっている。具体的には、レシーバ回路42は、第1の終端抵抗R1、第2の終端抵抗R2、スイッチ素子、インバータINVを含む。終端抵抗R1、R2、スイッチ素子が図2の終端抵抗Rに対応する。この終端抵抗R1は端子DPと第1のノードN1との間に設けられ、終端抵抗R2は端子DMと第2のノードN2との間に設けられる。そして、ノードN1とノードN2の間にはスイッチ素子が設けられる。このスイッチ素子は、レシーバ回路用電源端子VDDAからの電源電圧を用いてオン、オフする。ここで、スイッチ素子は、レシーバ回路42用の電源電圧そのものでオン、オフすることもできるし、レシーバ回路42用の電源電圧から生成された電圧に基づいてオン、オフすることもできる。

40

### 【0047】

具体的には、スイッチ素子は、例えばCMOSトランジスタのトランスファークロークで構成することができる。トランスファークロークはN型トランジスタTN（第1導電型トランジスタ）、P型トランジスタTP（第2導電型トランジスタ）で構成することができる

50

。ここで、インバータINVにはレシーバ回路用電源端子VDDAからの電圧が入力され、そのインバータの出力がトランジスタTPのゲートに入力される。一方トランジスタTNのゲートにはレシーバ回路用電源端子VDDAからの電圧が入力される。

【0048】

そして、図3(A)に示すように、高速シリアルインターフェースモードにおいては端子VDDAにレシーバ回路42用の電源電圧が供給され、トランジスタTP、TNはオンする。一方、図3(B)に示すように、パラレルインターフェースモードにおいては、レシーバ回路42は使用されないため端子VDDAにグランド電圧が供給される。そのため、トランジスタTP、TNはオフする。

【0049】

ところで、高速シリアルインターフェースとパラレルインターフェースで端子を共用した場合、パラレルインターフェース回路のI/Oバッファをシリアルバスのガード線に対応させる必要があるという課題があった。

【0050】

この点、本実施形態によれば、高速シリアルインターフェースモードにおいてI/Oバッファ62-1、62-2の出力をグランド電圧またはハイインピーダンス状態に設定できる。これにより端子の共有とインターフェース切り替えを実現できる。

【0051】

また、パラレルインターフェースモードにおいて、終端抵抗がCMOSレベルの信号の負荷になるという課題があった。

【0052】

この点、本実施形態ではパラレルインターフェースモードにおいてスイッチ素子を用いて終端抵抗をオープンにしている。これにより、パラレルインターフェースモードにおいて終端抵抗が負荷とならないようにできる。また、レシーバ回路42用の電源電圧を用いてスイッチ素子のオン、オフを行っているため、インターフェース切り替えのために新たに信号や端子を設けることなく切り替えを実現できる。

【0053】

ここで、例えば半導体基板がP型(第2導電型)である場合、スイッチ素子を構成するP型トランジスタTPはN型ウェル(第1導電型ウェル)上に形成される。このとき、パラレルインターフェースモードにおいてレシーバ回路用電源端子VDDAはグランド電圧に設定されるため、N型ウェルの電位を端子VDDAの電圧に設定できないという課題があった。

【0054】

### 3. 終端抵抗のN型ウェル

図4(A)、図4(B)を用いて上記N型ウェルの課題について説明する。なお、図4(A)ではスイッチ素子を構成するトランジスタTPのみ図示し、トランジスタTNを省略する。後述する図5(A)、図6(A)についても同様にトランジスタTNを省略する。

【0055】

図4(A)は、N型ウェルを端子VDDAからの電圧に固定した場合について、パラレルインターフェースモードにおける接続例を示している。具体的には、端子VDDAにはグランド電圧が供給されるため、P型トランジスタTPはオフし、N型ウェルNWの電位は端子VDDAからのグランド電圧に設定される。図4(B)に、この図4(A)におけるトランジスタTPの縦構造を示す。図4(B)に示すように、トランジスタTPのソースとN型ウェルNWの間及び、ドレインとN型ウェルの間には、寄生ダイオードD1、D2が存在する。そのため、この接続例のようにN型ウェルNWがグランド電圧に設定される場合、トランジスタTPのソース、ドレインの電圧がダイオードD1、D2の閾値以上になれば、ダイオードD1、D2がオンしてしまう。すなわち、パラレルインターフェースモードにおいて端子DP、DMにCMOSレベルの信号が入力された場合、ダイオードD1、D2がオンするため、端子DP、DMがダイオードD1、D2を介してグランドに

10

20

30

40

50

接続されてしまう。そのため、パラレルインターフェース回路 60 に端子 DP、DM を介して CMOS レベルの信号を入力できない。

【0056】

図 5 (A) にこの課題を解決できる本実施形態の第 1 の構成例を示す。図 5 (A) は、第 1 の構成例について、パラレルインターフェースモードにおける接続例を示している。この第 1 の構成例は、スイッチ素子として N 型ウェル NW (第 1 導電型ウェル) 上に形成される P 型トランジスタ TP (第 2 導電型トランジスタ) を含む。そして、N 型ウェル NW は、高速シリアルインターフェースモードにおいてもパラレルインターフェースモードにおいても、フローティング状態に設定されている。

【0057】

図 5 (B) に、図 5 (A) におけるトランジスタ TP の縦構造を示す。図 5 (B) のトランジスタ TP においても、図 4 (B) で説明したのと同様にトランジスタ TP のソース、ドレインと N 型ウェル NW との間に寄生ダイオード D1、D2 が存在する。しかし、N 型ウェル NW をフローティング状態に設定しているため、図 4 (B) の場合と異なり、CMOS レベルの信号が入力されても端子 DP、DM がダイオード D1、D2 を介してグラウンドに接続されることがない。例えば、端子 DP、DM に CMOS レベルの信号が入力される前の初期状態において、N 型ウェル NW がグラウンド電圧であるとする。そのとき、端子 DP、DM に CMOS レベルの信号が入力されると、端子 DP にアクティブレベルが入力される度にダイオード D1 がオンし、同様に端子 DM にアクティブレベルが入力される度にダイオード D2 がオンして、N 型ウェル NW の電位が徐々に上昇する。その後、N 型ウェル NW の電位がアクティブレベルと同等になると、その電位がウェルと基板の間等の寄生容量によって保持され、N 型ウェル NW の電位が CMOS レベルの信号のアクティブレベルに保たれる。そのため、寄生ダイオード D1、D2 がオンしなくなり、パラレルインターフェースモードにおいて端子 DP、DM に CMOS レベルの信号を入力することができる。

【0058】

図 6 (A) に本実施形態の第 2 の構成例を示す。図 6 (A) は、第 2 の構成例について、パラレルインターフェースモードにおける接続例を示している。この第 2 の構成例は、スイッチ素子として N 型ウェル NW (第 1 導電型ウェル) 上に形成される P 型トランジスタ TP (第 2 導電型トランジスタ) を含む。そして、N 型ウェル NW は、高速シリアルインターフェースモードにおいてもパラレルインターフェースモードにおいても、ロジック回路用の電源電圧 (ロジック回路用の高電圧側の電源電圧) に固定されている。このロジック回路用の電源電圧は、ロジック回路用電源端子 VDD に供給され、例えばパラレルインターフェース回路 60 はや高速シリアルインターフェース回路 40 のロジック部に用いられる電源電圧である。そして、高速シリアルインターフェースモードにおいてもパラレルインターフェースモードにおいてもロジック回路用電源端子 VDD にロジック回路用の電源電圧が供給される。

【0059】

図 6 (B) に、図 6 (A) におけるトランジスタ TP の縦構造を示す。第 2 の構成例では、N 型ウェル NW がロジック回路用の電源電圧に設定されており、端子 DP、DM に入力される CMOS レベルの信号がロジック回路用の電源電圧以下のレベルの信号であるため、ダイオード D1、D2 はオンすることがない。そのため、パラレルインターフェースモードにおいて端子 DP、DM に CMOS レベルの信号を入力することができる。

【0060】

ところで、パラレルインターフェースモードにおいてレシーバ回路用電源端子 VDDA はグラウンドに設定されるため、終端抵抗に設けられたトランジスタにおいて、端子 DP、DM とグラウンドの間に順方向の寄生ダイオードが存在する。そのため、端子 DP、DM に CMOS レベルの信号を入力できないという課題があった。

【0061】

この点、本実施形態ではトランジスタ TP の N 型ウェル NW の電位をフローティング状

10

20

30

40

50

態又はロジック回路用の電源電圧に設定している。そのため、端子DP、DMにCMOSレベルの信号が入力されても寄生ダイオードがオンせず、CMOSレベルの信号を入力することができる。これにより、終端抵抗にスイッチ素子を設けることができ、パラレルインターフェースモードにおいて、終端抵抗が負荷とならないようにすることができる。

#### 【0062】

ここで、上記第1、第2の構成例において、トランジスタTPはインバータINVの出力に基づいてオン、オフが制御される。このインバータINVは、ロジック回路用の電源電圧で動作する。そのため、パラレルインターフェースモードにおいてもインバータINVには電源電圧が供給され、トランジスタTPをオフすることができる。そして、インバータINVを構成するP型トランジスタ(第2導電型トランジスタ)をトランジスタTPとともにN型ウェルNW上に形成してもよい。

10

#### 【0063】

##### 4. パラレルインターフェース回路

##### 4.1. 第1の構成例

図2にパラレルインターフェース回路60の第1の構成例を示す。第1の構成例は、I/Oバッファ62-1(第1のI/Oバッファ)、62-2(第2のI/Oバッファ)、64-1、64-2を含み、それぞれ端子G1、G2、DP、DMに接続される。そして、高速シリアルインターフェースモードにおいて、I/Oバッファ62-1、62-2の出力がレシーバ回路42用電源端子VDDAからの電圧に基づいてグラウンド(低電位側レベル、固定レベル)又はハイインピーダンス状態に設定される。一方、パラレルインターフェースモードにおいては、I/Oバッファ62-1、62-2は端子G1、G2を介してCMOSレベルの信号を入出力する。このように、ガード用端子に対応したインターフェース切り替えと端子の共有を実現している。

20

#### 【0064】

以下に、I/Oバッファ62-1、62-2の構成例について説明する。なお、I/Oバッファ62-1と62-2は同様であるためI/Oバッファ62-1のみ説明する。また、I/Oバッファ64-1、64-2については説明していないが、例えば図8で説明する第2の構成例で実現できる。

#### 【0065】

図7(A)、図7(B)にI/Oバッファ62-1の第1の構成例を示す。図7(A)、図7(B)に示すI/Oバッファ62-1は、入力バッファB I、出力バッファB Q、論理回路を含む。この論理回路は出力バッファB Qの前段に設けられ、例えばAND回路ANA(論理積回路)、インバータINAで構成できる。

30

#### 【0066】

そして図7(A)に示すように、高速シリアルインターフェースモードにおいて、論理回路は電源端子VDDAに供給されるレシーバ回路42用の電源電圧に基づいて低電位側レベル(広義には、固定レベル)を出力する。具体的には、インバータINAにレシーバ回路42用の電源電圧が入力される。すなわち、インバータINAには高電位側レベル(H)に相当する電圧が入力されるため、インバータINAは低電位側レベル(L)を出力する。そして、AND回路ANAにはインバータINAの出力と出力信号DQが入力され、AND回路ANAは出力信号DQに関わらず低電位側レベル(L)を出力する。出力バッファB Qは、AND回路ANAの出力を受けて低電位側レベル(L)を出力する。

40

#### 【0067】

一方図7(B)に示すように、パラレルインターフェースモードにおいては電源端子VDDAにグラウンド電圧が供給される。パラレルインターフェースモードではレシーバ回路42用の電源電圧が不要のためである。この場合、インバータINAには低電位側レベル(L)に相当する電圧が入力されるため、インバータINAは高電位側の論理レベル(H)を出力する。そのためAND回路ANAは出力信号DQを出力し、出力バッファB Qは端子G1を介して配線GF1に出力信号DQを出力する。

#### 【0068】

50

なお、I/Oバッファ62-1は、出力イネーブル信号DEによって入出力をコントロールできる。例えば、出力イネーブル信号DEがアクティブの時には出力バッファBQは出力信号DQをバッファして出力する。一方、出力イネーブル信号DEが非アクティブの時には、出力バッファBQがハイインピーダンス状態に設定され、端子G1を介して入力バッファBIにCMOSレベルの信号が入力される。このような出力バッファBQは、例えば図9に示すようにクロックインバーターで構成することができる。

【0069】

図8にI/Oバッファ62-1の第2の構成例を示す。この構成例は、入力バッファBI、出力バッファBQ、インバータINB、AND回路ANBを含む。AND回路ANBにはインバータINBの出力と出力イネーブル信号DEが入力される。出力バッファBQには出力信号DQが入力される。

10

【0070】

具体的には、高速シリアルインターフェースモードにおいてインバータINBは低電位側レベルを出力する。これを受けてAND回路ANBは、出力イネーブル信号DEに関わらず低電位側レベル（広義には、固定レベル）を出力する。そして、出力バッファBQの出力は、このAND回路ANBの出力に基づいてハイインピーダンス状態に設定される。

【0071】

一方、パラレルインターフェースモードにおいてインバータINBは高電位側レベルを出力する。これを受けてAND回路ANBは、出力イネーブル信号DEを出力する。そして出力バッファBQは、AND回路ANBの出力に基づいて、出力がハイインピーダンス状態に設定されるか、または出力信号DQを出力する。例えば、出力イネーブル信号DEがアクティブの時には出力バッファBQは出力信号DQを出力する。一方、出力イネーブル信号DEが非アクティブの時には、出力バッファBQの出力はハイインピーダンス状態に設定され、入力バッファBIに端子G1を介してCMOSレベルの信号が入力される。

20

【0072】

ところで、高速シリアルインターフェースモードとパラレルインターフェースモードで端子を共有した場合、I/Oバッファの出力を切り替える必要があるという課題があった。

【0073】

この点、図7(A)、図7(B)、図8の構成例によれば端子の共有を実現できる。そのため、端子を追加することなく高速シリアルインターフェース回路とパラレルインターフェース回路を集積することが可能である。これにより、コストの増加を抑えつつインターフェースの選択を実現できる集積回路装置を提供できる。

30

【0074】

また、本実施形態では電源端子VDDAに供給される電圧を用いてインターフェース切り替えを行っている。これにより、I/Oバッファを制御するための端子や信号を追加することなくインターフェースの選択を実現できる。

【0075】

4.2.第2の構成例

図10(A)、図10(B)にパラレルインターフェース回路60の第2の構成例を示す。この構成例は、第1、第2の入力バッファBFP、BFMを含む。入力バッファBFP、BFMにはそれぞれ端子DP、DMからの信号が入力される。また第2の構成例は、端子VDDAからの電圧が入力されるインバータINDと、端子G1、G2からの信号が入力される入力バッファBF1、BF2を含むことができる。さらに第2の構成例は、ロジック回路用の電源電圧が供給される端子VDDを含むことができる。そして、入力バッファBFP、BFM、BF1、BF2、インバータINDは、端子VDDから供給されるロジック回路用の電源電圧で動作する。

40

【0076】

具体的には、入力バッファBFP、BFMはAND回路（論理積回路）で構成することができる。そして、この入力バッファBFP、BFMの出力は、インバータINDの出力

50

によって制御され、端子VDDAからの電圧に基づいて決まるようになっている。

【0077】

より具体的には、図10(A)に示すように、高速シリアルインターフェースモードにおいては、端子VDDAにはレシーバ回路42用の電源電圧が供給され、インバータINDは低電圧側の論理レベル(L)を出力する。そのため入力バッファBFP、BFMは低電圧側の論理レベル(L。広義には、固定レベル)の信号を出力する。なお端子G1、G2はガード用配線によってグランド電圧に固定されているため、入力バッファBF1、BF2の出力も低電圧側の論理レベルに固定されている。

【0078】

一方図10(B)に示すように、パラレルインターフェースモードにおいては、レシーバ回路42用の電源が不要のため端子VDDAにはグランド電圧が供給される。この場合、インバータINDは高電圧側の論理レベル(H)を出力するため、入力バッファBFP、BFMは、それぞれ端子DP、DMを介して入力されるCMOSレベルの信号をバッファして出力する。パラレルインターフェースモードでは、端子G1、G2にもCMOSレベルの信号(第1、第2のインターフェース信号)が入力されているため、入力バッファBF1、BF2もそれぞれ端子G1、G2を介して入力されるCMOSレベルの信号をバッファして出力する。

【0079】

なお、図10(A)、図10(B)に示す入力バッファBFP、BFMを図2等に示すI/Oバッファ64-1、64-2の入力バッファに適用してもよい。

【0080】

ところで、本実施形態は、高速シリアルインターフェースとパラレルインターフェースで端子を共有している。この場合、高速シリアルインターフェースモードにおいて、パラレルインターフェース回路の入力バッファが高速シリアル信号をバッファしてしまい、消費電流が増加するという課題がある。

【0081】

この点、本実施形態では端子VDDAに供給される電圧に基づいて、高速シリアルインターフェースモードにおいて入力バッファが固定電圧を出力するため、消費電流の増加を防止できる。すなわち、バッファされた高周波数の信号がパラレルインターフェース回路の後段のロジック回路に入力され、高速シリアルインターフェースモードにおいて本来使用されないはずのロジック回路で電流が消費されてしまうことを防止できる。さらに、この制御にレシーバ回路42用の電源電圧を利用したことにより、新たな制御用端子や制御信号を設けることなくインターフェース切り替えを実現している。

【0082】

5. 高速シリアルインターフェース回路

図11に高速シリアルインターフェース回路40の詳細な構成例を示す。この高速シリアルインターフェース回路40は、物理層回路50、ロジック回路70を含む。

【0083】

物理層回路50(レシーバ)は、差動信号(差動データ信号、差動クロック信号)を用いてデータ(パケット)やクロックを受信するための回路である。具体的には電流駆動又は電圧駆動されたシリアルバスの差動信号線からデータ等の受信を行う。この物理層回路50は、データ用レシーバ回路52や、クロック用レシーバ回路54などを含むことができる。データ用レシーバ回路52、クロック用レシーバ回路54は、本実施形態のレシーバ回路42に対応する。なお物理層回路50はトランスミッタ回路を含むこともでき、その場合はデータやクロックの送信を行うこともできる。

【0084】

ロジック回路70は、高速シリアルインターフェース回路40とドライバの内部回路との間のインターフェース処理を行う。具体的にはロジック回路70はサンプリング回路72、シリアルパラレル変換回路74を含むことができる。サンプリング回路72は、データ用レシーバ回路52からのデータ信号をクロック用レシーバ回路54からのクロックで

10

20

30

40

50

サンプリングしシリアルデータを生成する。シリアルパラレル変換回路74は、そのシリアルデータをパラレルデータに変換し、ドライバの内部回路に出力する。なお、ロジック回路70は、物理層の上層であるリンク層の処理を行うためのリンクコントローラを含むこともできる。

【0085】

#### 6. 電気光学装置の詳細な構成例

図12に本実施形態の電気光学装置の詳細な構成例を示す。図12では本実施形態を液晶表示装置に適用した場合について説明する。ただし、本実施形態はEL素子等の発光素子を用いた表示装置に適用することもできる。

【0086】

図12に示す本実施形態の液晶表示装置（電気光学装置、表示装置）は、液晶パネル400（電気光学パネル、表示パネル）、データドライバ20（データ線駆動回路）、走査ドライバ30（走査線駆動回路、ゲートドライバ）、電源回路80、表示コントローラ150を含む。ここで、本実施形態の高速シリアルインターフェース回路40とパラレルインターフェース回路60はインターフェース回路90に含まれる。なお、本実施形態にこれらのすべての回路ブロックを含める必要はなく、その一部の回路ブロックを省略する構成にしてもよい。

【0087】

液晶パネル400は、例えばアクティブマトリクス基板（例えばガラス基板）上に形成された液晶パネルである。アクティブマトリクス基板には、ゲート線 $G_K$ （ $1 \leq K \leq M$ 、 $K$ と $M$ は自然数）とデータ線 $S_{R_L}$ 、 $S_{G_L}$ 、 $S_{B_L}$ （ $1 \leq L \leq N$ 、 $L$ と $N$ は自然数）との交差点に対応する位置に、薄膜トランジスタ $TFT_{K_L-R}$ 、 $TFT_{K_L-G}$ 、 $TFT_{K_L-B}$ が設けられている。

【0088】

例えば $TFT_{K_L-R}$ のゲートはゲート線 $G_K$ に接続され、 $TFT_{K_L-R}$ のソース、ドレインはデータ線 $S_{R_L}$ 、画素電極 $PE_{K_L-R}$ に接続されている。この画素電極 $PE_{K_L-R}$ と対向電極 $CE$ （コモン電極）の間には、液晶（電気光学物質）が挟まれ、液晶容量 $CL_{K_L-R}$ 及び補助容量 $CS_{K_L-R}$ が形成されている。

【0089】

また、アクティブマトリクス基板にはデータ電圧供給線 $S_1 \sim S_N$ が設けられ、 $S_1 \sim S_N$ に対応してデマルチプレクサが設けられている。デマルチプレクサ $DMUX_L$ は、ソース電圧供給線 $S_L$ に時分割で供給された階調電圧を、データドライバ20からのマルチプレクス制御信号に基づいてデータ線 $S_{R_L}$ 、 $S_{G_L}$ 、 $S_{B_L}$ に分割して供給する。

【0090】

なお、対向電極 $CE$ に与えられる対向電極電圧 $V_{COM}$ の電圧レベルは、電源回路80に含まれる対向電極電圧生成回路により生成される。例えば、対向電極 $CE$ は、対向基板上に一面に形成される。

【0091】

データドライバ20は、階調データに基づいて液晶パネル400のデータ電圧供給線 $S_1 \sim S_N$ を駆動する。上述のようにデマルチプレクサにより分離制御されるため、データドライバ20は、データ線 $S_{R_1} \sim S_{R_N}$ 、 $S_{G_1} \sim S_{G_N}$ 、 $S_{B_1} \sim S_{B_N}$ を駆動できる。一方、走査ドライバ30は、液晶パネル400の走査線 $G_1 \sim G_M$ を走査（順次駆動）する。

【0092】

表示コントローラ150は、図示しない中央演算処理装置（Central Processing Unit：CPU）等のホストにより設定された内容に従って、データドライバ20、走査ドライバ30及び電源回路80への制御信号をインターフェース回路90に出力する。

【0093】

インターフェース回路90は、表示コントローラ150から入力される制御信号をデータドライバ20、走査ドライバ30、電源回路80にインターフェースする。

10

20

30

40

50

## 【 0 0 9 4 】

電源回路 8 0 は、外部から供給される基準電圧に基づいて、液晶パネル 4 0 0 の駆動に必要な各種の電圧レベル（階調電圧）や、対向電極 C E の対向電極電圧 V C O M の電圧レベルを生成する。

## 【 0 0 9 5 】

なお、図 1 2 では、液晶表示装置が表示コントローラ 1 5 0 を含む構成になっているが、表示コントローラ 1 5 0 を液晶表示装置の外部に設けてもよい。また、データドライバ 2 0、走査ドライバ 3 0、電源回路 8 0、表示コントローラ 1 5 0 の一部又は全部を液晶パネル 4 0 0 上に形成してもよい。

## 【 0 0 9 6 】

## 6 . 1 . データドライバ

図 1 3 に、図 1 3 のデータドライバ 2 0 の構成例を示す。データドライバ 2 0 は、シフトレジスタ 2 2、ラインラッチ 2 4、2 6、多重化回路 2 8、基準電圧発生回路 3 8、D A C 3 2（データ電圧生成回路）、データ線駆動回路 3 4、マルチプレクス駆動制御部 3 6 を含む。

## 【 0 0 9 7 】

シフトレジスタ 2 2 は、クロック信号 C L K に同期して隣接するフリップフロップにイネーブル入出力信号 E I O を順次シフトする。

## 【 0 0 9 8 】

ラインラッチ 2 4 には、表示コントローラ 1 5 0 から例えば 1 8 ビット（6 ビット（階調データ）× 3（R G B 各色））単位で階調データ D I O が入力される。ラインラッチ 2 4 は、この階調データ D I O を、シフトレジスタ 2 2 で順次シフトされた E I O に同期してラッチする。

## 【 0 0 9 9 】

ラインラッチ 2 6 は、表示コントローラ 1 5 0 から供給される水平同期信号 L P に同期して、ラインラッチ 2 4 でラッチされた 1 水平走査単位の階調データをラッチする。

## 【 0 1 0 0 】

多重化回路 2 8 は、ラインラッチ 2 6 において各データ線に対応してラッチされた 3 本のデータ線分の階調データを時分割多重する。

## 【 0 1 0 1 】

マルチプレクス駆動制御部 3 6 は、データ電圧供給線の時分割タイミングを規定するマルチプレクス制御信号を生成し、1 水平走査期間内に、マルチプレクス制御信号 R S E L、G S E L、B S E L を順番にアクティブにする。多重化回路 2 8 は、マルチプレクス制御信号に基づいて、階調電圧を時分割でデータ電圧供給線に供給するように多重化を行う。なお、マルチプレクス制御信号は、液晶パネル 4 0 0 のデマルチプレクサにも供給される。

## 【 0 1 0 2 】

基準電圧発生回路 3 8 は、例えば 6 4 種類の基準電圧を生成する。基準電圧発生回路 3 8 によって生成された 6 4 種類の基準電圧は、D A C 3 2 に供給される。

## 【 0 1 0 3 】

D A C 3 2 は、多重化回路 2 8 からのデジタルの階調データに基づいて、基準電圧発生回路 3 8 からの基準電圧のいずれかを選択し、デジタルの階調データに対応するアナログのデータ電圧を各データ線に出力する。

## 【 0 1 0 4 】

データ線駆動回路 3 4 は、各データ線毎に設けられたボルテージフォロワ接続の演算増幅器 O P C が、D A C 3 2 からのデータ電圧をバッファリングしてデータ線に出力し、データ線を駆動する。

## 【 0 1 0 5 】

なお、図 1 3 では、デジタルの階調データをデジタル・アナログ変換して、データ線駆動回路 3 4 を介してデータ線に出力する構成を採用しているが、アナログの映像信号をサ

10

20

30

40

50

ンプル・ホールドして、データ線駆動回路 3 4 を介してデータ線に出力する構成を採用することもできる。

#### 【0106】

##### 7. 電子機器

上述の液晶表示装置を用いて構成される電子機器として、例えばプロジェクタ（投写型表示装置）がある。図 1 4 に、本実施形態における液晶表示装置が適用されたプロジェクタの構成例のブロック図を示す。

#### 【0107】

図 1 4 のプロジェクタは、表示情報出力源 7 1 0、表示情報処理回路 7 2 0、ドライバ 1 0 0（集積回路装置）、液晶パネル 4 0 0（電気光学パネル）、クロック発生回路 7 5 0 及び電源回路 7 6 0 を含んで構成される。表示情報出力源 7 1 0 は、ROM（Read Only Memory）及び RAM（Random Access Memory）、光ディスク装置等のメモリ、画像信号を同調して出力する同調回路等を含み、クロック発生回路 7 5 0 からのクロック信号に基づいて、所定フォーマットの画像信号等の表示情報を表示情報処理回路 7 2 0 に出力する。表示情報処理回路 7 2 0 は、増幅・極性反転回路、相展開回路、ローテーション回路、ガンマ補正回路、或いはクランプ回路等を含むことができる。ドライバ 1 0 0 は、走査ドライバ及びデータドライバを含み、液晶パネル 4 0 0 を駆動する。電源回路 7 6 0 は、上述の各回路に電力を供給する。

10

#### 【0108】

なお、上記のように本実施形態について詳細に説明したが、本発明の新規事項および効果から実体的に逸脱しない多くの変形が可能であることは当業者には容易に理解できるであろう。従って、このような変形例はすべて本発明の範囲に含まれるものとする。例えば、明細書又は図面において、少なくとも一度、より広義又は同義な異なる用語（電気光学装置、集積回路装置、電気光学パネル、低電位側の電源電圧等）と共に記載された用語（液晶表示装置、ドライバ、液晶パネル、グラウンド等）は、明細書又は図面のいかなる箇所においても、その異なる用語に置き換えることができる。また高速シリアルインターフェース回路、パラレルインターフェース回路、データドライバ、走査ドライバ、電源回路、ドライバ、電気光学装置、電子機器等の構成、動作も本実施形態で説明したものに限定に限定されず、種々の変形実施が可能である。

20

#### 【図面の簡単な説明】

30

#### 【0109】

【図 1】本実施形態の電気光学装置の構成例

【図 2】本実施形態の集積回路装置の構成例

【図 3】図 3（A）、図 3（B）は、レシーバ回路の構成例

【図 4】図 4（A）、図 4（B）は、終端抵抗の課題説明図

【図 5】図 5（A）は、終端抵抗の第 1 の構成例であり、図 5（B）は、トランジスタの縦構造

【図 6】図 6（A）は、終端抵抗の第 2 の構成例であり、図 6（B）は、トランジスタの縦構造

【図 7】図 7（A）、図 7（B）は、I/Oバッファの第 1 の構成例

40

【図 8】I/Oバッファの第 2 の構成例

【図 9】I/Oバッファの出力バッファの構成例

【図 10】図 10（A）、図 10（B）は、パラレルインターフェース回路の第 2 の構成例

【図 11】高速シリアルインターフェース回路の構成例

【図 12】本実施形態の電気光学装置の詳細な構成例

【図 13】データドライバの構成例

【図 14】本実施形態の電子機器の構成例

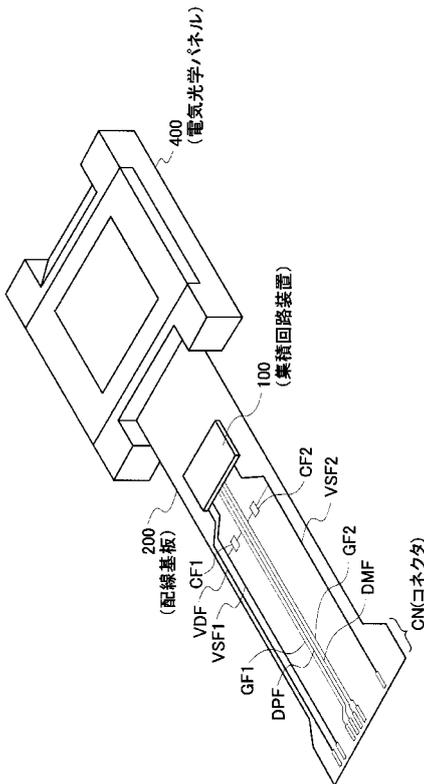
#### 【符号の説明】

#### 【0110】

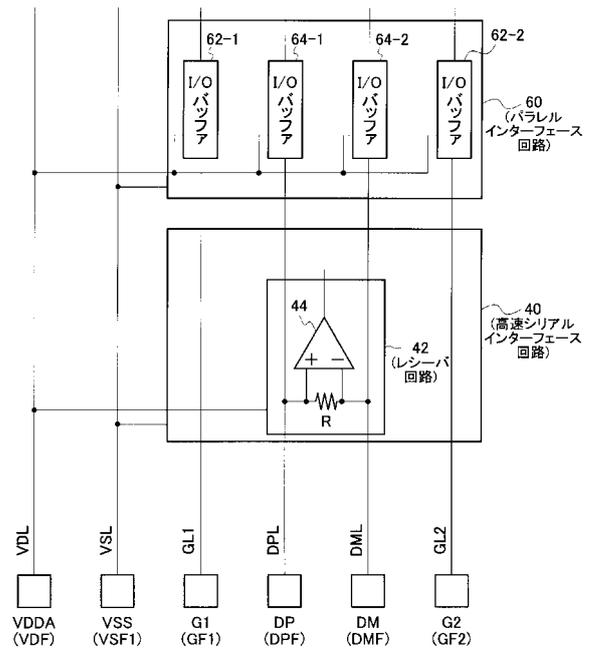
50

40 高速シリアルインターフェース回路、 42 レシーバ回路、  
 44 差動アンプ、 60 パラレルインターフェース回路、  
 62-1, 62-2, 64-1, 64-2 I/Oバッファ、  
 100 集積回路装置、 200 配線基板、 400 電気光学パネル、  
 R1, R2 第1, 第2の終端抵抗、 TN 第1導電型トランジスタ、  
 TP 第2導電型トランジスタ、 NW 第1導電型ウェル、  
 DPF, DMF 第1, 第2の配線、 GF1, GF2 第1, 第2のガード用配線、  
 VDF 第1の電源配線、 VSF1 第2の電源配線、  
 DP, DM 第1, 第2の端子、 G1, G2 第1, 第2のガード用端子、  
 VDDA レシーバ回路用電源端子、 VSS 低電圧側電源端子、  
 VDD ロジック回路用電源端子、 INV インバータ、  
 BFP, BFM 第1, 第2の入力バッファ、 INA, ANA 論理回路

【 図 1 】

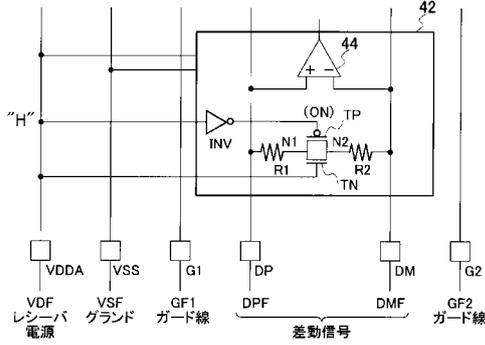


【 図 2 】

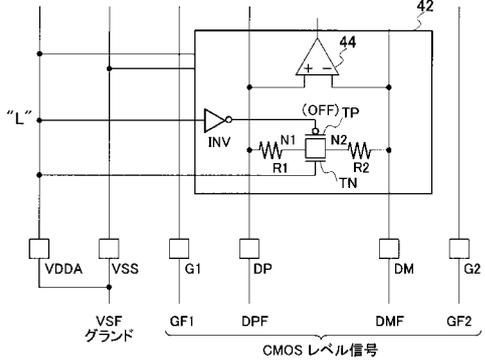


【 図 3 】

(A) 高速シリアルインターフェース

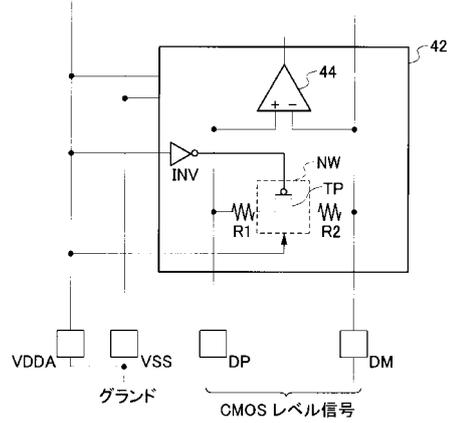


(B) パラレルインターフェース

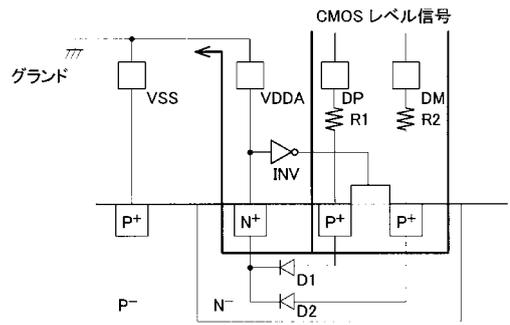


【 図 4 】

(A)

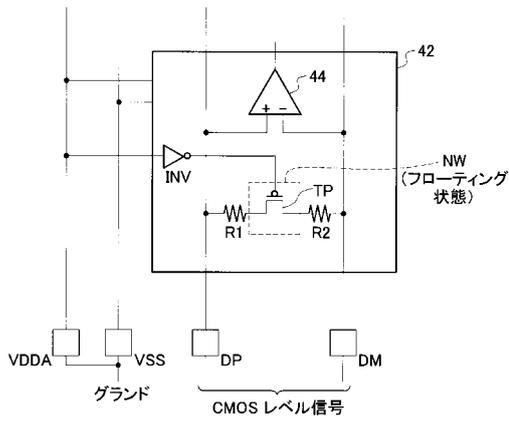


(B)

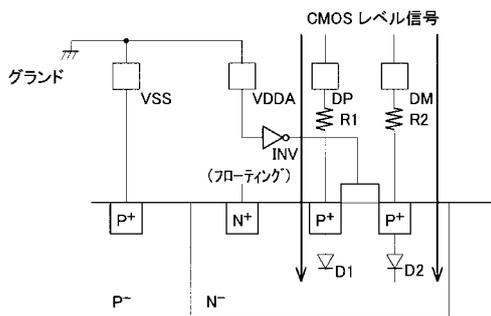


【 図 5 】

(A)

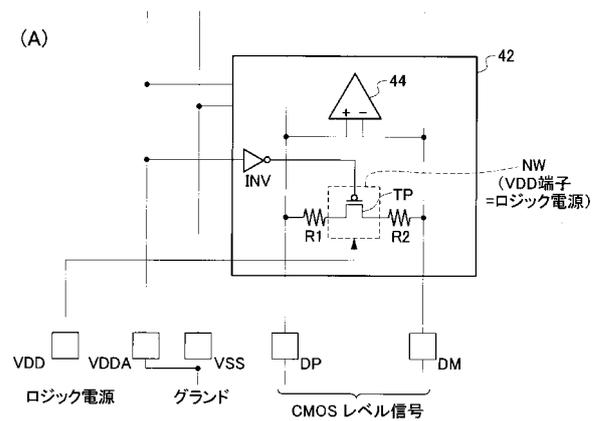


(B)

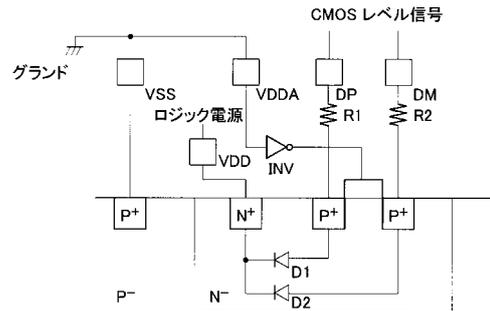


【 図 6 】

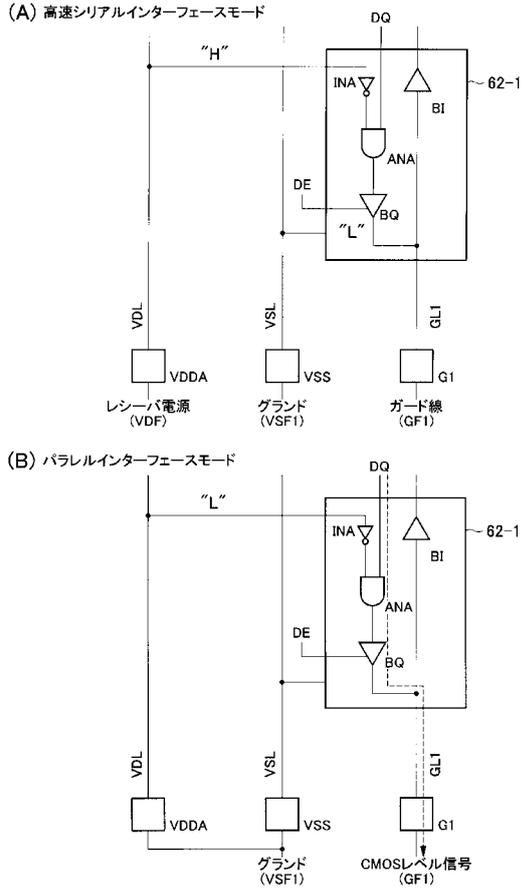
(A)



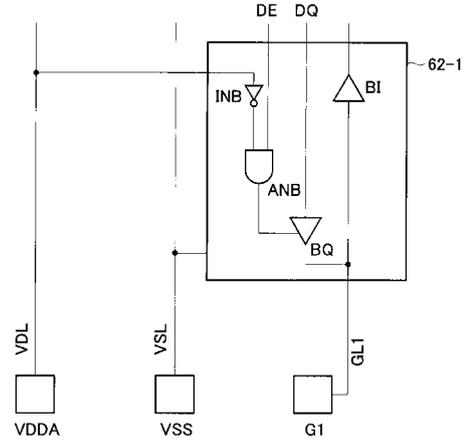
(B)



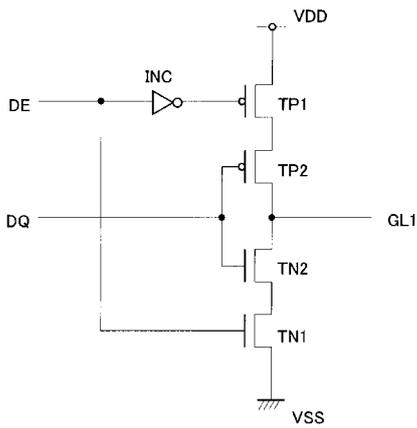
【 図 7 】



【 図 8 】

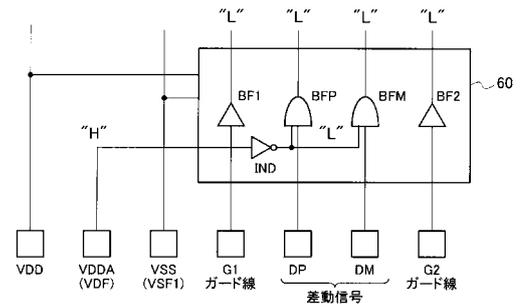


【 図 9 】



【 図 10 】

(A) 高速シリアルインターフェースモード



(B) パラレルインターフェースモード

