



(21)申請案號：108121647

(22)申請日：中華民國 108 (2019) 年 06 月 21 日

(51)Int. Cl. : H01L21/02 (2006.01)

H01L21/3065(2006.01)

H01L21/67 (2006.01)

H01L21/677 (2006.01)

H01L21/687 (2006.01)

(30)優先權：2018/07/05 美國

62/694,424

2018/07/24 美國

62/702,645

(71)申請人：美商應用材料股份有限公司(美國) APPLIED MATERIALS, INC. (US)

美國

(72)發明人：哥倫布 班傑明 COLOMBEAU, BENJAMIN (US)；曼德瑞卡 圖沙爾

MANDREKAR, TUSHAR (US)；劉 派翠西亞 M LIU, PATRICIA M. (US)；派利

克 蘇凱杜 A PARIKH, SUKETU A. (CA)；包爾 馬蒂亞斯 BAUER, MATTHIAS

(DE)；奇歐西斯 迪米崔 R KIOSSIS, DIMITRI R. (US)；納塔拉珍 聖傑

NATARAJAN, SANJAY (US)；督比 阿布希雪克 DUBE, ABHISHEK (IN)

(74)代理人：李世章；彭國洋

(56)參考文獻：

US 2006/0115949A1

US 2011/0003450A1

US 2013/0214251A1

US 2017/0330960A1

US 2018/0069100A1

WO 2008/105322A1

審查人員：黃淑萍

申請專利範圍項數：16 項 圖式數：9 共 58 頁

(54)名稱

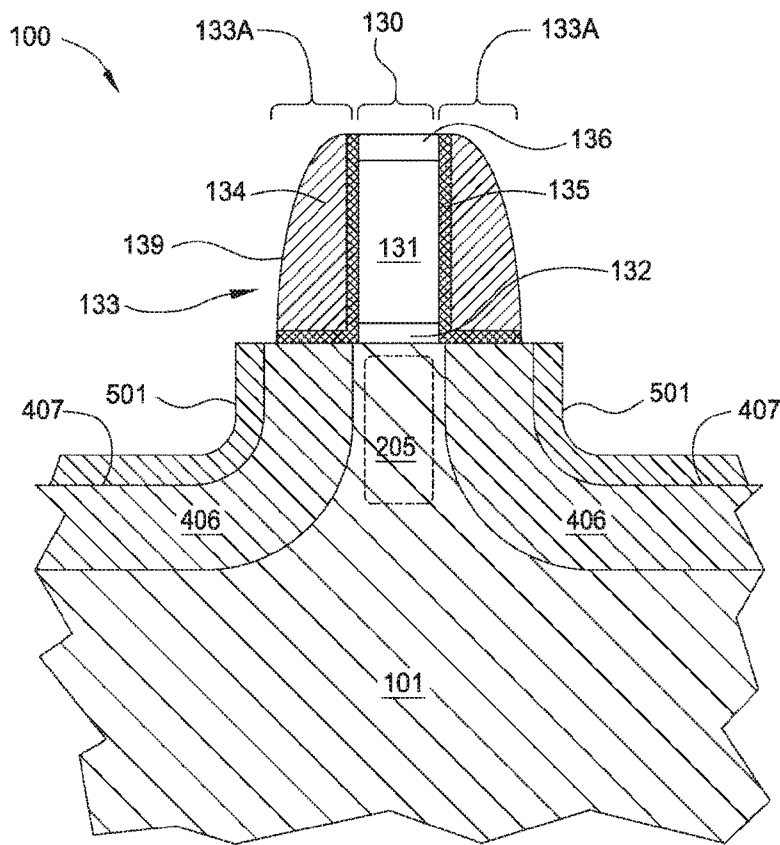
利用先進控制方式的整合 CMOS 源極汲極形成

(57)摘要

finFET 元件包括摻雜的源極及/或汲極延伸，該源極及/或汲極延伸在 finFET 的閘極間隔層與其上設置 n 摻雜或 p 摻雜的源極或汲極延伸的半導體基板的主體半導體部分之間設置。摻雜的源極或汲極延伸藉由選擇性磊晶生長(SEG)製程在靠近閘極間隔層形成的空腔中形成。在形成空腔之後，先進處理控制(APC) (亦即，整合的度量法) 用於在不將基板暴露於氧化環境的情況下決定凹陷距離。各向同性蝕刻製程、度量法、及選擇性磊晶生長可在相同平台中執行。

A finFET device includes a doped source and/or drain extension that is disposed between a gate spacer of the finFET and a bulk semiconductor portion of the semiconductor substrate on which the n-doped or p-doped source or drain extension is disposed. The doped source or drain extension is formed by a selective epitaxial growth (SEG) process in a cavity formed proximate the gate spacer. After formation of the cavity, advanced processing controls (APC) (i.e., integrated metrology) is used to determine the distance of recess, without exposing the substrate to an oxidizing environment. The isotropic etch process, the metrology, and selective epitaxial growth may be performed in the same platform.

指定代表圖：



符號簡單說明：

100: 鳍式场效应晶体管 (finFET)

101: 半导体基板

130: 闸电极结构

131: 闸电极层

132: 闸极介电层

133: 闸极间隔层

133A: 宽度

134: 氮化物部分

135: 氧化物部分

136: 遮罩层

406: 沉积材料

407: 表面

501: 含碳层

第5圖



I821319

## 【發明摘要】

【中文發明名稱】利用先進控制方式的整合CMOS源極汲極形成

【英文發明名稱】INTEGRATED CMOS SOURCE DRAIN FORMATION WITH  
ADVANCED CONTROL

【中文】

finFET元件包括摻雜的源極及/或汲極延伸，該源極及/或汲極延伸在finFET的閘極間隔層與其上設置n摻雜或p摻雜的源極或汲極延伸的半導體基板的主體半導體部分之間設置。摻雜的源極或汲極延伸藉由選擇性磊晶生長(SEG)製程在靠近閘極間隔層形成的空腔中形成。在形成空腔之後，先進處理控制(APC)(亦即，整合的度量法)用於在不將基板暴露於氧化環境的情況下決定凹陷距離。各向同性蝕刻製程、度量法、及選擇性磊晶生長可在相同平台中執行。

【英文】

A finFET device includes a doped source and/or drain extension that is disposed between a gate spacer of the finFET and a bulk semiconductor portion of the semiconductor substrate on which the n-doped or p-doped source or drain extension is disposed. The doped source or drain extension is formed by a selective epitaxial growth (SEG) process in a cavity formed proximate the gate spacer. After formation of the cavity, advanced processing controls (APC) (i.e., integrated metrology) is used to determine the distance of recess, without exposing the substrate to an oxidizing environment. The isotropic etch process, the metrology, and selective epitaxial growth may be performed in the same platform.

【指定代表圖】第（ 5 ）圖。

【代表圖之符號簡單說明】

1 0 0 鰭式場效電晶體 ( f i n F E T )

1 0 1 半導體基板

1 3 0 閘電極結構

1 3 1 閘電極層

1 3 2 閘極介電層

1 3 3 閘極間隔層

1 3 3 A 寬度

1 3 4 氮化物部分

1 3 5 氧化物部分

1 3 6 遮罩層

4 0 6 沉積材料

4 0 7 表面

5 0 1 含碳層

【特徵化學式】

無

## 【發明說明書】

【中文發明名稱】利用先進控制方式的整合CMOS源極汲極形成

【英文發明名稱】INTEGRATED CMOS SOURCE DRAIN FORMATION WITH  
ADVANCED CONTROL

【技術領域】

【0001】 本揭示的實施例大體係關於積體電路的製造，並且特定而言，係關於使用選擇性磊晶生長 (selective epitaxial growth; SEG) 在 finFET 中形成源極汲極延伸的設備及方法。

【先前技術】

【0002】 電晶體係大多數積體電路的關鍵部件。由於電晶體的驅動電流及由此速度係與電晶體的閘極寬度成比例，較快的電晶體通常需要較大的閘極寬度。因此，在電晶體大小與速度之間存在折衷，並且已經發展「鰭」式場效電晶體 (fin field-effect transistor; finFET) 來解決具有最大驅動電流及最小大小的電晶體的衝突目標。FinFET 由鰭形通道區域表徵，該鰭形通道區域大幅度增加電晶體的大小而不顯著增加電晶體的佔據面積，並且 FinFET 目前在眾多積體電路中應用。然而，finFET 具有其自身的缺陷。

【0003】 由於鰭形通道區域可以簡單地非晶化或以其他方式由習知離子植入技術（諸如束線離子植入）破壞，形成水平源極/汲極延伸對於窄且高的 finFET 變得日漸困難。具體而言，在一些 finFET 架構（例如，水平閘極

全繞，hGAA）中，離子植入可以導致在矽通道與相鄰的鍺矽（SiGe）犧牲層之間的嚴重相互混合。由於隨後減弱選擇性移除犧牲SiGe層的能力，此種相互混合係高度不期望的。此外，經由熱退火修復此種植入破壞增加了finFET元件的熱預算。

【0004】此外，由於finFET中的源極/汲極延伸可以由其他結構覆蓋，將期望摻雜劑精確放置在finFET的水平源極/汲極延伸區域中至多係非常困難的。例如，在犧牲SiGe超晶格（superlattice；SL）層上的（內部）側壁間隔層通常在執行摻雜時覆蓋源極/汲極延伸區域。因此，習知的視線離子植入技術不能將摻雜劑均勻地直接沉積到finFET源極/汲極延伸區域。

【0005】另外，將基板暴露至大氣的時間（亦稱為Q-時間）可以對磊晶膜的缺陷度具有顯著影響。由此，需要用於精確摻雜當前可用或在發展之中的finFET元件中的源極/汲極區域的處理設備及技術。

#### 【發明內容】

【0006】本揭示的一或多個實施例涉及一種形成半導體元件的方法。各向異性蝕刻製程對半導體基板上的半導體材料執行，以暴露半導體材料中的表面。表面在半導體元件的現有結構與其上形成半導體材料的半導體基板的主體半導體部分之間設置。各向同性蝕刻製程在暴露的側壁上執行以將在現有結構與半導體基板的主體半導體部分之間設置的半導體材料凹陷一距離，用於形成空腔。沉

積材料層經由選擇性磊晶生長(selective epitaxial growth; SEG)製程在空腔表面上形成。在形成空腔與SEG之間，基板不經歷預清潔製程。

【0007】本揭示的額外實施例涉及形成半導體元件的方法。半導體基板在第一處理腔室中的其上的半導體材料內定位。各向異性蝕刻製程對半導體材料執行以暴露半導體材料中的表面。表面在半導體元件的現有結構與其上形成半導體材料的半導體基板的主體半導體部分之間設置。各向同性蝕刻製程在暴露的側壁上執行以將在現有結構與半導體基板的主體半導體部分之間設置的半導體材料凹陷一距離，用於形成空腔。在不將半導體基板暴露至氧化條件的情況下，半導體基板從第一處理腔室移動到第二處理腔室。決定在各向同性蝕刻之後已經凹陷半導體材料的距離。沉積材料層在第二處理腔室中使用選擇性磊晶生長(selective epitaxial growth; SEG)製程在空腔表面上形成。在形成空腔與SEG之間，半導體基板不經歷預清潔製程。SEG製程考慮到在各向同性蝕刻之後已經凹陷半導體材料的距離。

【0008】本揭示的進一步實施例涉及用於形成半導體元件的處理工具。中央傳遞站具有在中央傳遞站周圍設置的複數個處理腔室。機器人係在中央傳遞站內並且經構造為在複數個處理腔室之間移動基板。第一處理腔室連接到中央傳遞站。第一處理腔室經構造為執行各向同性蝕刻製程。度量站係在處理工具內且機器人能夠到達度量站。度

量站經構造為決定來自各向同性蝕刻製程的基板上的半導體材料的凹陷距離。第二處理腔室連接到中央傳遞站。第二處理腔室經構造為執行選擇性磊晶生長(*selective epitaxial growth*; SEG)製程。控制器連接到中央傳遞站、機器人、第一處理腔室、度量站或第二處理腔室的一或多個。控制器具有選自下列的一或多種構造：用於在複數個處理腔室與度量站之間移動機器人上的基板的第一構造；用於在第一處理腔室中的基板上執行各向同性蝕刻製程的第二構造；用於執行分析以決定度量站中的半導體材料的凹陷的第三構造；或用於在第二處理腔室中執行選擇性磊晶生長製程的第四構造，選擇性磊晶生長製程係針對半導體材料的凹陷來調節。

**【圖式簡單說明】**

**【0009】** 為了能夠詳細理解本揭示的上述特徵所用方式，可參考實施例進行對上文簡要概述的本揭示的更具體描述，一些實施例在附圖中示出。然而，將注意，附圖僅示出本揭示的常見實施例，並且由此不被認為限制其範疇，因為本揭示可允許其他等同有效的實施例。

**【0010】** 第1圖係根據本揭示的一或多個實施例的鰭式場效電晶體(*finFET*)的透視圖；

**【0011】** 第2圖係根據本揭示的一或多個實施例的第1圖的*finFET*的橫截面圖；

**【0012】** 第3圖係根據本揭示的一或多個實施例的用於形成*finFET*的製造製程的流程圖；



【0013】 第4A圖至第4E圖圖示了根據本揭示的一或多個實施例的對應於第3圖的製程的各個階段的半導體元件的示意性橫截面圖；

【0014】 第5圖係根據本揭示的一或多個實施例的在形成空腔之後的第1圖的finFET的示意性橫截面圖；

【0015】 第6圖係根據本揭示的一或多個實施例的用於形成奈米線結構的製造製程的流程圖；

【0016】 第7A圖至第7G圖係根據本揭示的一或多個實施例的對應於第6圖的製程的各個階段的第7圖的奈米線/奈米片結構的示意性橫截面圖；

【0017】 第8圖係根據本揭示的一或多個實施例的用於形成半導體元件的製造製程的流程圖；以及

【0018】 第9圖圖示了用於執行本揭示的任何實施例的處理系統的示意圖。

#### 【實施方式】

【0019】 在描述本揭示的若干示例性實施例之前，將理解，本揭示不限於在以下描述中闡述的構造或製程步驟的細節。本揭示能夠具有其他實施例並且以各種方式實踐或進行。

【0020】 如在本說明書及隨附申請專利範圍中使用，術語「基板」指製程作用於其上之表面、或表面的一部分。如亦將由本領域技藝人士所理解，除非上下文另外明確地指出，提及基板亦可以指基板的僅一部分。此外，提及在

基板上沉積可以意味著裸基板及其上沉積或形成有一或多個膜或特徵的基板。

【0021】如本文所使用的「基板」指任何基板或在基板上形成的材料表面，在製造製程期間在該基板上執行膜處理。例如，取決於應用，其上可以執行處理的基板表面包括材料，諸如矽、氧化矽、應變矽、絕緣體上矽(silicon on insulator; SOI)、碳摻雜的氧化矽、非晶矽、摻雜矽、鍺、砷化鎵、玻璃、藍寶石、及任何其他材料，諸如金屬、金屬氮化物、金屬合金、及其他導電材料。基板包括但不限於半導體晶圓。基板可暴露至預處理製程以拋光、蝕刻、還原、氧化、羥基化、退火、UV固化、電子束固化及/或烘焙基板表面。除了直接在基板本身的表面上處理之外，在本揭示中，如下文更詳細揭示，所揭示的任何膜處理步驟亦可在基板上形成的下層上執行，並且術語「基板表面」意欲包括如上下文指出的此種下層。因此，例如，在膜/層或部分膜/層已經沉積到基板表面上的情況下，新沉積的膜/層的暴露表面變為基板表面。

【0022】本揭示的實施例係關於包括摻雜的半導體材料的半導體元件、處理工具及處理方法，此半導體材料在半導體元件的現有結構與半導體基板的主體半導體部分之間設置的區域內形成。在一或多個實施例中，半導體元件包含finFET元件。在此種實施例中，n摻雜的含矽材料形成n摻雜的源極或汲極延伸，該源極或汲極延伸在finFET的閘極間隔層與其上設置n摻雜的源極或汲極延

伸的半導體基板的主體半導體部分之間設置。儘管本揭示的實施例關於形成 nMOS（n 型金屬氧化物半導體）及 n 摻雜膜來描述，熟習此項技術者將認識到，p 摻雜膜亦可以藉由類似製程形成。在整個本揭示中提及「nMOS」或「n 摻雜」僅為了簡便描述，並且本揭示不應當被視為限於 nMOS 或 n 摻雜的結構。在一些實施例中，方法涉及形成 pMOS（p 型金屬氧化物半導體）或 p 摻雜的膜。本揭示的一些實施例涉及用於形成 PMOS 元件的製程，其中源極/汲極 (Source/Drain; SD) 包含多層 SiGe 及硼。在一或多個實施例中，SD 材料提供了增加電洞遷移率的 PMOS 元件的壓縮應力。與磊晶 SD 層形成結合地控制橫向推動量可以影響總體效能。

【0023】第 1 圖係根據本揭示的一實施例的鰭式場效電晶體 (fin-field-effect transistor; finFET) 100 的透視圖。FinFET 100 包括半導體基板 101、在半導體基板 101 的表面上形成的絕緣區域 102、在半導體基板 101 的表面上形成的鰭結構 120、以及在絕緣區域 102 上及在鰭結構 120 上形成的閘電極結構 130。鰭結構 120 的頂部暴露出並且電氣耦合到 finFET 100 的源極觸點（未圖示），鰭結構 120 的另一頂部暴露出並且電氣耦合到 finFET 100 的汲極觸點（未圖示），並且半導體鰭 121 的中央部分包括 finFET 100 的通道區域。閘電極結構 130 用作 finFET 100 的閘極。

【0024】 半導體基板101可係主體矽(Si)基板、主體鍺(Ge)基板、主體鍺矽(SiGe)基板、或類似者。絕緣區域102(或者被稱為淺溝槽隔離(shallow trench isolation; STI))可包括一或多種介電材料, 諸如二氧化矽( $\text{SiO}_2$ )、氮化矽( $\text{Si}_3\text{N}_4$ )、或其多層。絕緣區域102可藉由高密度電漿(high-density plasma; HDP)、可流動化學氣相沉積(flowable chemical vapor deposition; FCVD)、或類似製程形成。

【0025】 鰭結構120包括半導體鰭121以及在半導體鰭121的側壁上形成的鰭間隔層(為了清晰而未圖示)。半導體鰭121可由半導體基板101形成或由在半導體基板101上沉積的不同半導體材料形成。在後者情況下, 不同的半導體材料可包括鍺矽、III-V族化合物半導體材料、或類似者。

【0026】 閘電極結構130包括閘電極層131、閘極介電層132、閘極間隔層133、及遮罩層136。在一些實施例中, 閘電極層131包括多晶矽層或用多晶矽層覆蓋的金屬層。在其他實施例中, 閘電極層131包括選自下列的材料: 金屬氮化物(諸如氮化鈦(TiN)、氮化鉭(TaN)及氮化鉬( $\text{MoN}_x$ ))、金屬碳化物(諸如碳化鉭(TaC)及碳化鈦(HfC))、金屬-氮化物-碳化物(諸如TaCN)、金屬氧化物(諸如氧化鉬( $\text{MoO}_x$ ))、金屬氮氧化物(諸如氮氧化鉬( $\text{MoO}_x\text{N}_y$ ))、金屬矽化物(諸如矽化鎳)、及其組合。閘電極層131亦可以係用多晶矽層覆蓋的金屬層。

【0027】 閘極介電層132可包括氧化矽( $\text{SiO}_x$ )，該氧化矽可藉由半導體鰭121的熱氧化來形成。在其他實施例中，閘極介電層132藉由沉積製程形成。用於形成閘極介電層132的適宜材料包括氧化矽、氮化矽、氮氧化物、金屬氧化物(諸如 $\text{HfO}_2$ 、 $\text{HfZrO}_x$ 、 $\text{HfSiO}_x$ 、 $\text{HfTiO}_x$ 、 $\text{HfAlO}_x$ )、以及其組合及多層。閘極間隔層133在閘電極層131的側壁上形成，並且各者可包括如圖所示的氮化物部分134及/或氧化物部分135。在一些實施例中，遮罩層136可在如圖所示的閘電極層131上形成，並且可包括氮化矽。

【0028】 第2圖係根據本揭示的一實施例的finFET 100的橫截面圖。第2圖中示出的橫截面圖在第1圖中的截面A-A處截取。如圖所示，finFET 100包括半導體鰭121，該半導體鰭具有重度摻雜區域201、摻雜延伸區域202、及通道區域205。儘管關於nMOS的形成來描述本文的實施例，熟習此項技術者將認識到重度摻雜區域201及摻雜延伸區域202可以係p摻雜的區域。

【0029】 重度摻雜區域201形成finFET 100的源極及汲極區域，並且包括相對高濃度的n摻雜劑(例如，磷(P)、砷(As)、銻(Sb)、鉍(Bi)、鋰(Li))或p摻雜劑(例如，硼(B)、鋁(Al)、鎵(Ga)或銻(In))。儘管區域201可被稱為重度n摻雜的，熟習此項技術者將認識到，此區域可以係p摻雜區域並且可以包括相對高濃度的p摻雜劑，諸如硼(B)。例如，在一些實施例中，在重度

摻雜區域 201 中的摻雜劑濃度可高達  $5 \times 10^{21}$  原子 /  $\text{cm}^3$ 。在一些實施例中，重度摻雜區域 201 具有在約  $1 \times 10^{20}$  原子 /  $\text{cm}^3$  至約  $1 \times 10^{22}$  原子 /  $\text{cm}^3$  的範圍中的摻雜劑濃度。重度摻雜區域 201 可藉由任何適宜摻雜技術產生。因為重度摻雜區域 201 在摻雜時通常未由 finFET 100 的居中結構覆蓋，可採用視線摻雜技術，諸如束線離子植入。或者，由於每個重度摻雜區域 201 的主要部分通常在摻雜時暴露出，保形摻雜技術（諸如電漿摻雜 (plasma doping; PLAD)）可用於形成重度摻雜區域 201。

【0030】 摻雜延伸區域 202 形成 finFET 100 的源極及汲極延伸，並且包括一或多種 n 摻雜劑。熟習此項技術者將認識到，延伸區域可以係 p 摻雜區域。根據本揭示的實施例，摻雜延伸區域 202 包括一或多種 n 摻雜劑，該 n 摻雜劑用作位於重度摻雜區域 201 中的 n 摻雜劑的擴散阻障層。因此，因為摻雜延伸區域 202 在通道區域 205 與重度摻雜區域 201 之間設置，位於重度摻雜區域 201 中的 n 摻雜劑（諸如磷）不能擴散到通道區域 205 中。利用與現代 finFET 元件相關聯的小幾何結構，閘極間隔層 133 的寬度 133 Å（其亦接近在重度摻雜區域 201 之間的距離）可以僅係數奈米。由此，此種 n 摻雜劑擴散可以係 nMOS 元件中（諸如 finFET 100）的嚴峻挑戰。在一些實施例中，摻雜延伸區域 202 包括一或多個較重質量原子（例

如，Ge、Sn等等），該等原子增加通道區域205中的壓縮應力。

【0031】 在一些實施例中，位於重度摻雜區域201中的n摻雜劑可包括磷。在此種實施例中，在摻雜延伸區域202中包括的n摻雜劑可包括砷(As)，其可以用作對磷擴散的主要擴散阻障層或僅僅作為空間(幾何)偏移。替代地或另外地，在此種實施例中，在摻雜延伸區域202中包括的n摻雜劑可包括銻(Sb)，其亦可用作對磷擴散的部分阻障層。在一些實施例中，在區域201及區域202中包括的p摻雜劑可獨立地包括硼(B)、鋁(Al)、鎵(Ga)或銦(In)的一或多種。

【0032】 在一些實施例中，形成具有厚度202A的摻雜延伸區域202，該厚度小於閘極間隔層133的寬度133A。例如，在此種實施例中，摻雜延伸區域202的厚度202A可係小於寬度133A近似1奈米。所以，在此種實施例中，摻雜延伸區域202不延伸到通道區域205中。

【0033】 此外，根據本揭示的實施例，摻雜延伸區域202經由(SEG)製程形成。具體地，空腔在半導體鰭121的一部分中形成，該部分在閘極間隔層133與半導體基板101的主體半導體部分之間設置。空腔隨後用n或p摻雜的半導體材料填充，諸如用砷(As)摻雜的矽材料(例如，本文亦稱為Si:As)或用硼(B)摻雜的矽材料(例如，本文亦稱為Si:B)。因此，用於finFET 100的源極汲極延伸在半導體鰭121的區域中形成，該區域係在半導體鰭

121的現有結構與半導體基板101的主體半導體部分之間。另外，在摻雜延伸區域202中包括的n摻雜劑可以經選擇為用作位於重度摻雜區域201中的n摻雜劑的擴散阻障層。注意到，歸因於閘極間隔層133的存在，摻雜延伸區域202不能藉由束線離子植入或PLAD形成。摻雜延伸區域202可在finFET 100中形成的各個實施例在下文結合第3圖以及第4A圖至第4E圖描述。

【0034】 第3圖係根據本揭示的各個實施例的用於形成nMOS finFET的製造製程300的流程圖。熟習此項技術者將認識到，pMOS finFET可以藉由類似製造製程來形成。第4A圖至第4E圖係根據本揭示的各個實施例的對應於製程300的各個階段的半導體元件（諸如第1圖中的finFET 100）的示意性橫截面圖。儘管將製程300示出為用於形成摻雜延伸區域，製程300亦可用於在基板上形成其他結構。

【0035】 製程300開始於操作301，如第4A圖所示，其中閘電極結構130及閘極間隔層133在半導體鰭121上形成。在第4A圖中示出的實施例中，半導體鰭121由半導體基板101的一部分形成。

【0036】 在操作302中，各向異性蝕刻製程在半導體鰭121的部分上執行，該部分在閘極間隔層133與半導體基板101的主體半導體部分之間設置。因此，如第4B圖中示出，暴露出在半導體鰭121的半導體材料中的一或多個側壁表面401。如圖所示，側壁表面401在finFET 100



的現有結構與半導體基板 101 的主體半導體部分之間設置。亦即，側壁表面 401 在閘極間隔層 133 與半導體基板 101 之間設置。因此，側壁表面 401 係在習知、表面標準的視線離子植入技術不可達到的半導體鰭 121 的區域中。

【0037】 操作 302 的各向異性蝕刻製程可經選擇以從半導體鰭 121 移除足夠的材料，使得側壁表面 401 具有任何適宜的靶長度 401A。例如，在一些實施例中，執行操作 302 的各向異性蝕刻製程，使得側壁表面 401 具有約 5 nm 至約 10 nm 的靶長度 401A。在其他實施例中，取決於閘極間隔層 133 的幾何結構、在重度摻雜區域 201 中的 n 摻雜劑的濃度、通道區域 205 的尺寸、及其他因素，側壁表面 401 可具有大於 10 nm 或小於 5 nm 的靶長度 401A。操作 302 的各向異性蝕刻製程可係例如深反應性離子蝕刻 (deep reactive-ion etch; DRIE) 製程，在該製程期間遮蔽閘極間隔層 133 及 finFET 100 的其他部分。

【0038】 在操作 303 中，如第 4C 圖中示出，各向同性蝕刻製程在側壁表面 401 上執行以在半導體鰭 121 的材料中形成一或多個空腔 402。如圖所示，每個空腔 402 具有表面 403。另外，每個空腔 402 在 finFET 100 的現有結構（亦即，閘極間隔層 133 的一個）與半導體基板 101 的主體半導體部分之間設置。因此，空腔 402 的部分各者係在視線離子植入技術不可達到的半導體鰭 121 的區域中。

【0039】 操作303的各向同性蝕刻製程可經選擇為從半導體鰭121移除足夠的材料，使得空腔402具有任何適宜的靶寬度402A。例如，在一些實施例中，執行操作303的各向同性蝕刻製程，使得空腔402具有約2 nm至約10 nm的靶寬度402A。在其他實施例中，取決於閘極間隔層133的幾何結構、在重度摻雜區域201中的n摻雜劑或p摻雜劑的濃度、及其他因素，側壁表面401可具有大於10 nm或小於2 nm的靶寬度402A。例如，在一些實施例中，靶寬度402A可經選擇為使得空腔402具有比閘極間隔層133的寬度133A小不超過約1 nm的靶寬度402A。

【0040】 操作303的各向同性蝕刻製程可包括任何適宜的蝕刻製程，該蝕刻製程對半導體鰭121的半導體材料具有選擇性。例如，當半導體鰭121包括矽(Si)時，操作303的各向同性蝕刻製程可包括基於HCl的化學氣相蝕刻(chemical vapor etch; CVE)製程、基於HCl及GeH<sub>4</sub>的CVE製程、及/或基於Cl<sub>2</sub>的CVE製程的一或多個。在一些實施例中，操作303的各向同性蝕刻製程包含濕式蝕刻製程或乾式蝕刻製程的一或多個。在一些實施例中，操作303的各向同性蝕刻製程包含乾式蝕刻製程。

【0041】 在一些實施例中，執行可選操作304，其中預沉積清潔製程或其他表面製備製程在空腔402的表面403上執行。可執行表面製備製程以移除表面403上的原生氧化物並且在操作305中執行的(SEG)製程之前以其

他方式製備表面403。表面製備製程包括乾式蝕刻製程、濕式蝕刻製程、或二者的組合。

【0042】 在此種實施例中，乾式蝕刻製程可包括習知電漿蝕刻、或遠端電漿輔助乾式蝕刻製程，諸如可購自位於加州圣克拉拉市的應用材料公司的SiCoNi<sup>TM</sup>蝕刻製程。在SiCoNi<sup>TM</sup>蝕刻製程中，表面403暴露於H<sub>2</sub>、NF<sub>3</sub>、及/或NH<sub>3</sub>電漿物質，例如，電漿激發的氫及氟物質。例如，在一些實施例中，表面403可經歷對H<sub>2</sub>、NF<sub>3</sub>、及NH<sub>3</sub>電漿的同時暴露。操作304的SiCoNi<sup>TM</sup>蝕刻製程可在SiCoNi預清潔腔室中執行，該腔室可整合到各種多處理平台的一個中，包括可獲自應用材料公司的Centura<sup>TM</sup>、DualACP、Producer<sup>TM</sup>GT及Endura平台。濕式蝕刻製程可包括氫氟(hydrofluoric; HF)酸在後製程，亦即，所謂的「HF在後」製程，其中執行使表面403被氫封端的表面403的HF蝕刻。或者，任何其他基於液體的磊晶前預清潔製程可在操作304中採用。在一些實施例中，製程包含用於原生氧化物移除的昇華蝕刻。蝕刻製程可以係基於電漿或熱的。電漿製程可以係任何適宜電漿（例如，導電耦合電漿、電感耦合電漿、微波電漿）。

【0043】 在一些實施例中，設備或處理工具經構造為將基板維持在真空條件下以防止形成氧化層，並且不使用磊晶前預清潔製程。在此類實施例中，處理工具經構造為在

不將基板暴露於大氣條件的情況下將基板從蝕刻處理腔室移動到磊晶腔室。

【0044】 在操作305中，如第4D圖中示出，選擇性磊晶生長(selective epitaxial growth; SEG)製程在表面403上執行以生長沉積材料406的層，由此形成摻雜延伸區域202。具體而言，沉積材料包括半導體材料(諸如矽)、及n型摻雜劑。例如，在一些實施例中，沉積材料406包括Si:As，其中沉積材料406中的砷濃度基於finFET 100的電氣需要來選擇。注意到，Si:As可經由(SEG)沉積，其中砷的電氣活性摻雜劑濃度高達約 $5 \times 10^{21}$ 原子/cm<sup>3</sup>。然而，歸因於AsV(砷-空位)錯合物的不期望形成、以及到通道區域205中的砷擴散，在摻雜延伸區域202中存在的此種高砷濃度可以導致電阻率增加。另外，AsP V(砷-磷-空位)錯合物可在摻雜延伸區域202中形成，從而導致增加的到通道區域205中的磷擴散。因此，在一些實施例中，沉積材料406包括不大於約 $5 \times 10^{20}$ 原子/cm<sup>3</sup>的砷電氣活性摻雜劑濃度。

【0045】 在一些實施例中，沉積材料406可具有約2 nm至約10 nm的沉積厚度406A。在其他實施例中，沉積材料406可具有針對finFET 100的某些構造厚於10 nm的沉積厚度406A。在一些實施例中，如第4D圖所示，沉積厚度406A經選擇為使得沉積材料406完全填充空腔402。在其他實施例中，沉積厚度406A經選擇為使得沉

積材料 406 部分填充空腔 402，並且覆蓋形成空腔 402 的半導體層 121 的暴露表面。

【0046】 在操作 305 中的適宜 SEG 製程可包括經選擇為促進特定 n 摻雜或 p 摻雜的半導體材料的選擇性生長的具體處理溫度及壓力、處理氣體、及氣體流。在特定 n 摻雜的半導體材料包括 Si:As 的實施例中，在操作 305 的 SEG 製程中使用的摻雜氣體可包括  $AsH_3$ 、 $As(SiH_3)_3$ 、 $AsCl_3$ 、或第三丁基肼 (tertiarybutylarsine; TBA)。在 SEG 製程中採用的其他氣體可包括二氯矽烷 (dichlorosilane; DCS)、 $HCl$ 、 $SiH_4$ 、 $Si_2H_6$ 、及 / 或  $Si_4H_{10}$ 。在此種實施例中，操作 305 的 SEG 製程可在大氣壓或高次大氣壓腔室中執行，該腔室就有低  $H_2$  載氣流。例如，在此種實施例中，在執行 SEG 製程的處理腔室中的處理壓力可係在約 20-700 T 的數量級上。在此種實施例中，高反應器壓力及低稀釋 (歸因於低載氣流) 可以產生高砷及高二氯矽烷 ( $H_2SiCl_2$  或 DCS) 分壓，由此有利於在 SEG 製程期間從表面 403 移除氯 (Cl) 及過量砷。因此，實現高膜生長速率及相關聯的高砷整合速率，並且可以獲得良好晶體品質。在一些實施例中，所使用的摻雜氣體提供了 p 摻雜的半導體材料。在一些實施例中，p 摻雜的半導體材料包含硼 (B)、鋁 (Al)、鎵 (Ga) 或銦 (In) 的一或多種。在一些實施例中，摻雜前驅物包含硼烷、二硼烷或其電漿的一或多個。

【0047】 操作305的SEG製程可在任何適宜的處理腔室中執行，諸如整合到各種多處理平台的一個中的處理腔室，該等多處理平台包括可獲自應用材料公司的Producer<sup>TM</sup> GT、Centura<sup>TM</sup> AP及Endura平台。在此種實施例中，操作304的SiCoNi<sup>TM</sup>蝕刻製程可在相同的多處理平台的另一腔室中執行。

【0048】 在操作306中，如第4E圖中示出，執行第二SEG製程，其中形成重度摻雜區域201。重度摻雜區域201在摻雜延伸區域202上形成。重度摻雜區域201可由任何適宜的半導體材料形成，包括摻雜矽、摻雜鍺矽、摻雜碳矽、或類似者。一或多種摻雜劑可包括任何適宜的n摻雜劑，諸如磷。例如，在一些實施例中，重度摻雜區域201可包括磷摻雜的矽(Si:P)。任何適宜的SEG製程可用於形成重度摻雜區域201。重度摻雜區域201的厚度及其他膜特性可基於finFET 100的電氣需求、finFET 100的大小、及其他因素來選擇。

【0049】 在一些實施例中，第二SEG製程在與操作305的SEG製程相同的處理腔室中執行。因此，在形成重度摻雜區域201期間實際上初步沉積步驟中可形成摻雜延伸區域202。因此，在此種實施例中，不需要專用處理腔室來形成摻雜延伸區域202，並且避免用於將基板從第一處理腔室（用於執行摻雜延伸區域202的SEG）傳遞到第二處理腔室（用於執行重度摻雜區域201的SEG）的額外時間。此外，在此種實施例中，沉積材料406不暴露於

空氣。或者，在一些實施例中，第二SEG製程在與操作305的SEG製程不同的處理腔室中執行，由此減少暴露於有害摻雜劑（諸如砷）的處理腔室的數量。在此種實施例中，兩種腔室可整合到相同多處理平台中，由此避免真空破壞及將沉積材料406暴露於空氣。

【0050】 在操作306之後，finFET 100的剩餘部件可使用習知製造技術完成。

【0051】 製程300的實施方式實現在精確定義的位置中（亦即，在難以用習知離子植入技術達到的半導體鰭121的區域中）形成摻雜延伸區域202。此外，形成摻雜延伸區域202的製程可以整合到在製造finFET時已經採用的現有選擇性磊晶生長步驟中，由此最小化或消除對用於形成finFET的製程流的干擾。另外，避免植入破壞（亦即，來自重度質量離子植入的缺陷，諸如矽間隙或甚至矽非晶化），以及在此種晶體缺陷與高濃度的砷及/或磷之間的任何有害相互作用。由此，不需要影響製程的後植入退火或相關聯的額外熱預算。此外，由於在摻雜延伸區域202與重度摻雜區域201的沉積之間不發生真空破壞，當在與操作306的SEG製程相同的處理腔室中、或在相同多處理平台上的不同處理腔室中執行操作305的SEG製程時，亦避免額外的預清潔相關的材料損失。

【0052】 如在本領域中熟知的，將拉伸應變引入nMOS finFET的通道區域中可以增加nMOS finFET中的電荷遷移率。另外，如本文所描述，鄰近半導體鰭121的通

道區域 205 形成磊晶生長的 Si:As 材料可以在通道區域 205 中引入顯著拉伸應變。例如，根據本揭示的一些實施例，n 摻雜延伸區域可以一砷濃度沉積，該砷濃度足夠在摻雜延伸區域 202 內產生靶向的拉伸應變。因此，在沉積材料 406 包括磊晶生長的 Si:As 的實施例中，由於藉由形成 n 摻雜拉伸區域在通道區域 205 中引入拉伸應變，在 finFET 100 中形成摻雜延伸區域 202 的額外益處係通道區域 205 可以具有改進的電荷遷移率。在一些實施例中，例如，將鍺 (Ge)、銻 (Sb) 及 / 或錫 (Sn) 摻雜到 p 摻雜延伸區域中以向通道提供壓縮應力。

【0053】 在一些實施例中，可選的含碳層在空腔 402 中形成。在此種實施例中，含碳層可係在摻雜延伸區域 202 與重度 n 摻雜區域 201 之間的襯墊。在第 5 圖中示出一個此種實施例。

【0054】 第 5 圖係根據本揭示的各個實施例的在形成空腔 402 之後的 finFET 100 的示意性橫截面圖。如圖所示，含碳層 501 在沉積材料 406 的表面 407 上沉積。存在碳 (C) 可增強砷擴散，同時減少磷擴散。因此，在一些實施例中，含碳層 501 包括在約 0.5% 至約 1.0% 之間的碳。在此種實施例中，含碳層 501 可進一步包括磷，例如，在約  $1 \times 10^{20}$  原子 /  $\text{cm}^3$  與約  $5 \times 10^{20}$  原子 /  $\text{cm}^3$  之間。此種含碳層可在約  $650^\circ\text{C} \pm 50^\circ\text{C}$  的處理溫度下在大氣或近大氣 SEG 腔室中生長。因此，在含碳層 501 包括 Si:C:P 的實施例中，形成包括 Si:P (重度 n 摻雜區域 201)、Si:C:P



(含碳層501)、及Si:As(摻雜延伸區域202)的三層結構。此種三層結構可導致砷遠離通道區域205並且朝向重度n摻雜區域201擴散。

【0055】 在一些實施例中，n摻雜的半導體材料可在奈米線結構的區域中形成為奈米線結構的部分，奈米線結構的該等區域不可經由習知離子植入技術達到。形成一個此種實施例在下文結合第6圖以及第7A圖至第7E圖描述。

【0056】 第6圖係根據本揭示的各個實施例的用於形成奈米線結構700的製造製程600的流程圖。第7A圖至第7E圖係根據本揭示的實施例的對應於製程600的各個階段的奈米線結構700的示意性橫截面圖。儘管將製程600描繪為用於在奈米線結構中形成n摻雜區域，製程600亦可用於在基板上形成其他結構。

【0057】 製程600開始於操作601，如第7A圖中示出，其中交替的矽層710及鍺矽(SiGe)層在主體半導體基板701上形成。主體半導體基板701可由矽、鍺矽、或任何其他適宜的主體結晶半導體材料形成。矽層710及鍺矽層720可各者經由SEG製程形成，並且通常包括結晶半導體材料。

【0058】 在操作602中，如第7B圖中示出，矽層710及鍺矽層720經圖案化及蝕刻以暴露矽層710上的垂直側壁711及鍺矽層720上的垂直側壁721。在一些實施例中，操作602包括DRIE製程。

【0059】 在操作603中，如第7C圖中示出，鍺矽層720從垂直側壁721向內選擇性蝕刻，以形成空腔706。在一些實施例中，化學氣相蝕刻(chemical vapor etching; CVE)製程用於相對於矽層710選擇性移除鍺矽層720。例如，已經闡述了在減壓化學氣相沉積反應器中SiGe相對於Si的氣體氫氯酸選擇性蝕刻。或者，在操作603中可以採用異位HF浸漬接著在磊晶反應器中原位執行的GeH<sub>4</sub>增強的Si蝕刻。

【0060】 在操作604中，如第7D圖中示出，低介電常數材料704隨後在主體半導體基板701上保形沉積。低介電常數材料704填充空腔706的至少一部分。

【0061】 在操作605中，如第7E圖中示出，低介電常數材料704經圖案化及蝕刻以暴露矽層710上的垂直側壁711與鍺矽層720上的經填充的空腔706。在一些實施例中，操作605包括DRIE製程。所填充空腔706形成間隔層702，其中每個間隔層702在鍺矽層720的邊緣區域705處形成。

【0062】 在操作606中，如第7F圖中示出，矽層710的部分從邊緣區域705選擇性移除以形成空腔706。矽可經由CVE製程(諸如相對於間隔層702對矽具有選擇性的CVE製程)從邊緣區域705移除。在一些實施例中，CVE製程可包括基於HCl的CVE製程、基於HCl及GeH<sub>4</sub>的CVE製程、及/或基於Cl<sub>2</sub>的CVE製程的一或多個。

【0063】 在操作607中，如第7G圖中示出，n摻雜的矽材料718在空腔706中經由SEG製程生長。在一些實施例中，n摻雜劑係砷，並且n摻雜的矽材料包括Si:As。在此種實施例中，操作605的SEG製程可實質上類似於上文闡述的製程300中的操作305的SEG製程。

【0064】 在替代實施例中，間隔層702可藉由選擇性氧化鍍矽層720的部分來形成，而非選擇性蝕刻隨後用低介電常數材料704填充的鍍矽層720的部分。

【0065】 製程600的實施方式實現形成奈米線結構700，該奈米線結構包括摻雜區域，亦即，用n摻雜的矽材料718填充的空腔706。注意到，由於空腔706設置在奈米線結構700的現有結構與半導體基板701的主體半導體部分之間，上文描述的摻雜區域不可藉由視線離子植入技術出入。因此，此種摻雜區域不能經由習知技術形成。

【0066】 第8圖示出了本揭示的另一實施例。熟習此項技術者將認識到，第8圖中示出的方法800可以與製程300或製程600結合。參考第8圖以及第4A圖直至第4E圖，方法800開始於801，其中提供半導體基板用於處理。半導體基板其上具有半導體材料。如在本說明書及隨附申請專利範圍中使用，術語「提供」意味著將基板放置到用於處理的位置中。例如，可將基板放置在第一處理腔室內用於處理。

【0067】 於操作802，對半導體基板上的半導體材料執行各向異性蝕刻製程。各向異性蝕刻製程暴露半導體材料

中的表面。在一些實施例中，不執行操作 802。一些實施例的暴露表面在半導體元件的現有結構與其上形成半導體材料的半導體基板的主體半導體部分之間設置。

【0068】 於操作 803，各向同性蝕刻製程在暴露側壁上執行以凹陷在現有結構與基板的主體半導體部分之間設置的半導體材料。將側壁凹陷一距離以形成空腔。側壁凹陷的量可以基於例如各向同性蝕刻條件來變化。

【0069】 於操作 804，決定了半導體材料已經藉由各向同性蝕刻製程凹陷的距離。凹陷距離可以藉由熟習此項技術者已知的任何適宜技術來量測。在一些實施例中，凹陷距離藉由折射法決定。

【0070】 於操作 805，沉積材料層經由選擇性磊晶生長 (selective epitaxial growth; SEG) 製程在空腔表面上形成。在形成空腔與 SEG 之間，一些實施例的基板不經歷預清潔製程。在一些實施例中，在形成空腔與 SEG 製程之間，基板不暴露於大氣條件或氧化條件。

【0071】 一些實施例的 SEG 製程由預定方法基於凹陷距離來調節。例如，若預定方法經構造為用於凹陷深度 5 Å 並且實際量測的凹陷深度係 6 Å，則可以改變 SEG 條件以生長足夠膜來彌補差異。在一些實施例中，SEG 製程經調節為執行一種類型以上的生長。例如，若凹陷深度大於預定限值，則 SEG 製程可藉由在形成摻雜的沉積材料之前沉積矽來開始。

【0072】 在一或多個實施例中，操作803、操作804、及操作805藉由使用先進處理控制(advanced process control; APC)來整合。如本文所使用，術語「整合」意味著橫向推動及磊晶生長在相同平台中(在真空處理下)執行。於操作804，整合的度量法可用於決定凹陷距離的量。在一些實施例中，原位進行整合的度量法。一旦已經藉由整合的度量法決定凹陷距離，量測結果將饋送到磊晶工具，因此可以執行補償(例如，可以由此調節第一磊晶層的厚度/組成物)。在一些實施例中，先進處理控制包含散射法(亦即，光學臨界尺寸(optical critical dimension; OCD)度量)、折射法、橢圓偏光法或電子束中的一或多個。

【0073】 參考第9圖，本揭示的額外實施例涉及用於執行本文描述的方法的處理工具900。第9圖示出了可以用於根據本揭示的一或多個實施例處理基板的系統900。系統900可以被稱為群集工具。系統900包括其中具有機器人912的中央傳遞站910。將機器人912示出為單葉機器人；然而，本領域技藝人士將認識到，其他機器人912構造係在本揭示的範疇內。機器人912經構造為在連接到中央傳遞站910的腔室之間移動一或多個基板。

【0074】 至少一個預清潔/緩衝腔室920連接到中央傳遞站910。預清潔/緩衝腔室920可以包括加熱器、自由基源或電漿源中的一或多個。預清潔/緩衝腔室920可以用作固持區域，該固持區域用於獨立的半導體基板或用於

處理的晶圓匣。預清潔/緩衝腔室920可以執行預清潔製程或可以預熱用於處理的基板或者可以簡單地為用於製程序列的暫存區域。在一些實施例中，存在連接到中央傳遞站910的兩個預清潔/緩衝腔室920。

【0075】 在第9圖所示的實施例中，預清潔腔室920可以用作穿過在工廠界面905與中央傳遞站910之間的腔室。工廠界面905可以包括一或多個機器人906，用於將基板從匣移動到預清潔/緩衝腔室920。機器人912可以隨後將基板從預清潔/緩衝腔室920移動到系統900內的其他腔室。

【0076】 第一處理腔室930可以連接到中央傳遞站910。第一處理腔室930可以經構造為各向異性蝕刻腔室並且可與一或多個反應性氣體源流體連通以向第一處理腔室930提供反應性氣體的一或多個流。基板可以藉由穿過隔離閥914的機器人912移動到沉積腔室930並且從該沉積腔室移動。

【0077】 處理腔室940亦可以連接到中央傳遞站910。在一些實施例中，處理腔室940包含各向同性蝕刻腔室並且與一或多個反應性氣體源流體連通以向處理腔室940提供反應性氣體流來執行各向同性蝕刻製程。基板可以藉由穿過隔離閥914的機器人912移動到沉積腔室940並且從該沉積腔室移動。

【0078】 處理腔室945亦可以連接到中央傳遞站910。在一些實施例中，處理腔室945係與處理腔室940

是相同類型並經構造為執行與處理腔室 940 相同的製程。此佈置在處理腔室 940 中發生的製程與處理腔室 930 中的製程相比花費非常長的時間的情況中可能是有用的。

【0079】 在一些實施例中，處理腔室 960 連接到中央傳遞站 910 並且經構造為用作選擇性磊晶生長腔室。處理腔室 960 可以經構造為執行一或多個不同的磊晶生長製程。

【0080】 在一些實施例中，各向異性蝕刻製程在與各向同性蝕刻製程相同的處理腔室中發生。在此類實施例中，處理腔室 930 及處理腔室 960 可以經構造為在兩個基板上同時執行蝕刻製程，並且處理腔室 940 及處理腔室 945 可以經構造為執行選擇性磊晶生長製程。

【0081】 在一些實施例中，處理腔室 930、940、945 及 960 的每一個經構造為執行處理方法的不同部分。例如，處理腔室 930 可經構造為執行各向異性蝕刻製程，處理腔室 940 可經構造為執行各向同性蝕刻製程，處理腔室 945 可經構造為度量站或執行第一選擇性磊晶生長製程，並且處理腔室 960 可經構造為執行第二磊晶生長製程。熟習此項技術者將認識到，在工具上的獨立處理腔室的數量及佈置可以變化，並且第 9 圖中示出的實施例僅表示一種可能的構造。

【0082】 在一些實施例中，處理系統 900 包括一或多個度量站。例如，度量站可以位於預清潔/緩衝腔室 920 內、中央傳遞站 910 內、或任何獨立的處理腔室內。度量站可

以係系統900內的任何位置，該系統允許在不將基板暴露至氧化環境的情況下量測凹陷距離。

**【0083】** 至少一個控制器950耦合到中央傳遞站910、預清潔/緩衝腔室920、處理腔室930、940、945或960的一或多個。在一些實施例中，存在連接到獨立腔室或站的一個以上控制器950，並且主要控制處理器耦合到單獨處理器的每一個以控制系統900。控制器950可係任何形式的通用電腦處理器、微控制器、微處理器等等中的一個，該控制器可以在工業環境中用於控制各個腔室及子處理器。

**【0084】** 至少一個控制器950可以具有處理器952、耦合到處理器952的記憶體954、耦合到處理器952的輸入/輸出元件956、以及支援電路958以在不同電子部件之間通訊。記憶體954可以包括暫時記憶體（例如，隨機存取記憶體）及非暫時記憶體（例如，儲存器）中的一或多個。

**【0085】** 處理器的記憶體954或電腦可讀取媒體可係容易獲得的記憶體的一或多個，諸如隨機存取記憶體（random access memory; RAM）、唯讀記憶體（read-only memory; ROM）、軟碟、硬碟、或任何其他形式的數位儲存（本端或遠端）。記憶體954可以保存指令集，該指令集可藉由處理器952操作以控制系統900的參數及部件。支援電路958耦合到CPU 952，用於以習知方式支援處理器。例如，電路可包括快取記憶體、電



源供應器、時鐘電路、輸入/輸出電路、子系統、以及類似者。

【0086】製程可通常在記憶體中儲存為軟體常式，當由處理器執行時，該軟體常式使處理腔室執行本揭示的製程。軟體常式亦可由第二處理器（未圖示）儲存及/或執行，該第二處理器位於由處理器控制的硬體遠端。本揭示的一些或所有方法亦可在硬體中執行。因此，製程可在軟體中實施並且在硬體中使用電腦系統執行，作為例如特殊應用積體電路或其他類型的硬體實施方式，或作為軟體及硬體的組合。當由處理器執行時，軟體常式將通用電腦轉換為專用電腦（控制器），該專用電腦控制腔室操作，使得製程得以執行。

【0087】在一些實施例中，控制器950具有用於執行獨立製程或子製程的一或多種構造來執行方法。控制器950可以連接到中間部件或經構造為操作中間部件以執行方法的功能。例如，控制器950可以連接到氣體閥、致動器、馬達、狹縫閥、真空控制件等等的一或多個並且經構造為控制氣體閥、致動器、馬達、狹縫閥、真空控制件等等的一或多個。

【0088】一些實施例的控制器950具有選自下列的一或多種構造：用於在複數個處理腔室與度量站之間移動機器人上的基板的構造；用於在基板上執行各向異性蝕刻製程的構造；用於在處理腔室中的基板上執行各向同性蝕刻製程的構造；用於執行分析以決定度量站中的半導體材料

的凹陷的構造；用於在磊晶腔室中執行選擇性磊晶生長製程的構造；用於調節選擇性磊晶生長製程方案以考慮到半導體材料的凹陷的構造；用於執行主體選擇性磊晶生長製程的構造；用於從系統裝載及/或卸載基板的構造。

【0089】 總而言之，本揭示的一或多個實施例提供了用於形成摻雜半導體材料區域的系統及技術，該等區域在半導體元件的現有結構與其上形成摻雜的含矽材料的半導體基板的主體半導體部分之間設置。在半導體元件包含 finFET 元件的實施例中，摻雜的半導體材料形成摻雜的源極及/或汲極延伸，該源極及/或汲極延伸在 finFET 的閘極間隔層與其上設置摻雜的源極或汲極延伸的半導體基板的主體半導體部分之間設置。

【0090】 在整個此說明書中提及「一個實施例」、「某些實施例」、「一或多個實施例」或「一實施例」意味著結合實施例描述的特定特徵、結構、材料、或特性包括在本揭示的至少一個實施例中。因此，在整個此說明書的各個位置中出現片語諸如「在一或多個實施例中」、「在某些實施例中」、「在一個實施例中」或「在一實施例中」不必指本揭示的相同實施例。另外，特定特徵、結構、材料或特性可以任何適宜方式結合在一或多個實施例中。

【0091】 儘管本文的揭示已經參考特定實施例進行描述，本領域技藝人士將理解，所描述的實施例僅說明本揭示的原理及應用。本領域技藝人士將瞭解，可以對本揭示的方法及設備進行各種修改及變化，而不脫離本揭示的精

神及範疇。因此，本揭示可以包括在隨附申請專利範圍及其等效的範疇內的修改及變化。

**【符號說明】**

**【0092】**

100 鰭式場效電晶體

101 半導體基板

102 絕緣區域

120 鰭結構

121 半導體鰭

130 閘電極結構

131 閘電極層

132 閘極介電層

133 閘極間隔層

133A 寬度

134 氮化物部分

135 氧化物部分

136 遮罩層

201 重度摻雜區域

202 摻雜延伸區域

202A 厚度

205 通道區域

300 製程

301 操作

302 操作

- 3 0 3 操作
- 3 0 4 操作
- 3 0 5 操作
- 3 0 6 操作
- 4 0 1 側壁表面
- 4 0 1 A 靶長度
- 4 0 2 空腔
- 4 0 2 A 靶寬度
- 4 0 3 表面
- 4 0 6 沉積材料
- 4 0 6 A 沉積厚度
- 4 0 7 表面
- 5 0 1 含碳層
- 6 0 0 製程
- 6 0 1 操作
- 6 0 2 操作
- 6 0 3 操作
- 6 0 4 操作
- 6 0 5 操作
- 6 0 6 操作
- 6 0 7 操作
- 7 0 0 奈米線結構
- 7 0 1 主體半導體基板
- 7 0 2 間隔層

- 7 0 4 低介電常數材料
- 7 0 5 邊緣區域
- 7 0 6 空腔
- 7 1 0 矽層
- 7 1 1 垂直側壁
- 7 1 8 矽材料
- 7 2 0 鍍矽層
- 7 2 1 垂直側壁
- 8 0 0 方法
- 8 0 1 操作
- 8 0 2 操作
- 8 0 3 操作
- 8 0 4 操作
- 8 0 5 操作
- 9 0 0 處理工具
- 9 0 5 工廠界面
- 9 0 6 機器人
- 9 1 0 中央傳遞站
- 9 1 2 機器人
- 9 1 4 隔離閥
- 9 2 0 預清潔 / 緩衝腔室
- 9 3 0 沉積腔室
- 9 4 0 處理腔室
- 9 4 5 處理腔室

9 5 0 控 制 器

9 5 2 處 理 器

9 5 4 記 憶 體

9 5 6 輸 入 / 輸 出 元 件

9 5 8 支 援 電 路

9 6 0 處 理 腔 室

【生物材料寄存】

【 0 0 9 3 】 國內寄存資訊 (請依寄存機構、日期、號碼順序註記)

無

【 0 0 9 4 】 國外寄存資訊 (請依寄存國家、機構、日期、號碼順序註

記)

無

**【發明申請專利範圍】**

【第1項】 一種形成一半導體元件的方法，該方法包含以下步驟：

對一半導體基板上的一半導體材料執行一各向異性蝕刻製程，以暴露該半導體材料中的一表面，該表面在該半導體元件的一現有結構與其上形成該半導體材料的該半導體基板的一主體半導體部分之間設置；

在一暴露側壁上執行一各向同性蝕刻製程以將在該現有結構與該半導體基板的該主體半導體部分之間設置的該半導體材料凹陷一距離以形成一空腔；

決定在各向同性蝕刻之後該半導體材料已經凹陷的該距離；

經由一選擇性磊晶生長(S E G)製程在該空腔的一表面上形成沉積材料的一層，在形成該空腔與 S E G 之間，該半導體基板不經歷一預清潔製程；

基於該半導體材料已經凹陷的該距離來調節該 S E G 製程；以及

經由一選擇性磊晶生長(S E G)製程在沉積材料的該層上形成一摻雜區域，其中該摻雜區域包含下列一或多者：磷(P)、砷(As)、銻(Sb)、鉍(Bi)、鋰(Li)、硼(B)、鋁(Al)、鎵(Ga)與銦(In)，該摻雜區域具有在約  $1 \times 10^{20}$  原子/cm<sup>3</sup> 至約  $1 \times 10^{22}$  原子/cm<sup>3</sup> 的一

範圍中的一摻雜劑濃度，

其中該各向同性蝕刻製程及該 SEG 製程在真空處理下在一單一平台中執行。

【第2項】如請求項 1 所述之方法，其中該各向同性蝕刻在一第一處理腔室中發生，並且該方法進一步包含以下步驟：將該基板從該第一處理腔室移動到一第二處理腔室用於該 SEG 製程。

【第3項】如請求項 1 所述之方法，進一步包含以下步驟：在形成沉積材料的該層之前磊晶生長該半導體材料的一部分。

【第4項】如請求項 1 所述之方法，其中該半導體材料已經凹陷的該距離藉由折射法決定。

【第5項】如請求項 1 所述之方法，其中該各向同性蝕刻製程包含對該半導體材料具有選擇性的一蝕刻製程。

【第6項】如請求項 5 所述之方法，其中該各向同性蝕刻製程包含一化學氣相蝕刻製程，該化學氣相蝕刻製程包括將該暴露側壁暴露於 HCl、GeH<sub>4</sub>、或及 Cl<sub>2</sub> 的至少一個。

【第7項】如請求項 1 所述之方法，其中形成沉積材料的該層包含用該沉積材料填充該空腔。

【第8項】如請求項 1 所述之方法，進一步包含以下步



驟，在形成沉積材料的該層之前，在該空腔的該表面上沉積一含碳材料，其中該含碳材料包括一矽碳磷(SiCP)材料。

【第9項】如請求項8所述之方法，其中該SiCP材料包括在約0.1至2.0原子%的該範圍中的碳以及在約 $1 \times 10^{20}$ 原子/cm<sup>3</sup>至 $1 \times 10^{21}$ 原子/cm<sup>3</sup>的該範圍中的磷。

【第10項】如請求項1所述之方法，其中在該暴露側壁上執行該各向同性蝕刻製程以在該半導體材料中形成該空腔之步驟包含以下步驟：移除半導體材料，直至暴露出包含一磷摻雜的主體半導體材料的該半導體材料的一部分。

【第11項】如請求項1所述之方法，其中該沉積材料包含一n型摻雜劑，該n型摻雜劑包含砷(As)，並且該選擇性磊晶生長(SEG)製程包括以下步驟：將該空腔的該表面暴露於AsCl<sub>3</sub>、TBA、或AsH<sub>3</sub>的至少一個以及二氯矽烷(DCS)、HCl、SiH<sub>4</sub>、Si<sub>2</sub>H<sub>6</sub>、或Si<sub>4</sub>H<sub>10</sub>的至少一個。

【第12項】如請求項11所述之方法，其中形成沉積材料的該層之步驟包含以下步驟：用砷摻雜的材料填充該空腔，該砷摻雜的材料具有足夠在該沉積材料內產生一靶向拉伸應變的一砷濃度。

【第13項】 如請求項1所述之方法，其中該沉積材料包含一p型摻雜劑，該p型摻雜劑包含硼(B)，並且該選擇性磊晶生長(SEG)製程包括以下步驟：將該空腔的該表面暴露於硼烷、二硼烷或硼烷或二硼烷的電漿的一或多個。

【第14項】 如請求項1所述之方法，其中在不將該空腔的該表面上形成的沉積材料的該層暴露於空氣的情況下形成額外沉積材料的該層。

【第15項】 一種形成一半導體元件的方法，該方法包含以下步驟：

將其上有一半導體材料的一半導體基板定位在一第一處理腔室中；

對該半導體材料執行一各向異性蝕刻製程以暴露該半導體材料中的一表面，該表面在該半導體元件的一現有結構與其上形成該半導體材料的該半導體基板的一主體半導體部分之間設置；

在一暴露側壁上執行一各向同性蝕刻製程以將在該現有結構與該半導體基板的該主體半導體部分之間設置的該半導體材料凹陷一距離以形成一空腔；

在不將該半導體基板暴露於氧化條件的情況下，將該半導體基板從該第一處理腔室移動到一第二處理腔室；

決定在各向同性蝕刻之後該半導體材料已經凹陷的一距離；以及

在該第二處理腔室中使用一選擇性磊晶生長 (SEG) 製程在該空腔的一表面上形成沉積材料的一層，在形成該空腔與 SEG 之間，該半導體基板不經歷一預清潔製程，該 SEG 製程考慮到在各向同性蝕刻之後該半導體材料已經凹陷的該距離。

【第 16 項】 一種用於形成一半導體元件的處理工具，該處理工具包含：

一中央傳遞站，在該中央傳遞站周圍設置有複數個處理腔室；

一機器人，在該中央傳遞站內，經構造以在該複數個處理腔室之間移動一基板；

一第一處理腔室，連接到該中央傳遞站，該第一處理腔室經構造為執行一各向同性蝕刻製程；

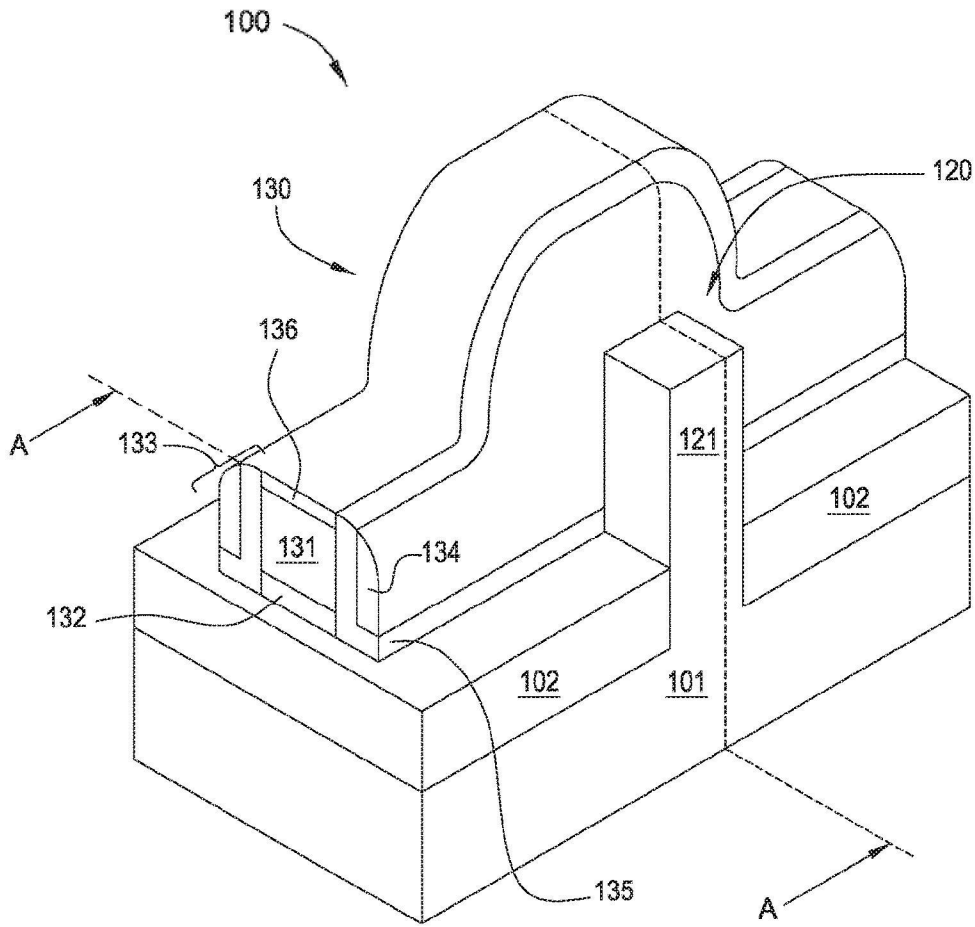
一度量站，在該處理工具內且該機器人可到達該度量站，該度量站經構造為決定來自該各向同性蝕刻製程的一基板上的半導體材料的凹陷的一距離；

一第二處理腔室，連接到該中央傳遞站，該第二處理腔室經構造為執行一選擇性磊晶生長 (SEG) 製程；以及

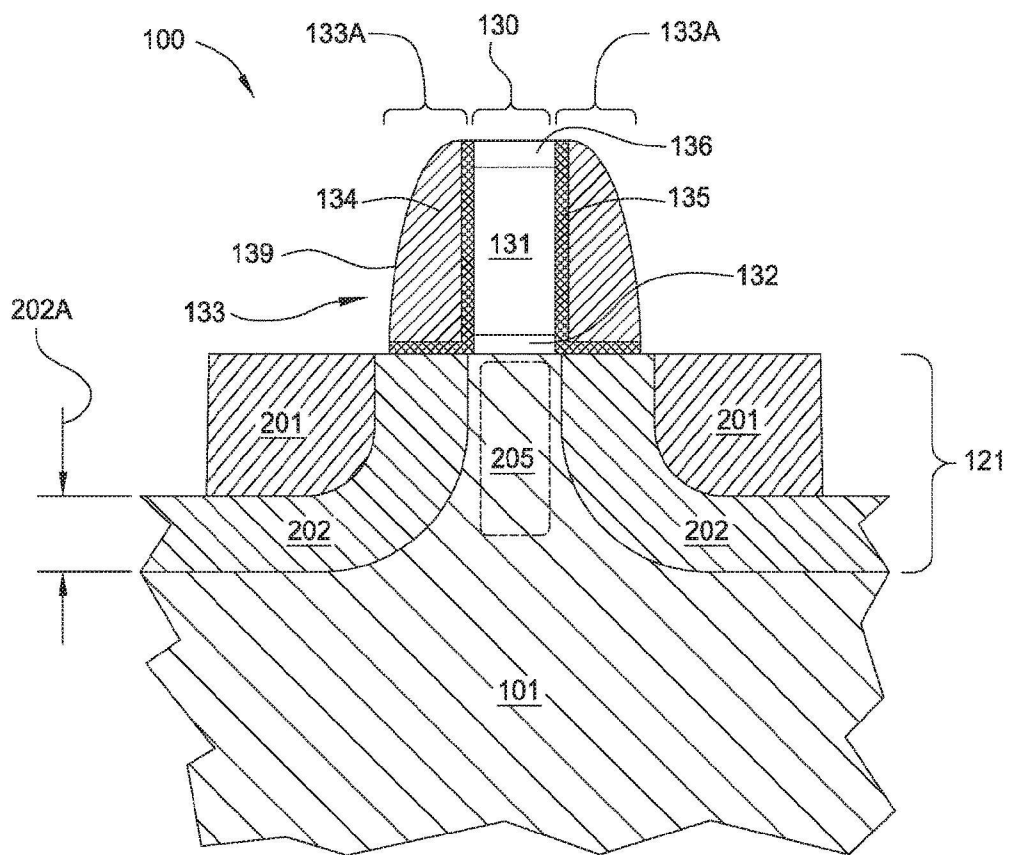
一控制器，連接到該中央傳遞站、該機器人、該第

一處理腔室、該度量站或該第二處理腔室的一或多個，該控制器具有選自下列的一或多種構造：用於在該複數個處理腔室與度量站之間移動該機器人上的一基板的一第一構造；用於在該第一處理腔室中的一基板上執行一各向同性蝕刻製程的一第二構造；用於執行一分析以決定該度量站中的該半導體材料的該凹陷的一第三構造；或用於在該第二處理腔室中執行一選擇性磊晶生長製程的一第四構造，該選擇性磊晶生長製程經調節為用於該半導體材料的該凹陷。

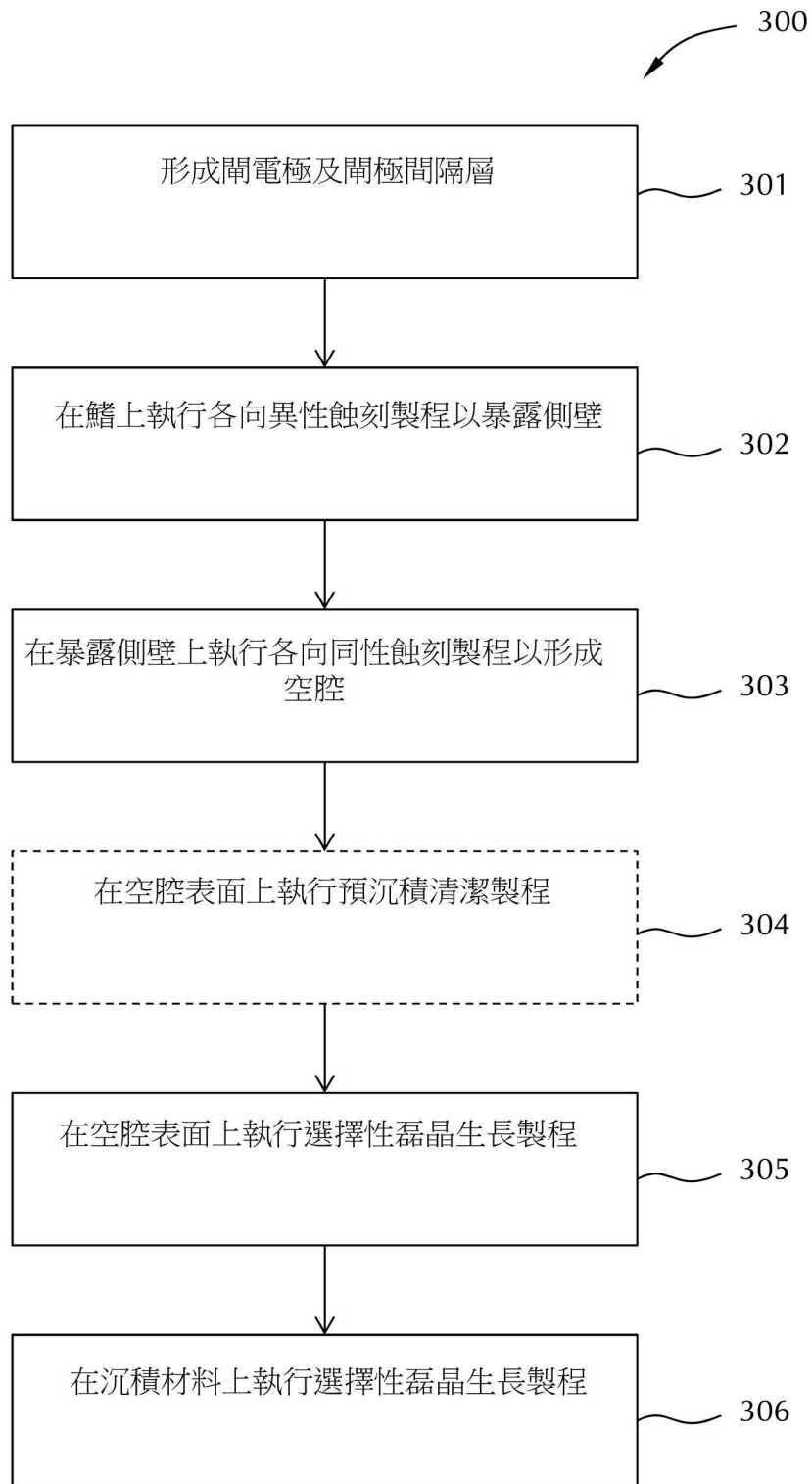
【發明圖式】



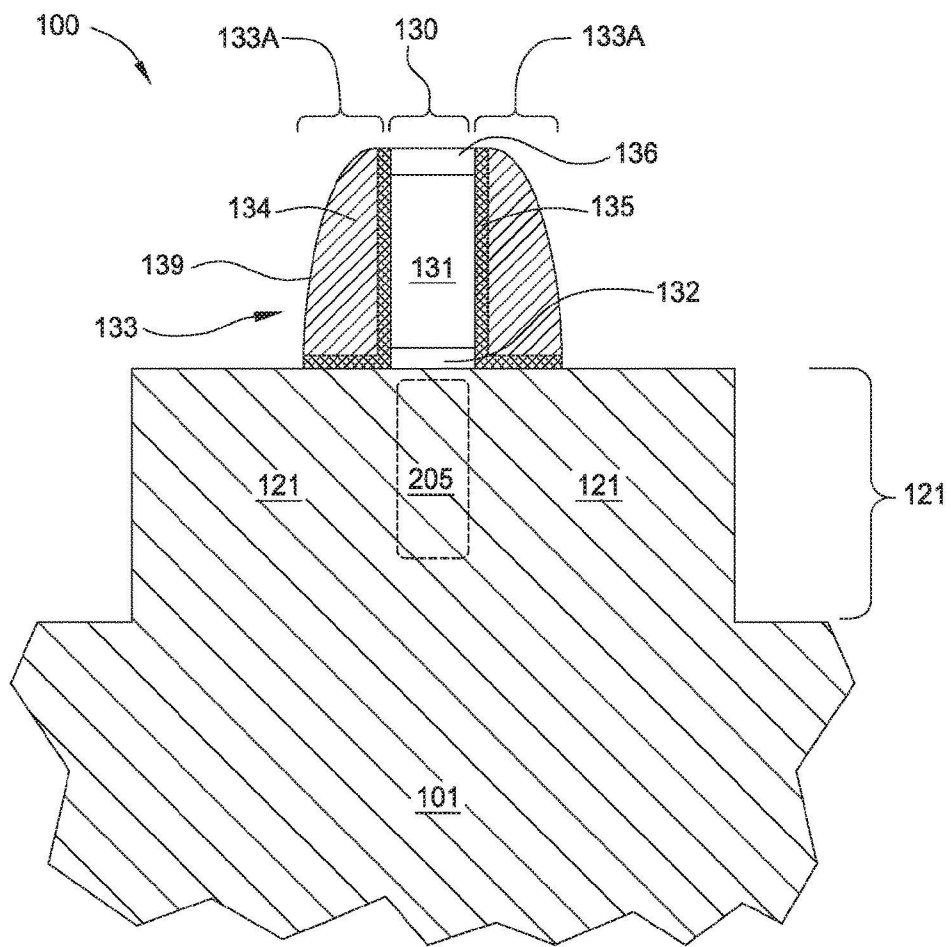
第1圖



第2圖

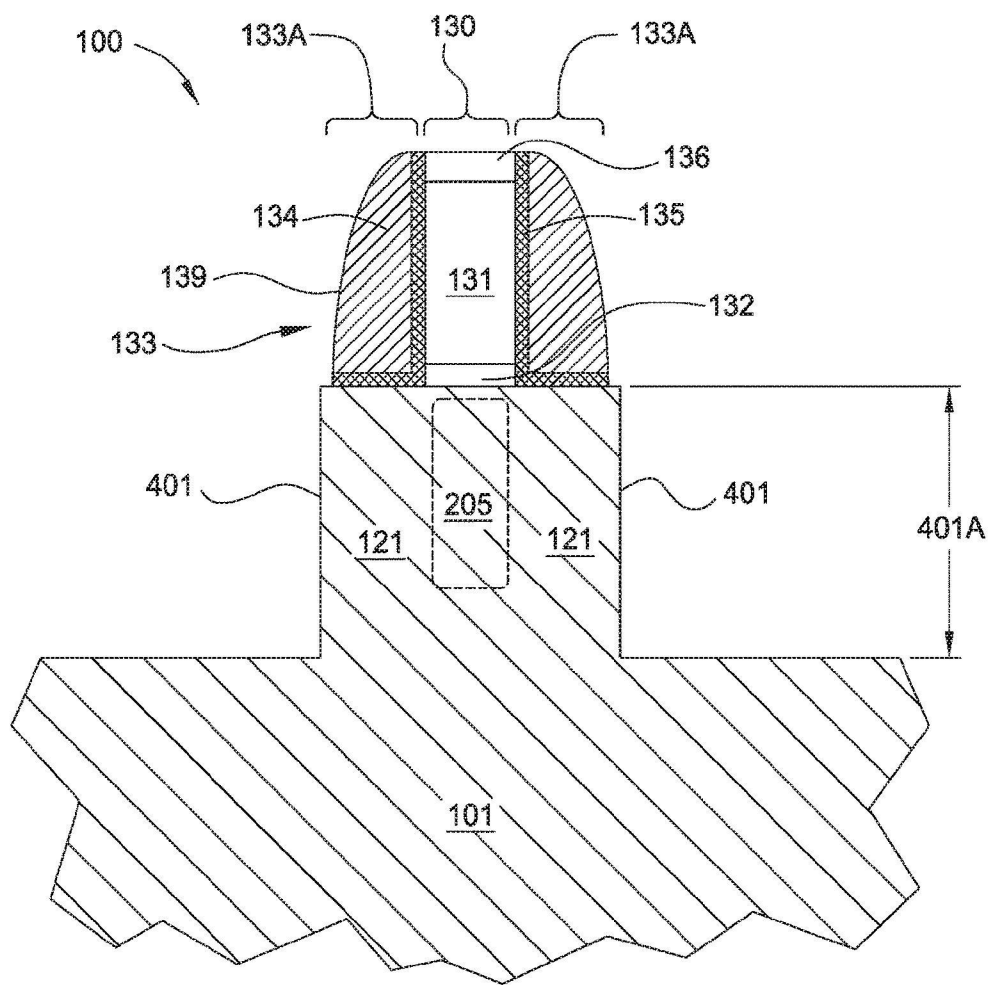


第3圖

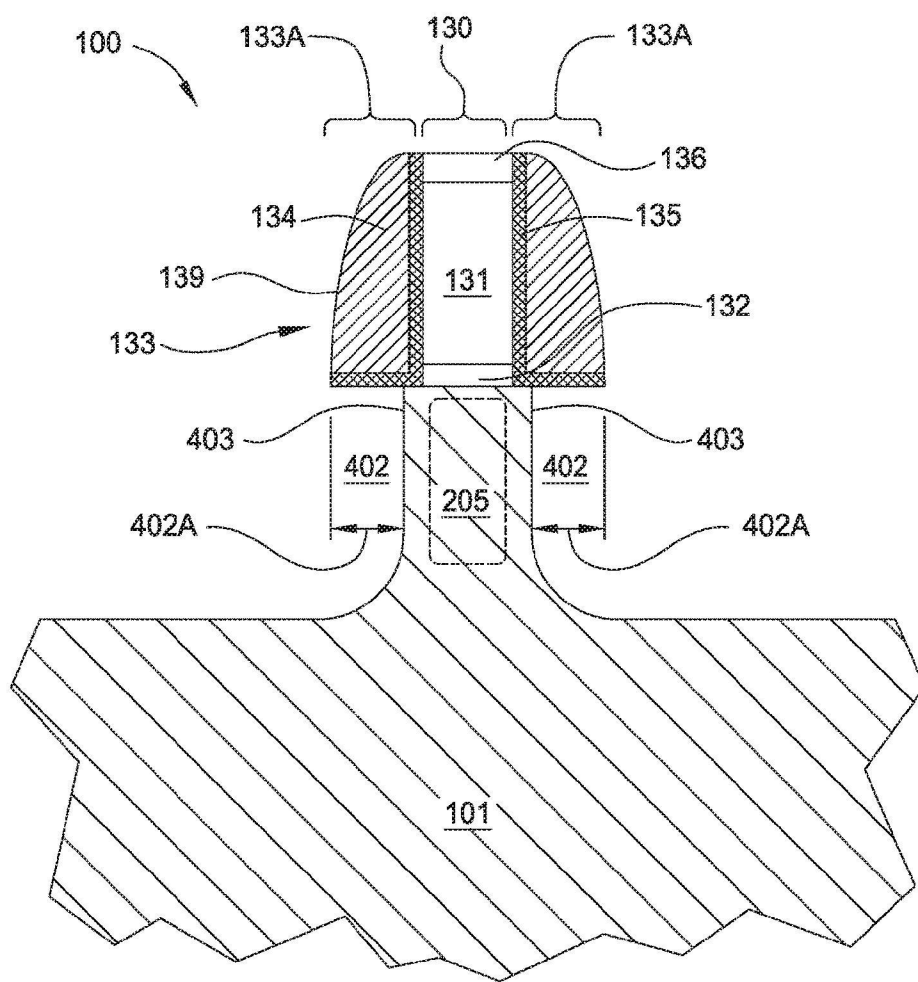


第4A圖

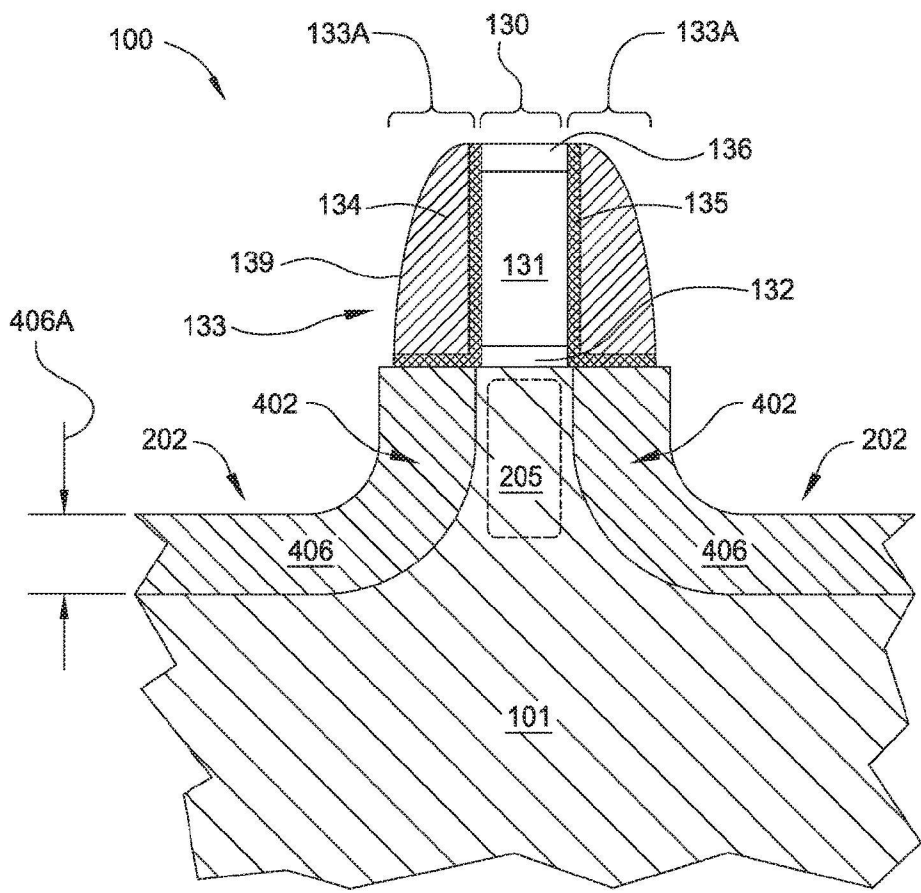




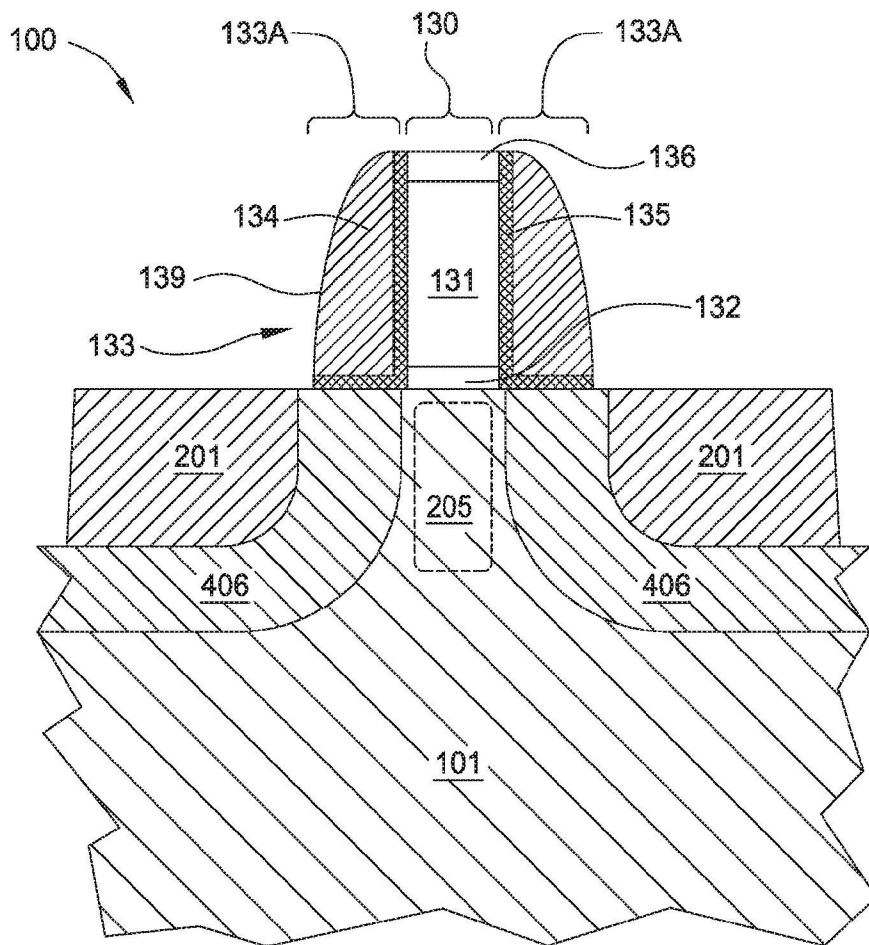
第4B圖



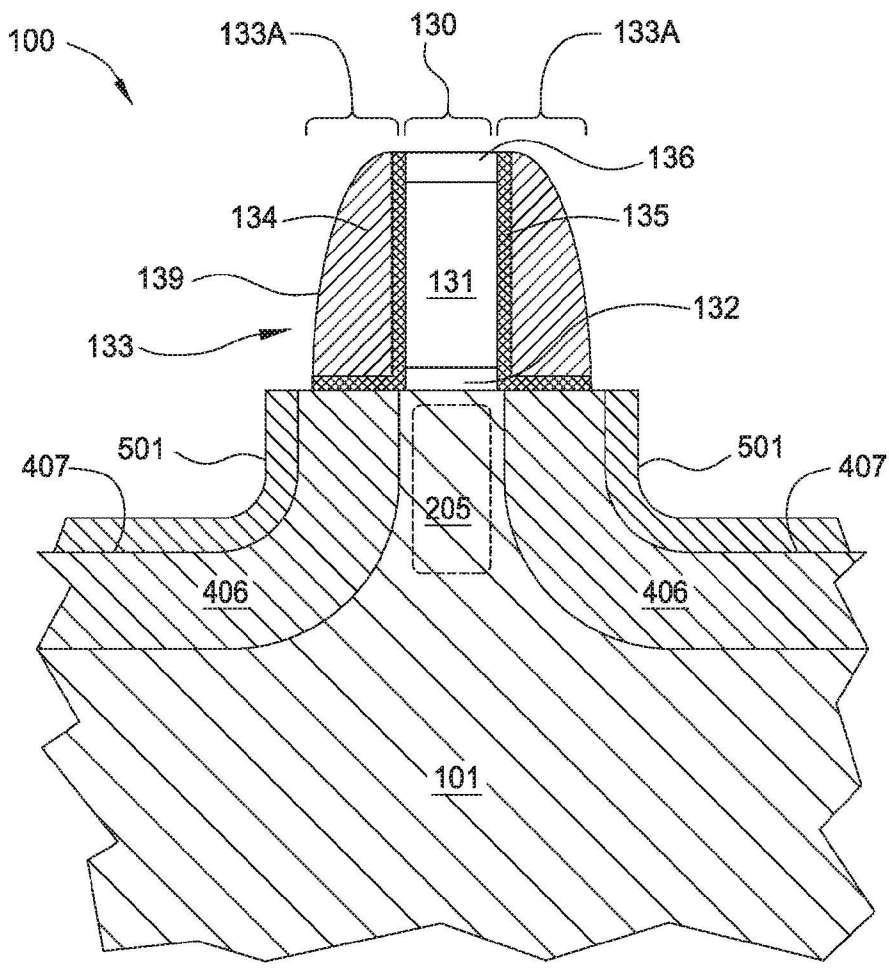
第4C圖



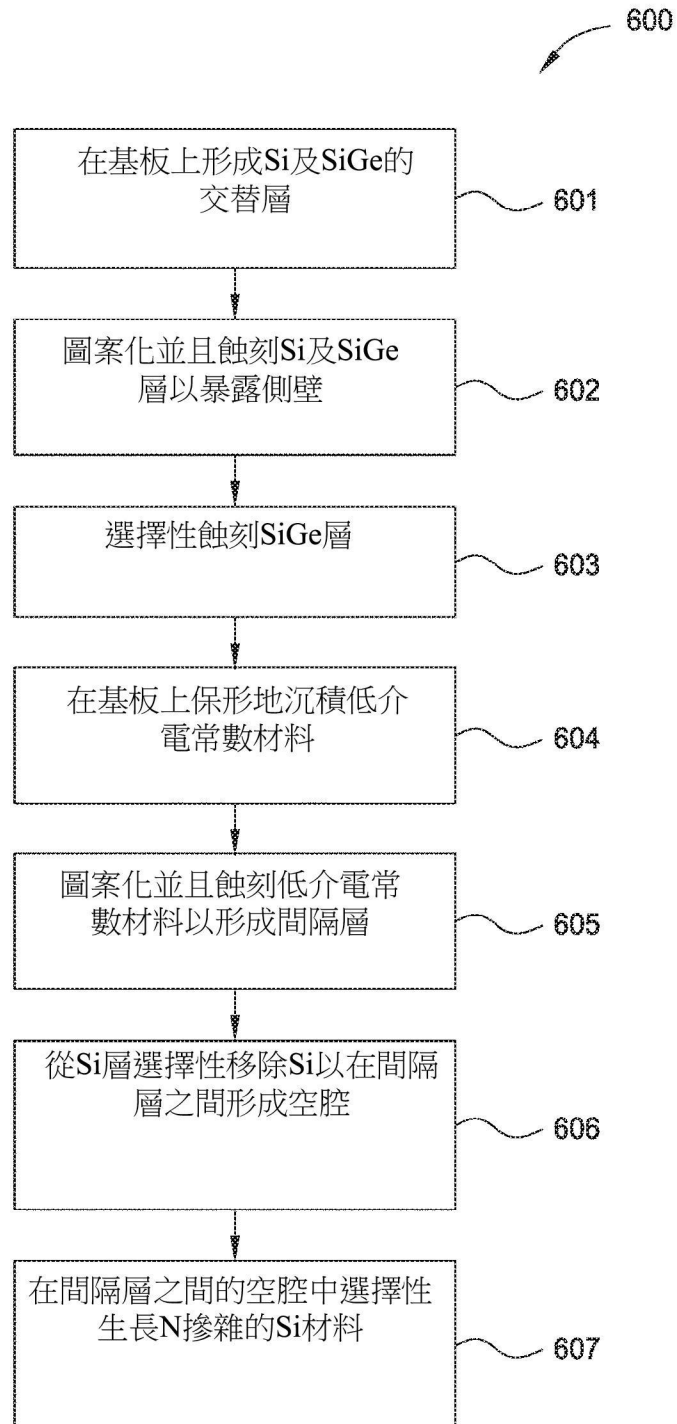
第4D圖



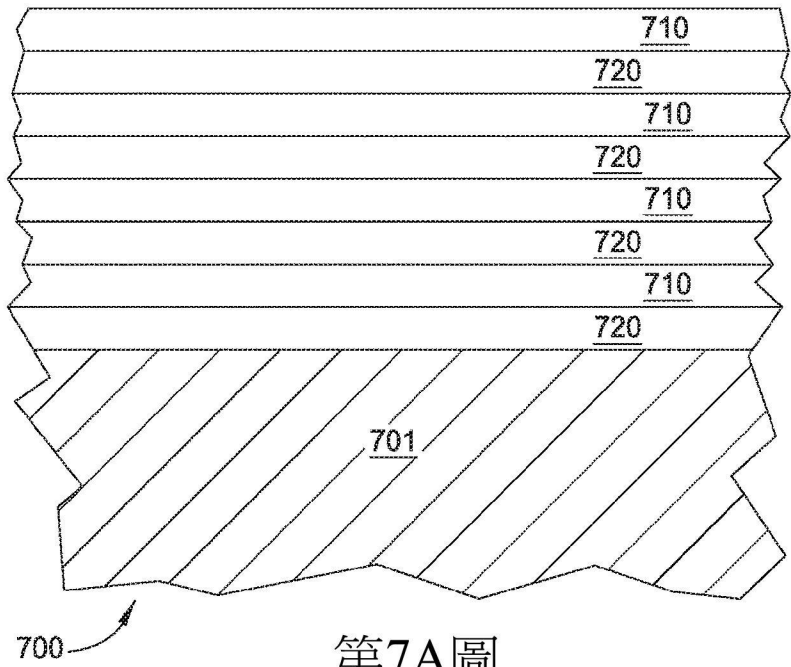
第4E圖



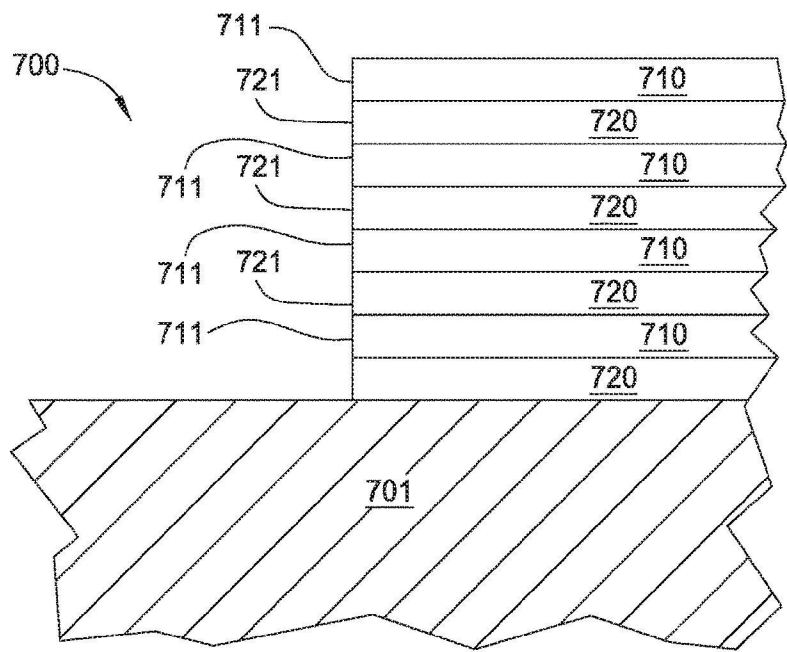
第5圖



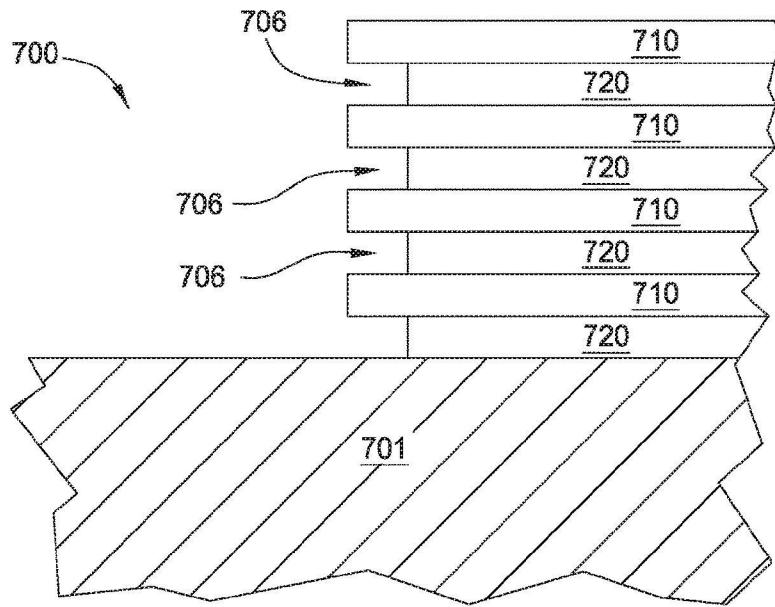
第6圖



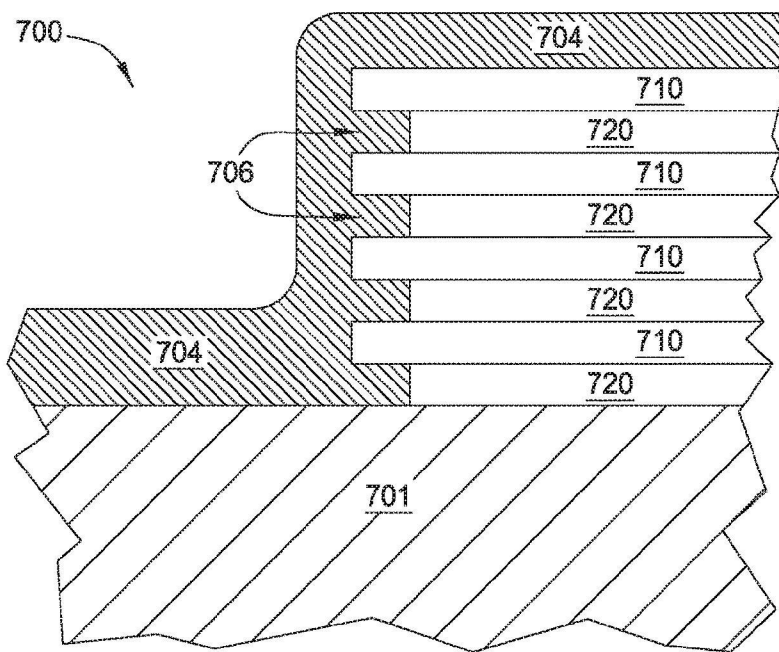
第7A圖



第7B圖

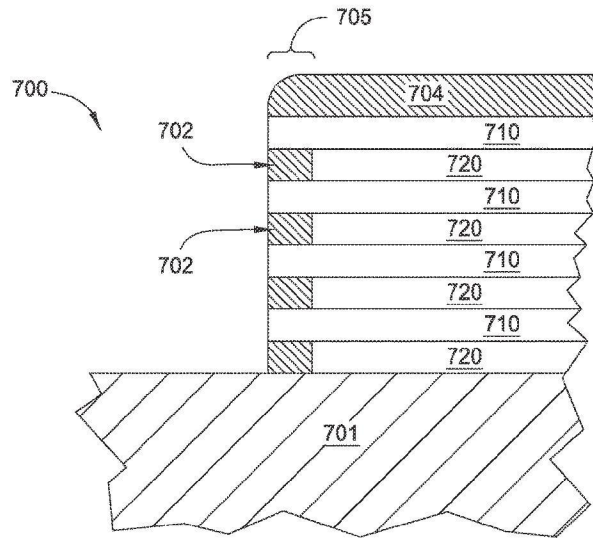


第7C圖

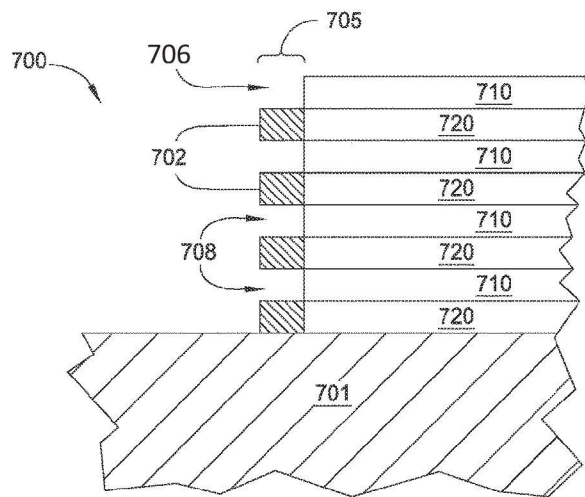


第7D圖

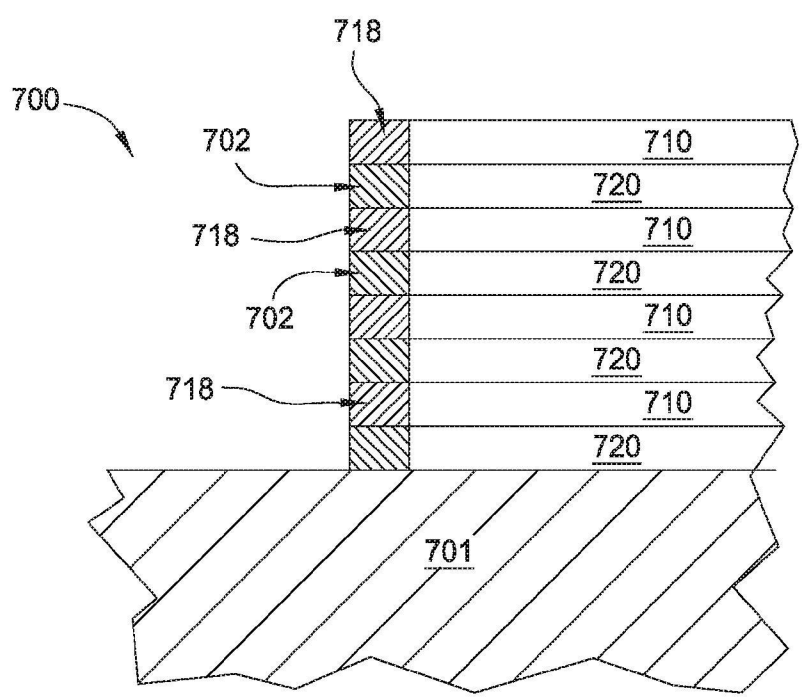




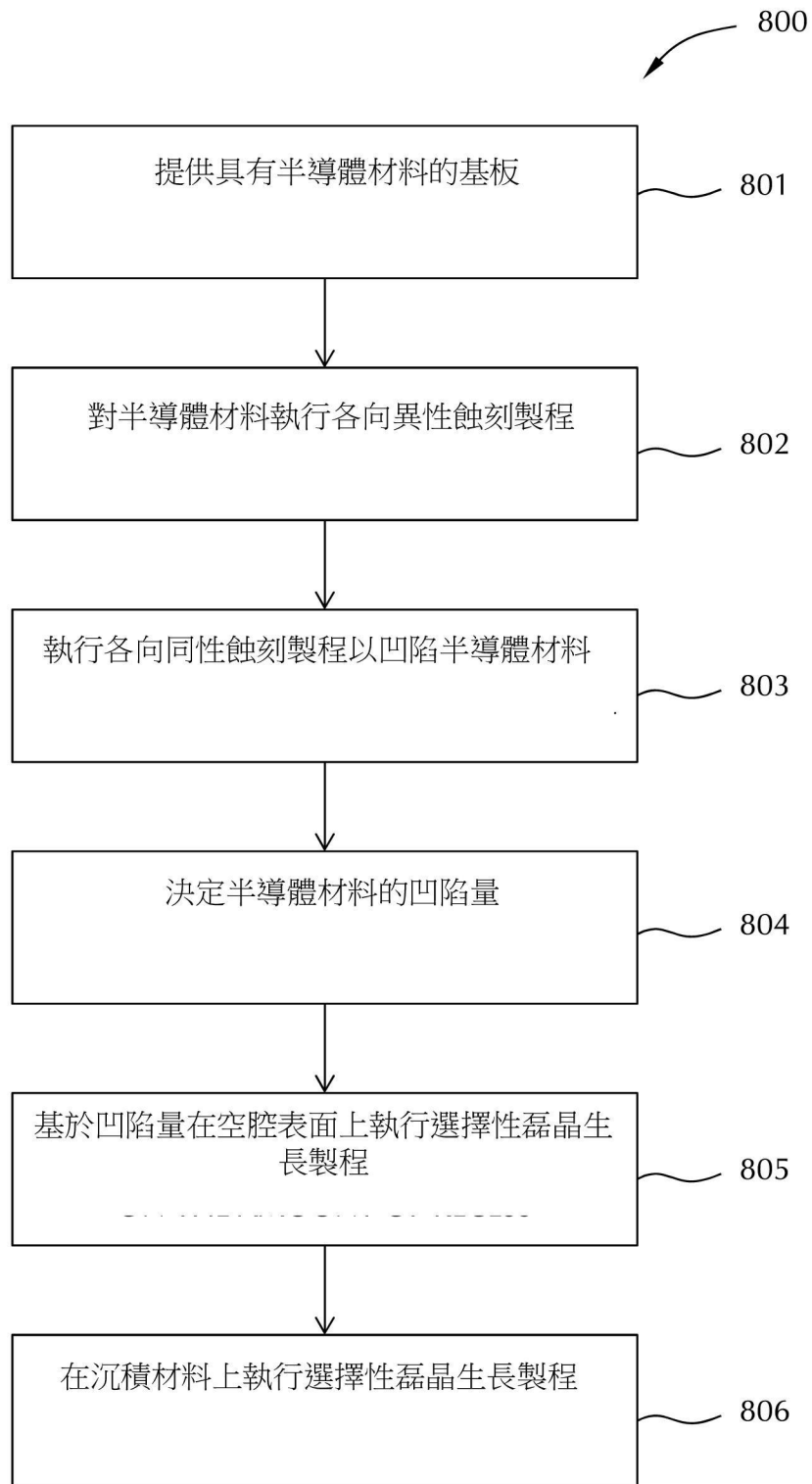
第7E圖



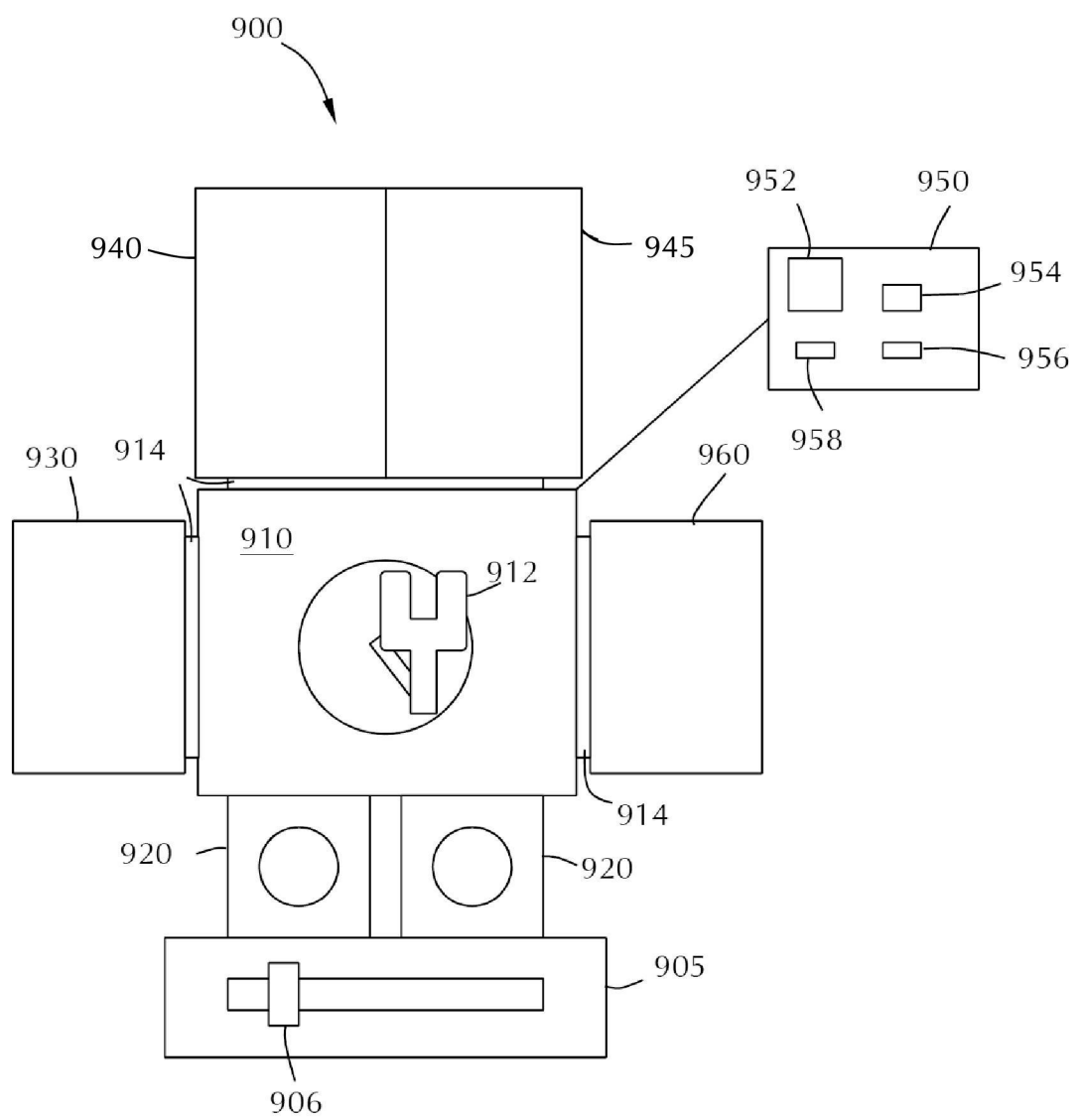
第7F圖



第7G圖



第8圖



第9圖