



(12)发明专利申请

(10)申请公布号 CN 111557051 A

(43)申请公布日 2020.08.18

(21)申请号 201880085213.5

(22)申请日 2018.11.20

(30)优先权数据

15/862,522 2018.01.04 US

(85)PCT国际申请进入国家阶段日

2020.07.02

(86)PCT国际申请的申请数据

PCT/US2018/061982 2018.11.20

(87)PCT国际申请的公布数据

W02019/135832 EN 2019.07.11

(71)申请人 应用材料公司

地址 美国加利福尼亚州

(72)发明人 翟羽佳 芮祥新 赵来 任东吉

崔寿永

(74)专利代理机构 北京律诚同业知识产权代理有限公司 11006

代理人 徐金国 赵静

(51)Int.Cl.

H01L 29/786(2006.01)

H01L 21/768(2006.01)

H01L 21/3205(2006.01)

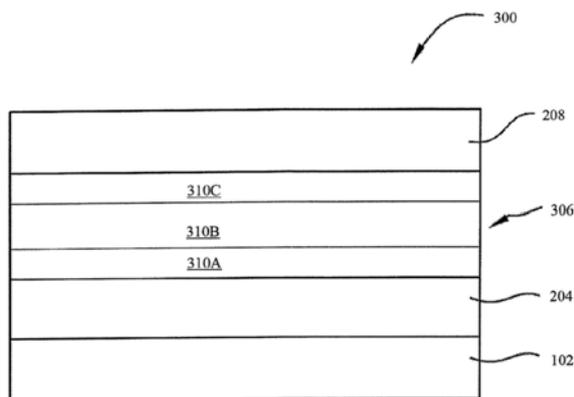
权利要求书2页 说明书5页 附图2页

(54)发明名称

用于薄膜晶体管的高k栅极绝缘体

(57)摘要

本公开内容的实施方式总体涉及一种层堆叠,所述层堆叠包括电介质层,所述电介质层具有高k值,能够改善半导体显示装置电气性能。在一个实施方式中,所述层堆叠包括基板、设置在所述基板上的沟道层、和栅极绝缘层。所述栅极绝缘层包括设置在所述沟道层上的界面层和设置在所述界面层上的二氧化锆层。所述栅极绝缘层具有范围为从约20至约50的k值。所述栅极绝缘层的所述高k值减小导致较高的能量势垒(energy barrier)的亚阈值摆幅(subthreshold swing,SS),这缓解了显示装置中的短沟道效应(short channel effect)和泄漏(leakage)。另外,所述栅极绝缘层的所述高k值允许较快的驱动电流,这改善了显示装置的亮度和性能。



1. 一种层堆叠,包括:  
基板;  
沟道层,所述沟道层设置在所述基板上;和  
栅极绝缘层,所述栅极绝缘层设置在所述沟道层上,其中所述栅极绝缘层包括:  
界面层,所述界面层设置在所述沟道层上;和  
高k电介质层,所述高k电介质层设置在所述界面层上,其中所述栅极绝缘层具有范围为从约20至约50的k值。
2. 如权利要求1所述的层堆叠,其中所述界面层包括二氧化钛、氧化铝或二氧化硅。
3. 如权利要求1所述的层堆叠,其中所述界面层具有范围为从约2埃至约100埃的厚度。
4. 如权利要求1所述的层堆叠,其中所述高k电介质层是选自由以下项组成的组的材料:二氧化锆、二氧化铪、二氧化钛和氧化铝,并且其中所述高k电介质层具有范围为从约250埃至约900埃的厚度。
5. 如权利要求1所述的层堆叠,其中所述沟道层包括非晶硅、低温多晶硅或其他金属氧化物半导体材料。
6. 如权利要求1所述的层堆叠,进一步包括金属层,所述金属层设置在所述栅极绝缘层上。
7. 一种层堆叠,包括:  
基板;  
沟道层,所述沟道层设置在所述基板上;和  
栅极绝缘层,所述栅极绝缘层设置在所述沟道层上,其中所述栅极绝缘层包括:  
第一界面层;  
第二界面层;和  
高k电介质层,所述高k电介质层在所述第一界面层与所述第二界面层之间,其中所述栅极绝缘层具有范围为从约20至约50的k值。
8. 如权利要求7所述的层堆叠,其中所述第一界面层包括二氧化钛、氧化铝或二氧化硅,其中所述第二界面层包括二氧化钛、氧化铝或二氧化硅,并且其中所述第一界面层是与所述第二界面层不同的材料。
9. 如权利要求7所述的层堆叠,其中所述高k电介质层选自由以下项组成的组的材料:二氧化锆、二氧化铪、二氧化钛和氧化铝,并且其中所述高k电介质层具有范围为从约250埃至约900埃的厚度。
10. 如权利要求7所述的层堆叠,其中所述沟道层包括非晶硅、低温多晶硅或其他金属氧化物半导体材料。
11. 如权利要求7所述的层堆叠,其中所述第一界面层具有范围为从约2埃至约100埃的厚度。
12. 一种层堆叠,包括:  
非晶硅层;和  
栅极绝缘层,所述栅极绝缘层设置在所述非晶硅层上,其中所述栅极绝缘层包括:  
二氧化硅层,所述二氧化硅层设置在所述非晶硅层上;和  
二氧化锆层,所述二氧化锆层设置在所述二氧化硅层上,其中所述栅极绝缘层具有范

围为从约20至约50的k值。

13. 如权利要求12所述的层堆叠,进一步包括金属栅极层,并且其中所述金属栅极层设置在所述二氧化锆层的顶部上。

14. 如权利要求12所述的层堆叠,其中所述二氧化锆层具有范围为从约250埃至约900埃的厚度。

15. 如权利要求12所述的层堆叠,其中所述二氧化硅层具有范围为从约2埃至约100埃的厚度。

## 用于薄膜晶体管的高k栅极绝缘体

### 技术领域

[0001] 本公开内容的实施方式总体涉及一种用于显示装置的层堆叠,该层堆叠包括具有高介电常数(high-k)值的电介质层。

### 背景技术

[0002] 显示装置已被广泛地用于各种电子应用,例如是电视机、监视器、移动电话、MP3播放器、电子书阅读器、个人数字助理(PDAs)和其类似物。这些显示装置利用集成电路制造,集成电路在单一芯片上可包括数百万个晶体管、电容器和电阻器。芯片设计的演化不断地需要更快的电路和更大的电路密度。对具有更大的电路密度的更快的电路的需求对于构成这种集成电路的材料提出了对应的需求。特别是,随着集成电路部件的尺寸被减小至亚微米尺寸(sub-micron scale),现在必须利用低电阻率导电材料和高介电常数绝缘材料,才能从此类部件获得合适的电气性能。

[0003] 对减小这些部件的比例的需求导致泄漏和短沟道效应(DIBL)的问题。为了克服泄漏和DIBL问题,要求所形成的薄膜晶体管(TFTs)具有高电容以用于显示装置。通过改变电介质材料和/或电介质层的尺寸,可调整电容。例如,当用具有高k值的材料代替电介质层时,TFT的电容也将增大,如公式 $C_{ox} = A(k \cdot E_0 / t_{ox})$ 所提出。然而,将材料改变成具有高k值的材料可导致沟道区域与电介质层之间的界面问题,从而使装置完全失效。

[0004] 因此,需要具有高k值且能够改善半导体显示装置的电气性能的电介质层。

### 发明内容

[0005] 本公开内容的实施方式总体涉及一种层堆叠,该层堆叠包括电介质层,该电介质层具有高k值,能够改善半导体显示装置的电气性能。在一个实施方式中,该层堆叠包括基板、设置在该基板上的沟道层和栅极绝缘层。该栅极绝缘层包括设置在该沟道层上的界面层和设置在该界面层上的二氧化锆层。该栅极绝缘层具有范围为从约20至约50的k值。

[0006] 在另一个实施方式中,一种层堆叠包括基板、设置在该基板上的沟道层和设置在该沟道层上的栅极绝缘层。该栅极绝缘层包括第一界面层、第二界面层和二氧化锆层,该二氧化锆层位于该第一界面层与该第二界面层之间。该栅极绝缘层具有范围为从约20至约50的k值。

[0007] 在另一个实施方式中,一种层堆叠包括非晶硅层和设置在该非晶硅层上的栅极绝缘层。该栅极绝缘层包括设置在该非晶硅层上的二氧化硅层和设置在该二氧化硅层上的二氧化锆层。该栅极绝缘层具有范围为从约20至约50的k值。

### 附图说明

[0008] 为了能够详细地理解本公开内容的上述特征的方式,以上简要地概述的本公开内容的更特定的描述可通过参照实施方式来获得,实施方式中的一些示出于附图中。然而,应注意,附图仅示出本公开内容的典型实施方式,因而不应被视为对本公开内容的范围的

限制,因为本公开内容可允许其他等同有效的实施方式。

[0009] 图1是根据本公开内容的一个实施方式的可用于沉积栅极绝缘层的处理腔室的横截面图。

[0010] 图2是根据本公开内容的一个实施方式的层堆叠的横截面图。

[0011] 图3是根据本公开内容的一个实施方式的层堆叠的横截面图。

[0012] 为了便于理解,已尽可能地采用相同的附图标号来标示图中共同的相同组件。考虑到,在没有进一步地描述下一个实施方式的元件和特征可以有利地并入其他实施方式中。

### 具体实施方式

[0013] 本公开内容的实施方式一般地涉及一种层堆叠,该层堆叠包括栅极绝缘层,该栅极绝缘层具有高k值,并且能够改善半导体显示装置的电气性能。该高k绝缘层具有20或更高的k值,并且该高k绝缘层可被形成为显示装置中的薄膜晶体管、栅极绝缘层、或其他合适的绝缘层的一部分。该层堆叠包括基板、设置在该基板上的沟道层和栅极绝缘层。该栅极绝缘层包括设置在该沟道层上的界面层和设置在界面层上的高k电介质层。该栅极绝缘层具有范围为从约20至约50的k值。栅极绝缘层的高k值减小导致较高的能量势垒(energy barrier)的亚阈值摆幅(subthreshold swing,SS),这缓解了显示装置中的短沟道效应和泄漏。另外,栅极绝缘层的高k值层允许较快的驱动电流,而改善显示装置的亮度和性能。

[0014] 本文使用的术语“在…之上”、“在…之下”、“在…之间”和“在…上”是指一个层与其他层的相对位置。如此,例如,设置在另一层之上或之下的一个层,可以是直接接触另一层,或可具有一个或多个界面层。此外,设置在数个层之间的一个层可以是直接接触两个层,或是可具有一个或多个界面层。相反地,在第二层“上”的第一层,是与第二层接触。另外,假设在不考虑基板的绝对方向的情况下相对于基板进行操作,提供一个层与其他层的相对位置。

[0015] 图1是化学气相沉积(chemical vapor deposition,CVD)处理腔室100的一个实施方式的横截面示意图,其中可沉积用于显示装置结构的高k电介质层,诸如二氧化锆( $ZrO_2$ )层。一个合适的化学气相沉积处理腔室,例如是等离子体辅助化学气相沉积(plasma enhanced chemical vapor deposition,PECVD)处理腔室,可从位于加利福尼亚州圣克拉拉的应用材料公司(Applied Materials)获得。可设想的是,可利用包括来自其他制造商的沉积腔室的其他沉积腔室来实施本公开内容。

[0016] 腔室100一般包括一个或多个壁142、底部104和盖112,上述的壁142、底部104和盖112限定处理空间106。气体分布板110和基板支撑组件130设置在处理空间106中。穿过壁142形成狭缝阀开口108,通过狭缝阀开口108进入处理空间106,使得基板102可被传输进出腔室100。

[0017] 基板支撑组件130包括基板接收表面132,基板接收表面132用于支撑基板102。杆134耦接基板支撑组件130至升降系统136,升降系统136在基板传输位置与基板处理位置之间升高和降低基板支撑组件130。在处理过程中,遮蔽框架133可任选地放置在基板102周边之上,以避免基板102边缘上的沉积。升降销138可移动地设置穿过基板支撑组件130,并且经调适以将基板102与基板接收表面132隔开。基板支撑组件130也可包括利用加热和/或冷

却元件139,以使基板支撑组件130维持在预定温度。基板支撑组件130也可包括接地片131,用以提供围绕基板支撑组件130周边的RF返回路径(RF return path)。

[0018] 气体分布板110通过悬架114在其周边处耦接至盖112或壁142。气体分布板110也由一个或多个中心支撑件116耦接至盖112,以帮助避免气体分布板110的下垂和/或用以控制气体分布板110的直度/曲率。可设想的是,可不利用一个或多个中心支撑件116。气体分布板110可具有不同尺寸的不同配置。气体分布板110具有向基板102的上表面的下游表面150,该下游表面具有形成在其中的多个孔111,该基板设置在基板支撑组件130上。孔111在气体分布板110上可具有不同形状、数量、密度、尺寸和分布。在一个实施方式中,可选择孔111的直径为约0.01英寸与约1英寸之间。

[0019] 气源120耦接至盖112,以提供气体通过盖112,以及接着通过形成在气体分布板110中的孔111而至处理空间106。真空泵109耦接至腔室100,以使处理空间106中的气体维持在预定压力。

[0020] RF电源122耦接至盖112和/或至气体分布板110以提供RF功率(RF power),该RF功率在气体分布板110与基板支撑组件130之间产生电场,使得可由气体分布板110与基板支撑组件130之间存在的气体产生等离子体。可以在各种RF频率下施加RF功率。例如,可在约0.3兆赫(MHz)至约200MHz之间的频率下施加RF功率。在一个实施方式中,在13.56MHz的频率下提供RF功率。

[0021] 远程等离子体源124,例如是感应耦合远程等离子体源,耦接在气源120和气体分布板110之间。在多个基板的处理之间,可在远程等离子体源124中将清洁气体(cleaning gas)通电,以远程地提供用于清洁腔室部件的等离子体。通过电源122提供给气体分布板110的RF功率,进入处理空间106的清洁气体可进一步被激发。合适的清洁气体包括但不限于三氟化氮(NF<sub>3</sub>)、氟气(F<sub>2</sub>)和六氟化硫(SF<sub>6</sub>)。

[0022] 在一个实施方式中,可在腔室100中被处理的基板102,可具有10000cm<sup>2</sup>或更多、例如是25000cm<sup>2</sup>或更多、例如是55000cm<sup>2</sup>或更多的表面积。应理解的是,在处理后,基板可被切割以形成较小的其他装置。在一个实施方式中,可设置加热和/或冷却元件139,以在沉积过程中提供基板支撑组件约600摄氏度或更少的温度,例如是在约100摄氏度至约500摄氏度之间,或是在约200摄氏度至约500摄氏度之间,例如是在约300摄氏度至约是500摄氏度之间。

[0023] 图2是根据本公开内容的一个实施方式的层堆叠200的横截面图。层堆叠200包括基板102、沟道层204、栅极绝缘层206和金属层208。基板102可以是由硅酸盐玻璃(silicate glass)制成。沟道层204可以是由非晶硅、低温多晶硅(low-temperature polycrystalline silicon, LTPS)或其他金属氧化物半导体材料制成。金属层208可以是由铝、钛、铜、或其他合适的金属制成。在图2的实施方式中,沟道层204是在基板102与顶部栅极结构中的栅极绝缘层206之间。栅极绝缘层206是在金属层208与沟道层204之间。可想象的是,本文所述的实施方式也可被用于底部栅极结构。

[0024] 在图2所述的实施方式中,栅极绝缘层206具有两个层。在图3的实施方式中(更多细节如下所述),栅极绝缘层306具有三个层310A、电介质层310B、310C。同时,栅极绝缘层显示为具有两个层,更多层是有可能的。例如,栅极绝缘层可具有界面层210A和高k电介质层210B的多个交替的层。在一个实施方式中,栅极绝缘层具有多于两个层。在另一个实施方式

中,栅极绝缘层具有多于三个层。

[0025] 在图2的实施方式中,栅极绝缘层206具有界面层210A和高k电介质层210B。界面层210A不同于高k电介质层210B。在一个实施方式中,界面层210A具有范围为从约3至约5的k值。界面层210A可以是由合适的材料制成,例如是由氧化物制成,例如是二氧化硅(silicon dioxide, SiO<sub>2</sub>)、氧化铝(aluminum oxide, Al<sub>2</sub>O<sub>3</sub>)或二氧化钛(titanium dioxide, TiO<sub>2</sub>)制成。界面层210A具有范围为从约2埃(Angstroms)至约100埃的厚度。在一个实施方式中,界面层210A在化学气相沉积腔室中被沉积,化学气相沉积腔室例如是等离子体辅助化学气相沉积腔室,例如是图1所示的腔室100。

[0026] 在一个实施方式中,形成在界面层210A上的高k电介质层210B具有范围为从约20至约50的k值。高k电介质层210B是选自由以下项组成的组的材料:二氧化锆(zirconium dioxide, ZrO<sub>2</sub>)、二氧化铪(hafnium dioxide, HfO<sub>2</sub>)、二氧化钛(titanium dioxide, TiO<sub>2</sub>)和氧化铝(aluminum oxide, Al<sub>2</sub>O<sub>3</sub>)。高k电介质层210B具有范围为从约100埃至约900埃的厚度。在一个实施方式中,高k电介质层210B具有范围为从约250埃至约600埃的厚度。在一个实施方式中,界面层210A具有100埃的厚度,并且高k电介质层210B具有600埃的厚度。在一些实施方式中,高k电介质层210B可在等离子体辅助化学气相沉积腔室中被沉积至基板102上,等离子体辅助化学气相沉积腔室例如是图1所示的腔室100。在一个实施方式中,界面层210A和高k电介质层210B在相同的处理腔室中被沉积。

[0027] 如果高k电介质层,例如是高k电介质层210B,是直接沉积至沟道层204上,则存在界面不匹配,这会损害显示装置的完整性。因此,为了在具有均匀厚度轮廓(uniform thickness profile)的显示装置中形成高k电介质层,界面层210A在高k电介质层210B与沟道层204之间。界面层210A有利地在沟道层204与高k电介质层210B二者之间具有良好的界面,从而改善附着力。高k电介质层210B有利地具有高k值。高k值层可减小导致较高的能量势垒的亚阈值摆幅,这缓解了显示装置中的短沟道效应和泄漏。另外,高k值层可允许较快的驱动电流,而改善显示装置的亮度和性能。

[0028] 图3是根据本公开内容的一个实施方式的层堆叠300的横截面图。层堆叠300包括基板102、沟道层204、栅极绝缘层306和金属层208。在一个实施方式中,沟道层204在基板102与栅极绝缘层306之间。栅极绝缘层306在金属层208与沟道层204之间。

[0029] 在图3的实施方式中,栅极绝缘层306具有第一界面层310A、高k电介质层310B和第二界面层310C。第一界面层310A和第二界面层310C不同于高k电介质层310B。在一个实施方式中,第一界面层310A具有范围为从约3至约5的k值。第一界面层310A可以是由合适的材料制成,例如是由氧化物制成,例如是二氧化硅、氧化铝或二氧化钛制成。第一界面层310A具有范围为从约2埃至约100埃的厚度。在一个实施方式中,第一界面层310A在化学气相沉积腔室中被沉积,化学气相沉积腔室例如是等离子体辅助化学气相沉积腔室,例如是图1所示的腔室100。

[0030] 在一个实施方式中,第二界面层310C是与第一界面层310A相同的材料。在其他实施方式中,第二界面层310C是与第一界面层310A不同的材料。在一个实施方式中,第二界面层310C具有范围为从约3至约5的k值。第二界面层310C可以是由合适的材料制成,例如是由氧化物制成,例如是SiO<sub>2</sub>、氧化铝(Al<sub>2</sub>O<sub>3</sub>)、或二氧化钛(TiO<sub>2</sub>)制成。第二界面层310C具有范围为从约2埃至约100埃的厚度。在一个实施方式中,第二界面层310C在化学气相沉积腔室

中被沉积,化学气相沉积腔室例如是等离子体辅助化学气相沉积腔室,例如是图1所示的腔室100。

[0031] 在一个实施方式中,高k电介质层310B形成在第一界面层310A与第二界面层310C之间。在一个实施方式中,第一界面层310A邻近沟道层204。在另一个实施方式中,第二界面层310C邻近沟道层204。高k电介质层310B具有范围为从约20与约50的k值。在另一个实施方式中,高k电介质层310B形成在第二界面层310C上。高k电介质层310B是选自由以下项组成的组的材料:二氧化锆 ( $ZrO_2$ )、二氧化铪 ( $HfO_2$ )、二氧化钛 ( $TiO_2$ ) 和氧化铝 ( $Al_2O_3$ )。高k电介质层310B具有范围为从约100埃至约900埃的厚度。在一个实施方式中,高k电介质层310B具有范围为从约250埃至约600埃的厚度。在一个实施方式中,第一界面层310A具有100埃的厚度,高k电介质层310B具有600埃的厚度,并且第二界面层310C具有100埃的厚度。在一些实施方式中,高k电介质层310B可在等离子体辅助化学气相沉积腔室中被沉积至基板102上,等离子体辅助化学气相沉积腔室例如是图1所示的腔室100。在一个实施方式中,第一界面层310A、第二界面层310C和高k电介质层310B在相同的处理腔室中被沉积。

[0032] 通过将氧化锆 (zirconium oxide) 包括在多层栅极绝缘层中,可实现较高k电介质层。包括硅的界面层改善主动沟道层 (active channel layer) 与金属栅极之间的附着力和相互作用。氧化锆电介质层增大栅极绝缘层的k值。栅极绝缘层的高k值减小导致较高的能量势垒的亚阈值摆幅 (SS), 这缓解了显示装置中的短沟道效应和泄漏。另外,栅极绝缘层的高k值层允许较快的驱动电流,这改善了显示装置的亮度和性能。

[0033] 虽然上述内容针对本公开内容的实施方式,但在不背离本发明的基本范围的情况下可设计本公开内容的其他和进一步的实施方式,本发明的范围由随附的权利要求书来确定。



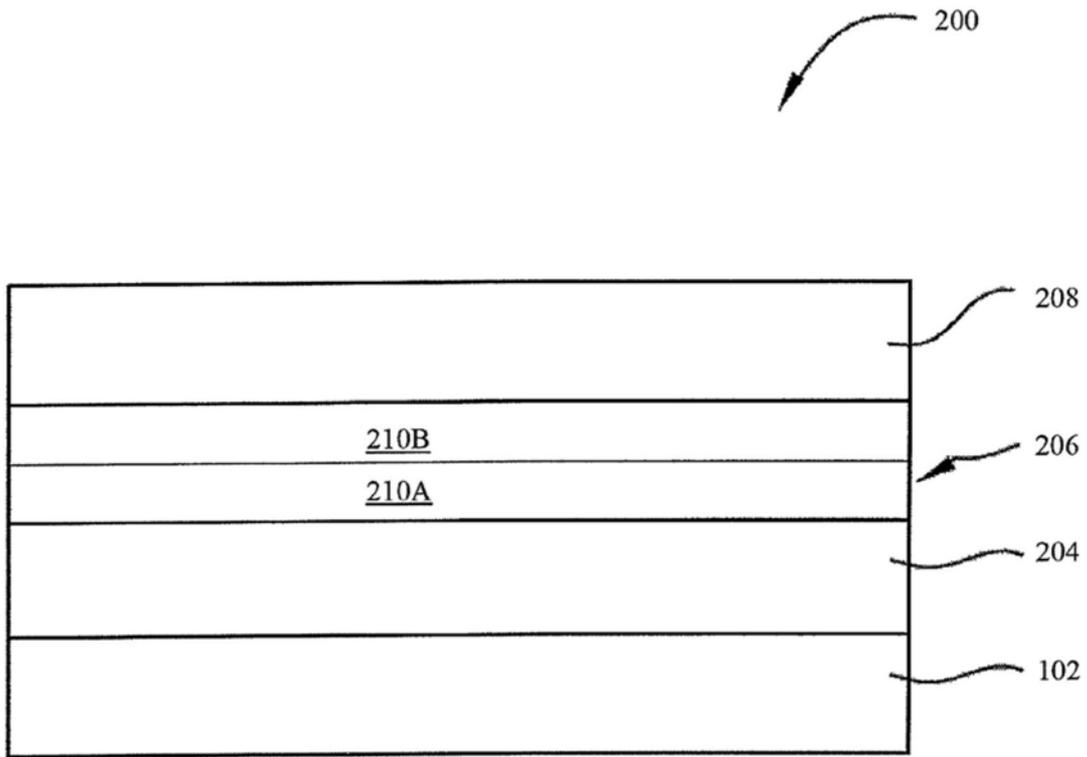


图2

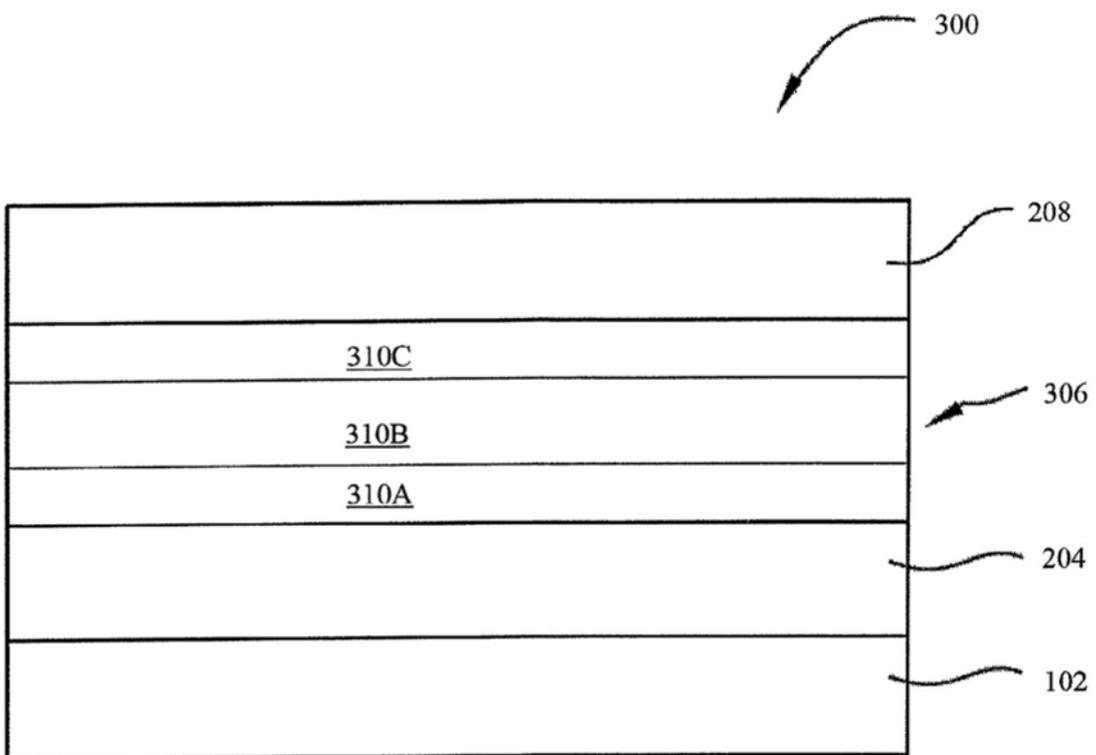


图3