



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2018년09월13일
 (11) 등록번호 10-1898678
 (24) 등록일자 2018년09월07일

(51) 국제특허분류(Int. Cl.)
 H01L 23/49 (2006.01) H01L 23/12 (2006.01)
 (21) 출원번호 10-2012-0031825
 (22) 출원일자 2012년03월28일
 심사청구일자 2017년01월03일
 (65) 공개번호 10-2013-0109791
 (43) 공개일자 2013년10월08일
 (56) 선행기술조사문헌
 KR1020060097760 A*
 US20030209809 A1*
 US20060076690 A1
 *는 심사관에 의하여 인용된 문헌

(73) 특허권자
 삼성전자주식회사
 경기도 수원시 영통구 삼성로 129 (매탄동)
 (72) 발명자
 김영룡
 경기 안양시 동안구 시민대로159번길 62, 208동 504호 (비산동, 은하수벽산아파트)
 신성호
 경기 화성시 동탄지성로 42, 225동 403호 (반송동, 시범한빛마을동탄아이파크아파트)
 (뒷면에 계속)
 (74) 대리인
 리엔목특허법인

전체 청구항 수 : 총 7 항

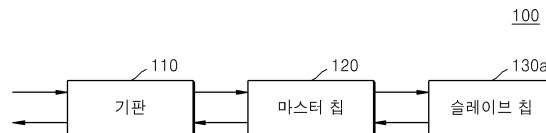
심사관 : 정구원

(54) 발명의 명칭 **반도체 패키지**

(57) 요약

본 발명은 반도체 패키지에 관한 것으로서, 더욱 구체적으로 기판 상에 적층된 마스터 칩 및 슬레이브 칩을 포함하는 반도체 패키지로써, 상기 마스터 칩과 슬레이브 칩이 외부 회로에 대하여 직렬적으로 연결되고, 상기 마스터 칩과 상기 슬레이브 칩이 본딩 와이어를 통하여 연결된 반도체 패키지에 관한 것이다. 본 발명의 반도체 패키지를 이용하면 낮은 로딩 팩터를 갖는 우수한 성능의 반도체 패키지를 저렴하게 대량 생산할 수 있다.

대표도 - 도1a



(72) 발명자

장재권

전남 고흥군 대서면 개명안길 38,

이중호

경기 화성시 동탄공원로1길 6-60, 112동 505호 (반
송동, 우림필유타운하우스)

명세서

청구범위

청구항 1

기관 상에 적층된 마스터 칩 및 슬레이브 칩을 포함하는 반도체 패키지로서,
 상기 마스터 칩과 슬레이브 칩이 외부 회로에 대하여 직렬적으로 연결되고,
 상기 마스터 칩과 상기 슬레이브 칩이 본딩 와이어를 통하여 연결되고
 상기 기관상에 배치된 제 1 더미 패드;
 상기 마스터 칩과 상기 제 1 더미 패드를 연결하는 제 1 본딩 와이어; 및
 상기 슬레이브 칩과 상기 제 1 더미 패드를 연결하는 제 2 본딩 와이어;를 포함하고
 상기 마스터 칩과 상기 슬레이브 칩의 풋프린트(footprint)가 동일한 것을 특징으로 하는 반도체 패키지.

청구항 2

제 1 항에 있어서,
 상기 마스터 칩이 상기 슬레이브 칩에 대한 데이터 및 신호의 입출력을 제어하는 제어 회로를 포함하는 것을 특징으로 하는 반도체 패키지.

청구항 3

삭제

청구항 4

삭제

청구항 5

제 1 항에 있어서,
 상기 마스터 칩과 상기 슬레이브 칩이 상기 제 1 더미 패드를 통하여 통신하도록 구성된 것을 특징으로 하는 반도체 패키지.

청구항 6

제 1 항에 있어서,
 상기 반도체 패키지가 둘 이상의 슬레이브 칩들을 포함하고, 상기 슬레이브 칩들이 각각 상기 기관 및 상기 마스터 칩과 직렬적으로 연결되는 것을 특징으로 하는 반도체 패키지.

청구항 7

제 6 항에 있어서,
 상기 기관 상에 배치된 제 2 더미 패드를 더 포함하고,
 상기 마스터 칩이 상기 제 1 더미 패드 및 상기 제 2 더미 패드에 본딩 와이어를 통하여 연결되고,
 상기 둘 이상의 슬레이브 칩들은 상기 제 1 더미 패드 및 제 2 더미 패드 중의 어느 하나에만 연결되는 것을 특징으로 하는 반도체 패키지.

청구항 8

제 6 항에 있어서,

상기 마스터 칩과 상기 둘 이상의 슬레이브 칩들이 1 채널로 연결되는 것을 특징으로 하는 반도체 패키지.

청구항 9

삭제

청구항 10

제 1 항에 있어서,

상기 마스터 칩 또는 상기 슬레이브 칩 내에 데이터 또는 신호 전달에 있어서의 지연을 보상할 수 있는 드라이버 회로가 포함되어 있는 것을 특징으로 하는 반도체 패키지.

발명의 설명

기술 분야

[0001] 본 발명은 반도체 패키지에 관한 것으로서, 보다 구체적으로는 저렴하게 대량 생산할 수 있는 우수한 성능의 반도체 패키지에 관한 것이다.

배경 기술

[0002] 반도체 장치의 경박단소화와 함께 고속 동작에 관한 요구도 높아지고 있다. 한편, 단일 반도체 칩의 고속화는 장치 설계를 최적화하고 적절한 소재를 선택함으로써 이러한 요구를 만족시킬 수 있지만, 다중칩을 적층하여 하나의 반도체 장치를 구성하는 경우에는 로딩 팩터(loading factor)가 문제가 될 수 있다. 또한, 로딩 팩터를 낮추기 위하여 제안된 스루 실리콘 비아(through silicon via, TSV)나 칩-온-칩(chip-on-chip, CoC) 구조는 제조에 많은 시간이 소요되고 비용도 높은 문제점이 있다.

발명의 내용

해결하려는 과제

[0003] 본 발명 개념이 이루고자 하는 기술적 과제는 낮은 로딩 팩터를 갖는 우수한 성능을 보유하면서도 저렴하게 대량 생산할 수 있는 반도체 패키지를 제공하는 것이다.

과제의 해결 수단

[0004] 본 발명 개념은 상기 기술적 과제를 이루기 위하여, 기관 상에 적층된 마스터 칩 및 슬레이브 칩을 포함하는 반도체 패키지로서, 상기 마스터 칩과 슬레이브 칩이 외부 회로에 대하여 직렬적으로 연결되고, 상기 마스터 칩과 상기 슬레이브 칩이 본딩 와이어를 통하여 연결된 반도체 패키지를 제공한다.

[0005] 상기 마스터 칩은 상기 슬레이브 칩에 대한 데이터 및 신호의 입출력을 제어하는 제어 회로를 포함할 수 있다. 상기 마스터 칩은 상기 슬레이브 칩과 실질적으로 동일한 풋프린트(footprint)를 가질 수 있다. 이 때, 상기 반도체 패키지는 상기 기관 상에 배치된 제 1 더미 패드; 상기 마스터 칩과 상기 제 1 더미 패드를 연결하는 제 1 본딩 와이어; 및 상기 슬레이브 칩과 상기 제 1 더미 패드를 연결하는 제 2 본딩 와이어를 포함할 수 있다. 특히, 상기 마스터 칩과 상기 슬레이브 칩은 상기 제 1 더미 패드를 통하여 통신하도록 구성될 수 있다.

[0006] 상기 반도체 패키지는 둘 이상의 슬레이브 칩들을 포함할 수 있다. 이 때, 상기 슬레이브 칩들은 각각 상기 기관 및 상기 마스터 칩과 직렬적으로 연결될 수 있다. 특히, 상기 둘 이상의 슬레이브 칩들 중 적어도 두 개의 슬레이브 칩들은 각각 상기 제 1 더미 패드와 본딩 와이어를 통하여 연결될 수 있다. 또, 상기 반도체 패키지는 상기 기관 상에 배치된 제 2 더미 패드를 더 포함하고, 상기 마스터 칩이 상기 제 1 더미 패드 및 상기 제 2 더미 패드에 본딩 와이어를 통하여 연결되고, 상기 둘 이상의 슬레이브 칩들은 상기 제 1 더미 패드 및 제 2 더미 패드 중의 어느 하나에만 연결될 수 있다. 또한, 상기 마스터 칩과 상기 둘 이상의 슬레이브 칩들은 1 채널로 연결될 수 있다.

[0007] 상기 반도체 패키지에 있어서, 상기 마스터 칩이 상기 기관의 직접 위에 적층되고, 상기 슬레이브 칩이 상기 마스터 칩의 상부에 적층되고, 상기 슬레이브 칩의 풋프린트보다 상기 마스터 칩의 풋프린트가 실질적으로 더 크고, 상기 마스터 칩과 상기 슬레이브 칩은 본딩 와이어로 직접 연결될 수 있다. 또한, 상기 반도체 패키지는

상기 마스터 칩 또는 상기 슬레이브 칩 내에 데이터 또는 신호 전달에 있어서의 지연을 보상할 수 있는 드라이버 회로를 포함할 수 있다.

[0008] 본 발명 개념의 다른 실시예는 기관 상에 적층된 마스터 칩 및 슬레이브 칩을 포함하는 반도체 패키지로써, 상기 마스터 칩과 슬레이브 칩이 외부 회로에 대하여 직렬로 연결되고, 상기 마스터 칩과 상기 슬레이브 칩이 상기 기관 상에 구비된 더미 패드를 통하여 연결된 반도체 패키지를 제공한다. 이 때, 상기 마스터 칩과 상기 슬레이브 칩의 풋프린트가 실질적으로 동일할 수 있다. 특히, 상기 반도체 패키지는 상기 마스터 칩과 상기 더미 패드를 연결하는 제 1 본딩 와이어; 및 상기 슬레이브 칩과 상기 더미 패드를 연결하는 제 2 본딩 와이어를 포함할 수 있다.

[0009] 또, 상기 반도체 패키지는 상기 기관 상에 마스터 칩이 둘 이상 적층되고, 상기 두 마스터 칩 각각에 대하여 직렬적으로 연결되는 슬레이브 칩들이 둘 이상 적층되는 것일 수 있다.

발명의 효과

[0010] 본 발명의 반도체 패키지를 이용하면 낮은 로딩 팩터를 갖는 우수한 성능의 반도체 패키지를 저렴하게 대량 생산할 수 있다.

도면의 간단한 설명

- [0011] 도 1a 및 도 1b는 본 발명 개념의 실시예들에 따른 반도체 패키지를 개념적으로 나타낸 블록도들이다.
- 도 2는 본 발명 개념의 일 실시예에 따른 반도체 패키지를 나타낸 측단면도이다.
- 도 3은 마스터 칩의 회로 구성을 개념적으로 나타낸 블록도이다.
- 도 4는 본 발명 개념의 일 실시예에 따른 반도체 패키지의 반도체 칩들 사이의 데이터 경로를 개략적으로 나타낸 회로도이다.
- 도 5는 본 발명 개념의 다른 실시예에 따른 반도체 패키지를 나타낸 측단면도이다.
- 도 6은 본 발명 개념의 다른 실시예에 따른 반도체 패키지를 나타낸 단면도이다.
- 도 7은 도 6의 반도체 패키지의 반도체 칩들 사이의 데이터 경로를 개략적으로 나타낸 회로도이다.
- 도 8 및 도 9는 본 발명 개념의 또 다른 실시예들에 따른 반도체 패키지들을 나타낸 단면도들이다.
- 도 10은 본 발명의 기술적 사상에 의한 반도체 패키지를 포함하는 메모리 모듈의 평면도이다.
- 도 11은 본 발명의 기술적 사상에 의한 반도체 패키지를 포함하는 메모리 카드의 개략도이다.
- 도 12는 본 발명의 기술적 사상에 따른 반도체 패키지를 포함하는 메모리 장치의 일 예를 도시한 블록도이다.
- 도 13은 본 발명의 기술적 사상에 따른 반도체 패키지를 포함하는 전자 시스템의 일 예를 도시한 블록도이다.

발명을 실시하기 위한 구체적인 내용

[0012] 이하, 첨부도면을 참조하여 본 발명 개념의 바람직한 실시예들을 상세히 설명하기로 한다. 그러나, 본 발명 개념의 실시예들은 여러 가지 다른 형태로 변형될 수 있으며, 본 발명 개념의 범위가 아래에서 상술하는 실시예들로 인해 한정되어지는 것으로 해석되어져서는 안 된다. 본 발명 개념의 실시예들은 당 업계에서 평균적인 지식을 가진 자에게 본 발명 개념을 보다 완전하게 설명하기 위해서 제공되어지는 것으로 해석되는 것이 바람직하다. 동일한 부호는 시종 동일한 요소를 의미한다. 나아가, 도면에서의 다양한 요소와 영역은 개략적으로 그려진 것이다. 따라서, 본 발명 개념은 첨부한 도면에 그려진 상대적인 크기나 간격에 의해 제한되어지지 않는다.

[0013] 제1, 제2 등의 용어는 다양한 구성 요소들을 설명하는 데 사용될 수 있지만, 상기 구성 요소들은 상기 용어들에 의해 한정되지 않는다. 상기 용어들은 하나의 구성 요소를 다른 구성 요소로부터 구별하는 목적으로만 사용된다. 예를 들어, 본 발명 개념의 권리 범위를 벗어나지 않으면서 제 1 구성 요소는 제 2 구성 요소로 명명될 수 있고, 반대로 제 2 구성 요소는 제 1 구성 요소로 명명될 수 있다.

[0014] 본 출원에서 사용한 용어는 단지 특정한 실시예들을 설명하기 위해 사용된 것으로서, 본 발명 개념을 한정하려는 의도가 아니다. 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다. 본 출원

에서, "포함한다" 또는 "갖는다" 등의 표현은 명세서에 기재된 특징, 개수, 단계, 동작, 구성 요소, 부분품 또는 이들을 조합한 것이 존재함을 지정하려는 것이지, 하나 또는 그 이상의 다른 특징들이나 개수, 동작, 구성 요소, 부분품 또는 이들을 조합한 것들의 존재 또는 부가 가능성을 미리 배제하지 않는 것으로 이해되어야 한다.

- [0015] 달리 정의되지 않는 한, 여기에 사용되는 모든 용어들은 기술 용어와 과학 용어를 포함하여 본 발명 개념이 속하는 기술 분야에서 통상의 지식을 가진 자가 공통적으로 이해하고 있는 바와 동일한 의미를 지닌다. 또한, 통상적으로 사용되는, 사전에 정의된 바와 같은 용어들은 관련되는 기술의 맥락에서 이들이 의미하는 바와 일관되는 의미를 갖는 것으로 해석되어야 하며, 여기에 명시적으로 정의하지 않는 한 과도하게 형식적인 의미로 해석되어서는 아니 될 것임은 이해될 것이다.
- [0016] 도 1a는 본 발명 개념의 일 실시예에 따른 반도체 패키지(100)를 개념적으로 나타낸 블록도이다. 도 1a를 참조하면, 기판(110) 상에 마스터 칩(120)이 연결되고, 상기 마스터 칩(120)에 슬레이브 칩(130a)이 연결될 수 있다. 여기서, '연결'이라고 함은 데이터 및/또는 신호가 전달될 수 있도록 전기적으로 연결되는 것을 의미한다.
- [0017] 상기 기판(110)은, 예를 들면, 인쇄 회로 기판(printed circuit board, PCB), 리드 프레임 등일 수 있다. 상기 기판(110)은 외부의 장치와 신호 및/또는 데이터를 교환하기 위하여 인터페이스하는 역할과 함께 상기 마스터 칩(120)과 슬레이브 칩(130a)을 지지하는 역할을 수행할 수 있다.
- [0018] 상기 마스터 칩(120)과 슬레이브 칩(130a)은 각각 반도체 장치일 수 있으며, 특히 메모리 장치일 수 있다. 도 1a에 도시한 바와 같이 상기 마스터 칩(120)과 슬레이브 칩(130a)은 상기 기판(110)에 대하여 직렬로 연결되어 있을 수 있다. 이들의 결합 관계가 이와 같이 직렬로 이루어짐으로써 커패시턴스(capacitance)와 관련된 상기 반도체 패키지(100)의 로딩 팩터(load factor)가 낮게 유지될 수 있다.
- [0019] 도 1b는 상기 도 1a에 나타낸 실시예의 변형 실시예에 따른 반도체 패키지(100')를 개념적으로 나타낸 블록도이다. 도 1b를 참조하면, 상기 반도체 패키지(100')가 둘 이상의 슬레이브 칩들(130a, 130b, 130c)을 포함하는 것을 알 수 있다.
- [0020] 상기 둘 이상의 슬레이브 칩들(130a, 130b, 130c)은 각각 상기 기판(110) 및 마스터 칩(120)에 대한 관계에서 직렬로 연결되어 있을 수 있다. 이와 같이 상기 기판(110), 마스터 칩(120), 및 각 슬레이브 칩들(130a, 130b, 130c)이 직렬로 연결됨으로써 전체 반도체 패키지(100')의 로딩 팩터가 낮게 유지될 수 있다.
- [0021] 도 1a 및 도 1b에서 각 반도체 패키지(100, 100')를 구성하는 기판(110), 마스터 칩(120), 및 슬레이브 칩(130, 130a, 130b, 130c)은 1 채널로 연결됨을 알 수 있다.
- [0022] 도 2는 본 발명 개념의 일 실시예에 따른 반도체 패키지(100)를 나타낸 사시도이다.
- [0023] 도 2를 참조하면, 기판(110) 위에 마스터 칩(120)이 배치되고, 상기 마스터 칩(120)의 상부에 슬레이브 칩(130)이 적층된다. 상기 마스터 칩(120)의 풋프린트(footprint)는 상기 슬레이브 칩(130)의 풋프린트보다 실질적으로 더 크다. 여기서 상기 마스터 칩(120)의 풋프린트가 상기 슬레이브 칩(130)의 풋프린트보다 실질적으로 더 크다는 것은, 상기 마스터 칩(120) 위에 상기 슬레이브 칩(130)을 적층하였을 때 상기 슬레이브 칩(130)의 주위에 상기 마스터 칩(120)의 본딩 패드들(121)이 형성되기에 충분한 면적을 확보할 수 있음을 의미한다.
- [0024] 상기 마스터 칩(120)은 상기 기판(110)의 본딩 패드(111)와 본딩 와이어(123)를 통하여 전기적으로 연결될 수 있다. 상기 기판(110)은 연결 단자(105)를 통하여 외부 장치(미도시)와 전기적으로 연결될 수 있다. 도 2에서는 상기 연결 단자(105)가 솔더볼인 경우를 도시하였지만 다른 종류의 연결 단자도 사용될 수 있다.
- [0025] 외부 장치로부터 상기 마스터 칩(120)에 데이터 및/또는 신호를 전달하고자 하는 경우, 상기 데이터 및/또는 신호는 상기 연결 단자(105)와 상기 기판(110) 내에 형성된 배선(미도시)을 통하여 상기 본딩 패드(111)로 전달된 후 상기 본딩 와이어(123)를 통하여 상기 마스터 칩(120)으로 전달될 수 있다. 상기 마스터 칩(120)으로부터 외부 장치로 데이터 및/또는 신호를 전달하고자 하는 경우는 그와 반대의 순서로 상기 데이터 및/또는 신호가 전달될 수 있다.
- [0026] 데이터 및/또는 신호를 상기 마스터 칩(120)으로부터 슬레이브 칩(130)으로 전달하고자 하는 경우, 본딩 와이어(132)를 통하여 상기 마스터 칩(120)의 본딩 패드(121)로부터 상기 슬레이브 칩(130)의 본딩 패드(131)로 전달될 수 있다. 반대로, 데이터 및/또는 신호를 상기 슬레이브 칩(130)으로부터 상기 마스터 칩(120)으로 전달하

고자 하는 경우, 그와 반대의 방향으로 상기 데이터 및/또는 신호가 전달될 수 있다.

- [0027] 또한, 상기 마스터 칩(120) 및 상기 슬레이브 칩(130)은 에폭시 몰딩 컴파운드(epoxy molding compound, EMC) 수지와 같은 봉지재(180)에 의하여 봉지될 수 있다.
- [0028] 도 2에 나타난 반도체 패키지(100)는 회로의 구성에 있어서 도 1a에 나타난 블록도와 동등하다.
- [0029] 상기 마스터 칩(120)은 상기 반도체 패키지(100) 외부와 인터페이스하기 위한 마스터 영역(미도시)을 포함할 수 있다. 또한 상기 마스터 칩(120)은 상기 마스터 영역과 인터페이스하여 칩 내의 메모리 소자의 읽기/쓰기 동작을 수행하기 위한 슬레이브 영역(미도시)을 더 포함할 수 있다. 상기 슬레이브 영역은 상기 마스터 영역과 전기적으로 연결됨에 따라 마스터 영역과 각종 제어 신호 및 데이터를 송수신할 수 있다.
- [0030] 상기 슬레이브 칩(130)은 상기 마스터 칩(120)에 구비되는 마스터 영역과 전기적으로 연결되며, 이를 위하여 상기 반도체 패키지(100) 내에는 상기 슬레이브 칩(130)과 상기 마스터 칩(120)을 서로 연결하는 도전 수단이 구비된다. 상기 슬레이브 칩(130)과 상기 마스터 칩(120)을 서로 연결하는 도전 수단은 본딩 와이어일 수 있다. 상기 본딩 와이어는 금(Au) 본딩 와이어일 수도 있고, 표면에 팔라듐(Pd)과 같은 이중금속층이 형성된 구리(Cu) 본딩 와이어일 수도 있다. 그러나, 본 발명 개념이 여기에 한정되는 것은 아니다.
- [0031] 상기 슬레이브 칩(130)과 상기 마스터 칩(120)이 쓰루 실리콘 비아(through silicon via, TSV) 또는 솔더볼을 통하여 연결되는 경우, 양산시 조립 시간(total assembly time, TST)이 길어져서 생산성이 떨어지는 문제점이 있을 수 있다. 반면, 본원 발명에서와 같이 상기 슬레이브 칩(130)과 상기 마스터 칩(120)이 본딩 와이어에 의하여 연결되면 로딩 팩터를 낮게 유지하면서도 반도체 패키지를 저렴하게 대량 생산할 수 있다.
- [0032] 다만, 본딩 와이어를 이용함으로써 발생하는 데이터 및/또는 신호 전달에 있어서의 지연을 보상하기 위한 드라이버 회로가 마스터 칩(120) 및/또는 슬레이브 칩(130) 내에 구비될 수 있다.
- [0033] 통상적으로 DRAM 칩 내의 메모리 코어는 복수의 메모리 뱅크(bank)들을 구비할 수 있다. 여기서, 메모리 뱅크는 동시에 액세스할 메모리를 활성화시키는 메모리 셀들의 집합으로 정의될 수 있으며, 통상적으로 뱅크 어드레스(bank address, BA)에 의하여 구분될 수 있다.
- [0034] 한편, 하나 이상의 DRAM 칩을 포함하는 메모리 모듈 상에서, 랭크(rank)는 동시에 동일한 커맨드, 뱅크 어드레스, 및 어드레스를 입력받는 DRAM 칩들의 집합으로 정의될 수 있다. 통상적으로 메모리 모듈로 제공되는 칩 선택(chip selection, CS) 신호를 이용하여 랭크가 구분될 수 있다. 메모리로부터 데이터를 효율적으로 액세스하기 위하여 위와 같은 뱅크 및 랭크 개념이 적절하게 이용될 수 있다.
- [0035] 상기 마스터 칩(120)은 복수의 메모리 뱅크들을 구비할 수 있으며, 각 메모리 뱅크들의 읽기/쓰기 동작을 제어하기 위한 각종 회로 블록들을 포함할 수 있다. 또한, 하나 이상의 뱅크들을 적절히 뱅크 그룹(bank group)으로 정의할 수 있는데, 이들 뱅크 그룹들 사이의 인터리빙 동작을 통하여 데이터 전송량이 증가될 수 있다.
- [0036] 도 3은 마스터 칩(120)의 구성을 개념적으로 나타난 블록도이다. 도 3을 참조하면, 마스터 칩(120)은 복수의 뱅크 그룹들(bank group 0, bank group 1)을 포함할 수 있다. 제 1 뱅크 그룹(bank group 0)은 메모리 뱅크들(51)의 동작을 제어하기 위하여 로우 어드레스 디코더(52), 칼럼 어드레스 디코더(53), 뱅크 컨트롤러(54) 및 입출력 드라이버(55)를 포함할 수 있다. 또한, 상기 마스터 칩(120)은 모드 레지스터 셋트(mode resistor set, MRS)(56_1) 및 커맨드 디코더(56_2)를 포함하는 제어 로직(56), 어드레스를 일시적으로 저장하는 어드레스 레지스터(57), 뱅크 그룹을 제어하기 위한 뱅크 그룹 제어부(58) 및 외부 메모리 컨트롤러(미도시)와의 입출력을 제어하기 위한 데이터 입력부(59_1) 및 데이터 출력부(59_2)를 포함할 수 있다. 또한, 앞서 도 2에 관한 설명에서 언급되었던, 데이터 또는 신호 전달에 있어서의 지연을 보상할 수 있는 드라이버 회로(60)를 더 포함할 수 있다.
- [0037] 도시되지 않았지만, 상기 마스터 칩(120)은 제 2 뱅크 그룹(bank group 1) 및 기타 다른 뱅크 그룹으로 정의되는 메모리 뱅크들을 제어하기 위한 회로블록들을 더 포함할 수 있다.
- [0038] 도 3에 도시된 바와 같이, 제 1 뱅크 그룹(bank group 0)으로 정의된 복수의 메모리 뱅크들(51)은 로우 어드레스 디코더(52) 및 칼럼 어드레스 디코더(53)의 디코딩 결과와 뱅크 컨트롤러(54)의 제어 하에서, 입출력 드라이버(55)로부터 쓰기 데이터를 입력받거나, 입출력 드라이버(55)로 리드 데이터를 출력할 수 있다. 상기 제어 로직(56)은 모드 레지스터 셋트(56_1)의 설정에 기초하여 외부로부터 수신되는 커맨드(CMD)를 입력받아 디코딩 동작을 수행할 수 있다. 상기 어드레스 레지스터(57)는 수신된 어드레스(ADDR)를 일시 저장하며, 뱅크 그룹 제어에 관련된 어드레스를 뱅크 그룹 제어부(58)로 제공하고, 로우 및 칼럼 어드레스를 각각 로우 어드레스 디코더

(52) 및 칼럼 어드레스 디코더(53)로 제공한다. 수신된 상기 커맨드(CMD), 어드레스(ADDR) 및 데이터 입력부(59_1)를 통해 수신된 쓰기 데이터를 이용하여 복수의 메모리 뱅크들(51) 중 어느 하나의 뱅크에 데이터를 기록할 수 있다. 또는, 수신된 상기 커맨드(CMD) 및 어드레스(ADDR)에 응답하여 상기 복수의 메모리 뱅크들(51) 중 어느 하나의 뱅크로부터 리드된 데이터를 데이터 출력부(59_2)를 통하여 외부로 출력할 수 있다.

[0039] 도 4는 본 발명 개념의 일 실시예에 따른 반도체 패키지(100)의 반도체 칩들 사이의 데이터 경로를 개략적으로 나타낸 회로도이다. 도 4에 도시된 바와 같이 상기 반도체 패키지(100)는 마스터 칩(120)과 슬레이브 칩(130)을 포함할 수 있다. 상기 마스터 칩(120)은 마스터 영역(611a)을 포함하고 외부의 장치와 인터페이스하여 그 내부의 슬레이브 영역(611b) 및/또는 그에 적층된 다른 칩들의 슬레이브 영역(652a)으로 본딩 와이어를 통하여 커맨드/어드레스 및 데이터 등을 송수신할 수 있다. 상기 슬레이브 칩(130)은 그 내부에 메모리 뱅크를 포함하며 상기 메모리 뱅크와 마스터 영역 사이의 인터페이스를 위한 슬레이브 영역(652a)을 포함할 수 있다.

[0040] 본 발명 개념의 일 실시예에 따르면, 상기 반도체 패키지(100)에 포함되는 복수의 반도체 칩들 내부에는 마스터 칩(120)에 의하여 제어되는 복수의 메모리 뱅크들이 존재할 수 있으며, 상기 마스터 칩(120)의 내부에 구비되는 메모리 뱅크들은 제 1 랭크(rank 0)로 정의될 수 있고, 상기 슬레이브 칩(130)의 내부에 구비되는 메모리 뱅크들은 제 2 랭크(rank 1)로 정의될 수 있다. 추가적인 반도체 칩(들)이 상기 반도체 패키지(100) 내에 포함되는 경우, 추가되는 반도체 칩들에 구비되는 메모리 뱅크들에 대해서는 제 3 랭크(rank 2), 제 4 랭크(rank 3) 등으로 정의할 수 있다.

[0041] 이와 같이 반도체 패키지(100) 내에 복수의 랭크들이 정의되는 경우, 마스터 영역(611a)의 데이터 버스는 외부의 장치와 단방향 데이터 버스 또는 양방향 데이터 버스를 사용할 수 있다.

[0042] 도 5는 본 발명 개념의 다른 실시예에 따른 반도체 패키지(100)를 나타낸 측단면도이다.

[0043] 도 5를 참조하면, 상기 반도체 패키지(100)는 기판(110) 상에 적층된 마스터 칩(120) 및 슬레이브 칩(130)을 포함한다. 상기 마스터 칩(120) 및 상기 슬레이브 칩(130)은 접착층(103)을 통하여 서로 결합될 수 있다. 또한, 상기 마스터 칩(120)도 접착층(미도시)을 통하여 상기 기판(110)에 결합될 수 있다. 상기 마스터 칩(120)을 전기적으로 더미 패드(111)에 연결시키는 제 1 본딩 와이어(121)는 상기 접착층(103)을 관통하여 외부로 인출된 후 상기 더미 패드(111)에 연결될 수 있다.

[0044] 상기 마스터 칩(120)과 상기 슬레이브 칩(130)은 실질적으로 동일한 풋프린트(footprint)를 가질 수 있다. 여기서 상기 마스터 칩(120)과 상기 슬레이브 칩(130)의 풋프린트가 실질적으로 동일하다는 것은 상기 마스터 칩(120) 위에 상기 슬레이브 칩(130)을 적층하였을 때 상기 슬레이브 칩(130)의 주위에 상기 마스터 칩(120)의 본딩 패드들(121)이 노출 형성되기에 충분한 면적을 확보하기 어려움을 의미한다. 따라서, 여기서는 상기 마스터 칩(120)이 슬레이브 칩(130)보다 다소간 더 큰 풋프린트를 갖는다고 하더라도 본딩 패드(121)를 노출 형성하기 어렵다면 실질적으로 동일한 풋프린트를 갖는 것으로 간주한다.

[0045] 상기 마스터 칩(120)은 상기 기판(110)의 본딩 패드(113)와 본딩 와이어(123)를 통하여 전기적으로 연결될 수 있다. 상기 기판(110)은 연결 단자(105)를 통하여 외부의 메모리 컨트롤러와 같은 외부 장치(미도시)와 전기적으로 연결될 수 있다. 도 5에서는 상기 연결 단자(105)가 솔더볼인 경우를 도시하였지만 다른 종류의 연결 단자도 사용될 수 있다.

[0046] 외부 장치로부터 상기 마스터 칩(120)에 데이터 및/또는 신호를 전달하고자 하는 경우, 상기 데이터 및/또는 신호는 상기 연결 단자(105)와 상기 기판(110) 내에 형성된 배선(미도시)을 통하여 상기 본딩 패드(113)로 전달된 후 상기 본딩 와이어(123)를 통하여 상기 마스터 칩(120)으로 전달될 수 있다. 상기 마스터 칩(120)으로부터 외부 장치로 데이터 및/또는 신호를 전달하고자 하는 경우는 그와 반대의 순서로 상기 데이터 및/또는 신호가 전달될 수 있다.

[0047] 데이터 및/또는 신호를 상기 마스터 칩(120)으로부터 슬레이브 칩(130)으로 전달하고자 하는 경우, 상기 데이터 및/또는 신호는 우선 제 1 본딩 와이어(122)를 통하여 상기 기판(110) 위에 배치된 제 1 더미 패드(111)로 전달된 후, 상기 제 1 더미 패드(111)에 연결되어 있는 제 2 본딩 와이어(132)를 통하여 상기 슬레이브 칩(130) 상의 본딩 패드(131)로 전달될 수 있다. 상기 슬레이브 칩(130)으로부터 상기 마스터 칩(120)으로 데이터 및/또는 신호를 전달하고자 하는 경우는 그와 반대의 순서로 상기 데이터 및/또는 신호가 전달될 수 있다.

[0048] 이상에서 설명한 바와 같이 상기 마스터 칩(120)과 상기 슬레이브 칩(130)은 상기 제 1 더미 패드(111)를 통하여 데이터 및/또는 신호를 주고받을 수 있다.

- [0049] 상기 제 1 더미 패드(111)는 상기 기관(110) 내에 형성된 다른 배선 및/또는 연결 단자(105)와 전기적으로 연결되지 않는다. 또한, 상기 제 1 더미 패드(111)는 상기 기관(110) 위에 형성되고 상기 기관(110) 내에 형성된 다른 배선 및/또는 연결 단자(105)와 전기적으로 연결되는 본딩 패드(113)와는 기능적으로 구별된다. 상기 제 1 더미 패드(111)는 상기 기관(110) 내에 형성된 다른 배선 및/또는 연결 단자(105)와 전기적으로 연결되지 않기 때문에 오직 상기 마스터 칩(120)과 상기 슬레이브 칩(130) 사이의 본딩 와이어를 통한 전기적인 연결을 매개하는 역할을 수행한다.
- [0050] 도 5에 나타난 반도체 패키지(100)는 회로적으로 상기 기관(110), 마스터 칩(120), 및 슬레이브 칩(130)이 직렬적으로 연결되기 때문에 블록도로 나타내면 도 1a에 나타난 것과 같은 1 채널 구조를 갖게 된다.
- [0051] 상기 마스터 칩(120) 및 상기 슬레이브 칩(130)은 EMC와 같은 봉지재(180)에 의하여 봉지될 수 있다.
- [0052] 도 6은 본 발명 개념의 다른 실시예에 따른 반도체 패키지(200)를 나타낸 단면도이다. 도 7은 도 6의 반도체 패키지(200)의 회로 구성을 나타낸 회로도이다.
- [0053] 도 6 및 도 7을 참조하면, 기관(210) 위에 마스터 칩(220)이 적층되고, 상기 마스터 칩(220)의 위에 제 1 슬레이브 칩(230a), 제 2 슬레이브 칩(230b), 및 제 3 슬레이브 칩(230c)이 순차 적층될 수 있다.
- [0054] 상기 마스터 칩(220)은 상기 기관(210)의 본딩 패드(213a)와 본딩 와이어(223)를 통하여 전기적으로 연결될 수 있다. 상기 기관(210)은 연결 단자(205)를 통하여 외부의 메모리 컨트롤러와 같은 외부 장치(미도시)와 전기적으로 연결될 수 있다. 도 6에서는 상기 연결 단자(205)가 솔더볼인 경우를 도시하였지만 다른 종류의 연결 단자도 사용될 수 있다.
- [0055] 외부 장치로부터 상기 마스터 칩(220)에 데이터 및/또는 신호를 전달하고자 하는 경우, 상기 데이터 및/또는 신호는 상기 연결 단자(205)와 상기 기관(210) 내에 형성된 배선(미도시)을 통하여 상기 본딩 패드(213)로 전달된 후 상기 본딩 와이어(223)를 통하여 상기 마스터 칩(220)으로 전달될 수 있다. 상기 마스터 칩(220)으로부터 외부 장치로 데이터 및/또는 신호를 전달하고자 하는 경우는 그와 반대의 순서로 상기 데이터 및/또는 신호가 전달될 수 있다.
- [0056] 데이터 및/또는 신호를 상기 마스터 칩(220)으로부터 제 1 슬레이브 칩(230a)으로 전달하고자 하는 경우, 상기 데이터 및/또는 신호는 우선 제 1 본딩 와이어(222)를 통하여 상기 기관(210) 위에 배치된 제 1 더미 패드(211)로 전달된 후, 상기 제 1 더미 패드(211)에 연결되어 있는 제 2 본딩 와이어(232a)를 통하여 상기 제 1 슬레이브 칩(230a) 상의 본딩 패드(231a)로 전달될 수 있다. 상기 제 1 슬레이브 칩(230a)으로부터 상기 마스터 칩(220)으로 데이터 및/또는 신호를 전달하고자 하는 경우는 그와 반대의 순서로 상기 데이터 및/또는 신호가 전달될 수 있다.
- [0057] 데이터 및/또는 신호를 상기 마스터 칩(220)으로부터 제 2 슬레이브 칩(230b)으로 전달하고자 하는 경우, 도 7에 나타난 바와 같이 상기 데이터 및/또는 신호는 상기 제 1 슬레이브 칩(230a)을 거치지 않고 제 2 슬레이브 칩(230b)으로 전달된다. 이 경우 상기 데이터 및/또는 신호는 제 3 본딩 와이어(232b)를 통하여 직접 상기 제 2 슬레이브 칩(230b)으로 전달된다. 이와 같이 데이터 및/또는 신호를 상기 제 2 슬레이브 칩(230b)으로 직접 전달하기 위하여 칩 선택(chip selection, CS) 신호로 제 2 슬레이브 칩(230b)을 온(on)하여 활성화할 수 있다.
- [0058] 데이터 및/또는 신호를 상기 마스터 칩(220)으로부터 제 3 슬레이브 칩(230c)으로 전달하고자 하는 경우도, 동일한 방식으로 제 1 더미 패드(211) 및 제 4 본딩 와이어(232c)를 통하여 상기 제 3 슬레이브 칩(230c)으로 직접 전달될 수 있다.
- [0059] 이와 같이 회로를 구성함으로써, 도 7의 회로 구성은 도 1b에 나타난 회로 구성과 동등한 직렬 1 채널 구조를 갖게 된다.
- [0060] 도 8은 본 발명 개념의 다른 실시예에 따른 반도체 패키지(200a)를 나타낸 단면도이다.
- [0061] 도 8을 참조하면, 기관(210) 위에 마스터 칩(220)이 적층되지만, 기관(210) 위에 마스터 칩(220)이 직접 적층되지 않고 제 1 슬레이브 칩(230a), 및 제 2 슬레이브 칩(230b)이 우선 적층될 수 있다. 그리고 제 3 슬레이브 칩(230c)은 상기 마스터 칩(220)의 위에 적층될 수 있다.
- [0062] 상기 마스터 칩(220), 제 1 슬레이브 칩(230a), 및 제 2 슬레이브 칩(230b)은 상기 기관(210) 위에 배치된 제 1 더미 패드(211a)에 각각 연결될 수 있다. 보다 구체적으로, 상기 마스터 칩(220)은 제 1 본딩 와이어(222a)를

통하여, 상기 제 1 슬레이브 칩(230a)은 제 2 본딩 와이어(232a)를 통하여, 그리고 제 2 슬레이브 칩(230b)은 제 3 본딩 와이어(232b)를 통하여 각각 상기 제 1 더미 패드(211a)에 연결될 수 있다. 상기 마스터 칩(220), 제 1 슬레이브 칩(230a), 및 제 2 슬레이브 칩(230b) 상에는 상기 제 1 더미 패드(211a)와 연결될 수 있도록 본딩 패드들(221a, 231a, 231b)이 구비될 수 있다.

[0063] 상기 기판(210), 마스터 칩(220), 제 1 슬레이브 칩(230a) 및 제 2 슬레이브 칩(230b)의 연결 관계에 따른 데이터 및/또는 신호의 전달에 대해서는 앞서 도 6을 참조하여 설명한 바와 동일하므로 여기서는 상세한 설명을 생략한다. 다만, 기판(210)을 통하여 외부로부터 데이터 및/또는 신호를 수신하는 본딩 와이어는 도시가 생략되었다.

[0064] 한편, 상기 마스터 칩(220)과 제 3 슬레이브 칩(230c)은 각각 제 4 본딩 와이어(222b) 및 제 5 본딩 와이어(232c)를 통하여 상기 기판(210) 위에 배치된 제 2 더미 패드(211b)에 연결될 수 있다.

[0065] 데이터 및/또는 신호를 상기 마스터 칩(220)으로부터 제 3 슬레이브 칩(230c)으로 전달하고자 하는 경우, 상기 마스터 칩(220)에 구비된 다른 본딩 패드(221b)를 통하여 제 2 더미 패드(211b)로 데이터 및/또는 신호가 전달된 후 제 5 본딩 와이어(232c)를 통하여 제 3 슬레이브 칩(230c)으로 전달될 수 있다.

[0066] 도 9는 본 발명 개념의 또 다른 실시예에 따른 반도체 패키지(300)를 나타낸 단면도이다.

[0067] 도 9를 참조하면, 기판(310) 위에 제 1 마스터 칩(320a), 제 1 슬레이브 칩(330a), 및 제 2 슬레이브 칩(330b)이 순차 적층될 수 있다. 도 8에서와 유사하게, 상기 제 1 마스터 칩(320a), 제 1 슬레이브 칩(330a), 및 제 2 슬레이브 칩(330b)은 상기 기판(310) 상에 마련된 제 1 더미 패드(311a)에 각각 제 1 본딩 와이어(322a), 제 2 본딩 와이어(332a), 및 제 3 본딩 와이어(332b)를 통하여 전기적으로 연결될 수 있다. 상기 제 1 마스터 칩(320a)은 본딩 패드(313a) 및 본딩 와이어(323a)를 통하여 외부로부터 전달받은 데이터 및/또는 신호를 제 1 본딩 와이어(322a), 제 1 더미 패드(311a), 제 2 본딩 와이어(332a), 및/또는 제 3 본딩 와이어(332b)를 통하여 상기 제 1 슬레이브 칩(330a), 및 제 2 슬레이브 칩(330b)으로 전달할 수 있다.

[0068] 또한, 상기 제 1 마스터 칩(320a), 제 1 슬레이브 칩(330a), 및 제 2 슬레이브 칩(330b)의 상부에 제 2 마스터 칩(320b), 제 3 슬레이브 칩(330c), 및 제 4 슬레이브 칩(330d)이 순차 적층될 수 있다. 제 2 마스터 칩(320b), 제 3 슬레이브 칩(330c), 및 제 4 슬레이브 칩(330d)은 상기 기판(310) 상에 마련된 제 2 더미 패드(311b)에 각각 제 4 본딩 와이어(322b), 제 5 본딩 와이어(332c), 및 제 6 본딩 와이어(332d)를 통하여 전기적으로 연결될 수 있다. 상기 제 2 마스터 칩(320b)은 본딩 패드(313b) 및 본딩 와이어(323b)를 통하여 외부로부터 전달받은 데이터 및/또는 신호를 제 4 본딩 와이어(322b), 제 2 더미 패드(311b), 제 5 본딩 와이어(332c), 및/또는 제 6 본딩 와이어(332d)를 통하여 상기 제 3 슬레이브 칩(330c), 및 제 4 슬레이브 칩(330d)으로 전달할 수 있다.

[0069] 여기서, 상기 제 1 마스터 칩(320a), 제 1 슬레이브 칩(330a), 및 제 2 슬레이브 칩(330b)은 제 1 반도체 칩 그룹을 이룰 수 있고, 상기 제 2 마스터 칩(320b), 제 3 슬레이브 칩(330c), 및 제 4 슬레이브 칩(330d)은 제 2 반도체 칩 그룹을 이룰 수 있다.

[0070] 상기 제 1 반도체 칩 그룹과 상기 제 2 반도체 칩 그룹은 이들을 구성하는 반도체 칩들이 각각 본딩 와이어를 통하여 직렬로 연결되므로 낮은 로딩 팩터를 가지면서도 저렴하게 대량 생산 가능하다. 또한, 하나의 기판(310) 상에 두 개의 반도체 칩 그룹을 실장함으로써 대용량화에 유리하다.

[0071] 도 10은 본 발명의 기술적 사상에 의한 반도체 패키지를 포함하는 메모리 모듈(1000)의 평면도이다.

[0072] 구체적으로, 메모리 모듈(1000)은 인쇄회로 기판(1100) 및 복수의 반도체 패키지(1200)를 포함할 수 있다.

[0073] 복수의 반도체 패키지(1200)는 본 발명의 기술적 사상에 의한 실시예들에 따른 반도체 패키지가거나 이를 포함할 수 있다. 특히, 복수의 반도체 패키지(1200)는 앞에서 설명한 본 발명의 기술적 사상에 의한 실시예에 따른 반도체 패키지들 중에서 선택되는 적어도 하나의 반도체 패키지를 포함할 수 있다.

[0074] 본 발명의 기술적 사상에 따른 메모리 모듈(1000)은 인쇄회로 기판의 한쪽 면에만 복수의 반도체 패키지(1200)를 탑재한 SIMM (single in-lined memory module), 또는 복수의 반도체 패키지(1200)가 양면에 배열된 DIMM (dual in-lined memory module)일 수 있다. 또한, 본 발명의 기술적 사상에 따른 메모리 모듈(1000)은 외부로부터의 신호들을 복수의 반도체 패키지(1200)에 각각 제공하는 AMB (advanced memory buffer)를 갖는 FBDIMM (fully buffered DIMM)일 수 있다.

- [0075] 도 11은 본 발명의 기술적 사상에 의한 반도체 패키지를 포함하는 메모리 카드(2000)의 개략도이다.
- [0076] 구체적으로, 메모리 카드(2000)는 제어기(2100)와 메모리(2200)가 전기적인 신호를 교환하도록 배치될 수 있다. 예를 들면, 제어기(2100)에서 명령을 내리면, 메모리(2200)는 데이터를 전송할 수 있다.
- [0077] 메모리(2200)는 본 발명의 기술적 사상에 의한 실시예들에 따른 반도체 메모리 소자를 포함할 수 있다. 특히, 메모리(2200)는 앞에서 설명한 본 발명의 기술적 사상에 의한 실시예들에 따른 반도체 메모리 소자들 중에서 선택되는 적어도 하나의 반도체 소자의 구조를 포함할 수 있다.
- [0078] 메모리 카드(2000)는 다양한 종류의 카드, 예를 들어 메모리 스틱 카드(memory stick card), 스마트 미디어 카드(smart media card: SM), 씨큐어 디지털 카드(secure digital card: SD), 미니-씨큐어 디지털 카드(mini-secure digital card: 미니 SD), 및 멀티미디어 카드(multimedia card: MMC) 등과 같은 다양한 메모리 카드를 구성할 수 있다.
- [0079] 도 12는 본 발명의 기술적 사상에 따른 반도체 패키지를 포함하는 메모리 장치의 일 예를 도시한 블록도이다.
- [0080] 도 12를 참조하면, 본 발명의 일 실시예에 따른 메모리 장치(3200)는 메모리 모듈(3210)을 포함한다. 상기 메모리 모듈(3210)은 상술된 실시예들에 개시된 반도체 패키지들 중에서 적어도 하나를 포함할 수 있다. 또한, 상기 메모리 모듈(3210)은 다른 형태의 반도체 기억 소자(ex, 비휘발성 기억 장치 및/또는 에스램 장치등)를 더 포함할 수 있다. 상기 메모리 장치(3200)는 호스트(Host)와 상기 메모리 모듈(3210) 간의 데이터 교환을 제어하는 메모리 컨트롤러(3220)를 포함할 수 있다.
- [0081] 상기 메모리 컨트롤러(3220)는 메모리 카드의 전반적인 동작을 제어하는 프로세싱 유닛(3222)을 포함할 수 있다. 또한, 상기 메모리 컨트롤러(3220)는 상기 프로세싱 유닛(3222)의 동작 메모리로서 사용되는 에스램(3221, SRAM)을 포함할 수 있다. 이에 더하여, 상기 메모리 컨트롤러(3220)는 호스트 인터페이스(3223), 메모리 인터페이스(3225)를 더 포함할 수 있다. 상기 호스트 인터페이스(3223)는 메모리 장치(3200)와 호스트(Host) 간의 데이터 교환 프로토콜을 구비할 수 있다. 상기 메모리 인터페이스(3225)는 상기 메모리 컨트롤러(3220)와 상기 기억 장치(3210)를 접속시킬 수 있다. 더 나아가서, 상기 메모리 컨트롤러(3220)는 에러 정정 블록(3224, ECC)를 더 포함할 수 있다. 상기 에러 정정 블록(3224)은 상기 메모리 모듈(3210)로부터 독출된 데이터의 에러를 검출 및 정정할 수 있다. 도시하지 않았지만, 상기 메모리 장치(3200)는 호스트(Host)와의 인터페이싱을 위한 코드 데이터를 저장하는 롬 장치(ROM device)를 더 포함할 수도 있다. 상기 메모리 장치(3200)는 컴퓨터 시스템의 하드디스크를 대체할 수 있는 고상 디스크(SSD, Solid State Disk)로도 구현될 수 있다.
- [0082] 도 13은 본 발명의 기술적 사상에 따른 반도체 패키지를 포함하는 전자 시스템의 일 예를 도시한 블록도이다.
- [0083] 도 13을 참조하면, 본 발명의 일 실시예에 따른 전자 시스템(4100)은 컨트롤러(4110), 입출력 장치(4120, I/O), 메모리 장치(4130, memory device), 인터페이스(4140) 및 버스(4150, bus)를 포함할 수 있다. 상기 컨트롤러(4110), 입출력 장치(4120), 메모리 장치(4130) 및/또는 인터페이스(4140)는 상기 버스(4150)를 통하여 서로 결합될 수 있다. 상기 버스(4150)는 데이터들이 이동되는 통로(path)에 해당한다.
- [0084] 상기 컨트롤러(4110)는 마이크로프로세서, 디지털 신호 프로세스, 마이크로 컨트롤러, 및 이들과 유사한 기능을 수행할 수 있는 논리 소자들 중에서 적어도 하나를 포함할 수 있다. 상기 입출력 장치(4120)는 키패드(keypad), 키보드 및 디스플레이 장치 등을 포함할 수 있다. 상기 메모리 장치(4130)는 데이터 및/또는 커맨드 등을 저장할 수 있다. 상기 메모리 장치(4130)는 상술된 실시예들에 개시된 반도체 패키지들 중에서 적어도 하나를 포함할 수 있다. 또한, 상기 메모리 장치(4130)는 다른 형태의 반도체 메모리 소자(ex, 비휘발성 메모리 장치 및/또는 에스램 장치등)를 더 포함할 수 있다. 상기 인터페이스(4140)는 통신 네트워크로 데이터를 전송하거나 통신 네트워크로부터 데이터를 수신하는 기능을 수행할 수 있다. 상기 인터페이스(4140)는 유선 또는 무선 형태일 수 있다. 예컨대, 상기 인터페이스(4140)는 안테나 또는 유무선 트랜시버 등을 포함할 수 있다. 도시하지 않았지만, 상기 전자 시스템(4100)은 상기 컨트롤러(4110)의 동작을 향상시키기 위한 동작 메모리 소자로서, 고속의 디램 소자 및/또는 에스램 소자 등을 더 포함할 수도 있다.
- [0085] 상기 전자 시스템(4100)은 개인 휴대용 정보 단말기(PDA, personal digital assistant) 포터블 컴퓨터(portable computer), 웹 타블렛(web tablet), 무선 전화기(wireless phone), 모바일 폰(mobile phone), 디지털 뮤직 플레이어(digital music player), 메모리 카드(memory card), 또는 정보를 무선환경에서 송신 및/또는 수신할 수 있는 모든 전자 제품에 적용될 수 있다.
- [0086] 이상에서 살펴본 바와 같이 본 발명의 바람직한 실시예에 대해 상세히 기술되었지만, 본 발명이 속하는 기술분

야에 있어서 통상의 지식을 가진 사람이라면, 첨부된 청구 범위에 정의된 본 발명의 정신 및 범위를 벗어나지 않으면서 본 발명을 여러 가지로 변형하여 실시할 수 있을 것이다. 따라서 본 발명의 앞으로의 실시예들의 변경은 본 발명의 기술을 벗어날 수 없을 것이다.

산업상 이용가능성

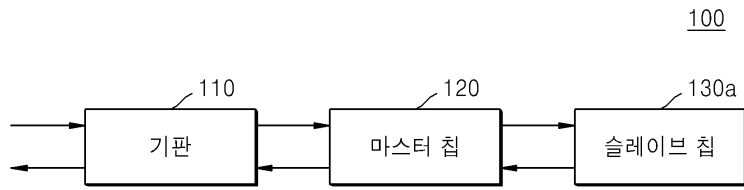
[0087] 본 발명 개념은 반도체 산업에 유용하게 응용될 수 있다.

부호의 설명

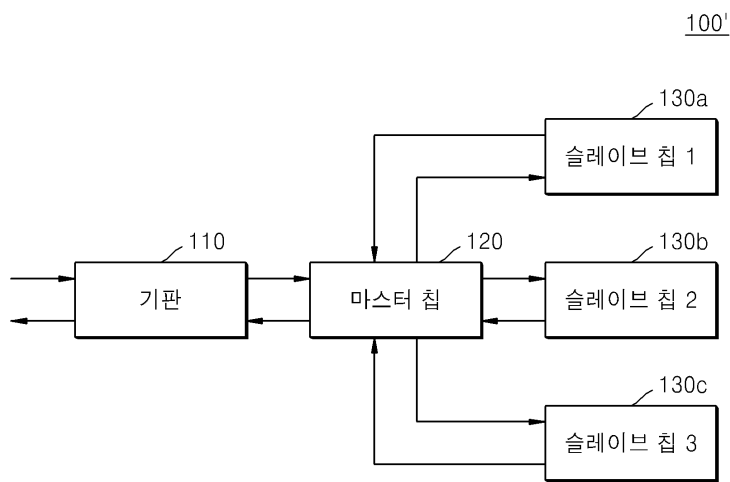
[0088] 51: 메모리 뱅크 52: 로우 어드레스 디코더
 53: 칼럼 어드레스 디코더 54: 뱅크 컨트롤러
 55: 입출력 드라이버 56: 제어 로직
 56_1: 모드 레지스터 셋트 56_2: 커맨드 디코더
 57: 어드레스 레지스터 58: 뱅크 그룹 제어부
 59_1: 데이터 입력부 59_2: 데이터 출력부
 100, 200, 200a, 300: 반도체 패키지 103, 203, 303: 접착층
 105, 205, 305: 연결 단자 110, 210, 310: 기판
 111, 211, 311a, 311b: 더미 패드
 113, 121, 131, 213, 221, 231a, 231b, 231b', 231c, 311a, 311b, 313a, 313b, 321a, 321b, 331a, 331b, 331c, 331d: 본딩 패드
 120, 220, 320a, 320b: 마스터 칩
 122, 123, 132, 222, 223, 232a, 232b, 232b', 232c, 322a, 322b, 323a, 323b, 332a, 332b, 332c, 332d, : 본딩 와이어
 130, 130a, 130b, 130c, 230a, 230b, 230c, 330a, 330b, 330c, 330d: 슬레이브 칩
 180: 봉지재 611a: 마스터 영역
 611b, 652a: 슬레이브 영역
 1000: 메모리 모듈 1100: 인쇄회로 기판
 1200: 반도체 패키지 2000: 메모리 카드
 2100: 제어기 2200: 메모리
 3200: 메모리 장치 3210: 메모리 모듈
 3220: 메모리 컨트롤러 3221: SRAM
 3222: 프로세싱 유닛 3223: 호스트 인터페이스
 3224: 에러 정정 블록 3225: 메모리 인터페이스
 4100: 전자 시스템 4110: 컨트롤러
 4120: 입출력 장치 4130, 4130a: 메모리 장치
 4140: 인터페이스 4150: 버스

도면

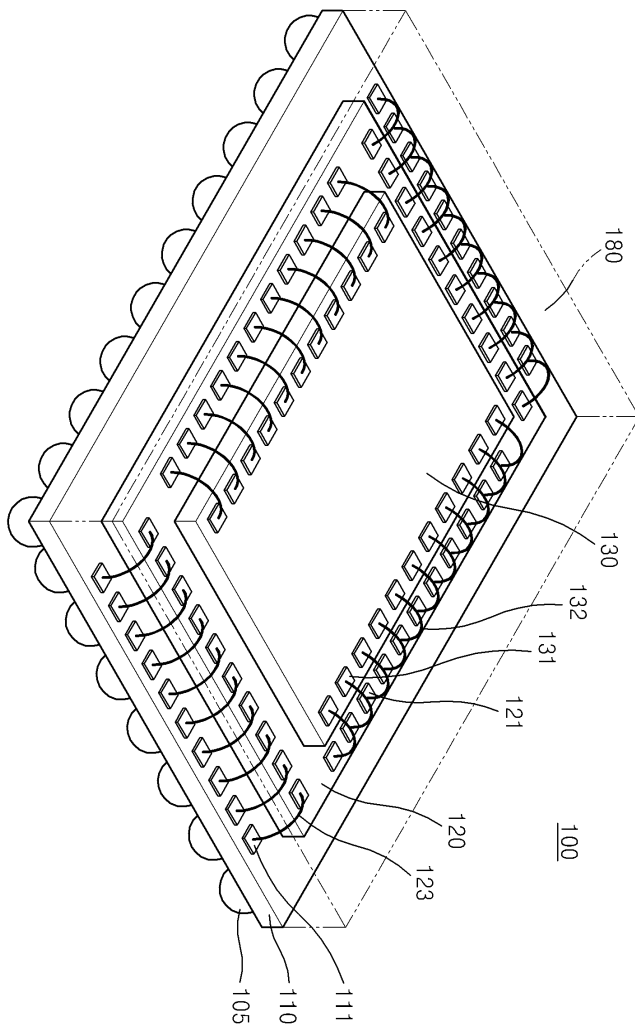
도면1a



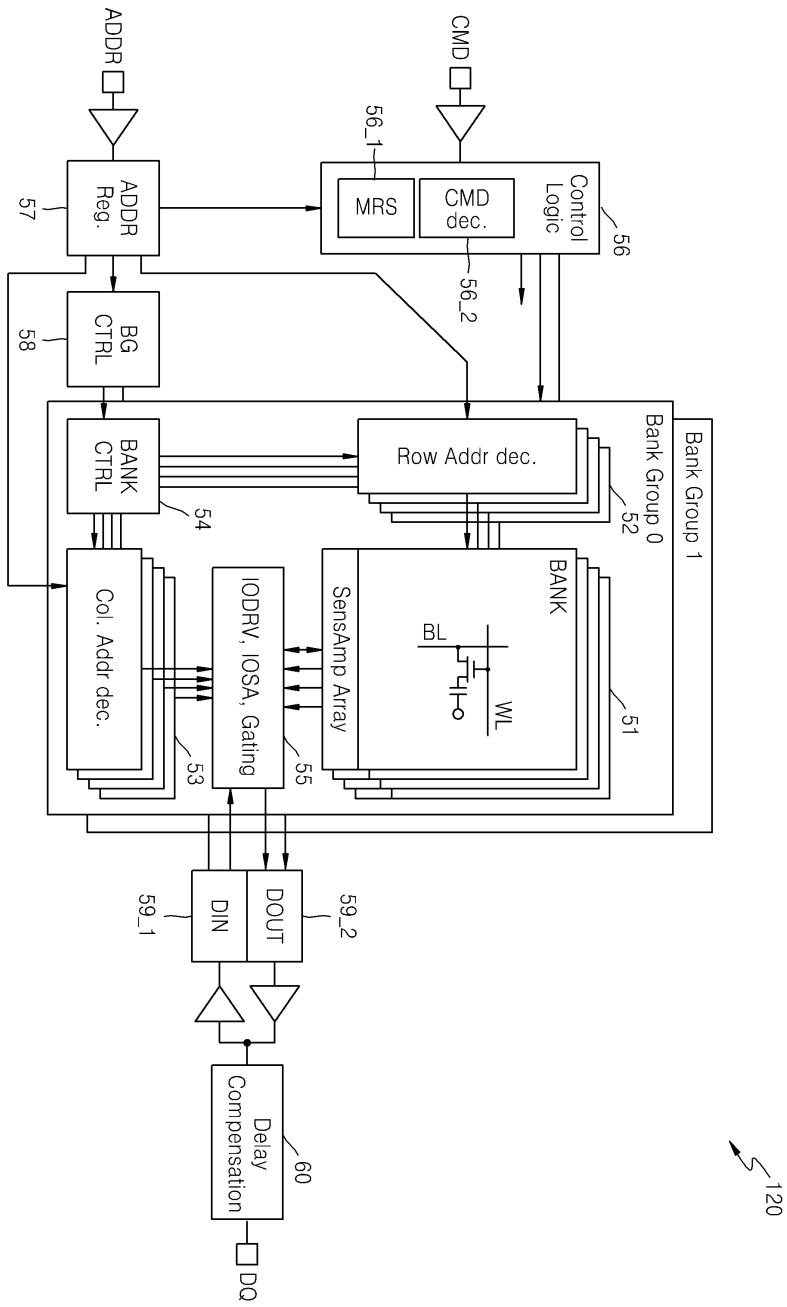
도면1b



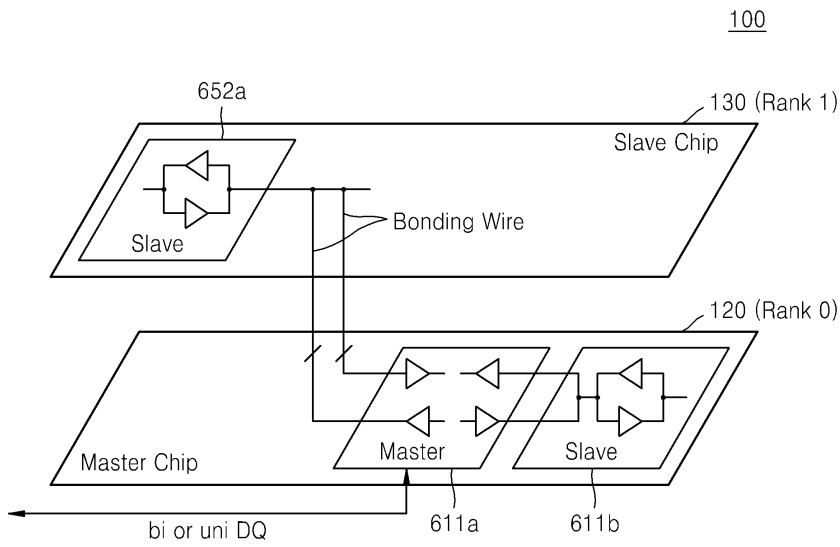
도면2



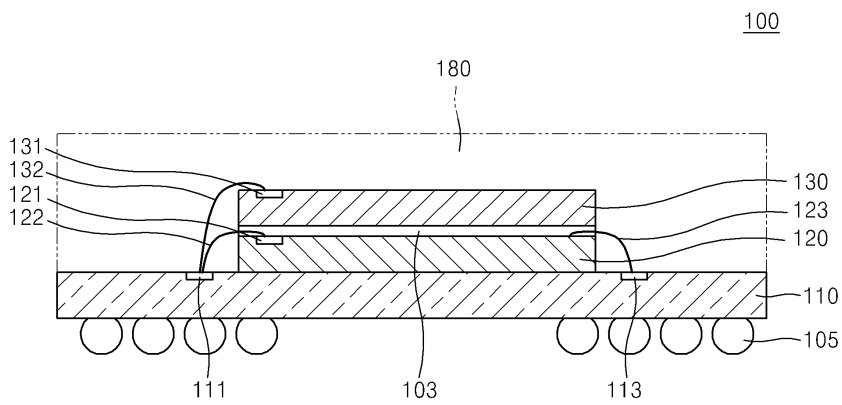
도면3



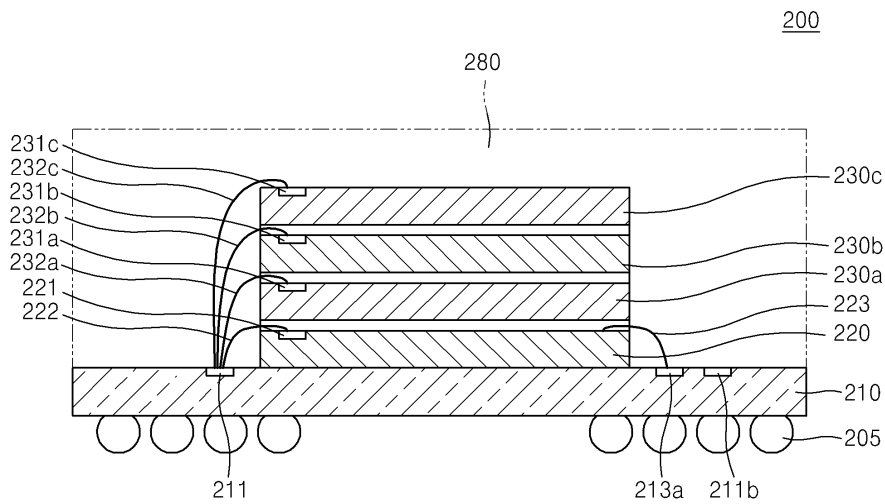
도면4



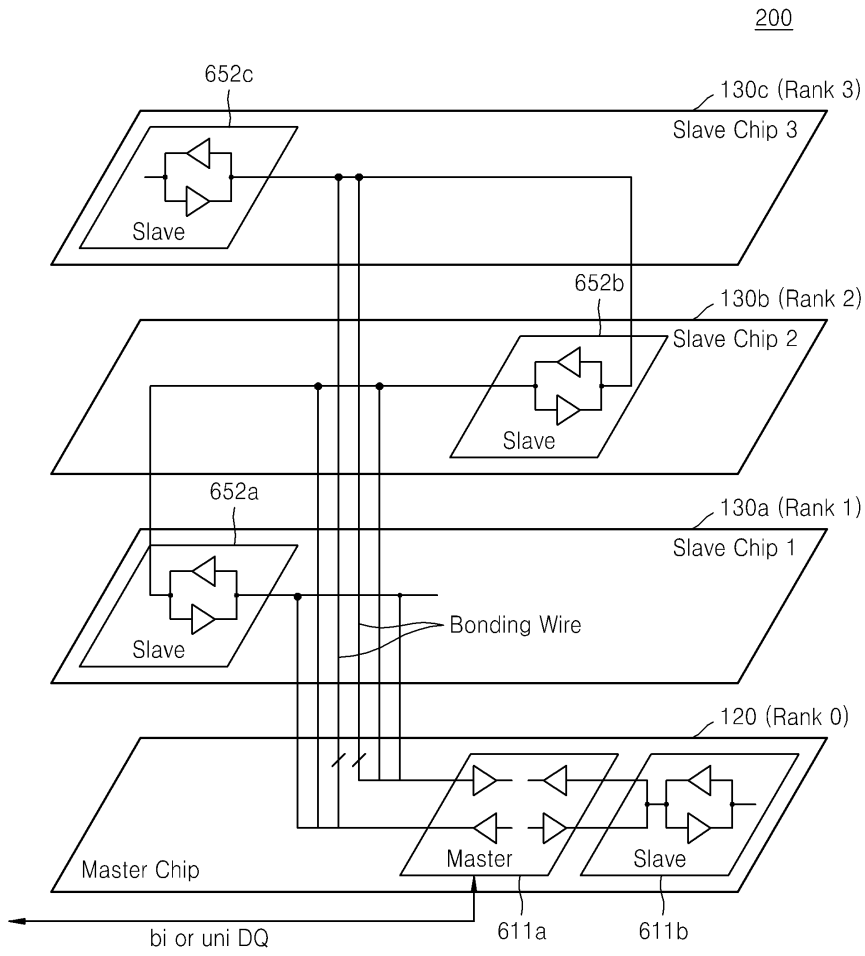
도면5



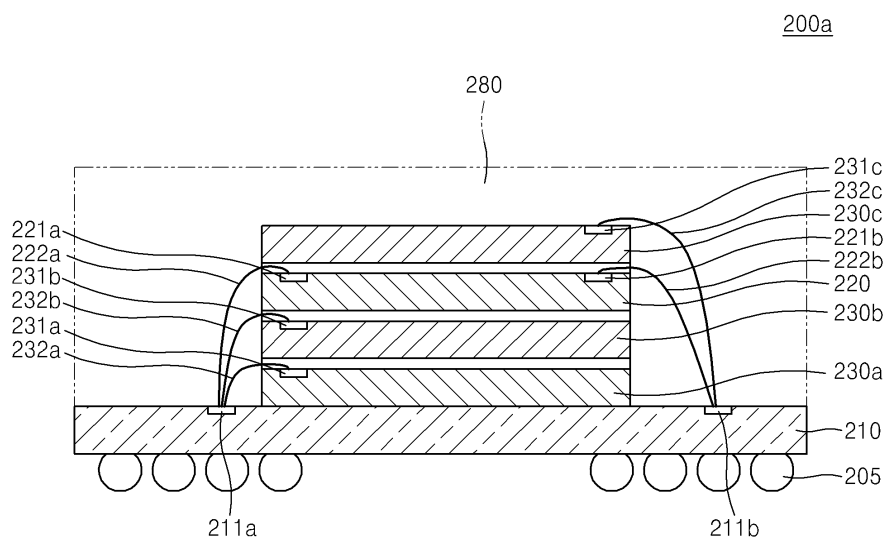
도면6



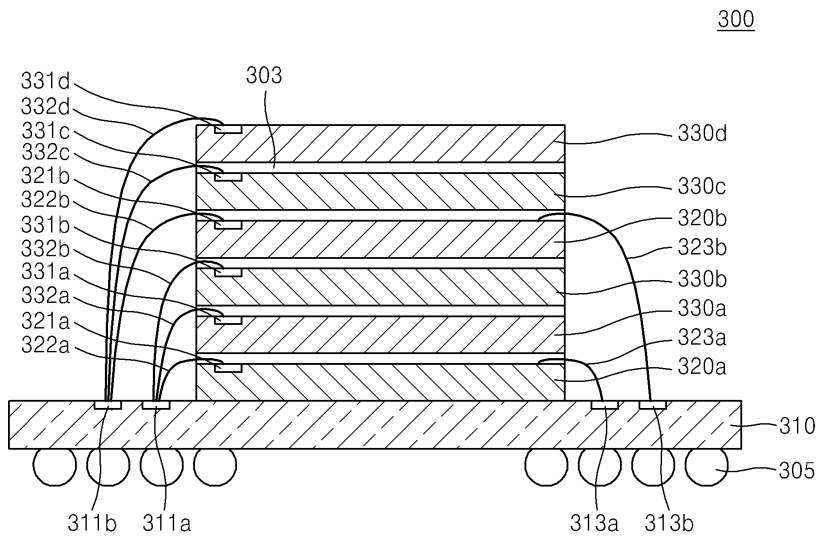
도면7



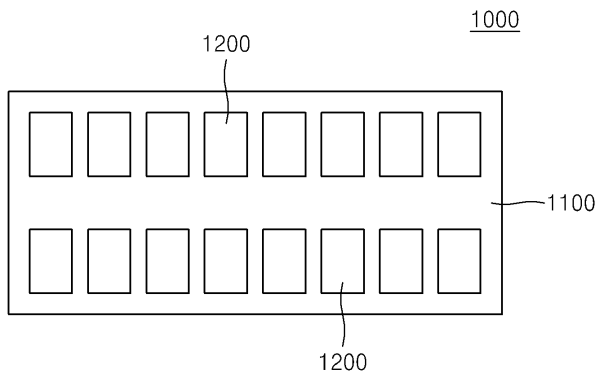
도면8



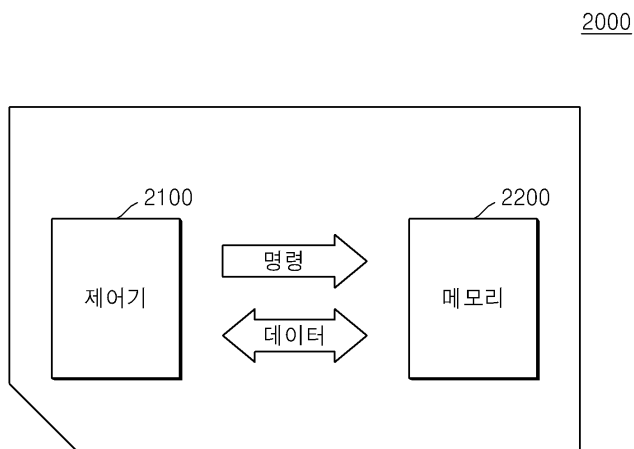
도면9



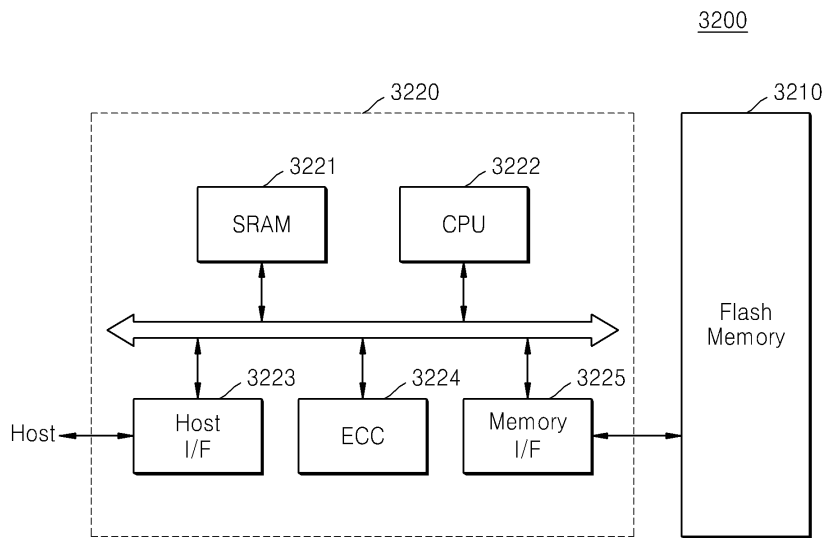
도면10



도면11



도면12



도면13

