



(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(45) 공고일자 2024년04월11일  
(11) 등록번호 10-2656430  
(24) 등록일자 2024년04월05일

(51) 국제특허분류(Int. Cl.)  
G09G 3/20 (2006.01) G09G 3/3225 (2016.01)  
G09G 3/36 (2006.01)  
(52) CPC특허분류  
G09G 3/20 (2013.01)  
G09G 3/3225 (2013.01)  
(21) 출원번호 10-2016-0166844  
(22) 출원일자 2016년12월08일  
심사청구일자 2021년11월15일  
(65) 공개번호 10-2018-0066375  
(43) 공개일자 2018년06월19일  
(56) 선행기술조사문헌  
KR1020160073928 A  
KR1020150126286 A  
KR1020120091880 A

(73) 특허권자  
엘지디스플레이 주식회사  
서울특별시 영등포구 여의대로 128(여의도동)  
(72) 발명자  
장민규  
인천광역시 부평구 안남로 272 (청천동, 금호아파트) 304동 1103호  
다카수기신지  
경기도 파주시 월롱면 엘씨디로8번길 47-9, 2동 203호  
최재이  
경상남도 창원시 마산회원구 내서읍 중리상곡로 134, 205동 902호 (동신2차아파트)  
(74) 대리인  
특허법인(유한) 대아

전체 청구항 수 : 총 12 항

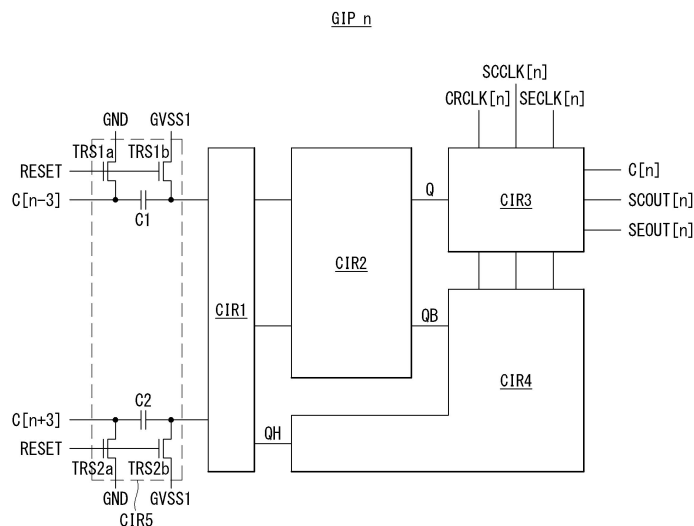
심사관 : 송원규

(54) 발명의 명칭 시프트 레지스터 및 이를 이용한 표시장치

(57) 요약

본 발명은 표시패널 및 시프트 레지스터를 포함하는 표시장치를 제공한다. 표시패널은 영상을 표시한다. 시프트 레지스터는 표시패널에 게이트신호를 공급한다. 시프트 레지스터는 외부로부터 공급된 신호 및 전압을 공급받는 일측 입력단자와 타측 입력단자를 가지며 신호 및 전압에 대응하여 Q노드를 충전전하는 제1회로부와, Q노드의 전위에 대응하여 QB노드를 충전전하는 제2회로부와, 외부로부터 적어도 하나의 클럭신호를 입력받고 Q노드의 전위에 대응하여 적어도 하나의 클럭신호를 자신의 출력으로 내보내는 제3회로부와, Q노드를 QB노드의 전위보다 낮은 전위로 유지할 때에 제1회로부를 구성하는 N형 박막 트랜지스터의 게이트 소스 간에 0보다 낮은 전압을 인가하는 보상회로부를 포함한다.

대표도 - 도5



(52) CPC특허분류

**G09G 3/3659** (2013.01)

G09G 2230/00 (2013.01)

G09G 2310/0262 (2013.01)

G09G 2310/0286 (2013.01)

---

## 명세서

### 청구범위

#### 청구항 1

영상을 표시하는 표시패널; 및

상기 표시패널에 게이트신호를 공급하는 시프트 레지스터를 포함하고,

상기 시프트 레지스터는

외부로부터 공급된 신호 및 전압을 공급받는 일측 입력단자와 타측 입력단자를 가지며 상기 신호 및 상기 전압에 대응하여 Q노드를 충전하는 제1회로부와,

상기 Q노드의 전위에 대응하여 QB노드를 충전하는 제2회로부와,

외부로부터 적어도 하나의 클럭신호를 입력받고 상기 Q노드의 전위에 대응하여 상기 적어도 하나의 클럭신호를 자신의 출력으로 내보내는 제3회로부와,

상기 Q노드를 상기 QB노드의 전위보다 낮은 전위로 유지할 때에 상기 Q 노드를 충전하는 상기 제1회로부의 적어도 하나의 트랜지스터의 게이트 전극에 0보다 낮은 보상전압을 인가하는 보상회로부를 포함하는 표시장치.

#### 청구항 2

제1항에 있어서,

상기 보상회로부는

상기 보상전압을 마련하기 위해 외부로부터 인가된 두 개의 다른 레벨의 전압을 양단에 입력받는 보상 커패시터를 포함하는 표시장치.

#### 청구항 3

제1항에 있어서,

상기 보상회로부는

제1보상 커패시터의 일단에 그라운드전압을 전달하는 제1a보상 트랜지스터와, 상기 제1보상 커패시터의 타단에 제1저전위전압을 전달하는 제1b보상 트랜지스터를 포함하는 일측 보상부와,

제2보상 커패시터의 일단에 그라운드전압을 전달하는 제2a보상 트랜지스터와, 상기 제2보상 커패시터의 타단에 제1저전위전압을 전달하는 제2b보상 트랜지스터를 포함하는 타측 보상부를 포함하고,

상기 제1저전위전압은 상기 그라운드전압보다 더 낮은 제1음의전압인 표시장치.

#### 청구항 4

제1항에 있어서,

상기 보상 회로부는

리셋신호라인에 게이트전극이 연결되고 그라운드전압라인에 제1전극이 연결되고 제N-k(k는 1 이상 정수)스테이지 회로부의 제1출력단자에 제2전극이 연결된 제1a보상 트랜지스터와,

상기 리셋신호라인에 게이트전극이 연결되고 제1저전위전압라인에 제1전극이 연결되고 제N스테이지 회로부의 제1회로부의 일측 입력단자에 제2전극이 연결된 제1b보상 트랜지스터와,

제N-k(k는 1 이상 정수)스테이지 회로부의 제1출력단자에 일단이 연결되고 상기 제N스테이지 회로부의 제1회로부의 일측 입력단자에 타단이 연결된 제1보상 커패시터와,

상기 리셋신호라인에 게이트전극이 연결되고 상기 그라운드전압라인에 제1전극이 연결되고 제N+k(k는 1 이상 정

수)스태이지 회로부의 제1출력단자에 제2전극이 연결된 제2a보상 트랜지스터와,  
 상기 리셋신호라인에 게이트전극이 연결되고 상기 제1저전위전압라인에 제1전극이 연결되고 상기 제N스태이지 회로부의 제1회로부의 타측 입력단자에 제2전극이 연결된 제2b보상 트랜지스터와,  
 상기 제N+k(k는 1 이상 정수)스태이지 회로부의 제1출력단자에 일단이 연결되고 상기 제N스태이지 회로부의 제1 회로부의 타측 입력단자에 타단이 연결된 제2보상 커패시터를 포함하는 표시장치.

**청구항 5**

제4항에 있어서,  
 상기 제1회로부는  
 상기 제1b보상 트랜지스터의 제2전극 및 상기 제1보상 커패시터의 타단에 게이트전극이 연결되고 순방향 고전위 전압라인에 제1전극이 연결된 제1a트랜지스터와,  
 상기 제1a트랜지스터의 게이트전극에 게이트전극이 연결되고 상기 제1a트랜지스터의 제2전극에 제1전극이 연결 된 제1b트랜지스터와,  
 상기 제2b보상 트랜지스터의 제1전극 및 상기 제2보상 커패시터의 타단에 게이트전극이 연결되고 상기 제1b트랜 지스터의 제2전극에 제1전극이 연결된 제2a트랜지스터와,  
 상기 제2a트랜지스터의 게이트전극에 게이트전극이 연결되고 상기 제2a트랜지스터의 제2전극에 제1전극이 연결 되고 역방향 고전위전압라인에 제2전극이 연결된 제2b트랜지스터를 포함하는 표시장치.

**청구항 6**

제5항에 있어서,  
 상기 제2회로부는  
 상기 Q노드에 게이트전극이 연결되고 고전위전압라인에 제1전극이 연결되고 상기 제1회로부의 상기 제1a트랜지 스텐터의 제2전극 및 상기 제1b트랜지스터의 제1전극에 제2전극이 연결된 제3트랜지스터와,  
 상기 고전위전압라인에 제1전극이 연결되고 상기 QB노드에 제2전극이 연결된 제4트랜지스터와,  
 상기 고전위전압라인에 게이트전극과 제1전극이 연결되고 상기 제4트랜지스터의 게이트전극에 제2전극이 연결된 제5트랜지스터와,  
 상기 Q노드에 게이트전극이 연결되고 상기 제5트랜지스터의 제2전극에 제1전극이 연결되고 제2저전위전압라인에 제2전극이 연결된 제6트랜지스터와,  
 상기 Q노드에 게이트전극이 연결되고 상기 QB노드에 제1전극이 연결되고 상기 제2저전위전압라인에 제2전극이 연결된 제7트랜지스터와,  
 제N-k(k는 1 이상 정수)스태이지 회로부의 제1출력단자에 게이트전극이 연결되고 상기 QB노드에 제1전극이 연결 되고 상기 제2저전위전압라인에 제2전극이 연결된 제8트랜지스터를 포함하는 표시장치.

**청구항 7**

제6항에 있어서,  
 상기 제3회로부는  
 상기 Q노드에 게이트전극이 연결되고 제1클록신호라인에 제1전극이 연결되고 제N스태이지 회로부의 제1출력단자 에 제2전극이 연결된 제9트랜지스터와,  
 상기 Q노드에 일단이 연결되고 상기 제N스태이지 회로부의 제1출력단자에 타단이 연결된 제1부트 커패시터와,  
 상기 Q노드에 게이트전극이 연결되고 제2클록신호라인에 제1전극이 연결되고 상기 제N스태이지 회로부의 제2출 력단자에 제2전극이 연결된 제10트랜지스터와,  
 상기 Q노드에 일단이 연결되고 상기 제N스태이지 회로부의 제2출력단자에 타단이 연결된 제2부트 커패시터와,

상기 Q노드에 게이트전극이 연결되고 제3클록신호라인에 제1전극이 연결되고 상기 제N스테이지 회로부의 제3출력단자에 제2전극이 연결된 제11트랜지스터와,

상기 Q노드에 일단이 연결되고 상기 제N스테이지 회로부의 제3출력단자에 타단이 연결된 제3부트 커패시터를 포함하는 표시장치.

**청구항 8**

제7항에 있어서,

상기 시프트 레지스터는 제4회로부를 더 포함하고,

상기 제4회로부는

상기 QB노드에 게이트 전극이 연결되고 상기 Q노드에 제1전극이 연결된 제12a트랜지스터와,

상기 QB노드에 게이트 전극이 연결되고 상기 제12a트랜지스터의 제2전극에 제1전극이 연결되고 상기 제2저전위 전압라인에 제2전극이 연결된 제12b트랜지스터와,

상기 QB노드에 게이트전극이 연결되고 상기 제N스테이지 회로부의 제1출력단자에 제1전극이 연결되고 상기 제2저전위전압라인에 제2전극이 연결된 제13트랜지스터와,

상기 QB노드에 게이트전극이 연결되고 상기 제N스테이지 회로부의 제2출력단자에 제1전극이 연결되고 상기 제1저전위전압라인에 제2전극이 연결된 제14트랜지스터와,

상기 QB노드에 게이트전극이 연결되고 상기 제N스테이지 회로부의 제3출력단자에 제1전극이 연결되고 상기 제1저전위전압라인에 제2전극이 연결된 제15트랜지스터를 포함하는 표시장치.

**청구항 9**

외부로부터 공급된 신호 및 전압을 공급받는 일측 입력단자와 타측 입력단자를 가지며 상기 신호 및 상기 전압에 대응하여 Q노드를 충방전하는 제1회로부;

상기 Q노드의 전위에 대응하여 QB노드를 충방전하는 제2회로부;

외부로부터 적어도 하나의 클록신호를 입력받고 상기 Q노드의 전위에 대응하여 상기 적어도 하나의 클록신호를 자신의 출력으로 내보내는 제3회로부; 및

상기 Q노드를 충방전하는 상기 제1회로부의 적어도 하나의 트랜지스터의 문턱전압보다 낮은 보상전압을 상기 적어도 하나의 트랜지스터의 게이트전극에 인가하는 보상회로부를 포함하는 시프트 레지스터.

**청구항 10**

제9항에 있어서,

상기 보상회로부는

상기 보상전압을 마련하기 위해 외부로부터 인가된 두 개의 다른 레벨의 전압을 양단에 입력받는 보상 커패시터를 포함하는 시프트 레지스터.

**청구항 11**

제9항에 있어서,

상기 보상회로부는

제1보상 커패시터의 일단에 그라운드전압을 전달하는 제1a보상 트랜지스터와, 상기 제1보상 커패시터의 타단에 제1저전위전압을 전달하는 제1b보상 트랜지스터를 포함하는 일측 보상부와,

제2보상 커패시터의 일단에 그라운드전압을 전달하는 제2a보상 트랜지스터와, 상기 제2보상 커패시터의 타단에 제1저전위전압을 전달하는 제2b보상 트랜지스터를 포함하는 타측 보상부를 포함하고,

상기 제1저전위전압은 상기 그라운드전압보다 더 낮은 제1음의전압인 시프트 레지스터.

**청구항 12**

제9항에 있어서,

상기 보상 회로부는

리셋신호라인에 게이트전극이 연결되고 그라운드전압라인에 제1전극이 연결되고 제N-k(k는 1 이상 정수)스테이지 회로부의 제1출력단자에 제2전극이 연결된 제1a보상 트랜지스터와,

상기 리셋신호라인에 게이트전극이 연결되고 제1저전위전압라인에 제1전극이 연결되고 제N스테이지 회로부의 제1회로부의 일측 입력단자에 제2전극이 연결된 제1b보상 트랜지스터와,

제N-k(k는 1 이상 정수)스테이지 회로부의 제1출력단자에 일단이 연결되고 상기 제N스테이지 회로부의 제1회로부의 일측 입력단자에 타단이 연결된 제1보상 커패시터와,

상기 리셋신호라인에 게이트전극이 연결되고 상기 그라운드전압라인에 제1전극이 연결되고 제N+k(k는 1 이상 정수)스테이지 회로부의 제1출력단자에 제2전극이 연결된 제2a보상 트랜지스터와,

상기 리셋신호라인에 게이트전극이 연결되고 상기 제1저전위전압라인에 제1전극이 연결되고 상기 제N스테이지 회로부의 제1회로부의 타측 입력단자에 제2전극이 연결된 제2b보상 트랜지스터와,

상기 제N+k(k는 1 이상 정수)스테이지 회로부의 제1출력단자에 일단이 연결되고 상기 제N스테이지 회로부의 제1회로부의 타측 입력단자에 타단이 연결된 제2보상 커패시터를 포함하는 시프트 레지스터.

**발명의 설명**

**기술 분야**

[0001] 본 발명은 시프트 레지스터 및 이를 이용한 표시장치에 관한 것이다.

**배경 기술**

[0002] 정보화 기술이 발달함에 따라 사용자와 정보간의 연결 매체인 표시장치의 시장이 커지고 있다. 이에 따라, 전계 발광표시장치(Light Emitting Display: LED), 액정표시장치(Liquid Crystal Display: LCD) 및 플라즈마표시장치(Plasma Display Panel: PDP) 등과 같은 표시장치의 사용이 증가하고 있다.

[0003] 앞서 설명한 표시장치 중 일부 예컨대, 액정표시장치나 전계발광표시장치에는 매트릭스 형태로 배치된 복수의 서브 픽셀을 포함하는 표시패널과 표시패널을 구동하는 구동부가 포함된다. 구동부에는 표시패널에 게이트신호(또는 스캔신호)를 공급하는 게이트 구동부 및 표시패널에 데이터신호를 공급하는 데이터 구동부 등이 포함된다.

[0004] 위와 같은 표시장치는 매트릭스 형태로 배치된 서브 픽셀들에 게이트신호 및 데이터신호 등이 공급되면, 선택된 서브 픽셀이 발광을 하게 됨으로써 영상을 표시할 수 있게 된다.

[0005] 게이트신호를 출력하는 게이트 구동부는 집적회로 형태로 표시패널의 외부기판에 실장되는 외장형과 박막 트랜지스터 공정과 함께 이루어지는 게이트인패널(Gate In Panel; GIP) 형태로 표시패널에 형성되는 내장형으로 구분된다.

[0006] 내장형 게이트 구동부는 종속적으로 연결된 시프트 레지스터를 기반으로 게이트신호를 순차적으로 출력한다. 시프트 레지스터는 다수의 박막 트랜지스터로 이루어지므로 게이트전극에 지속적으로 인가된 전압의 영향을 받게 된다. 예컨대, 음의전압을 지속적으로 받을 경우, 문턱전압이 네거티브(-) 방향으로 이동하게 된다.

[0007] 종래 구조에서는 Q 노드를 충전전하는 N형 박막 트랜지스터를 턴오프할 때 게이트 노드에 로직로우 전압을 인가하는데 Q 노드 전위가 로직로우일 경우 게이트 소스 전압(Vgs)이 반드시 0이 된다. 박막 트랜지스터의 문턱전압이 네거티브라면 완전히 턴오프할 수 없다. 이 때문에, 박막 트랜지스터의 문턱전압 이동에 따른 누설전류의 발생 문제를 보완 또는 보상하지 않으면 Q노드의 충전전압이 정상적으로 이루어지지 않는다. 그리고 이 영향으로 말미암아, 시프트 레지스터는 게이트신호를 정상적으로 출력할 수 없는 오류를 야기할 수 있다. 결국, 이와 같은 문제는 표시장치가 정상적인 구동을 할 수 없도록 저해하는 요인이될 수 있는바 이의 개선이 요구된다.

**발명의 내용**

**해결하려는 과제**

[0008] 상술한 배경기술의 문제점을 해결하기 위한 본 발명은 Q노드의 충방전이 정상적으로 이루어지도록 하여 안정적인 구동 조건하에 단방향 또는 양방향으로 게이트신호를 출력하는 것이다. 또한, 본 발명은 박막 트랜지스터의 문턱전압이 이동하더라도 안정적인 구동 조건을 설정 및 유지하여 표시장치의 구동 신뢰성을 향상하는 것이다.

**과제의 해결 수단**

[0009] 상술한 과제 해결 수단으로 본 발명은 표시패널 및 시프트 레지스터를 포함하는 표시장치를 제공한다. 표시패널은 영상을 표시한다. 시프트 레지스터는 표시패널에 게이트신호를 공급한다. 시프트 레지스터는 외부로부터 공급된 신호 및 전압을 공급받는 일측 입력단자와 타측 입력단자를 가지며 신호 및 전압에 대응하여 Q노드를 충방전하는 제1회로부와, Q노드의 전위에 대응하여 QB노드를 충방전하는 제2회로부와, 외부로부터 적어도 하나의 클럭신호를 입력받고 Q노드의 전위에 대응하여 적어도 하나의 클럭신호를 자신의 출력으로 내보내는 제3회로부와, Q노드를 QB노드의 전위보다 낮은 전위로 유지할 때에 제1회로부를 구성하는 N형 박막 트랜지스터의 게이트 소스간에 0보다 낮은 전압을 인가하는 보상회로부를 포함한다.

[0010] 보상회로부는 보상전압을 마련하기 위해 외부로부터 인가된 두 개의 다른 레벨의 전압을 양단에 입력받는 보상 커패시터를 포함할 수 있다.

[0011] 보상회로부는 제1보상 커패시터의 일단에 그라운드전압을 전달하는 제1a보상 트랜지스터와, 제1보상 커패시터의 타단에 제1저전위전압을 전달하는 제1b보상 트랜지스터를 포함하는 일측 보상부와, 제2보상 커패시터의 일단에 그라운드전압을 전달하는 제2a보상 트랜지스터와, 제2보상 커패시터의 타단에 제1저전위전압을 전달하는 제2b보상 트랜지스터를 포함하는 타측 보상부를 포함하고, 제1저전위전압은 그라운드전압보다 더 낮은 제1음의전압일 수 있다.

[0012] 보상 회로부는 리셋신호라인에 게이트전극이 연결되고 그라운드전압라인에 제1전극이 연결되고 제N-k(k는 1 이상 정수)스테이지 회로부의 제1출력단자에 제2전극이 연결된 제1a보상 트랜지스터와, 리셋신호라인에 게이트전극이 연결되고 제1저전위전압라인에 제1전극이 연결되고 제N스테이지 회로부의 제1회로부의 일측 입력단자에 제2전극이 연결된 제1b보상 트랜지스터와, 제N-k(k는 1 이상 정수)스테이지 회로부의 제1출력단자에 일단이 연결되고 제N스테이지 회로부의 제1회로부의 일측 입력단자에 타단이 연결된 제1보상 커패시터와, 리셋신호라인에 게이트전극이 연결되고 그라운드전압라인에 제1전극이 연결되고 제N+k(k는 1 이상 정수)스테이지 회로부의 제1출력단자에 제2전극이 연결된 제2a보상 트랜지스터와, 리셋신호라인에 게이트전극이 연결되고 제1저전위전압라인에 제1전극이 연결되고 제N스테이지 회로부의 제1회로부의 타측 입력단자에 제2전극이 연결된 제2b보상 트랜지스터와, 제N+k(k는 1 이상 정수)스테이지 회로부의 제1출력단자에 일단이 연결되고 제N스테이지 회로부의 제1회로부의 타측 입력단자에 타단이 연결된 제2보상 커패시터를 포함할 수 있다.

[0013] 제1회로부는 제5회로부의 일측 보상부에 포함된 제1b보상 트랜지스터의 제2전극 및 제1보상 커패시터의 타단에 게이트전극이 연결되고 순방향 고전위전압라인에 제1전극이 연결된 제1a트랜지스터와, 제1a트랜지스터의 게이트전극에 게이트전극이 연결되고 제1a트랜지스터의 제2전극에 제1전극이 연결된 제1b트랜지스터와, 제5회로부의 타측 보상부에 포함된 제2b보상 트랜지스터의 제1전극 및 제2보상 커패시터의 타단에 게이트전극이 연결되고 제1b트랜지스터의 제2전극에 제1전극이 연결된 제2a트랜지스터와, 제2a트랜지스터의 게이트전극에 게이트전극이 연결되고 제2a트랜지스터의 제2전극에 제1전극이 연결되고 역방향 고전위전압라인에 제2전극이 연결된 제2b트랜지스터를 포함할 수 있다.

[0014] 제2회로부는 Q노드에 게이트전극이 연결되고 고전위전압라인에 제1전극이 연결되고 제1회로부의 제1a트랜지스터의 제2전극 및 제1b트랜지스터의 제1전극에 제2전극이 연결된 제3트랜지스터와, 고전위전압라인에 제1전극이 연결되고 QB노드에 제2전극이 연결된 제4트랜지스터와, 고전위전압라인에 게이트전극과 제1전극이 연결되고 제4트랜지스터의 게이트전극에 제2전극이 연결된 제5트랜지스터와, Q노드에 게이트전극이 연결되고 제5트랜지스터의 제2전극에 제1전극이 연결되고 제2저전위전압라인에 제2전극이 연결된 제6트랜지스터와, Q노드에 게이트전극이 연결되고 QB노드에 제1전극이 연결되고 제2저전위전압라인에 제2전극이 연결된 제7트랜지스터와, 제N-k(k는 1 이상 정수)스테이지 회로부의 제1출력단자에 게이트전극이 연결되고 QB노드에 제1전극이 연결되고 제2저전위전압라인에 제2전극이 연결된 제8트랜지스터를 포함할 수 있다.

- [0015] 제3회로부는 Q노드에 게이트전극이 연결되고 제1클록신호라인에 제1전극이 연결되고 제N스테이지 회로부의 제1출력단자에 제2전극이 연결된 제9트랜지스터와, Q노드에 일단이 연결되고 제N스테이지 회로부의 제1출력단자에 타단이 연결된 제1부트 커패시터와, Q노드에 게이트전극이 연결되고 제2클록신호라인에 제1전극이 연결되고 제N스테이지 회로부의 제2출력단자에 제2전극이 연결된 제10트랜지스터와, Q노드에 일단이 연결되고 제N스테이지 회로부의 제2출력단자에 타단이 연결된 제2부트 커패시터와, Q노드에 게이트전극이 연결되고 제3클록신호라인에 제1전극이 연결되고 제N스테이지 회로부의 제3출력단자에 제2전극이 연결된 제11트랜지스터와, Q노드에 일단이 연결되고 제N스테이지 회로부의 제3출력단자에 타단이 연결된 제3부트 커패시터를 포함할 수 있다.
- [0016] 제4회로부는 QB노드에 게이트 전극이 연결되고 Q노드에 제1전극이 연결된 제12a트랜지스터와, QB노드에 게이트 전극이 연결되고 제12a트랜지스터의 제2전극에 제1전극이 연결되고 제2저전위전압라인에 제2전극이 연결된 제12b트랜지스터와, QB노드에 게이트전극이 연결되고 제N스테이지 회로부의 제1출력단자에 제1전극이 연결되고 제2저전위전압라인에 제2전극이 연결된 제13트랜지스터와, QB노드에 게이트전극이 연결되고 제N스테이지 회로부의 제2출력단자에 제1전극이 연결되고 제1저전위전압라인에 제2전극이 연결된 제14트랜지스터와, QB노드에 게이트 전극이 연결되고 제N스테이지 회로부의 제3출력단자에 제1전극이 연결되고 제1저전위전압라인에 제2전극이 연결된 제15트랜지스터를 포함할 수 있다.
- [0017] 다른 측면에서 본 발명은 제1회로부, 제2회로부, 제3회로부 및 보상회로부를 포함하는 시프트 레지스터를 제공한다. 제1회로부는 외부로부터 공급된 신호 및 전압을 공급받는 일측 입력단자와 타측 입력단자를 가지며 신호 및 전압에 대응하여 Q노드를 충방전한다. 제2회로부는 Q노드의 전위에 대응하여 QB노드를 충방전한다. 제3회로부는 외부로부터 적어도 하나의 클록신호를 입력받고 Q노드의 전위에 대응하여 적어도 하나의 클록신호를 자신의 출력으로 내보낸다. 보상회로부는 제1회로부를 구성하는 박막 트랜지스터의 문턱전압보다 낮은 보상전압을 박막 트랜지스터의 게이트전극에 인가한다.
- [0018] 보상회로부는 보상전압을 마련하기 위해 외부로부터 인가된 두 개의 다른 레벨의 전압을 양단에 입력받는 보상 커패시터를 포함할 수 있다.
- [0019] 보상회로부는 제1보상 커패시터의 일단에 그라운드전압을 전달하는 제1a보상 트랜지스터와, 제1보상 커패시터의 타단에 제1저전위전압을 전달하는 제1b보상 트랜지스터를 포함하는 일측 보상부와, 제2보상 커패시터의 일단에 그라운드전압을 전달하는 제2a보상 트랜지스터와, 제2보상 커패시터의 타단에 제1저전위전압을 전달하는 제2b보상 트랜지스터를 포함하는 타측 보상부를 포함하고, 제1저전위전압은 그라운드전압보다 더 낮은 제1음의전압일 수 있다.
- [0020] 보상 회로부는 리셋신호라인에 게이트전극이 연결되고 그라운드전압라인에 제1전극이 연결되고 제N-k(k는 1 이상 정수)스테이지 회로부의 제1출력단자에 제2전극이 연결된 제1a보상 트랜지스터와, 리셋신호라인에 게이트전극이 연결되고 제1저전위전압라인에 제1전극이 연결되고 제N스테이지 회로부의 제1회로부의 일측 입력단자에 제2전극이 연결된 제1b보상 트랜지스터와, 제N-k(k는 1 이상 정수)스테이지 회로부의 제1출력단자에 일단이 연결되고 제N스테이지 회로부의 제1회로부의 일측 입력단자에 타단이 연결된 제1보상 커패시터와, 리셋신호라인에 게이트전극이 연결되고 그라운드전압라인에 제1전극이 연결되고 제N+k(k는 1 이상 정수)스테이지 회로부의 제1출력단자에 제2전극이 연결된 제2a보상 트랜지스터와, 리셋신호라인에 게이트전극이 연결되고 제1저전위전압라인에 제1전극이 연결되고 제N스테이지 회로부의 제1회로부의 타측 입력단자에 제2전극이 연결된 제2b보상 트랜지스터와, 제N+k(k는 1 이상 정수)스테이지 회로부의 제1출력단자에 일단이 연결되고 제N스테이지 회로부의 제1회로부의 타측 입력단자에 타단이 연결된 제2보상 커패시터를 포함할 수 있다.

**발명의 효과**

- [0021] 본 발명은 박막 트랜지스터의 문턱전압 이동에 따른 누설전류의 발생 문제를 보완 또는 보상하고 Q노드의 충방전이 정상적으로 이루어지도록 하여 안정적인 구동 조건하에 단방향 또는 양방향으로 게이트신호를 출력할 수 있는 효과가 있다. 또한, 본 발명은 박막 트랜지스터의 문턱전압이 이동하더라도 안정적인 구동 조건을 설정 및 유지하여 표시장치의 구동 신뢰성을 향상할 수 있는 효과가 있다.

**도면의 간단한 설명**

- [0022] 도 1은 표시장치의 개략적인 블록도.
- 도 2는 도 1에 도시된 서브 픽셀의 구성 예시도.



도 3은 표시패널의 배치된 스테이지 회로부들의 제1예시도.

도 4는 표시패널의 배치된 스테이지 회로부들의 제2예시도.

도 5는 본 발명의 제1실시예에 따른 제N스테이지 회로부를 개략적으로 나타낸 도면.

도 6은 도 5에서 블록화된 부분을 나타낸 제1예시도.

도 7은 도 5에서 블록화된 부분을 나타낸 제2예시도.

도 8은 제2예시에 따른 제N스테이지 회로부에서 보상 회로부가 제거되었을 때의 출력 상태를 보여주는 시뮬레이션 파형도.

도 9는 본 발명의 제2실시예에 따른 제N스테이지 회로부를 상세히 나타낸 도면.

도 10 내지 도 16은 제N스테이지 회로부의 구간별 구동 특성을 설명하기 위한 신호 파형도.

도 17 내지 도 19는 제1방향스캔, 제2방향스캔 및 양방향스캔 구동 시의 파형을 나타낸 시뮬레이션 파형도.

### 발명을 실시하기 위한 구체적인 내용

- [0023] 이하, 본 발명의 실시를 위한 구체적인 내용을 첨부된 도면을 참조하여 설명한다.
- [0024] 본 발명에 따른 표시장치는 텔레비전, 영상 플레이어, 개인용 컴퓨터(PC), 홈시어터, 스마트폰 등으로 구현될 수 있다. 이하에서 설명되는 표시장치는 액정표시장치(LCD), 전계발광표시장치(LED) 또는 전기영동표시장치(EPD)로 구현된다. 전계발광표시장치는 유기발광다이오드 또는 무기발광다이오드를 기반으로 구현된다.
- [0025] 도 1은 표시장치의 개략적인 블록도이고, 도 2는 도 1에 도시된 서브 픽셀의 구성 예시도이다.
- [0026] 도 1 및 도 2에 도시된 바와 같이, 표시장치에는 표시패널(100), 타이밍 제어부(110), 데이터 구동부(120) 및 게이트 구동부(130, 140B, 140A)가 포함된다.
- [0027] 표시패널(100)에는 상호 교차하는 데이터 라인들(DL) 및 게이트 라인들(GL)에 구분되어 연결된 서브 픽셀들이 포함된다. 표시패널(100)은 서브 픽셀들이 형성되는 표시영역(AA)과 표시영역(AA)의 외측으로 각종 신호라인들이나 패드 등이 형성되는 비표시영역(LNA, RNA)을 포함한다.
- [0028] 하나의 서브 픽셀(SP)에는 제1게이트 라인(GL1)과 제1데이터 라인(DL1)에 연결된 스위칭 트랜지스터(SW)와 스위칭 트랜지스터(SW)를 통해 공급된 게이트신호에 대응하여 공급된 데이터신호(DATA)에 대응하여 동작하는 픽셀회로(PC)가 포함된다. 서브 픽셀(SP)은 픽셀회로(PC)의 구성에 따라 액정소자를 포함하는 액정표시패널이나 유기발광소자를 포함하는 유기발광표시패널 등으로 구현된다.
- [0029] 표시패널(100)이 액정표시패널로 구성된 경우, 이는 TN(Twisted Nematic) 모드, VA(Vertical Alignment) 모드, IPS(In Plane Switching) 모드, FFS(Fringe Field Switching) 모드 또는 ECB(Electrically Controlled Birefringence) 모드로 구현된다. 예컨대, 표시패널(100)이 유기발광표시패널로 구성된 경우, 이는 전면발광(Top-Emission) 방식, 배면발광(Bottom-Emission) 방식 또는 양면발광(Dual-Emission) 방식으로 구현된다.
- [0030] 타이밍 제어부(110)는 영상보드에 연결된 LVDS 또는 TMDS 인터페이스 수신회로 등을 통해 수직 동기신호, 수평 동기신호, 데이터 인에이블 신호, 도트 클럭 등의 타이밍신호를 입력받는다. 타이밍 제어부(110)는 입력된 타이밍신호를 기준으로 데이터 구동부(120)와 게이트 구동부(130, 140B, 140A)의 동작 타이밍을 제어하기 위한 타이밍 제어신호들을 발생한다.
- [0031] 데이터 구동부(120)는 다수의 소스 드라이브 IC(Integrated Circuit)들을 포함한다. 소스 드라이브 IC들은 타이밍 제어부(110)로부터 데이터신호(DATA)와 소스 타이밍 제어신호(DDC)를 공급받는다. 소스 드라이브 IC들은 소스 타이밍 제어신호(DDC)에 응답하여 데이터신호(DATA)를 디지털신호에서 아날로그신호로 변환하고, 이를 표시패널(100)의 데이터 라인들(DL)을 통해 공급한다. 소스 드라이브 IC들은 COG(Chip On Glass) 공정이나 TAB(Tape Automated Bonding) 공정에 의해 표시패널(100)의 데이터 라인들(DL)에 접속될 수 있으나 이에 한정되지 않는다.
- [0032] 게이트 구동부(130, 140B, 140A)는 레벨 시프터(130) 및 시프트 레지스터(140B, 140A)를 포함한다. 레벨 시프터(130)는 IC 형태로 표시패널(100)에 접속되는 외부 기판에 형성된다. 레벨 시프터(130)는 타이밍 제어부(11)의 제어하에 클럭신호라인, 스타트신호라인, 고전위전압라인 및 저전위전압라인 등을 통해 공급되는 신호 및 전압

의 레벨을 시프트한 후 시프트 레지스터(140B, 140A)에 공급한다.

- [0033] 시프트 레지스터(140B, 140A)는 게이트인패널(Gate In Panel; 이하 GIP) 방식으로 표시패널(100)에 형성된다. 시프트 레지스터(140B, 140A)는 표시패널(100)의 비표시영역(LNA, RNA)에 박막 트랜지스터 형태로 형성된 스테이지 회로부들을 포함한다. 스테이지 회로부들은 표시패널(100)의 좌측 비표시영역(LNA)과 우측 비표시영역(RNA)에 구분되어 형성된다. 스테이지 회로부들은 제1스테이지 회로부부터 제N(N은 10이상 정수)스테이지 회로부까지 다수 존재한다. 스테이지 회로부들은 상부 또는 하부에 위치하는 스테이지 회로부의 출력신호를 공급받을 수 있도록 종속적으로 접속된다.
- [0034] 도 3은 표시패널의 배치된 스테이지 회로부들의 제1예시도이고, 도 4는 표시패널의 배치된 스테이지 회로부들의 제2예시도이다.
- [0035] 도 3에 도시된 바와 같이, 시프트 레지스터(140B, 140A)는 레벨 시프터로부터 공급된 신호 및 전압(예: clk, vst 등)에 대응하여 게이트신호를 시프트하고 출력하는 스테이지 회로부들(GIPL1, GIPR1, GIPL2, GIPR2)로 구성된다.
- [0036] 도 3에 도시된 방식은 표시장치를 대면적 및 고해상도 구현시 게이트라인의 라인 로드(line load)에 의한 신호 지연을 줄이기 위해 시프트 레지스터를 표시영역(AA)의 양측에 배치한 구조이다.
- [0037] 표시패널(110)의 제1게이트 라인(GL1)에는 제1좌측 스테이지 회로부(GIPL1)와 제1우측 스테이지 회로부(GIPR1)가 마주보며 배치된다. 제1게이트 라인(GL1)은 좌측 비표시영역(LNA)에 배치된 제1좌측 스테이지 회로부(GIPL1)와 우측 비표시영역(RNA)에 배치된 제1우측 스테이지 회로부(GIPR1)의 동작에 의해 마련된 게이트신호를 전달한다.
- [0038] 표시패널(110)의 제2게이트 라인(GL2)에는 제2좌측 스테이지 회로부(GIPL2)와 제2우측 스테이지 회로부(GIPR2)가 마주보며 배치된다. 제2게이트 라인(GL2)은 좌측 비표시영역(LNA)에 배치된 제2좌측 스테이지 회로부(GIPL2)와 우측 비표시영역(RNA)에 배치된 제2우측 스테이지 회로부(GIPR2)의 동작에 의해 마련된 게이트신호를 전달한다.
- [0039] 도 4에 도시된 바와 같이, 시프트 레지스터(140B, 140A)는 레벨 시프터로부터 공급된 신호 및 전압(예: clk, vst 등)에 대응하여 게이트신호를 시프트하고 출력하는 스테이지 회로부들(GIPL1, GIPL2)로 구성된다.
- [0040] 도 4에 도시된 방식은 도 3에 도시된 방식 대비 게이트신호의 출력 특성은 다소 감소하지만 네로우 베젤 구현시 회로가 차지하는 면적을 줄이기 위해 시프트 레지스터를 표시영역(AA)의 일측(좌측 또는 우측)에만 배치한 구조이다.
- [0041] 표시패널(110)의 제1게이트 라인(GL1)에는 제1좌측 스테이지 회로부(GIPL1)가 배치된다. 제1게이트 라인(GL1)은 좌측 비표시영역(LNA)에 배치된 제1좌측 스테이지 회로부(GIPL1)의 동작에 의해 마련된 게이트신호를 전달한다.
- [0042] 표시패널(110)의 제2게이트 라인(GL2)에는 제2좌측 스테이지 회로부(GIPL2)가 배치된다. 제2게이트 라인(GL2)은 좌측 비표시영역(LNA)에 배치된 제2좌측 스테이지 회로부(GIPL2)의 동작에 의해 마련된 게이트신호를 전달한다.
- [0043] 도 3 및 도 4에 도시된 스테이지 회로부들은 제1스캔방향(y2)으로 게이트신호를 출력(단방향 스캔)하거나 제1스캔방향(y2)과 제2스캔방향(y1)으로 게이트신호를 출력(양방향 스캔)할 수 있다. 한편, 도 3 및 도 4에서는 설명을 단순화하기 위해, 스테이지 회로부들이 제1게이트 라인(GL1)과 제2게이트 라인(GL2)에만 배치된 것을 도시 및 설명하였다. 그러나 스테이지 회로부들은 표시패널(110)의 마지막 게이트 라인까지 배치된다.
- [0044] 한편, 앞서 설명한 내장형 게이트 구동부는 산화물이나 아몰포스 실리콘 박막 트랜지스터 등으로 시프트 레지스터(140B, 140A)를 구현한다. 산화물 박막 트랜지스터는 전류의 이동 특성이 우수하여 아몰포스 실리콘 박막 트랜지스터 대비 회로의 크기를 축소 설계할 수 있는 장점이 있다. 아몰포스 실리콘 박막 트랜지스터는 시간이 지나도 문턱전압을 일정하게 유지할 수 있어 산화물 박막 트랜지스터 대비 스트레스 바이어스에 따른 문턱전압의 회복 특성이 좋은 장점이 있다.
- [0045] 산화물 박막 트랜지스터로 이루어진 시프트 레지스터는 위와 같은 장점이 있지만 아몰포스 실리콘 박막 트랜지스터 대비 문턱전압의 회복 특성이 좋지 않기 때문에 게이트전극에 지속적으로 인가된 전압의 영향을 받게 된다. 예컨대, 음의전압을 지속적으로 받을 경우, 문턱전압이 네거티브(-) 방향으로 이동하게 된다.
- [0046] 이 때문에, 산화물 박막 트랜지스터의 문턱전압 이동에 따른 누설전류의 발생 문제를 보완 또는 보상하지 않으면 Q노드의 충방전이 정상적으로 이루어지지 않는다. 그리고 이 영향으로 말미암아, 시프트 레지스터는 게이트

신호를 정상적으로 출력할 수 없는 오류를 야기할 수 있다. 결국, 이와 같은 문제는 표시장치가 정상적인 구동을 할 수 없도록 저해하는 요인이 될 수 있는바 이의 개선이 요구된다.

- [0047] <제1실시예>
- [0048] 도 5는 본 발명의 제1실시예에 따른 제N스테이지 회로부를 개략적으로 나타낸 도면이고, 도 6은 도 5에서 블록화된 부분을 나타낸 제1예시도이고, 도 7은 도 5에서 블록화된 부분을 나타낸 제2예시도이며, 도 8은 제2예시에 따른 제N스테이지 회로부에서 보상 회로부가 제거되었을 때의 출력 상태를 보여주는 시뮬레이션 파형도이다.
- [0049] 도 5에 도시된 바와 같이, 본 발명의 제1실시예에 따른 제N스테이지 회로부(GIP n)는 제1회로부(CIR1), 제2회로부(CIR2), 제3회로부(CIR3), 제4회로부(CIR4) 및 제5회로부(CIR5)를 포함한다.
- [0050] 제1회로부(CIR1)는 외부로부터 입력된 신호 예컨대 스타트신호, 리셋신호 및 전압 예컨대 고전위전압 등에 대응하여 Q노드(Q)를 충전 또는 방전하는 Q노드 충전 회로이다. Q노드(Q)가 충전 상태일 경우 QB노드(QB)는 방전 상태가 된다.
- [0051] 제2회로부(CIR2)는 Q노드(Q)의 전위에 대응하여 QB노드(QB)를 방전 또는 충전하는 QB노드 충전 회로이다. QB노드(QB)가 충전 상태일 경우 Q노드(Q)는 방전 상태가 된다. 제2회로부(CIR2)는 Q노드(Q)와 QB노드(QB) 간의 충전방전을 전환하는 역할을 하는 바 인버터 회로부로 정의되기도 한다.
- [0052] 제3회로부(CIR3)는 Q노드(Q)의 전위를 게이트전극의 신호로 사용하고 Q노드(Q)의 전위에 대응하여 외부로부터 인가된 클럭신호를 자신(스테이지 회로부)의 출력으로 내보내는 출력 버퍼회로이다. 제3회로부(CIR3)는 내부에 마련된 커패시터에 의한 부트스트랩(bootstrap) 기능을 갖는다. 제3회로부(CIR3)는 제1클럭신호라인(CRCLK[n]), 제2클럭신호라인(SCCLK[n]) 및 제3클럭신호라인(SECLK[n])을 통해 공급된 제1, 제2 및 제3클럭신호를 자신의 출력단자들(C[n], SCOUT[n], SEOUT[n])을 통해 출력한다.
- [0053] 제4회로부(CIR4)는 QB노드(QB)의 전위를 게이트전극의 신호로 사용하고 QB노드(QB)의 전위에 대응하여 자신(스테이지 회로부)이 구동하지 않는 구간에 Q노드(Q) 및 출력단의 리플(Ripple)을 안정화하는 안정화 회로이다. 제1회로부(CIR1)와 제4회로부(CIR4) 사이에는 QB노드(QB)가 존재한다.
- [0054] 제5회로부(CIR5)는 제1회로부(CIR1)를 구성하는 산화물 박막 트랜지스터의 문턱전압 이동에 따른 누설전류의 발생 문제를 보완 또는 보상하는 보상회로부이다. 제5회로부(CIR5)는 제1회로부(CIR1)를 구성하는 산화물 박막 트랜지스터의 문턱전압(Vth)보다 낮은 보상전압(Vc1)을 형성하는 역할을 한다. 더 구체적으로 설명하면, 제5회로부(CIR5)는 Q노드를 QB노드의 전위보다 낮은 전위로 유지할 때에 제1회로부(CIR1)를 구성하는 N형 박막 트랜지스터의 게이트 소스(Vgs) 간에 0보다 낮은 전압을 인가하는 역할을 한다. 제5회로부(CIR5)에 의해 형성된 보상전압은 제1회로부(CIR1)를 구성하는 산화물 박막 트랜지스터의 게이트전극에 인가된다. 이로 인하여, 제1회로부(CIR1)를 구성하는 산화물 박막 트랜지스터는 일정 기간 동안 턴오프 상태를 유지하게 된다.
- [0055] 한편, 본 발명의 제1실시예에서는 제1회로부(CIR1), 제2회로부(CIR2), 제3회로부(CIR3) 및 제4회로부(CIR4)를 갖는 제N스테이지 회로부(GIP n)에 제5회로부(CIR5)가 추가된 것을 일례로 하였으나 이는 하나의 예시일 뿐, 본 발명은 이에 한정되지 않는다. 본 발명의 제1실시예에서 주된 부분은 산화물 박막 트랜지스터의 문턱전압 이동에 따른 누설전류의 발생 문제를 보완 또는 보상하는 제5회로부(CIR5)인 바 이하 이에 대한 설명을 중심으로 다룬다.
- [0056] 제5회로부(CIR5)는 제1a보상 트랜지스터(TRS1a), 제1b보상 트랜지스터(TRS1b) 및 제1보상 커패시터(C1)를 포함하는 일측 보상부와, 제2a보상 트랜지스터(TRS2a), 제2b보상 트랜지스터(TRS2b) 및 제2보상 커패시터(C1)를 포함하는 타측 보상부를 포함한다.
- [0057] 제1a보상 트랜지스터(TRS1a)는 리셋신호라인(RESET)에 게이트전극이 연결되고 그라운드전압라인(GND)에 제1전극이 연결되고 제N-3스테이지 회로부의 제1출력단자(C[n-3])에 제2전극이 연결된다. 제N-3스테이지 회로부의 제1출력단자(C[n-3])에서는 제N-3캐리신호가 출력된다.
- [0058] 제1b보상 트랜지스터(TRS1b)는 리셋신호라인(RESET)에 게이트전극이 연결되고 제1저전위전압라인(GVSS1)에 제1전극이 연결되고 제N스테이지 회로부(GIP n)의 제1회로부(CIR1)의 일측 입력단자에 제2전극이 연결된다.
- [0059] 제1보상 커패시터(C1)는 제N-3스테이지 회로부의 제1출력단자(C[n-3])에 일단이 연결되고 제N스테이지 회로부(GIP n)의 제1회로부(CIR1)의 일측 입력단자에 타단이 연결된다.
- [0060] 제2a보상 트랜지스터(TRS2a)는 리셋신호라인(RESET)에 게이트전극이 연결되고 그라운드전압라인(GND)에 제1전극

이 연결되고 제N+3스테이지 회로부의 제1출력단자(C[n+3])에 제2전극이 연결된다. 제N+3스테이지 회로부의 제1출력단자(C[n+3])에서는 제N+3캐리신호가 출력된다.

- [0061] 제2b보상 트랜지스터(TRS2b)는 리셋신호라인(RESET)에 게이트전극이 연결되고 제1저전위전압라인(GVSS1)에 제1전극이 연결되고 제N스테이지 회로부(GIP n)의 제1회로부(CIR1)의 타측 입력단자에 제2전극이 연결된다.
- [0062] 제2보상 커패시터(C1)는 제N+3스테이지 회로부의 제1출력단자(C[n+3])에 일단이 연결되고 제N스테이지 회로부(GIP n)의 제1회로부(CIR1)의 타측 입력단자에 타단이 연결된다.
- [0063] 위와 같이, 제5회로부(CIR5)의 일측 보상부와 타측 보상부는 2T(transistor)1C(capacitor) 구조로 이루어진다. 그리고 일측 보상부와 타측 보상부에 포함된 보상 트랜지스터들(TRS1a, TRS1b, TRS2a, TRS2b)은 리셋신호라인(RESET)에 게이트전극이 모두 공통으로 연결된다. 따라서, 일측 보상부와 타측 보상부는 리셋신호라인(RESET)을 통해 인가되는 리셋신호의 로직 상태에 대응하여 동작하게 된다.
- [0064] 그리고 보상 트랜지스터들(TRS1a, TRS1b, TRS2a, TRS2b)의 동작과 더불어 제1 및 제2보상 커패시터(C1, C2)의 양단에 걸린 전압을 기반으로 제N스테이지 회로부(GIP n)의 제1회로부(CIR1)에 포함된 산화물 박막 트랜지스터에 누설전류가 발생하는 문제를 저지하게 된다. 이를 위해, 제1 및 제2보상 커패시터(C1, C2) 사이에 초기화되는 보상전압(Vc1)은  $V_{c1} < V_{th}$  로 설정된다. 여기서, Vc1는 제5회로부(CIR5)의 일측 보상부(타측 보상부도 이와 같은 전압식으로 설정됨)에 의해 형성된 전압이고 Vth는 제1회로부(CIR1)를 구성하는 산화물 박막 트랜지스터의 문턱전압이다.
- [0065] 제5회로부(CIR5)의 일측 보상부 및 타측 보상부에 제N-3 및 제N+3캐리신호가 각각 입력되면, A노드(a)와 B노드(b)에는 제1 및 제2보상 커패시터(C1, C2)에 초기화된 전압만큼 부스팅(boosting)된다. 이 때문에, 제1 및 제2보상 커패시터(C1, C2)에 저장된 보상전압(Vc1, Vc2)은 제1회로부(CIR1)를 구성하는 산화물 박막 트랜지스터의 문턱전압보다 낮다. 따라서, 제1회로부(CIR1)를 구성하는 산화물 박막 트랜지스터의 문턱전압이 네거티브(-) 방향으로 이동하더라도 누설전류 없는 턴오프 상태를 유지할 수 있다.
- [0066] 제1 및 제2보상 커패시터(C1, C2)의 양단은 보상 트랜지스터들(TRS1a, TRS1b, TRS2a, TRS2b)의 동작에 의해 적어도 한 프레임당 한 번씩 초기화 또는 리셋이 이루어질 수 있으나 이에 한정되지 않는다.
- [0067] 한편, 위의 설명에서는 제5회로부(CIR5)의 일측 보상부 및 타측 보상에 제N-3 및 제N+3캐리신호가 각각 입력되는 것을 일례로 설명하였다. 그러나 이는 하나의 예시일 뿐, 스테이지 회로부의 입출력 신호 및 설계 방식에 따라 제5회로부(CIR5)의 일측 보상부 및 타측 보상부에 입력되는 캐리신호는 달라질 수 있다. 그러므로 제5회로부(CIR5)의 일측 보상부 및 타측 보상부에는 제N-k 및 제N+k(k는 1이상 정수)캐리신호가 각각 입력되는 것으로 이해되어야 한다.
- [0068] 도 6에 도시된 바와 같이, 제1예시에 따르면 제1회로부(CIR1), 제2회로부(CIR2), 제3회로부(CIR3) 및 제4회로부(CIR4)의 회로는 단방향 스캔이 가능하도록 구성된다. 제1회로부(CIR1), 제2회로부(CIR2), 제3회로부(CIR3) 및 제4회로부(CIR4)에 포함된 트랜지스터들은 모두 N타입으로 이루어진 것을 일례로 하나 이에 한정되지 않는다. N타입의 트랜지스터들은 게이트전극에 고전위의전압이 인가되면 턴온되고 저전위의전압 또는 그라운드전압이 인가되면 턴오프된다.
- [0069] 제1회로부(CIR1)는 제1a트랜지스터(T1a), 제1b트랜지스터(T1b), 제2a트랜지스터(T2a), 제2b트랜지스터(T2b)를 포함한다. 제1a트랜지스터(T1a) 및 제1b트랜지스터(T1b)는 제1회로부(CIR1)의 일측 입력단자를 구성하고, 제2a트랜지스터(T2a) 및 제2b트랜지스터(T2b)는 제1회로부(CIR1)의 타측 입력단자를 구성한다.
- [0070] 제1a트랜지스터(T1a)는 제N-3스테이지 회로부의 제1출력단자(C[n-3])에 게이트전극과 제1전극이 연결되고 제1b트랜지스터(T1b)의 제1전극에 제2전극이 연결된다. 제1b트랜지스터(T1b)는 제N-3스테이지 회로부의 제1출력단자(C[n-3])에 게이트전극이 연결되고 제1a트랜지스터(T1a)의 제2전극에 제1전극이 연결되고 제2a트랜지스터(T2a)의 제1전극에 제2전극이 연결된다. 제2a트랜지스터(T2a)는 제N+3스테이지 회로부의 제1출력단자(C[n+3])에 게이트전극이 연결되고 제1b트랜지스터(T1b)의 제2전극에 제1전극이 연결되고 제2b트랜지스터(T2b)의 제1전극에 제2전극이 연결된다. 제2b트랜지스터(T2b)는 제N+3스테이지 회로부의 제1출력단자(C[n+3])에 게이트전극이 연결되고 제2a트랜지스터(T2a)의 제2전극에 제1전극이 연결되고 제2저전위전압라인(GVSS2)에 제2전극이 연결된다.
- [0071] 제2회로부(CIR2)는 제3트랜지스터(T3), 제4트랜지스터(T4), 제5트랜지스터(T5), 제6트랜지스터(T6), 제7트랜지스터(T7), 및 제8트랜지스터(T8)를 포함한다. 제3트랜지스터(T3), 제4트랜지스터(T4), 제5트랜지스터(T5), 제6트랜지스터(T6), 제7트랜지스터(T7), 및 제8트랜지스터(T8)는 Q노드(Q)와 QB노드(QB)의 충방전을 제어한다.

- [0072] 제3트랜지스터(T3)는 Q노드(Q)에 게이트전극이 연결되고 고전위전압라인(GVDD)에 제1전극이 연결되고 제1회로부(CIR1)의 제1a트랜지스터(T1a)의 제2전극 및 제1b트랜지스터(T1b)의 제1전극에 제2전극이 연결된다. 제4트랜지스터(T4)는 제5트랜지스터(T5)의 제2전극 및 제6트랜지스터(T6)의 제1전극에 게이트전극이 연결되고 고전위전압라인(GVDD)에 제1전극이 연결되고 QB노드(QB)에 제2전극이 연결된다. 제5트랜지스터(T5)는 고전위전압라인(GVDD)에 게이트전극과 제1전극이 연결되고 제6트랜지스터(T6)의 제1전극에 제2전극이 연결된다. 제6트랜지스터(T6)는 Q노드(Q)에 게이트전극이 연결되고 제5트랜지스터(T5)의 제2전극에 제1전극이 연결되고 제2저전위전압라인(GVSS2)에 제2전극이 연결된다. 제7트랜지스터(T7)는 Q노드(Q)에 게이트전극이 연결되고 QB노드(QB)에 제1전극이 연결되고 제2저전위전압라인(GVSS2)에 제2전극이 연결된다. 제8트랜지스터(T8)는 제N-3스테이지 회로부의 제1출력단자(C[n-3])에 게이트전극이 연결되고 QB노드(QB)에 제1전극이 연결되고 제2저전위전압라인(GVSS2)에 제2전극이 연결된다.
- [0073] 제3회로부(CIR3)는 제9트랜지스터(T9), 제10트랜지스터(T10), 제11트랜지스터(T11), 제1부트 커패시터(CB1), 제2부트 커패시터(CB2) 및 제3부트 커패시터(CB3)를 포함한다. 제9트랜지스터(T9)는 제N스테이지 회로부(GIP n)의 제1출력단자(C[n])를 통해 제1클록신호를 출력하고, 제10트랜지스터(T10)는 제N스테이지 회로부(GIP n)의 제2출력단자(SCOUT[n])를 통해 제2클록신호를 출력하고, 제11트랜지스터(T11)는 제N스테이지 회로부(GIP n)의 제3출력단자(SEOUT[n])를 통해 제3클록신호를 출력한다.
- [0074] 제9트랜지스터(T9)는 Q노드(Q)에 게이트전극이 연결되고 제1클록신호라인(CRCLK[n])에 제1전극이 연결되고 제N스테이지 회로부(GIP n)의 제1출력단자(C[n])에 제2전극이 연결된다. 제1부트 커패시터(CB1)는 Q노드(Q)에 일단이 연결되고 제N스테이지 회로부(GIP n)의 제1출력단자(C[n])에 타단이 연결된다. 제10트랜지스터(T10)는 Q노드(Q)에 게이트전극이 연결되고 제2클록신호라인(SCCLK[n])에 제1전극이 연결되고 제N스테이지 회로부(GIP n)의 제2출력단자(SCOUT[n])에 제2전극이 연결된다. 제2부트 커패시터(CB2)는 Q노드(Q)에 일단이 연결되고 제N스테이지 회로부(GIP n)의 제2출력단자(SCOUT[n])에 타단이 연결된다. 제11트랜지스터(T11)는 Q노드(Q)에 게이트전극이 연결되고 제3클록신호라인(SECLK[n])에 제1전극이 연결되고 제N스테이지 회로부(GIP n)의 제3출력단자(SEOUT[n])에 제2전극이 연결된다. 제3부트 커패시터(CB3)는 Q노드(Q)에 일단이 연결되고 제3출력단자(SEOUT[n])에 타단이 연결된다.
- [0075] 제4회로부(CIR4)는 제12a트랜지스터(T12a), 제12b트랜지스터(T12b), 제13트랜지스터(T13), 제14트랜지스터(T14), 및 제15트랜지스터(T15)를 포함한다. 제12a트랜지스터(T12a), 제12b트랜지스터(T12b), 제13트랜지스터(T13), 제14트랜지스터(T14), 및 제15트랜지스터(T15)는 리플(Ripple)을 안정화한다.
- [0076] 제12a트랜지스터(T12a)는 QB노드(QB)에 게이트 전극이 연결되고 Q노드(Q)에 제1전극이 연결되고 제12b트랜지스터(T12b)의 제1전극에 제2전극이 연결된다. 제12b트랜지스터(T12b)는 QB노드(QB)에 게이트 전극이 연결되고 제12a트랜지스터(T12a)의 제2전극에 제1전극이 연결되고 제2저전위전압라인(GVSS2)에 제2전극이 연결된다. 제12a트랜지스터(T12a)의 제2전극과 제12b트랜지스터(T12b)의 제1전극이 연결된 노드는 QH노드(QH)이다. QH노드(QH)는 제1회로부(CIR1)의 제2a트랜지스터(T2a)의 제2전극과 제2b트랜지스터(T2b)의 제1전극에도 연결된다.
- [0077] 제13트랜지스터(T13)는 QB노드(QB)에 게이트전극이 연결되고 제1출력단자(C[n])에 제1전극이 연결되고 제2저전위전압라인(GVSS2)에 제2전극이 연결된다. 제14트랜지스터(T14)는 QB노드(QB)에 게이트전극이 연결되고 제N스테이지 회로부(GIP n)의 제2출력단자(SCOUT[n])에 제1전극이 연결되고 제1저전위전압라인(GVSS1)에 제2전극이 연결된다. 제15트랜지스터(T15)는 QB노드(QB)에 게이트전극이 연결되고 제N스테이지 회로부(GIP n)의 제3출력단자(SEOUT[n])에 제1전극이 연결되고 제1저전위전압라인(GVSS1)에 제2전극이 연결된다.
- [0078] 이상 제1예시에 따른 제N스테이지 회로부를 갖는 시프트 레지스터들은 제1회로부(CIR1)의 입력단자에 신호가 입력되면 게이트신호들을 단방향으로 순차 출력하게 된다.
- [0079] 도 7에 도시된 바와 같이, 제2예시에 따르면 제1회로부(CIR1), 제2회로부(CIR2), 제3회로부(CIR3) 및 제4회로부(CIR4)의 회로는 양방향 스캔이 가능하도록 구성된다. 제1회로부(CIR1), 제2회로부(CIR2), 제3회로부(CIR3) 및 제4회로부(CIR4)에 포함된 트랜지스터들은 모두 N타입으로 이루어진 것을 일례로 하나 이에 한정되지 않는다. N타입의 트랜지스터들은 게이트전극에 고전위의전압이 인가되면 턴온되고 저전위의전압 또는 그라운드전압이 인가되면 턴오프된다.
- [0080] 제1회로부(CIR1)는 제1a트랜지스터(T1a), 제1b트랜지스터(T1b), 제2a트랜지스터(T2a), 제2b트랜지스터(T2b)를 포함한다. 제1a트랜지스터(T1a) 및 제1b트랜지스터(T1b)는 제1회로부(CIR1)의 일측 입력단자를 구성하고, 제2a트랜지스터(T2a) 및 제2b트랜지스터(T2b)는 제1회로부(CIR1)의 타측 입력단자를 구성한다.

- [0081] 제1a트랜지스터(T1a)는 제N-3스테이지 회로부의 제1출력단자(C[n-3])에 게이트전극이 연결되고 순방향 고전위전압라인(GVDD\_F)에 제1전극이 연결되고 제1b트랜지스터(T1b)의 제1전극에 제2전극이 연결된다. 제1b트랜지스터(T1b)는 제N-3스테이지 회로부의 제1출력단자(C[n-3])에 게이트전극이 연결되고 제1a트랜지스터(T1a)의 제2전극에 제1전극이 연결되고 제2a트랜지스터(T2a)의 제1전극에 제2전극이 연결된다. 제2a트랜지스터(T2a)는 제N+3스테이지 회로부의 제1출력단자(C[n+3])에 게이트전극이 연결되고 제1b트랜지스터(T1b)의 제2전극에 제1전극이 연결되고 제2b트랜지스터(T2b)의 제1전극에 제2전극이 연결된다. 제2b트랜지스터(T2b)는 제N+3스테이지 회로부의 제1출력단자(C[n+3])에 게이트전극이 연결되고 제2a트랜지스터(T2a)의 제2전극에 제1전극이 연결되고 역방향 고전위전압라인(GVDD\_R)에 제2전극이 연결된다.
- [0082] 제2회로부(CIR2)는 제3트랜지스터(T3), 제4트랜지스터(T4), 제5트랜지스터(T5), 제6트랜지스터(T6), 제7트랜지스터(T7), 및 제8트랜지스터(T8)를 포함한다. 제3트랜지스터(T3), 제4트랜지스터(T4), 제5트랜지스터(T5), 제6트랜지스터(T6), 제7트랜지스터(T7), 및 제8트랜지스터(T8)는 Q노드(Q)와 QB노드(QB)의 충방전을 제어한다.
- [0083] 제3트랜지스터(T3)는 Q노드(Q)에 게이트전극이 연결되고 고전위전압라인(GVDD)에 제1전극이 연결되고 제1회로부(CIR1)의 제1a트랜지스터(T1a)의 제2전극 및 제1b트랜지스터(T1b)의 제1전극에 제2전극이 연결된다. 제4트랜지스터(T4)는 제5트랜지스터(T5)의 제2전극 및 제6트랜지스터(T6)의 제1전극에 게이트전극이 연결되고 고전위전압라인(GVDD)에 제1전극이 연결되고 QB노드(QB)에 제2전극이 연결된다. 제5트랜지스터(T5)는 고전위전압라인(GVDD)에 게이트전극과 제1전극이 연결되고 제6트랜지스터(T6)의 제1전극에 제2전극이 연결된다. 제6트랜지스터(T6)는 Q노드(Q)에 게이트전극이 연결되고 제5트랜지스터(T5)의 제2전극에 제1전극이 연결되고 제2저전위전압라인(GVSS2)에 제2전극이 연결된다. 제7트랜지스터(T7)는 Q노드(Q)에 게이트전극이 연결되고 QB노드(QB)에 제1전극이 연결되고 제2저전위전압라인(GVSS2)에 제2전극이 연결된다. 제8트랜지스터(T8)는 제N-3스테이지 회로부의 제1출력단자(C[n-3])에 게이트전극이 연결되고 QB노드(QB)에 제1전극이 연결되고 제2저전위전압라인(GVSS2)에 제2전극이 연결된다.
- [0084] 제3회로부(CIR3)는 제9트랜지스터(T9), 제10트랜지스터(T10), 제11트랜지스터(T11), 제1부트 커패시터(CB1), 제2부트 커패시터(CB2) 및 제3부트 커패시터(CB3)를 포함한다. 제9트랜지스터(T9)는 제N스테이지 회로부(GIP n)의 제1출력단자(C[n])를 통해 제1클록신호를 출력하고, 제10트랜지스터(T10)는 제N스테이지 회로부(GIP n)의 제2출력단자(SCOUT[n])를 통해 제2클록신호를 출력하고, 제11트랜지스터(T11)는 제N스테이지 회로부(GIP n)의 제3출력단자(SEOUT[n])를 통해 제3클록신호를 출력한다.
- [0085] 제9트랜지스터(T9)는 Q노드(Q)에 게이트전극이 연결되고 제1클록신호라인(CRCLK[n])에 제1전극이 연결되고 제N스테이지 회로부(GIP n)의 제1출력단자(C[n])에 제2전극이 연결된다. 제1부트 커패시터(CB1)는 Q노드(Q)에 일단이 연결되고 제N스테이지 회로부(GIP n)의 제1출력단자(C[n])에 타단이 연결된다. 제10트랜지스터(T10)는 Q노드(Q)에 게이트전극이 연결되고 제2클록신호라인(SCCLK[n])에 제1전극이 연결되고 제N스테이지 회로부(GIP n)의 제2출력단자(SCOUT[n])에 제2전극이 연결된다. 제2부트 커패시터(CB2)는 Q노드(Q)에 일단이 연결되고 제N스테이지 회로부(GIP n)의 제2출력단자(SCOUT[n])에 타단이 연결된다. 제11트랜지스터(T11)는 Q노드(Q)에 게이트전극이 연결되고 제3클록신호라인(SECLK[n])에 제1전극이 연결되고 제N스테이지 회로부(GIP n)의 제3출력단자(SEOUT[n])에 제2전극이 연결된다. 제3부트 커패시터(CB3)는 Q노드(Q)에 일단이 연결되고 제N스테이지 회로부(GIP n)의 제3출력단자(SEOUT[n])에 타단이 연결된다.
- [0086] 제4회로부(CIR4)는 제12a트랜지스터(T12a), 제12b트랜지스터(T12b), 제13트랜지스터(T13), 제14트랜지스터(T14), 및 제15트랜지스터(T15)를 포함한다. 제12a트랜지스터(T12a), 제12b트랜지스터(T12b), 제13트랜지스터(T13), 제14트랜지스터(T14), 및 제15트랜지스터(T15)는 리플(Ripple)을 안정화한다.
- [0087] 제12a트랜지스터(T12a)는 QB노드(QB)에 게이트 전극이 연결되고 Q노드(Q)에 제1전극이 연결되고 제12b트랜지스터(T12b)의 제1전극에 제2전극이 연결된다. 제12b트랜지스터(T12b)는 QB노드(QB)에 게이트 전극이 연결되고 제12a트랜지스터(T12a)의 제2전극에 제1전극이 연결되고 제2저전위전압라인(GVSS2)에 제2전극이 연결된다. 제12a트랜지스터(T12a)의 제2전극과 제12b트랜지스터(T12b)의 제1전극이 연결된 노드는 QH노드(QH)이다. QH노드(QH)는 제1회로부(CIR1)의 제2a트랜지스터(T2a)의 제2전극과 제2b트랜지스터(T2b)의 제1전극에도 연결된다.
- [0088] 제13트랜지스터(T13)는 QB노드(QB)에 게이트전극이 연결되고 제N스테이지 회로부(GIP n)의 제1출력단자(C[n])에 제1전극이 연결되고 제2저전위전압라인(GVSS2)에 제2전극이 연결된다. 제14트랜지스터(T14)는 QB노드(QB)에 게이트전극이 연결되고 제N스테이지 회로부(GIP n)의 제2출력단자(SCOUT[n])에 제1전극이 연결되고 제1저전위전압라인(GVSS1)에 제2전극이 연결된다. 제15트랜지스터(T15)는 QB노드(QB)에 게이트전극이 연결되고 제N스테이지 회로부(GIP n)의 제3출력단자(SEOUT[n])에 제1전극이 연결되고 제1저전위전압라인(GVSS1)에 제2전극이

연결된다.

- [0089] 이상 제2예시에 따른 제N스테이지 회로부를 갖는 시프트 레지스터들은 제1회로부(CIR1)의 입력단자에 신호가 입력되고 순방향 고전위전압라인(GVDD\_F) 및 역방향 고전위전압라인(GVDD\_R)에 인가된 전압에 따라 게이트신호들을 제1스캔방향 또는 제2스캔방향으로 순차 출력하게 된다.
- [0090] 한편, 앞서 설명한 제1예시 및 제2예시에 따른 제N스테이지 회로부는 제N-3캐리신호를 세트신호로 입력받고 제N+3캐리신호를 리셋신호로 입력받는다. 그리고 세트신호인 제N-3캐리신호에 의해 Q노드(Q)가 로직하이(High)로 동작하게 되고, 이에 대응하여 제2클록신호라인(SCCLK[n])의 제2클록신호가 출력된다.
- [0091] 제2클록신호라인(SCCLK[n])의 출력 및 미출력 구간 동안, 세트신호 및 리셋신호에 의해 Q노드(Q)는 로직하이(High) 또는 로직로우(Low)로 동작하게 된다. 제1예시에 따른 제N스테이지 회로부는 Q노드(Q)를 로직로우(Low)로 유지하기 위해, 제1회로부(CIR1)의 제1a트랜지스터(T1a)를 다이오드 커넥션 상태로 형성한다.
- [0092] 이 경우, 제1a트랜지스터(T1a)의 문턱전압이 네거티브 방향으로 이동하더라도 동작을 할 수 있다. 이 때문에, 제1예시에 따른 제N스테이지 회로부의 경우 산화물 박막 트랜지스터의 문턱전압 이동에 따른 누설전류의 발생 문제를 보완 또는 보상하기 위한 제5회로부(CIR5)의 생략이 가능하다. 즉, 제1예시에 따른 제N스테이지 회로부는 제1a트랜지스터(T1a)의 문턱전압이 네거티브 방향으로 이동하더라도 이를 보상 또는 보완할 수 있다.
- [0093] 제2예시에 따른 제N스테이지 회로부는 양방향 스캔 구동을 위해, 세트신호 및 리셋신호를 받는 트랜지스터(T1a, T2b)에 전압 가변이 가능한 순방향 고전위전압라인(GVDD\_F) 및 역방향 고전위전압라인(GVDD\_R)을 연결한다. 그런데 제2예시에 따른 제N스테이지 회로부의 경우, Q노드(Q)가 로직로우(Low)를 유지하기 위한 다이오드 커넥션 상태를 갖지 않는다.
- [0094] 이 때문에, 제2예시에 따른 제N스테이지 회로부의 경우 산화물 박막 트랜지스터의 문턱전압 이동에 따른 누설전류의 발생 문제를 보완 또는 보상하기 위한 제5회로부(CIR5)의 생략이 불가하다. 즉, 제2예시에 따른 제N스테이지 회로부는 제1a트랜지스터(T1a)의 문턱전압이 네거티브 방향으로 이동하면 이를 보상 또는 보완할 수 없다.
- [0095] 제2예시에 따른 제N스테이지 회로부에 제5회로부(CIR5)를 제거하고 장시간 구동을 하면, 제1a트랜지스터(T1a)의 드레인전극에 높은 직류전압이 지속적으로 인가된다. 그 결과, 제1a트랜지스터(T1a)의 문턱전압은 네거티브 방향으로 이동하게 된다. 이 영향으로 인하여, Q노드(Q)의 전압은 도 8의 (a)와 같이 감소하게 된다. 그리고 이 영향으로 인하여, 출력파형은 도 8의 (b)와 같이 낮아지게 된다.
- [0096] 이하, 제2실시예에서는 제N스테이지 회로부의 한 예로서 제1회로부(CIR1), 제2회로부(CIR2), 제3회로부(CIR3), 제4회로부(CIR4) 및 제5회로부(CIR5)의 회로 구성을 구체화하고 이의 동작에 대해 설명한다.
- [0097] <제2실시예>
- [0098] 도 9는 본 발명의 제2실시예에 따른 제N스테이지 회로부를 상세히 나타낸 도면이고, 도 10 내지 도 16은 제N스테이지 회로부의 구간별 구동 특성을 설명하기 위한 신호 파형도이고, 도 17 내지 도 19는 제1방향스캔, 제2방향스캔 및 양방향스캔 구동 시의 파형을 나타낸 시뮬레이션 파형도이다.
- [0099] 도 9에 도시된 바와 같이, 본 발명의 제2실시예에 따른 제N스테이지 회로부(GIP n)는 제1회로부(CIR1), 제2회로부(CIR2), 제3회로부(CIR3), 제4회로부(CIR4) 및 제5회로부(CIR5)를 포함한다.
- [0100] 제1회로부(CIR1)는 제5회로부(CIR5), 순방향 고전위전압라인(GVDD\_F) 및 역방향 고전위전압라인(GVDD\_R)로부터 입력된 신호 및 전압 등에 대응하여 Q노드(Q)를 충전 또는 방전하는 Q노드 충전회로이다. Q노드(Q)가 충전 상태일 경우 QB노드(QB)는 방전 상태가 된다. 제1회로부(CIR1)는 제1a트랜지스터(T1a), 제1b트랜지스터(T1b), 제2a트랜지스터(T2a), 제2b트랜지스터(T2b)를 포함한다. 제1a트랜지스터(T1a) 및 제1b트랜지스터(T1b)는 제1회로부(CIR1)의 일측 입력단자를 구성하고, 제2a트랜지스터(T2a) 및 제2b트랜지스터(T2b)는 제1회로부(CIR1)의 타측 입력단자를 구성한다.
- [0101] 제2회로부(CIR2)는 Q노드(Q)의 전위에 대응하여 QB노드(QB)를 방전 또는 충전하는 QB노드 충전회로이다. QB노드(QB)가 충전 상태일 경우 Q노드(Q)는 방전 상태가 된다. 제2회로부(CIR2)는 Q노드(Q)와 QB노드(QB) 간의 충전방전을 전환하는 역할을 하는바 인버터 회로부로 정의되기도 한다. 제2회로부(CIR2)는 제3트랜지스터(T3), 제4트랜지스터(T4), 제5트랜지스터(T5), 제6트랜지스터(T6), 제7트랜지스터(T7), 및 제8트랜지스터(T8)를 포함한다. 제3트랜지스터(T3), 제4트랜지스터(T4), 제5트랜지스터(T5), 제6트랜지스터(T6), 제7트랜지스터(T7), 및 제8트랜지스터(T8)는 Q노드(Q)와 QB노드(QB)의 충전방전을 제어한다.

- [0102] 제3회로부(CIR3)는 Q노드(Q)의 전위를 게이트전극의 신호로 사용하고 Q노드(Q)의 전위에 대응하여 외부로부터 인가된 클럭신호를 자신(스태이지 회로부)의 출력으로 내보내는 출력 버퍼회로이다. 제3회로부(CIR3)는 내부에 마련된 커패시터에 의한 부트스트랩(bootstrap) 기능을 갖는다. 제3회로부(CIR3)는 제1클럭신호라인(CRCLK[n]), 제2클럭신호라인(SCCLK[n]) 및 제3클럭신호라인(SECLK[n])을 통해 공급된 제1, 제2 및 제3클럭신호를 자신의 출력단자들(C[n], SCOUT[n], SEOUT[n])을 통해 출력한다. 제3회로부(CIR3)는 제9트랜지스터(T9), 제10트랜지스터(T10), 제11트랜지스터(T11), 제1부트 커패시터(CB1), 제2부트 커패시터(CB2) 및 제3부트 커패시터(CB3)를 포함한다. 제9트랜지스터(T9)는 제N스태이지 회로부(GIP n)의 제1출력단자(C[n])를 통해 제1클럭신호를 출력하고, 제10트랜지스터(T10)는 제N스태이지 회로부(GIP n)의 제2출력단자(SCOUT[n])를 통해 제2클럭신호를 출력하고, 제11트랜지스터(T11)는 제N스태이지 회로부(GIP n)의 제3출력단자(SEOUT[n])를 통해 제3클럭신호를 출력한다.
- [0103] 제4회로부(CIR4)는 QB노드(QB)의 전위를 게이트전극의 신호로 사용하고 QB노드(QB)의 전위에 대응하여 자신(스태이지 회로부)이 구동하지 않는 구간에 Q노드(Q) 및 출력단의 리플(Ripple)을 안정화하는 안정화 회로이다. 제1회로부(CIR1)와 제4회로부(CIR4) 사이에는 QB노드(QB)가 존재한다. 제4회로부(CIR4)는 제12a트랜지스터(T12a), 제12b트랜지스터(T12b), 제13트랜지스터(T13), 제14트랜지스터(T14), 및 제15트랜지스터(T15)를 포함한다. 제12a트랜지스터(T12a), 제12b트랜지스터(T12b), 제13트랜지스터(T13), 제14트랜지스터(T14), 및 제15트랜지스터(T15)는 리플(Ripple)을 안정화한다.
- [0104] 제5회로부(CIR5)는 제1회로부(CIR1)를 구성하는 산화물 박막 트랜지스터의 문턱전압 이동에 따른 누설전류의 발생 문제를 보완 또는 보상하는 보상회로부이다. 제5회로부(CIR5)는 제1회로부(CIR1)를 구성하는 산화물 박막 트랜지스터의 문턱전압(Vth)보다 낮은 보상전압(Vc1)을 형성하는 역할을 한다. 달리 설명하면, 제5회로부(CIR5)는 제1회로부(CIR1)를 구성하는 산화물 박막 트랜지스터의 문턱전압(Vth)보다 낮은 게이트소스 전압(Vgs)을 형성한다. 제5회로부(CIR5)는 제1a보상 트랜지스터(TRS1a), 제1b보상 트랜지스터(TRS1b) 및 제1보상 커패시터(C1)를 포함하는 일측 보상부와, 제2a보상 트랜지스터(TRS2a), 제2b보상 트랜지스터(TRS2b) 및 제2보상 커패시터(C1)를 포함하는 타측 보상부를 포함한다.
- [0105] 제1회로부(CIR1) 내지 제5회로부(CIR5)에 포함된 소자들의 연결관계를 설명하면 다음과 같다.
- [0106] 제1a트랜지스터(T1a)는 제5회로부(CIR5)의 일측 보상부에 포함된 제1b보상 트랜지스터(TRS1b)의 제2전극 및 제1보상 커패시터(C1)의 타단에 게이트전극이 연결되고 순방향 고전위전압라인(GVDD\_F)에 제1전극이 연결되고 제1b트랜지스터(T1b)의 제1전극에 제2전극이 연결된다. 제1b트랜지스터(T1b)는 제1a트랜지스터(T1a)의 게이트전극에 게이트전극이 연결되고 제1a트랜지스터(T1a)의 제2전극에 제1전극이 연결되고 제2a트랜지스터(T2a)의 제1전극에 제2전극이 연결된다. 제2a트랜지스터(T2a)는 제5회로부(CIR5)의 타측 보상부에 포함된 제2b보상 트랜지스터(TRS2b)의 제1전극 및 제2보상 커패시터(C2)의 타단에 게이트전극이 연결되고 제1b트랜지스터(T1b)의 제2전극에 제1전극이 연결되고 제2b트랜지스터(T2b)의 제1전극에 제2전극이 연결된다. 제2b트랜지스터(T2b)는 제2a트랜지스터(T2a)의 게이트전극에 게이트전극이 연결되고 제2a트랜지스터(T2a)의 제2전극에 제1전극이 연결되고 역방향 고전위전압라인(GVDD\_R)에 제2전극이 연결된다.
- [0107] 제3트랜지스터(T3)는 Q노드(Q)에 게이트전극이 연결되고 고전위전압라인(GVDD)에 제1전극이 연결되고 제1회로부(CIR1)의 제1a트랜지스터(T1a)의 제2전극 및 제1b트랜지스터(T1b)의 제1전극에 제2전극이 연결된다. 제4트랜지스터(T4)는 제5트랜지스터(T5)의 제2전극 및 제6트랜지스터(T6)의 제1전극에 게이트전극이 연결되고 고전위전압라인(GVDD)에 제1전극이 연결되고 QB노드(QB)에 제2전극이 연결된다. 제5트랜지스터(T5)는 고전위전압라인(GVDD)에 게이트전극과 제1전극이 연결되고 제6트랜지스터(T6)의 제1전극에 제2전극이 연결된다. 제6트랜지스터(T6)는 Q노드(Q)에 게이트전극이 연결되고 제5트랜지스터(T5)의 제2전극에 제1전극이 연결되고 제2저전위전압라인(GVSS2)에 제2전극이 연결된다. 제7트랜지스터(T7)는 Q노드(Q)에 게이트전극이 연결되고 QB노드(QB)에 제1전극이 연결되고 제2저전위전압라인(GVSS2)에 제2전극이 연결된다. 제8트랜지스터(T8)는 제N-3스태이지 회로부의 제1출력단자(C[n-3])에 게이트전극이 연결되고 QB노드(QB)에 제1전극이 연결되고 제2저전위전압라인(GVSS2)에 제2전극이 연결된다.
- [0108] 제9트랜지스터(T9)는 Q노드(Q)에 게이트전극이 연결되고 제1클럭신호라인(CRCLK[n])에 제1전극이 연결되고 제N스태이지 회로부(GIP n)의 제1출력단자(C[n])에 제2전극이 연결된다. 제1부트 커패시터(CB1)는 Q노드(Q)에 일단이 연결되고 제N스태이지 회로부(GIP n)의 제1출력단자(C[n])에 타단이 연결된다. 제10트랜지스터(T10)는 Q노드(Q)에 게이트전극이 연결되고 제2클럭신호라인(SCCLK[n])에 제1전극이 연결되고 제N스태이지 회로부(GIP n)의 제2출력단자(SCOUT[n])에 제2전극이 연결된다. 제2부트 커패시터(CB2)는 Q노드(Q)에 일단이 연결되고 제N스태이지 회로부(GIP n)의 제2출력단자(SCOUT[n])에 타단이 연결된다. 제11트랜지스터(T11)는 Q노드(Q)에 게이트전극



이 연결되고 제3클럭신호라인(SECLK[n])에 제1전극이 연결되고 제N스테이지 회로부(GIP n)의 제3출력단자(SEOUT[n])에 제2전극이 연결된다. 제3부트 커패시터(CB3)는 Q노드(Q)에 일단이 연결되고 제N스테이지 회로부(GIP n)의 제3출력단자(SEOUT[n])에 타단이 연결된다.

[0109] 제12a트랜지스터(T12a)는 QB노드(QB)에 게이트 전극이 연결되고 Q노드(Q)에 제1전극이 연결되고 제12b트랜지스터(T12b)의 제1전극에 제2전극이 연결된다. 제12b트랜지스터(T12b)는 QB노드(QB)에 게이트 전극이 연결되고 제12a트랜지스터(T12a)의 제2전극에 제1전극이 연결되고 제2저전위전압라인(GVSS2)에 제2전극이 연결된다. 제12a트랜지스터(T12a)의 제2전극과 제12b트랜지스터(T12b)의 제1전극이 연결된 노드는 QH노드(QH)이다. QH노드(QH)는 제1회로부(CIR1)의 제2a트랜지스터(T2a)의 제2전극과 제2b트랜지스터(T2b)의 제1전극에도 연결된다. 제13트랜지스터(T13)는 QB노드(QB)에 게이트전극이 연결되고 제N스테이지 회로부(GIP n)의 제1출력단자(C[n])에 제1전극이 연결되고 제2저전위전압라인(GVSS2)에 제2전극이 연결된다. 제14트랜지스터(T14)는 QB노드(QB)에 게이트전극이 연결되고 제N스테이지 회로부(GIP n)의 제2출력단자(SCOUT[n])에 제1전극이 연결되고 제1저전위전압라인(GVSS1)에 제2전극이 연결된다. 제15트랜지스터(T15)는 QB노드(QB)에 게이트전극이 연결되고 제N스테이지 회로부(GIP n)의 제3출력단자(SEOUT[n])에 제1전극이 연결되고 제1저전위전압라인(GVSS1)에 제2전극이 연결된다.

[0110] 제1a보상 트랜지스터(TRS1a)는 리셋신호라인(RESET)에 게이트전극이 연결되고 그라운드전압라인(GND)에 제1전극이 연결되고 제N-3스테이지 회로부의 제1출력단자(C[n-3])에 제2전극이 연결된다. 제N-3스테이지 회로부의 제1출력단자(C[n-3])에서는 제N-3캐리신호가 출력된다. 제1b보상 트랜지스터(TRS1b)는 리셋신호라인(RESET)에 게이트전극이 연결되고 제1저전위전압라인(GVSS1)에 제1전극이 연결되고 제1회로부(CIR1)의 일측 입력단자에 제2전극이 연결된다. 제1보상 커패시터(C1)는 제N-3스테이지 회로부의 제1출력단자(C[n-3])에 일단이 연결되고 제1회로부(CIR1)의 일측 입력단자에 타단이 연결된다. 제2a보상 트랜지스터(TRS2a)는 리셋신호라인(RESET)에 게이트전극이 연결되고 그라운드전압라인(GND)에 제1전극이 연결되고 제N+3스테이지 회로부의 제1출력단자(C[n+3])에 제2전극이 연결된다. 제N+3스테이지 회로부의 제1출력단자(C[n+3])에서는 제N+3캐리신호가 출력된다. 제2b보상 트랜지스터(TRS2b)는 리셋신호라인(RESET)에 게이트전극이 연결되고 제1저전위전압라인(GVSS1)에 제1전극이 연결되고 제1회로부(CIR1)의 타측 입력단자에 제2전극이 연결된다. 제2보상 커패시터(C1)는 제N+3스테이지 회로부의 제1출력단자(C[n+3])에 일단이 연결되고 제1회로부(CIR1)의 타측 입력단자에 타단이 연결된다.

[0111] 한편, 순방향 고전위전압라인(GVDD\_F) 및 역방향 고전위전압라인(GVDD\_R)에는 양의전압 예컨대 대략 24V의 전압이 스위칭하는 형태로 공급되도록 인가될 수 있다. 제1저전위전압라인(GVSS1)에는 그라운드전압보다 더 낮은 제1음의전압 예컨대 대략 -6V의 전압이 인가될 수 있고, 제2저전위전압라인(GVSS2)에는 제1저전위전압라인(GVSS1)보다 더 낮은 제2음의전압 예컨대 대략 -12V의 전압이 인가될 수 있다. 그러나 이는 하나의 예시일 뿐 본 발명은 이에 한정되지 않는다.

[0112] 이하, 본 발명의 제2실시예에 따른 제N스테이지 회로부(GIP n)의 동작을 단계별로 설명하면 다음의 도 10 내지 도 16과 같다. 다만, 설명의 이해를 돕기 위해, 모든 단계에 대하여 도 9를 함께 참조한다.

[0113] 도 10의 제1단계(S1) 동안, 리셋신호(reset)만 로직하이로 입력된다. 이때, 다른 신호들은 로직로우를 유지하거나 입력되지 않는다. 리셋신호(reset)가 로직하이로 입력되면 제5회로부(CIR5)의 일측 보상부와 타측 보상부는 초기화된다. 제5회로부(CIR5)의 일측 보상부와 타측 보상부의 초기화 동작에 의해, 제1 및 제2보상 커패시터(C1, C2)에는 제1회로부(CIR1)의 트랜지스터들(T1a, T1b, T2a, T2b)의 문턱전압보다 낮은 전압이 형성된다. 리셋신호(reset)는 적어도 한 프레임을 한 번씩 로직하이로 형성하고 이후 로직로우를 유지하게 된다.

[0114] 앞서 설명한 바와 같이, 제1 및 제2보상 커패시터(C1, C2)의 양단에 걸린 전압은 제1회로부(CIR1)의 트랜지스터들(T1a, T1b, T2a, T2b)의 문턱전압보다 낮다. 그러므로 제1회로부(CIR1)의 트랜지스터들(T1a, T1b, T2a, T2b)은 제5회로부(CIR5)에 의해 누설전류의 발생이 저지된다. 이를 위해, 제1 및 제2보상 커패시터(C1, C2) 사이에 초기화되는 보상전압(Vc1)은  $V_{c1} < V_{th}$  로 설정된다. 여기서, Vc1은 제5회로부(CIR5)의 일측 보상부(타측 보상부도 이와 같은 전압식으로 설정됨)에 의해 형성된 전압이고 Vth는 제1회로부(CIR1)를 구성하는 산화물 박막 트랜지스터의 문턱전압이다.

[0115] 도 11의 제2단계(S2) 동안, 리셋신호(reset)는 로직로우가 된다. 그리고 제N-3캐리신호(c[n-3])는 로직하이로 입력되지만 제N+3캐리신호(c[n+3])는 로직로우로 입력된다. 도 11의 제2단계(S2) 동안, Q노드(Q)에는 로직하이의 전압이 인가되기 시작한다. QH노드(QH)에도 Q노드(Q)와 같이 로직하이의 전압이 인가된다. 그러나 QB노드(QB)는 로직로우의 전압이 인가된다.

[0116] 도 12의 제3단계(S3) 동안, 제N-3캐리신호(c[n-3])와 제N+3캐리신호(c[n+3])는 로직로우로 입력된다. 도 12의

제3단계(S3) 동안, Q노드(Q)는 로직하이의 전압으로 충전이 이루어진다. QH노드(QH)는 Q노드(Q)와 같이 로직하이의 전압에 의해 충전이 이루어진다. 그러나 QB노드(QB)는 로직로우의 전압에 의해 방전이 이루어진다.

[0117] 도 13의 제4단계(S4) 동안, 제1 및 제2클록신호들(crclk, sclk)이 로직하이로 입력된다. 제3클록신호는 생략도 시하였으나 이는 제1 및 제2클록신호들(crclk, sclk)과 같거나 다를 수 있다. 도 13의 제4단계(S4) 동안, 제1부트 커패시터(CB1), 제2부트 커패시터(CB2) 및 제3부트 커패시터(CB3)에 의한 부트스트랩이 일어나게 되어 Q노드(Q)의 전위는 이전 대비 상승하게 된다. 그리고 Q노드(Q)의 전위에 대응하여 제1 및 제2클록신호들(crclk, sclk)은 제N스테이지 회로부(GIP n)의 제1출력단자(C[n]) 및 제2출력단자(SCOUT[n])를 통해 출력된다.

[0118] 도 14의 제5단계(S5) 동안, Q노드(Q)와 QH노드(QH)의 충전은 유지되고 QB노드(QB)의 방전은 유지된다. 이에 따라, 제N스테이지 회로부(GIP n)의 제1출력단자(C[n]) 및 제2출력단자(SCOUT[n])의 출력은 안정적으로 이루어지게 된다.

[0119] 도 15의 제6단계(S6) 동안, 제N-3캐리신호(c[n-3])는 로직로우가 유지되지만 제N+3캐리신호(c[n+3])는 로직하이로 입력된다. 도 15의 제6단계(S6) 동안, Q노드(Q)에는 로직로우의 전압이 인가됨에 따라 방전되기 시작한다. QH노드(QH)에도 Q노드(Q)와 같이 로직로우의 전압이 인가됨에 따라 방전되기 시작한다. 그러나 QB노드(QB)는 로직하이의 전압이 인가됨에 따라 충전되기 시작한다.

[0120] 도 16의 제7단계(S7) 동안, 제N-3캐리신호(c[n-3])와 제N+3캐리신호(c[n+3])는 로직로우로 유지된다. 이에 따라, 제N스테이지 회로부(GIP n)의 제1출력단자(C[n]) 및 제2출력단자(SCOUT[n])는 로직로우의 출력으로 유지된다.

[0121] 이상 본 발명의 제2실시예는 제5회로부(CIR5)의 동작으로 인하여 제1회로부(CIR1)를 구성하는 산화물 박막 트랜지스터의 문턱전압 이동에 따른 누설전류의 발생 문제를 보완 또는 보상할 수 있다. 이는 도 17 내지 도 19의 시뮬레이션 파형을 통해서도 알 수 있다.

[0122] 도 17은 제2실시예를 제1스캔방향(순방향)으로 구동하였을 때 Q노드(도 17a)의 전위 및 제2출력단자(도 17b)의 출력을 나타낸 시뮬레이션 파형이다. 도 18은 제2실시예를 제2스캔방향(역방향)으로 구동하였을 때 Q노드(도 18a)의 전위 및 제2출력단자(도 18b)의 출력을 나타낸 시뮬레이션 파형이다. 도 19는 양방향스캔으로 구동하였을 때 제2출력단자의 출력을 나타낸 시뮬레이션 파형이다.

[0123] 이상 본 발명은 박막 트랜지스터의 문턱전압 이동에 따른 누설전류의 발생 문제를 보완 또는 보상하고 Q노드의 충전방전이 정상적으로 이루어지도록 하여 안정적인 구동 조건하에 단방향 또는 양방향으로 게이트신호를 출력할 수 있는 효과가 있다. 또한, 본 발명은 박막 트랜지스터의 문턱전압이 이동하더라도 안정적인 구동 조건을 설정 및 유지하여 표시장치의 구동 신뢰성을 향상할 수 있는 효과가 있다.

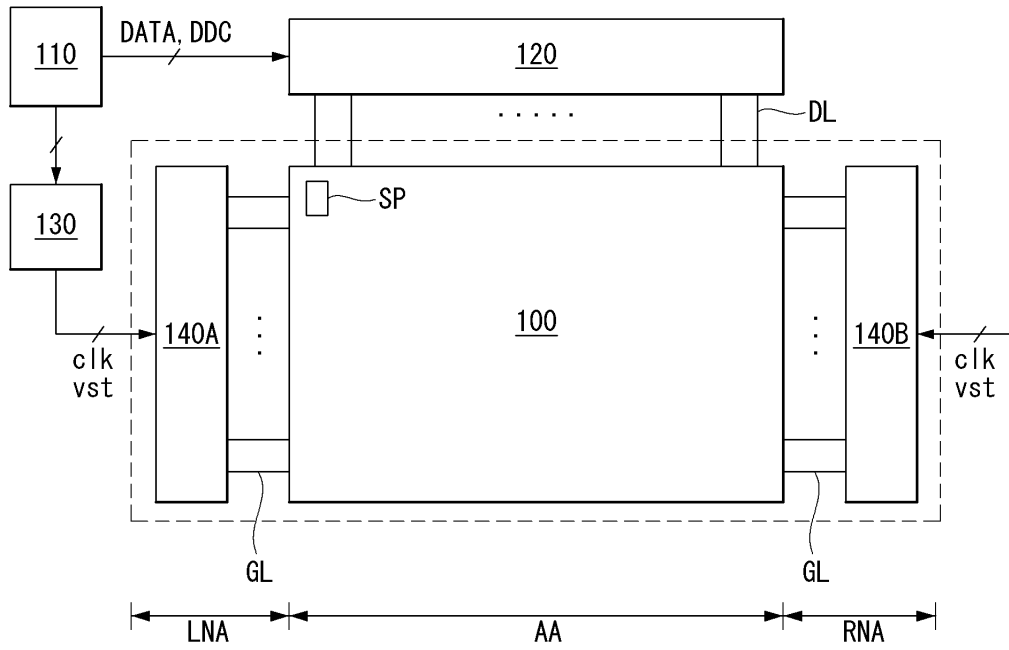
[0124] 이상 첨부된 도면을 참조하여 본 발명의 실시예를 설명하였지만, 상술한 본 발명의 기술적 구성은 본 발명이 속하는 기술 분야의 당업자가 본 발명의 그 기술적 사상이나 필수적 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다. 그러므로 이상에서 기술한 실시 예들은 모든 면에서 예시적인 것이며 한정적인 것이 아닌 것으로서 이해되어야 한다. 아울러, 본 발명의 범위는 상기 상세한 설명보다는 후술하는 특허청구범위에 의하여 나타내어진다. 또한, 특허청구범위의 의미 및 범위 그리고 그 등가 개념으로부터 도출되는 모든 변경 또는 변형된 형태가 본 발명의 범위에 포함되는 것으로 해석되어야 한다.

**부호의 설명**

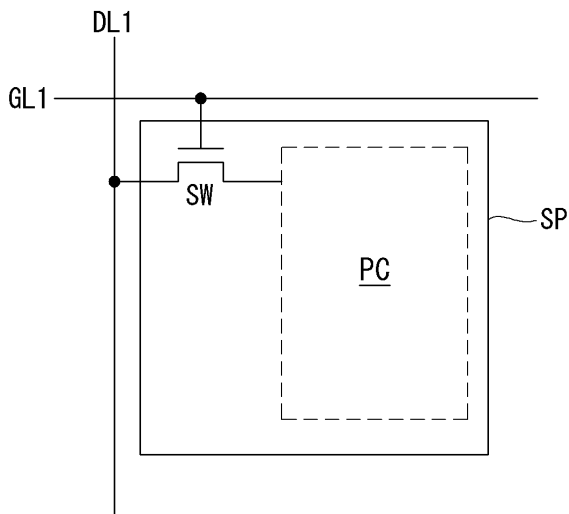
- |        |                    |                    |
|--------|--------------------|--------------------|
| [0125] | CIR1: 제1회로부        | CIR2: 제2회로부        |
|        | CIR3: 제3회로부        | CIR4: 제4회로부        |
|        | CIR5: 제5회로부        | TRS1a: 제1a보상 트랜지스터 |
|        | TRS1b: 제1b보상 트랜지스터 | C1: 제1보상 커패시터      |
|        | TRS2a: 제2a보상 트랜지스터 | TRS2b: 제2b보상 트랜지스터 |
|        | C1: 제2보상 커패시터      | C[n]: 제1출력단자       |
|        | SCOUT[n]: 제2출력단자   | SEOUT[n]: 제3출력단자   |

도면

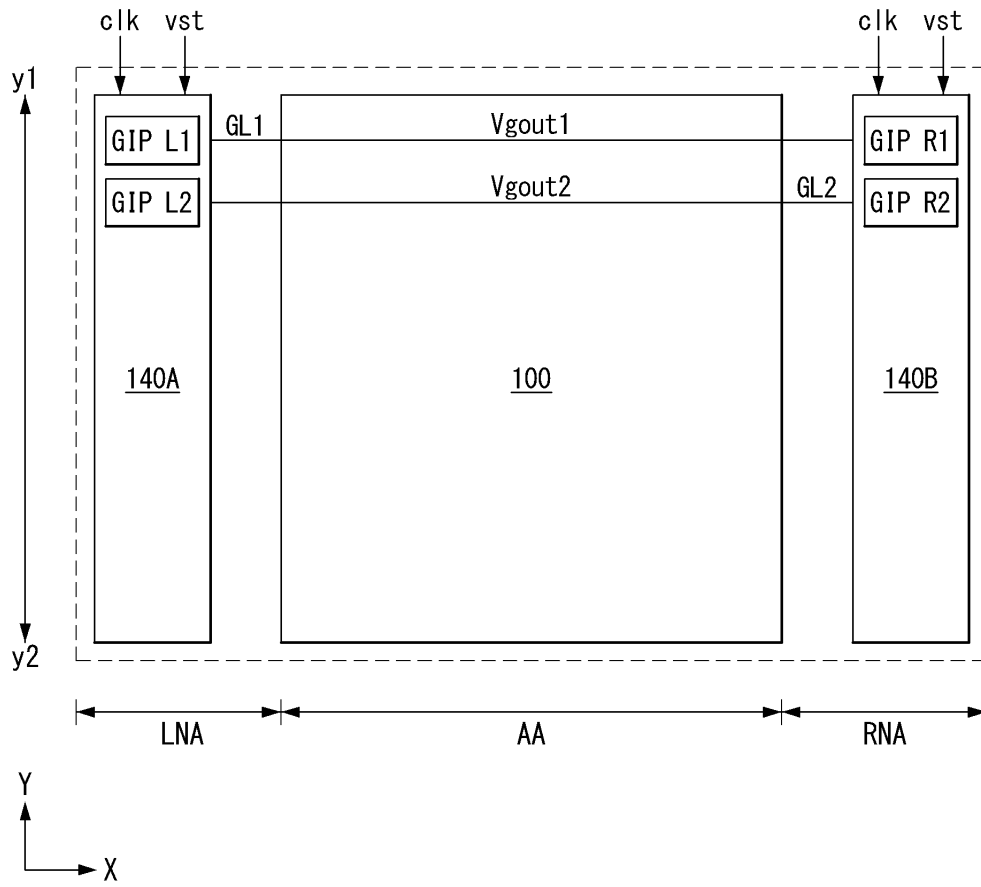
도면1



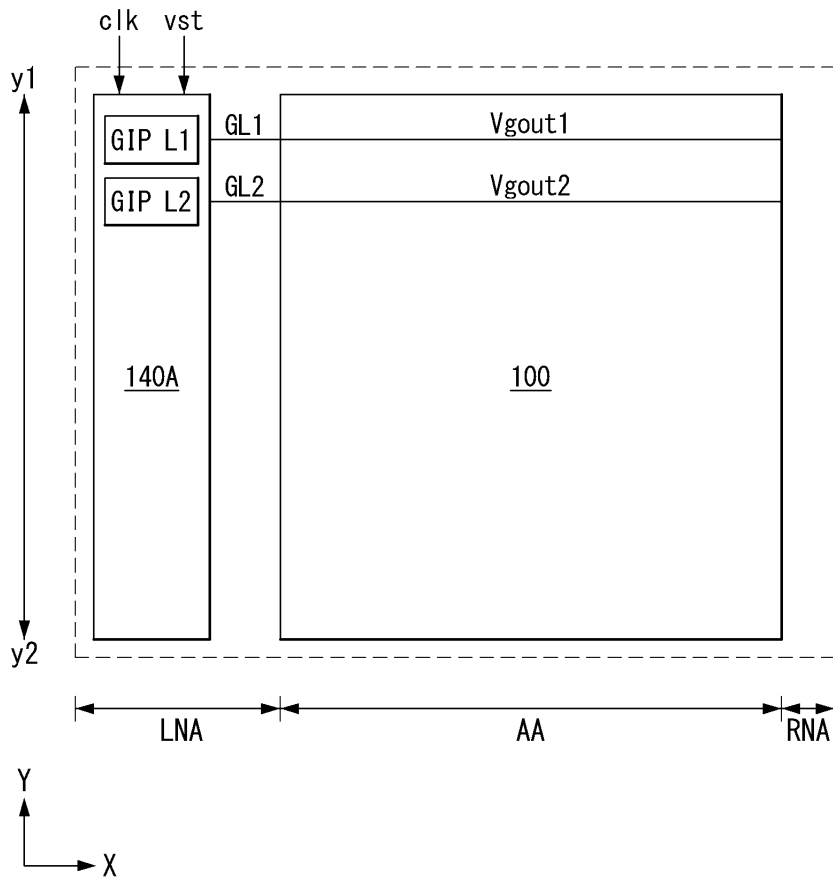
도면2



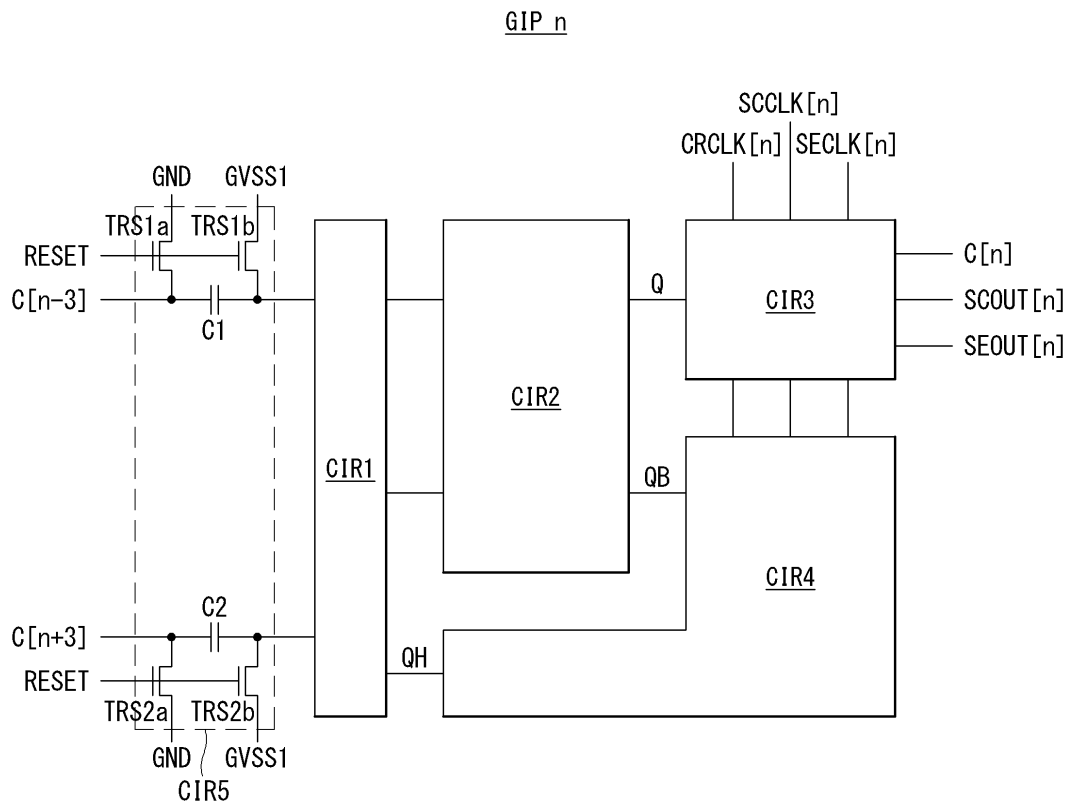
도면3



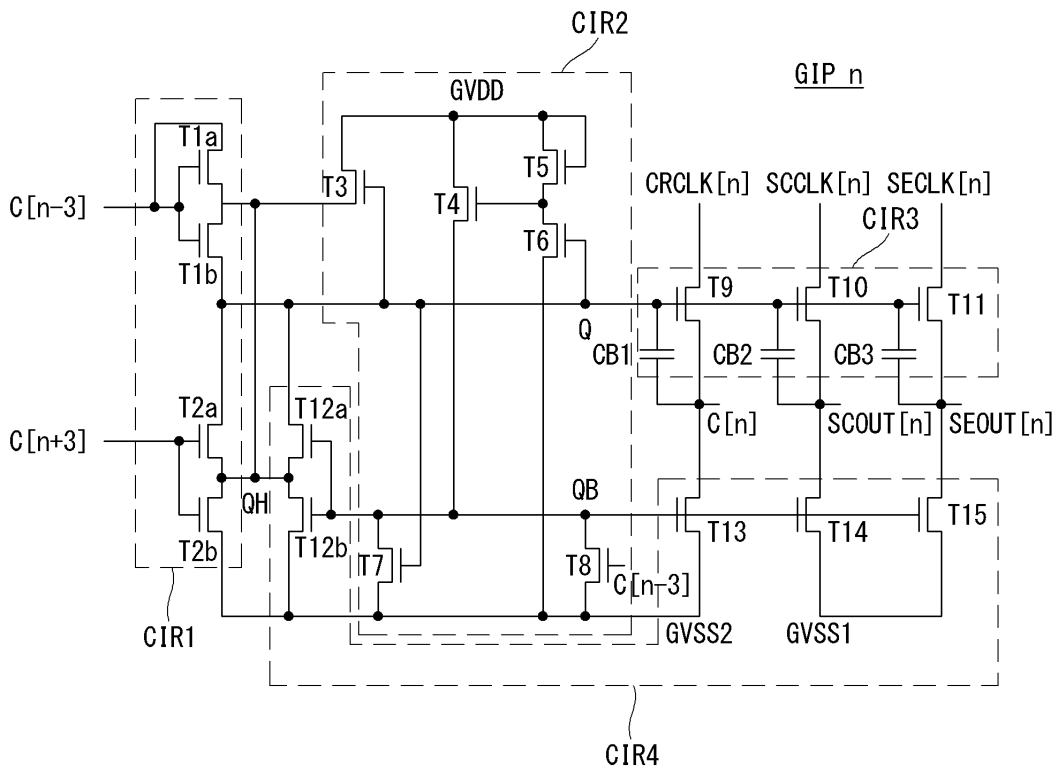
도면4



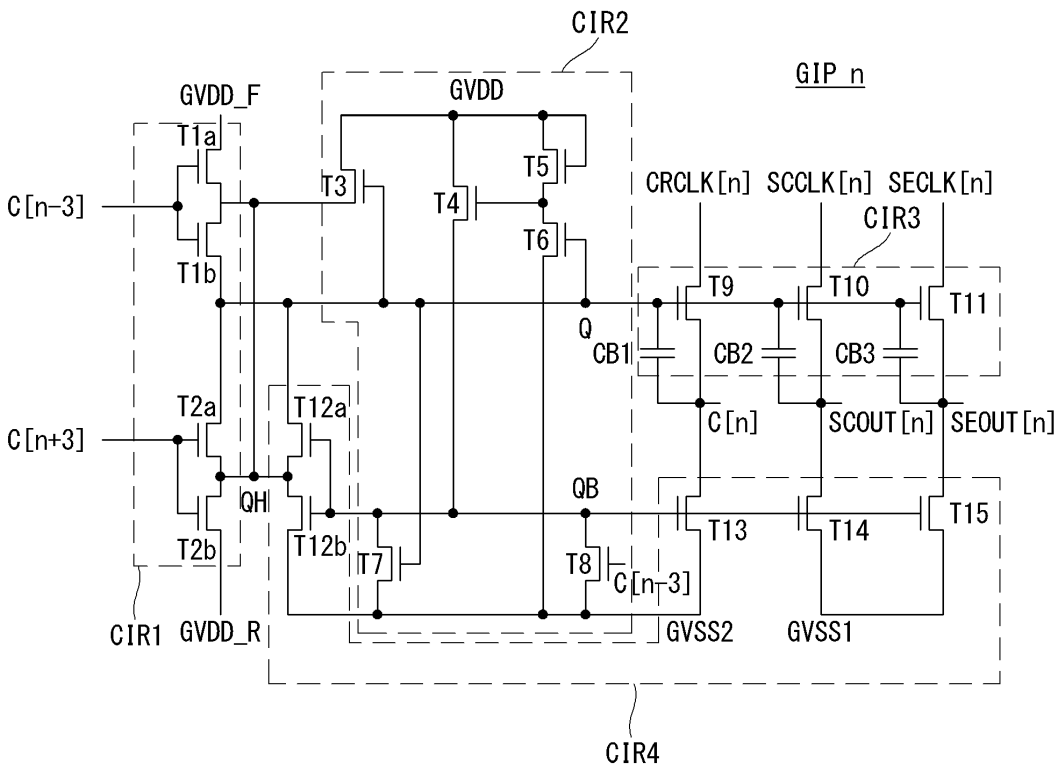
도면5



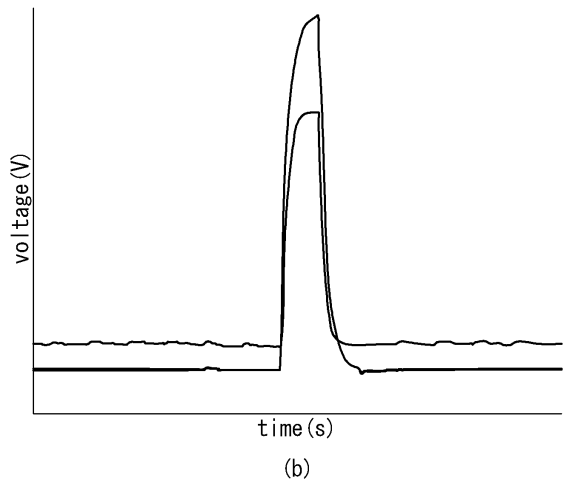
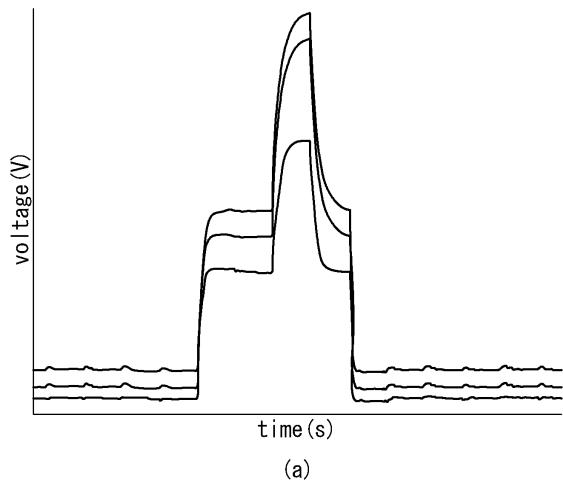
도면6



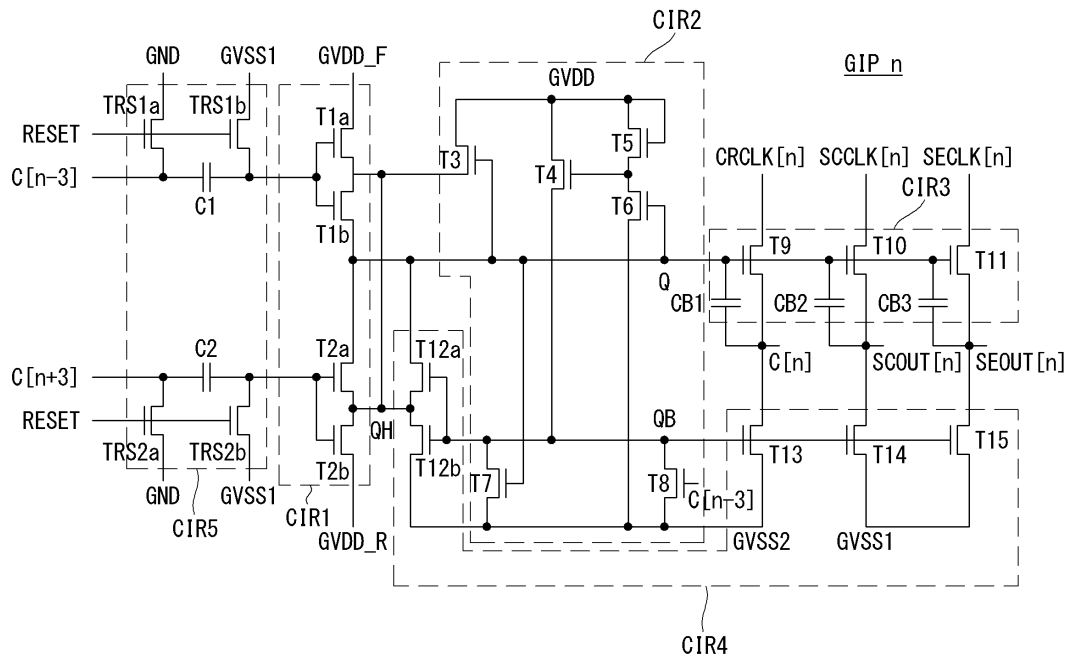
도면7



도면8

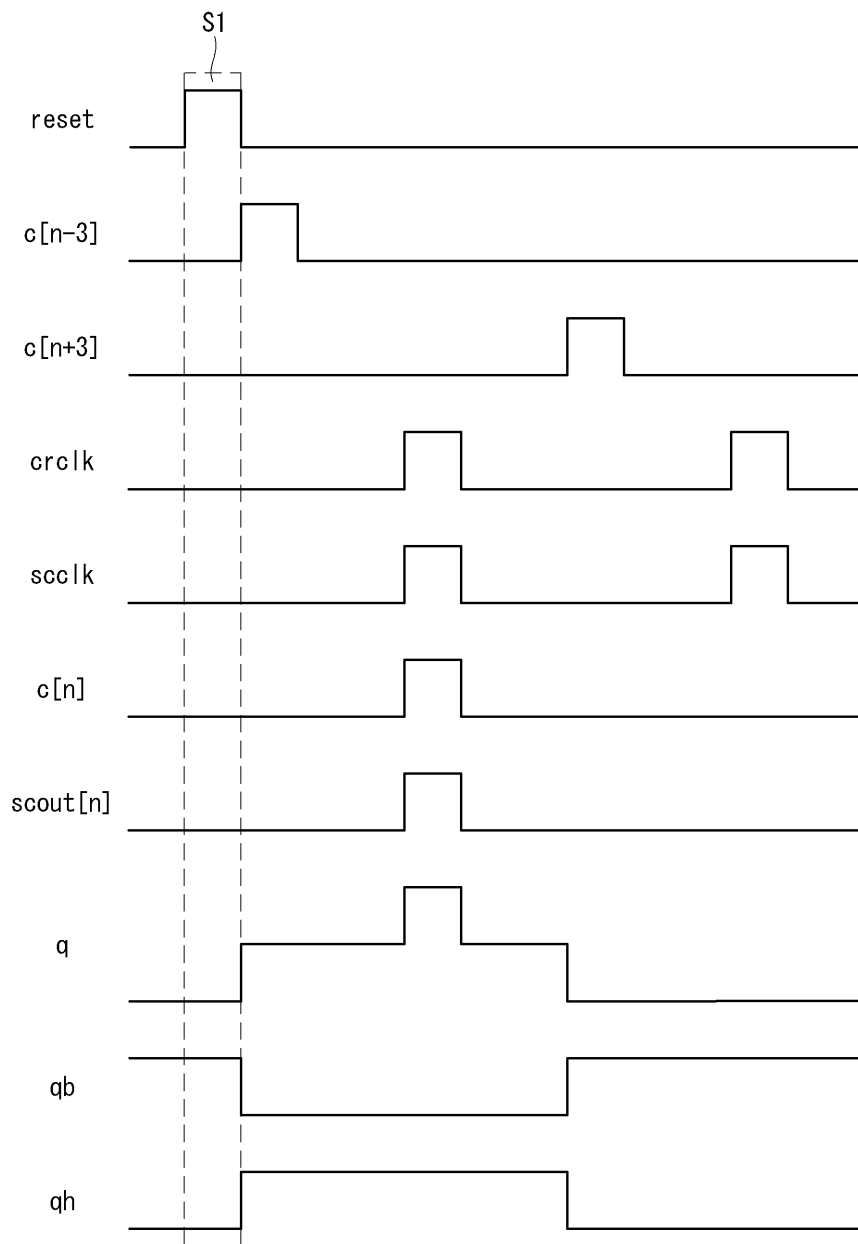


도면9

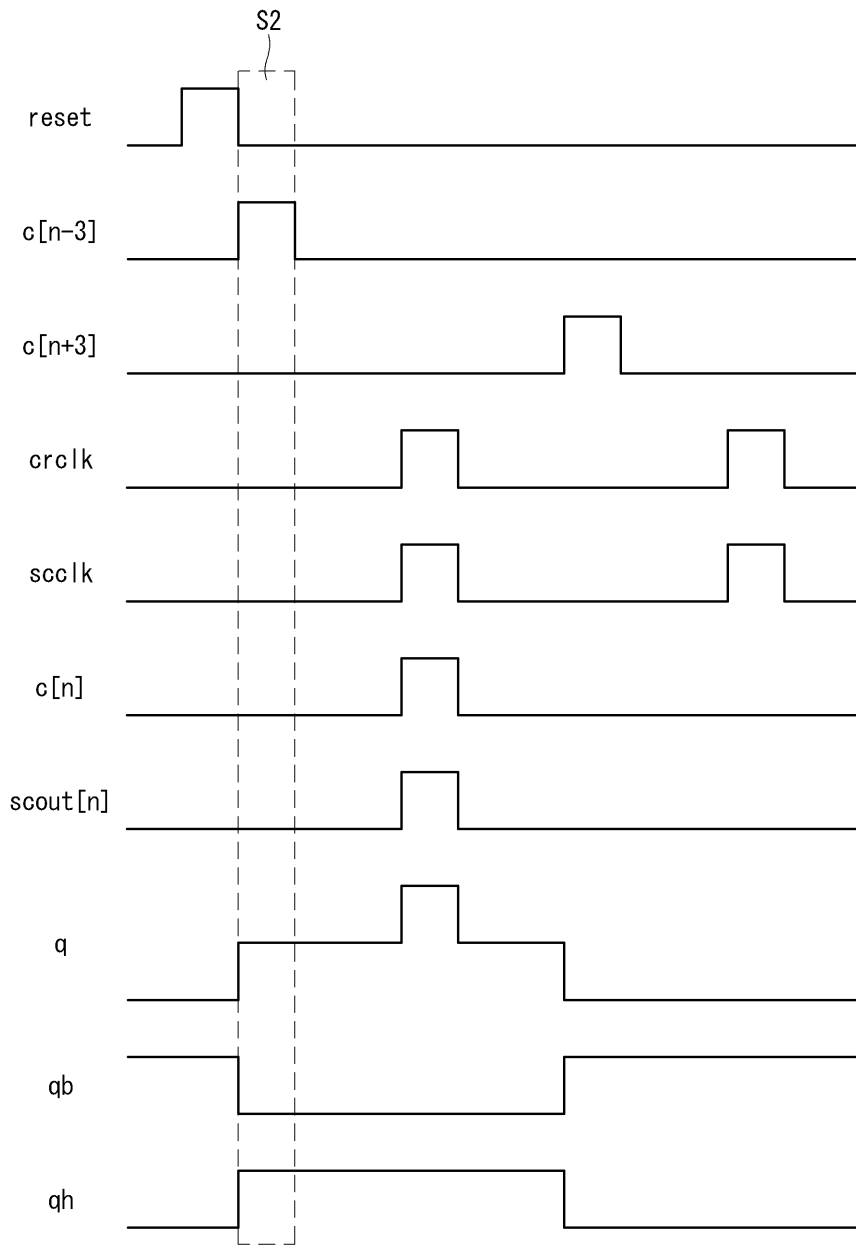




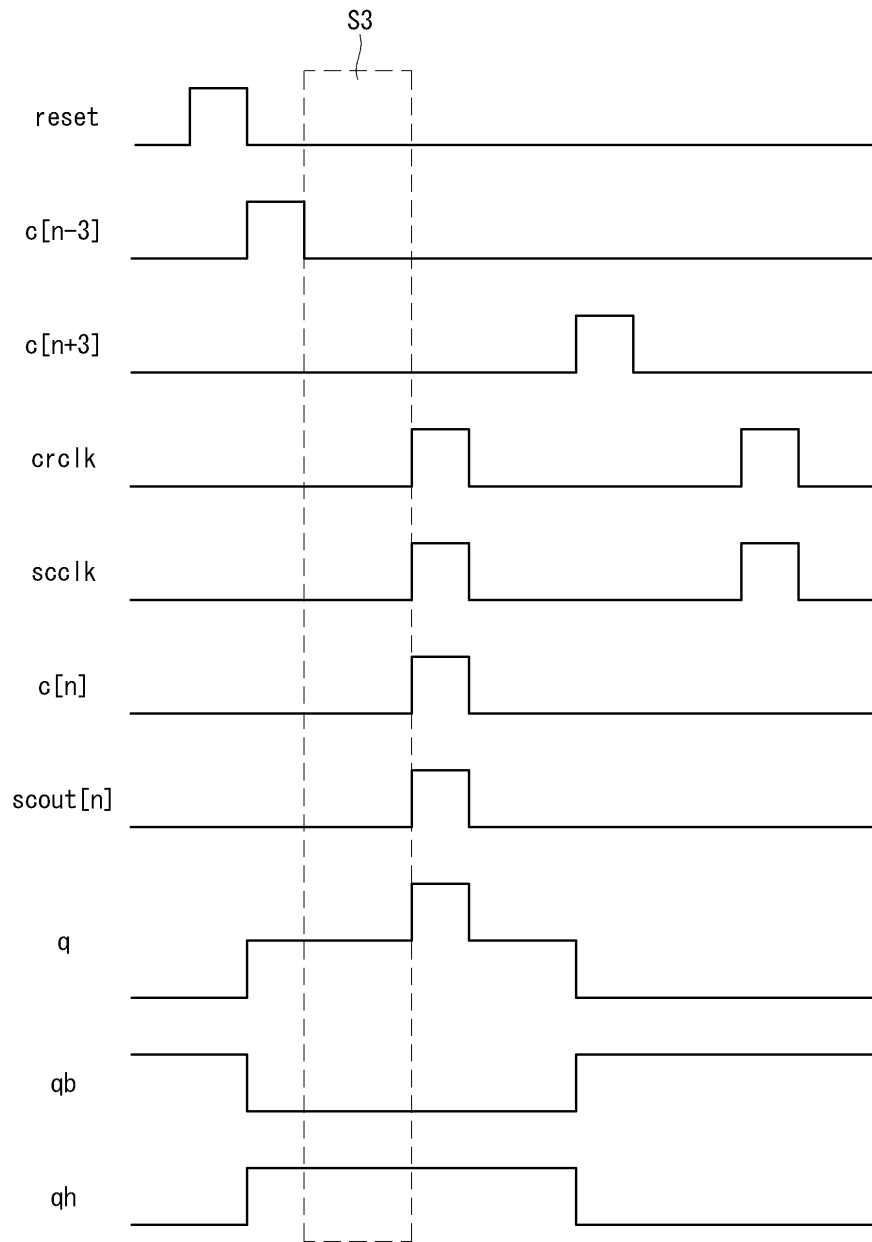
도면10



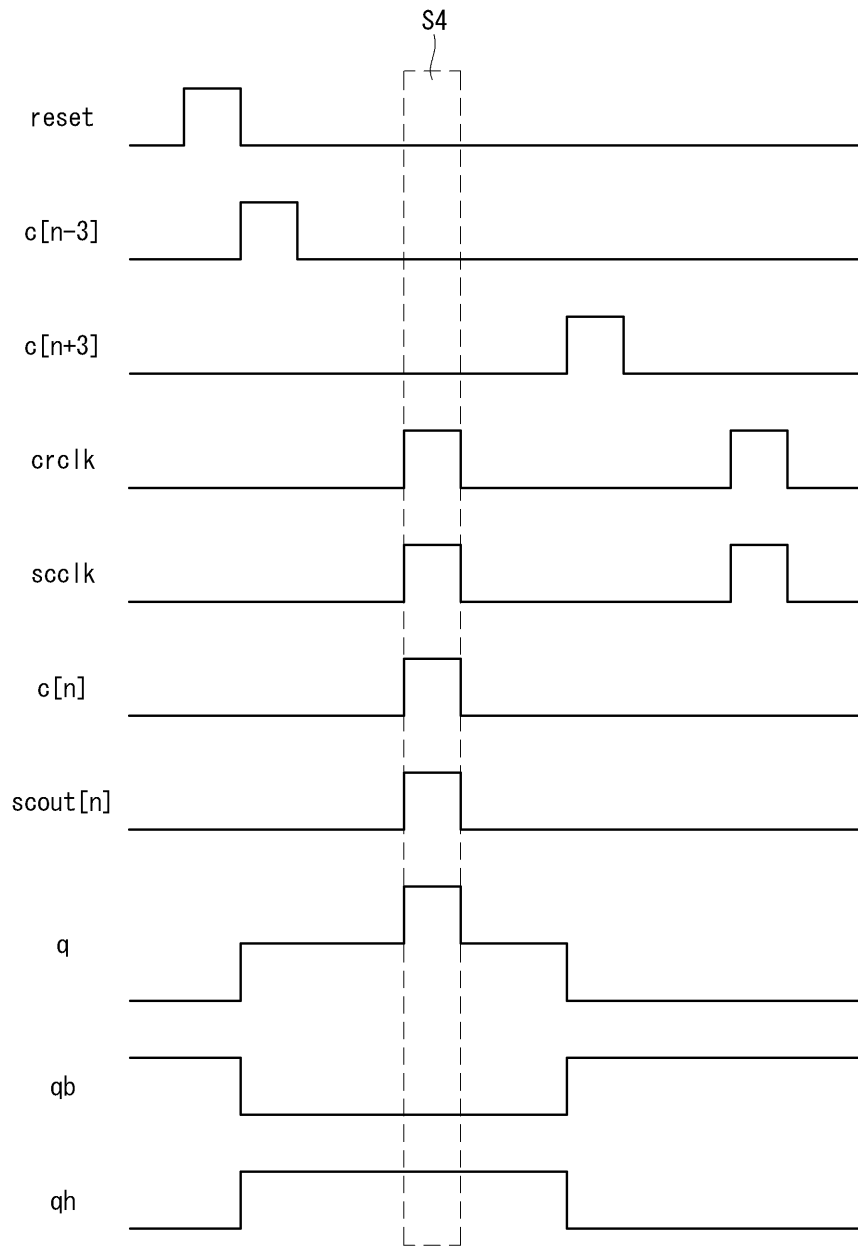
도면11



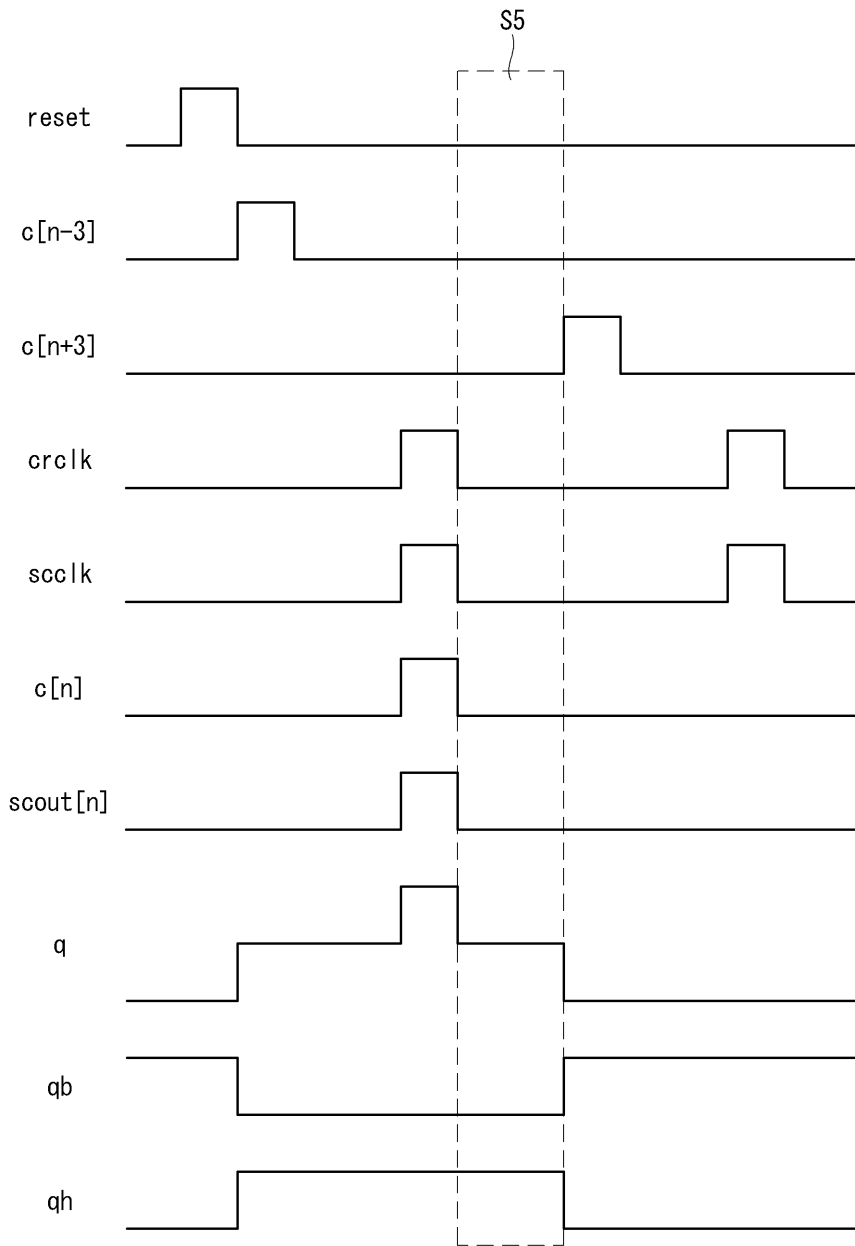
도면12



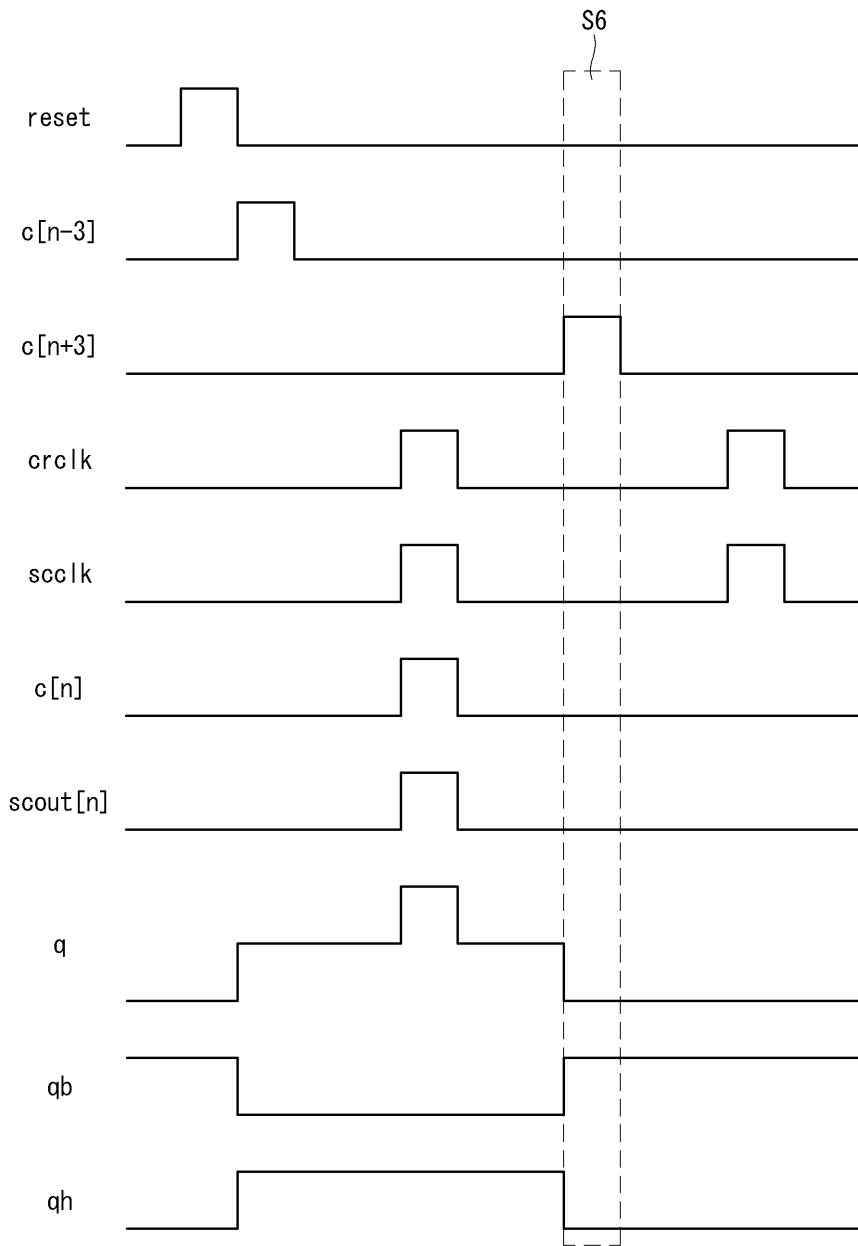
도면13



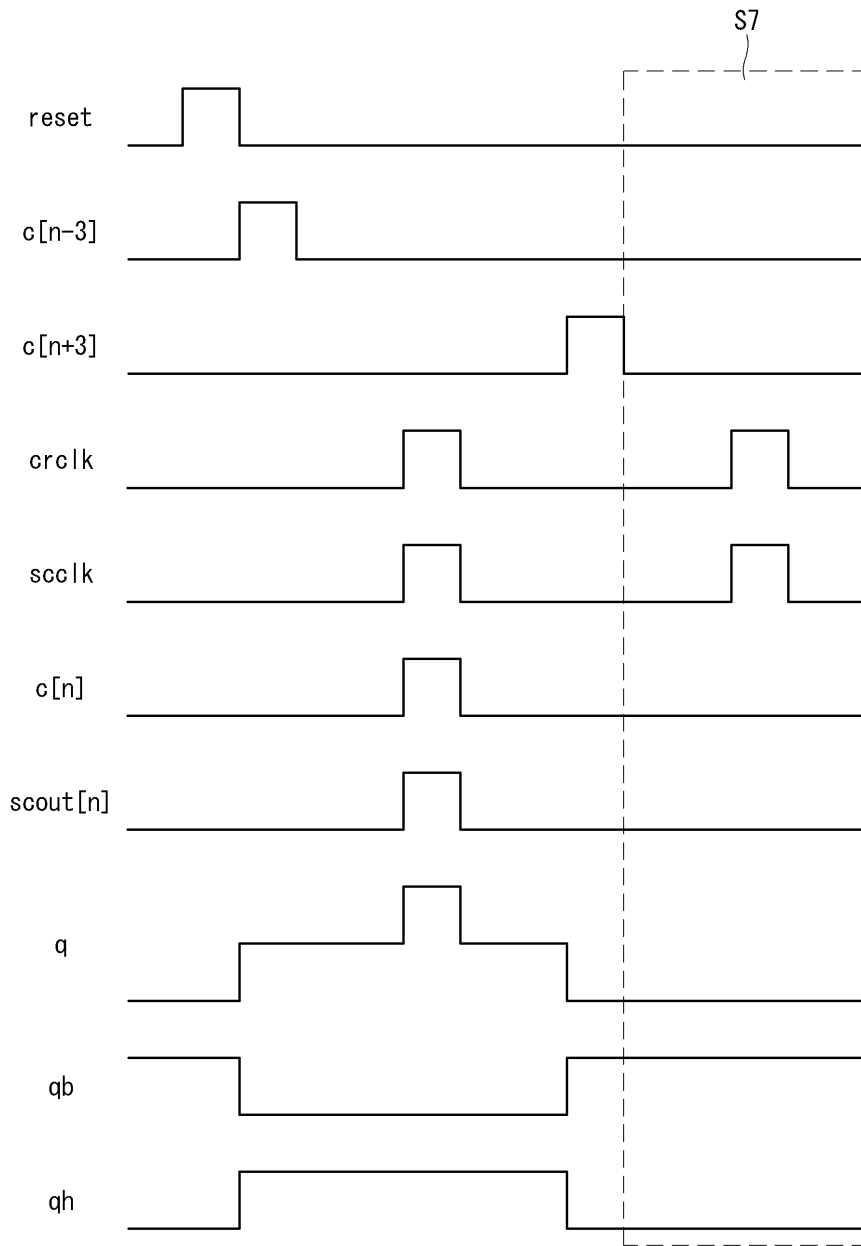
도면14



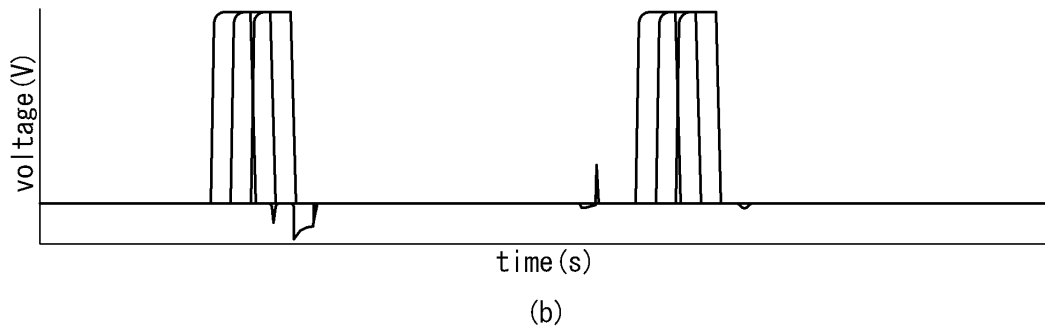
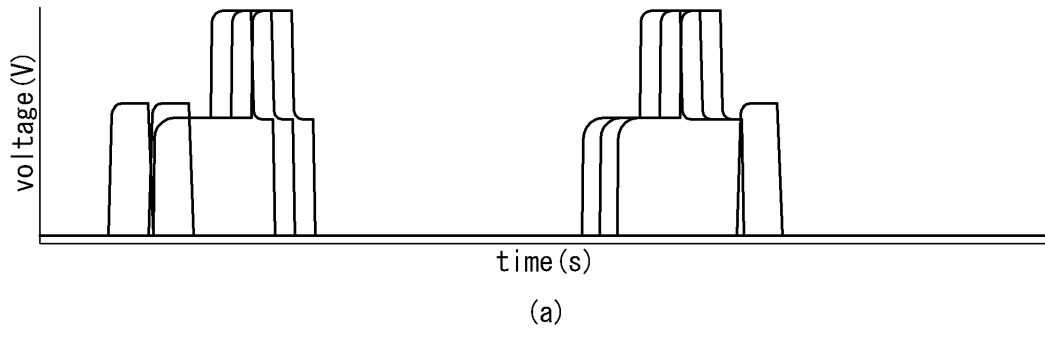
도면15



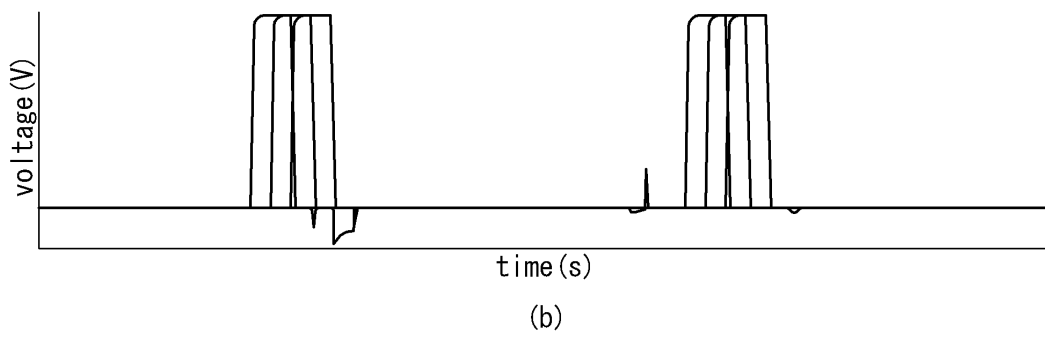
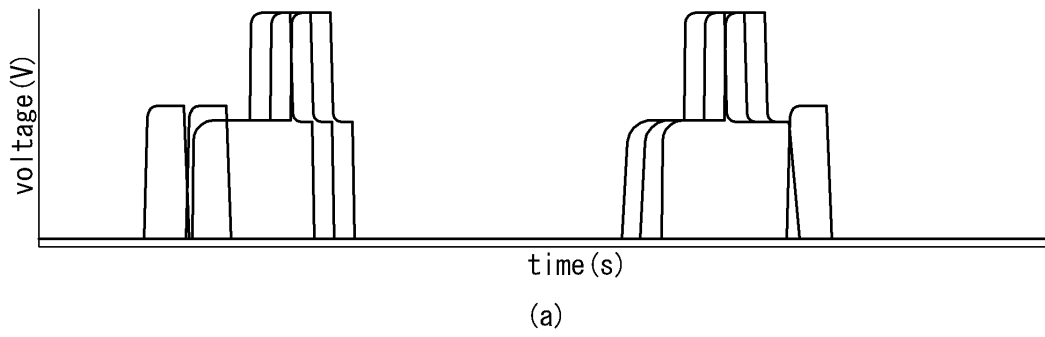
도면16



도면17

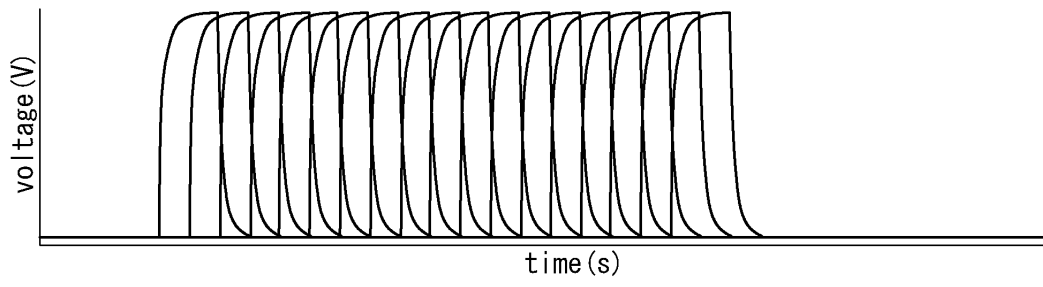


도면18

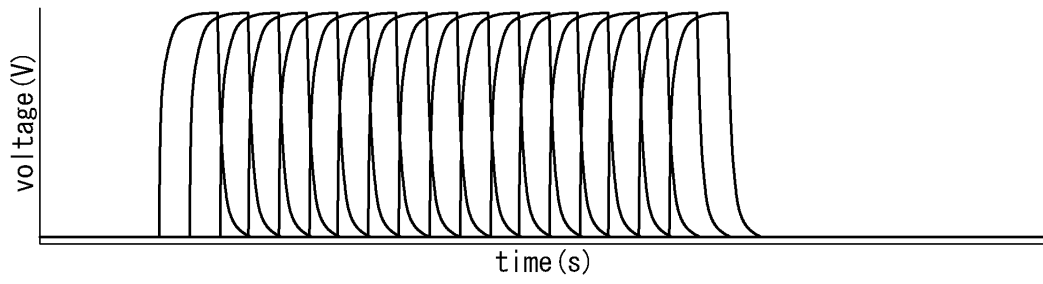




도면19



(a)



(b)