

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5688586号
(P5688586)

(45) 発行日 平成27年3月25日(2015.3.25)

(24) 登録日 平成27年2月6日(2015.2.6)

(51) Int. Cl.			F I		
H03M	1/12	(2006.01)	H03M	1/12	A
H03K	5/08	(2006.01)	H03K	5/08	E
H03M	1/36	(2006.01)	H03M	1/36	

請求項の数 9 (全 27 頁)

(21) 出願番号	特願2011-206003 (P2011-206003)	(73) 特許権者	000005223 富士通株式会社
(22) 出願日	平成23年9月21日(2011.9.21)		神奈川県川崎市中原区上小田中4丁目1番1号
(65) 公開番号	特開2013-70156 (P2013-70156A)	(74) 代理人	100072718 弁理士 古谷 史旺
(43) 公開日	平成25年4月18日(2013.4.18)	(74) 代理人	100116001 弁理士 森 俊秀
審査請求日	平成26年6月3日(2014.6.3)	(72) 発明者	檀上 匠 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内
		審査官	官島 郁美

最終頁に続く

(54) 【発明の名称】 コンパレータシステム、アナログデジタルコンバータおよびコンパレータの閾値補正方法。

(57) 【特許請求の範囲】

【請求項1】

入力信号をそれぞれ受ける一対の入力端子に接続される一対のキャパシタと、
前記キャパシタを介して前記入力信号を受け一対の入力ノードと、前記入力信号の電圧差を示す出力信号を出力する出力ノードとを有する少なくとも1つのコンパレータと、
前記一対の入力ノードにコモン電圧を設定する第1制御回路と、
前記出力ノードに接続される負荷の量を設定する第2制御回路と、
前記コンパレータの閾値を補正する補正期間に、所定量の負荷が基準のコンパレータの出力ノードに接続されるときに閾値の変動量に対応する電圧差を有する第1電圧および第2電圧を前記一対の入力端子にそれぞれ供給する第3制御回路と
を備え、

前記第1制御回路は、前記補正期間に、前記所定量の負荷が前記出力ノードに接続された状態で、前記出力信号の論理が反転するまで前記コモン電圧を変更し、前記出力信号の論理が反転するときの前記コモン電圧を前記補正期間後の通常動作期間に使用すること
を特徴とするコンパレータシステム。

【請求項2】

前記第2制御回路は、前記補正期間の前の検出期間に、前記所定量の負荷を前記コンパレータの1つである前記基準のコンパレータの前記出力ノードに接続し、

前記第3制御回路は、前記検出期間に、前記第1電圧および前記第2電圧の電圧差を変更し、前記出力信号の論理が反転するときの前記第1電圧および前記第2電圧の電圧差を

10

20

、所定量の負荷が前記基準のコンパレータの出力ノードに接続されているときの閾値の変動量として検出し、前記出力信号の論理が反転するときの前記第 1 電圧および前記第 2 電圧を、前記補正期間において前記基準のコンパレータを除くコンパレータに使用することを特徴とする請求項 1 記載のコンパレータシステム。

【請求項 3】

前記第 1 制御回路は、前記補正期間に、前記基準のコンパレータを除くコンパレータ毎に、前記出力信号の論理が反転するときの前記共通電圧の値を求め、求めた前記共通電圧を前記補正期間後の通常動作期間にそれぞれ使用することを特徴とする請求項 2 記載のコンパレータシステム。

【請求項 4】

前記第 1 制御回路は、前記コンパレータ毎に前記共通電圧を生成する共通電圧生成回路を備えていることを特徴とする請求項 3 記載のコンパレータシステム。

【請求項 5】

前記所定量の負荷は、前記出力ノードに接続可能な最大量の負荷であることを特徴とする請求項 1 ないし請求項 4 のいずれか 1 項に記載のコンパレータシステム。

【請求項 6】

請求項 1 ないし請求項 5 のいずれか 1 項に記載のコンパレータシステムと、前記コンパレータシステムからの出力信号の論理に基づいて、前記入力信号の電圧差を示すデジタル値を生成するエンコーダと

を備え、

前記第 2 制御回路は、通常動作期間中に前記出力ノードにそれぞれ接続する負荷の量を、複数の前記コンパレータで互いに相違させることを特徴とするアナログデジタルコンパレータ。

【請求項 7】

入力信号をそれぞれ受ける一対の入力端子に一対のキャパシタを介してそれぞれ接続される一対の入力ノードと、前記入力信号の電圧差を示す出力信号を出力する出力ノードとを有するコンパレータの閾値調整方法であって、

前記コンパレータの閾値を補正する補正期間に、

前記出力ノードに所定量の負荷を接続し、

前記所定量の負荷が基準のコンパレータの出力ノードに接続されるときに閾値の変動量に対応する電圧差を有する第 1 電圧および第 2 電圧を前記一対の入力端子にそれぞれ供給し、

前記所定量の負荷が前記出力ノードに接続された状態で、前記出力信号の論理が反転するまで前記共通電圧を変更し、

前記出力信号の論理が反転するときの前記共通電圧を前記補正期間後の通常動作期間に使用すること

を特徴とするコンパレータの閾値補正方法。

【請求項 8】

前記補正期間の前の検出期間に、

前記所定量の負荷を前記コンパレータの 1 つである基準のコンパレータの前記出力ノードに接続し、

前記第 1 電圧および前記第 2 電圧の電圧差を変更し、

前記出力信号の論理が反転するときの前記第 1 電圧および前記第 2 電圧の電圧差を、所定量の負荷が前記基準のコンパレータの出力ノードに接続されているときの閾値の変動量として検出し、前記出力信号の論理が反転するときの前記第 1 電圧および前記第 2 電圧を前記補正期間において前記基準のコンパレータを除くコンパレータに使用すること

を特徴とする請求項 7 記載のコンパレータの閾値補正方法。

【請求項 9】

前記補正期間に、前記基準のコンパレータを除くコンパレータ毎に、前記出力信号の論

10

20

30

40

50

理が反転するときの前記コモン電圧の値を求め、求めた前記コモン電圧を前記補正期間後の通常動作期間にそれぞれ使用すること

を特徴とする請求項 8 記載のコンパレータの閾値補正方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、コンパレータを有するコンパレータシステム、コンパレータシステムを有するアナログデジタルコンバータおよびコンパレータの閾値補正方法に関する。

【背景技術】

【0002】

アナログデジタルコンバータ等に搭載されるコンパレータは、一对の入力信号を入力端子で受け、入力信号の電圧差を示す信号を出力端子から出力する。例えば、オフセット電圧を調整するために、出力ノードに可変容量回路を接続することが提案されている（例えば、特許文献 1 参照。）。また、オフセット電圧を入力信号の電圧に応じて動的に変更する手法が提案されている（例えば、特許文献 2 参照。）。

【先行技術文献】

【特許文献】

【0003】

【特許文献 1】特開 2010 - 213042 号公報

【特許文献 2】特開平 8 - 116243 号公報

【発明の概要】

【発明が解決しようとする課題】

【0004】

コンパレータに形成されるトランジスタ等の製造条件の変動あるいは温度変動等によりコンパレータの電気的特性が変化すると、出力信号の論理が反転するときの入力信号の電圧差であるオフセット電圧やコンパレータの閾値は、標準値に対してずれてしまう。特に、出力ノードに接続される負荷の量に応じて閾値を変更可能なコンパレータシステムにおいて、製造条件の変動等による閾値のずれを補正する手法は提案されていない。

【0005】

本発明の目的は、閾値のずれを補正できるコンパレータシステムを提供することである。

【課題を解決するための手段】

【0006】

本発明の一形態におけるコンパレータシステムは、入力信号をそれぞれ受ける一对の入力端子に接続される一对のキャパシタと、キャパシタを介して入力信号を受ける一对の入力ノードと、入力信号の電圧差を示す出力信号を出力する出力ノードとを有する少なくとも一つのコンパレータと、一对の入力ノードにコモン電圧を設定する第 1 制御回路と、出力ノードに接続される負荷の量を設定する第 2 制御回路と、コンパレータの閾値を補正する補正期間に、所定量の負荷が基準のコンパレータの出力ノードに接続されるときに閾値の変動量に対応する電圧差を有する第 1 電圧および第 2 電圧を一对の入力端子にそれぞれ供給する第 3 制御回路とを備え、第 1 制御回路は、補正期間に、所定量の負荷が出力ノードに接続された状態で、出力信号の論理が反転するまでコモン電圧を変更し、出力信号の論理が反転するときのコモン電圧を補正期間後の通常動作期間に使用する。

【発明の効果】

【0007】

出力ノードに接続される負荷の量に応じて閾値を変更可能なコンパレータシステムにおいて、製造条件の変動等による閾値のずれを補正できる。

【図面の簡単な説明】

【0008】

【図 1】一実施形態におけるコンパレータシステムの例を示している。

10

20

30

40

50

【図2】別の実施形態におけるコンパレータシステムの例を示している。

【図3】別の実施形態におけるコンパレータシステムの例を示している。

【図4】図3に示したコンパレータの例を示している。

【図5】図4に示したコンパレータの動作の例を示している。

【図6】図4に示したコンパレータにおいて、出力ノードに接続される負荷の量と閾値の変動量との関係の例を示している。

【図7】図4に示したコンパレータにおいて、コモン電圧と閾値の変動量との関係の例を示している。

【図8】図4に示したコンパレータにおいて、コモン電圧と閾値の変動量との関係の別の例を示している。

10

【図9】図3に示したコンパレータシステムの動作の例を示している。

【図10】図9に示したステップS100の動作の例を示している。

【図11】図9に示したステップS100を実行するコンパレータシステムの動作波形の例を示している。

【図12】図9に示したステップS200の動作の例を示している。

【図13】図9に示したステップS200を実行するコンパレータシステムの動作波形の例を示している。

【図14】図9に示したステップS200を実行するコンパレータシステムの動作波形の別の例を示している。

【図15】図3に示したコンパレータシステムを応用したアナログデジタルコンバータの例を示している。

20

【図16】図15に示したコンパレータの通常動作時の閾値の設定例を示している。

【図17】図15に示したアナログデジタルコンバータの動作の例を示している。

【発明を実施するための形態】

【0009】

以下、図面を用いて実施形態を説明する。信号が伝達される信号線には、信号名と同じ符号を使用する。

【0010】

図1は、一実施形態におけるコンパレータシステムC S Y Sの例を示している。コンパレータシステムC S Y Sは、コンパレータC O M P a、キャパシタC P a、C N aおよび制御回路C N T 1、C N T 2、C N T 3を有している。

30

【0011】

コンパレータC O M P aの“+”側の入力ノードV I P aは、キャパシタC P aを介して入力信号V I Pを受ける入力端子V I Pに接続されている。コンパレータC O M P aの“-”側の入力ノードV I N aは、キャパシタC N aを介して入力信号V I Nを受ける入力端子V I Nに接続されている。コンパレータC O M P aの出力ノードO P aは、出力端子O U T aに接続され、入力信号V I P、V I Nの電圧差を示す出力信号O U T aを出力する。

【0012】

制御回路C N T 1は、入力ノードV I P a、V I N aにコモン電圧V C M aを設定する。入力信号V I P、V I Nの直流成分は、キャパシタC P a、C N aにより入力ノードV I P a、V I N aに伝達されない。これにより、制御回路C N T 1を用いて、入力ノードV I P a、V I N aを任意のコモン電圧V C M aに初期設定できる。換言すれば、入力信号V I P、V I Nの電圧を、コンパレータC O M P aが正常に動作する入力電圧の範囲にシフトできる。なお、制御回路C N T 1は、コンパレータシステムC S Y Sの外部（例えば、コンパレータシステムC S Y Sが搭載されるチップの外部）に配置されてもよい。

40

【0013】

制御回路C N T 2は、出力ノードO P aに接続される負荷の量を設定する。この実施形態では、出力ノードO P aに接続される負荷の量に応じて、コンパレータC O M P aの閾値が切り換えられる。閾値は、出力ノードO P aの論理が論理0から論理1または論理1

50

から論理 0 に変化するときの入力電圧 V_{IP} 、 V_{IN} の差 $V_{IP} - V_{IN}$ である。ここで、論理 1 は、高い側の電圧（ハイレベル）を示し、論理 0 は、低い側の電圧（ロウレベル）を示す。なお、制御回路 $CNT2$ は、コンパレータ $COMP a$ の内部に形成されてもよい。

【0014】

制御回路 $CNT2$ により閾値がゼロに設定されているとき、コンパレータ $COMP a$ は、入力電圧 V_{IP} が入力電圧 V_{IN} より高いときに出力ノード $OP a$ に論理 0 を出力し、入力電圧 V_{IP} が入力電圧 V_{IN} より低いときに出力ノード $OP a$ に論理 1 を出力する。例えば、制御回路 $CNT2$ により閾値が $+100\text{ mV}$ に設定されているとき、出力信号 $OUT a$ は、入力電圧 V_{IP} と入力電圧 V_{IN} の差 “ $V_{IP} - V_{IN}$ ” が 100 mV 以上高いとき論理 0 になり、電圧差 “ $V_{IP} - V_{IN}$ ” が 100 mV より低いとき論理 1 になる。制御回路 $CNT2$ により閾値が -100 mV が設定されているとき、出力信号 $OUT a$ は、電圧差 “ $V_{IP} - V_{IN}$ ” が -100 mV 以上のとき（例えば、 -80 mV や $+20\text{ mV}$ ）、論理 0 になり、電圧差 “ $V_{IP} - V_{IN}$ ” が -100 mV より低いとき（例えば、 -110 mV ）、論理 1 になる。

10

【0015】

制御回路 $CNT3$ は、コンパレータ $COMP a$ の閾値を補正する補正期間に、所定の電圧差を有する電圧 V_P 、 V_N を入力端子 V_{IP} 、 V_{IN} にそれぞれ供給する。なお、電圧 V_P 、 V_N は、通常動作期間に入力信号 V_{IP} 、 V_{IN} を生成する信号生成回路を用いて生成されてもよい。補正期間は、コンパレータ $COMP a$ が入力信号 V_{IP} 、 V_{IN} の電圧の比較動作を実施する通常動作期間の前に設定される。

20

【0016】

電圧 V_P 、 V_N の所定の電圧差は、所定量の負荷が基準のコンパレータの出力ノードに接続されているときの基準のコンパレータの閾値の変動量に対応する。例えば、基準のコンパレータは、コンパレータ $COMP a$ と同じ回路であり、コンパレータシステム CYS 内に形成される別のコンパレータである。あるいは、基準のコンパレータは、電気的特性が標準のコンパレータである。標準のコンパレータに形成されるトランジスタの電気的特性（閾値電圧等）は、例えば標準値（Typical）を示す。この場合、標準のコンパレータの閾値の変動量は、コンパレータシステム CYS の設計時や製造時に予め求められてもよい。

30

【0017】

例えば、所定量の負荷を基準のコンパレータの出力ノードに接続する前と接続した後とで、基準のコンパレータの閾値が 100 mV 変化するとき、制御回路 $CNT3$ は、 100 mV の電圧差を有する電圧 V_P 、 V_N を入力端子 V_{IP} 、 V_{IN} に出力する。これにより、所定量の負荷の接続により変化する閾値の変動量を、所定の電圧差を有する電圧 V_P 、 V_N により相殺できる。換言すれば、所定量の負荷を出力ノード $OP a$ に接続し、所定の電圧差を有する電圧 V_P 、 V_N を入力端子 V_{IP} 、 V_{IN} に供給し、コモン電圧 $V_{CM a}$ を変化させて出力信号 $OUT a$ の論理をモニタすることで、コンパレータ $COMP$ と基準のコンパレータとの閾値のずれを検出できる。

【0018】

制御回路 $CNT1$ は、補正期間に、所定量の負荷が出力ノード $OP a$ に接続された状態で、出力信号 $OUT a$ の論理が反転するまでコモン電圧 $V_{CM a}$ を徐々に変更する。制御回路 $CNT1$ は、出力信号 $OUT a$ の論理が反転するときのコモン電圧 $V_{CM a}$ と基準のコモン電圧との差を、コンパレータ $COMP$ と基準のコンパレータとの閾値のずれとして検出する。換言すれば、出力信号 $OUT a$ の論理が反転するときのコモン電圧 $V_{CM a}$ により、閾値のずれが相殺され、閾値が基準のコンパレータの閾値と同じ値に補正される。そして、制御回路 $CNT1$ は、出力信号 $OUT a$ の論理が反転するときのコモン電圧 $V_{CM a}$ を補正期間後の通常動作期間に使用する。

40

【0019】

閾値は、コンパレータ $COMP a$ を形成するトランジスタや抵抗等の素子の電気的特性

50

のばらつきに応じて変動する。素子の電気的特性は、コンパレータシステム C S Y S の製造工程での製造条件のばらつきにより変動する。コンパレータシステム C S Y S が複数のコンパレータ C O M P a を有するときも、コンパレータ C O M P a の閾値は互いにずれる場合がある。

【 0 0 2 0 】

なお、コモン電圧 V C M a を所定の範囲で変化させても出力信号 O U T a の論理が反転しないとき、制御回路 C N T 1 は、コンパレータ C O M P a の閾値が基準のコンパレータの閾値に等しいと判断し、基準のコモン電圧 V C M a を通常動作期間に使用する。例えば、基準のコモン電圧 V C M a は、基準のコンパレータの閾値の変動量の評価時に使用したコモン電圧である。

10

【 0 0 2 1 】

以上、この実施形態では、出力ノード O P a に接続される負荷の量に応じて閾値を変更可能なコンパレータシステム C S Y S において、制御回路 C N T 1 によりコモン電圧 V C M a の値を調整することで、コンパレータ C O M P a の閾値のずれを基準のコンパレータの閾値に合わせて補正できる。この結果、入力電圧 V I P、V I N の差を高い精度で比較できるコンパレータシステム C S Y S を提供できる。

【 0 0 2 2 】

図 2 は、別の実施形態におけるコンパレータシステム C S Y S の例を示している。上述した実施形態で説明した要素と同一の要素については、同一の符号を付し、これ等については、詳細な説明を省略する。この実施形態のコンパレータシステム C S Y S は、コンパレータ C O M P (C O M P a、C O M P b)、制御回路 C N T 1、C N T 2、C N T 3 およびキャパシタ C P a、C N a、C P b、C N b を有している。

20

【 0 0 2 3 】

コンパレータ C O M P a、C O M P b は、互いに同じ回路であり、例えば、図 1 のコンパレータ C O M P a と同じ回路である。コンパレータ C O M P b の入力ノード V I P b は、キャパシタ C P b を介して入力端子 V I P に接続されている。コンパレータ C O M P b の入力ノード V I N b は、キャパシタ C N b を介して入力端子 V I N に接続されている。コンパレータ C O M P b の出力ノード O P b は、出力端子 O U T b に接続され、入力信号 V I P、V I N の電圧差を示す出力信号 O U T b を出力する。コンパレータ C O M P a、C O M P b の動作は、図 1 のコンパレータ C O M P a の動作と同じである。

30

【 0 0 2 4 】

この実施形態では、コンパレータ C O M P a、C O M P b の一方の閾値が、閾値の変動量として補正期間の前の検出期間に求められ、コンパレータ C O M P a、C O M P b の他方の閾値が、検出期間に求められた閾値と同じ値に補正される。以下の説明では、検出期間にコンパレータ C O M P a (基準のコンパレータ) の閾値の変動量が求められ、補正期間に基準のコンパレータを除くコンパレータ C O M P b の閾値が補正される例を述べる。

【 0 0 2 5 】

制御回路 C N T 1 は、入力ノード V I P b、V I N b にコモン電圧 V C M b を設定する機能を、図 1 の制御回路 C N T 1 に追加している。なお、制御回路 C N T 1 は、コンパレータシステム C S Y S の外部 (例えば、コンパレータシステム C S Y S が搭載されるチップの外部) に配置されてもよい。制御回路 C N T 2 は、コンパレータ C O M P b の出力ノード O P b に接続される負荷の量を設定する機能を、図 1 の制御回路 C N T 2 に追加している。

40

【 0 0 2 6 】

制御回路 C N T 3 は、検出期間に、所定量の負荷がコンパレータ C O M P a の出力ノード O P a に接続されている状態で、電圧 V P、V N の電圧差を徐々に変更する。そして、制御回路 C N T 3 は、コンパレータ C O M P a の出力信号 O U T a の論理が反転するときの電圧 V P、V N の電圧差を、制御回路 C N T 2 により所定量の負荷がコンパレータ C O M P a の出力ノード O P a に接続されたときの閾値の変動量として検出する。

【 0 0 2 7 】

50

制御回路CNT3は、補正期間において、検出期間に検出された電圧差を有する電圧VP、VNを入力端子VIP、VINにそれぞれ供給する。なお、検出期間および補正期間に、電圧VP、VNは、通常動作期間に入力信号VIP、VINを生成する信号生成回路を用いて生成されてもよい。制御回路CNT2は、検出期間中にコンパレータCOMP aの出力ノードOP aに接続した所定量の負荷と同量の負荷をコンパレータCOMP bの出力ノードOP bに接続する。

【0028】

そして、制御回路1は、図1の動作と同様に、所定量の負荷が出力ノードOP bに接続された状態で、出力信号OUT bの論理が反転するまでコモン電圧VCM bを徐々に変更する。制御回路CNT1は、出力信号OUT bの論理が反転するときのコモン電圧VCM bと、検出期間に使用した基準のコモン電圧との差を、コンパレータCOMP bと基準のコンパレータCOMP aとの閾値のずれとして検出する。換言すれば、出力信号OUT bの論理が反転するときのコモン電圧VCM bにより、コンパレータCOMP a、COMP bの閾値のずれが相殺され、閾値は同じ値に設定される。制御回路CNT1は、補正期間後の通常動作期間に、補正期間に求めたコモン電圧VCM bをコンパレータCOMP bの入力ノードVIP b、VIN bに設定し、基準のコモン電圧をコモン電圧VCM aとしてコンパレータCOMP aの入力ノードVIP a、VIN aに使用する。

10

【0029】

なお、図1のコンパレータシステムCSYSと同様に、制御回路CNT3は、コンパレータシステムCSYSのコンパレータCOMP a、COMP b以外の基準のコンパレータに所定量の負荷が接続されるときに閾値の変動量(予め求められている)に対応する電圧差を有する電圧VP、VNを生成してもよい。この場合、上述した検出期間は不要であり、補正期間では、コンパレータCOMP a、COMP bの閾値は、基準のコンパレータの閾値に合わせられる。

20

【0030】

図2では、コンパレータシステムCSYSが2つのコンパレータCOMP (COMP a、COMP b)を有する例について述べたが、コンパレータシステムCSYSは、3つ以上のコンパレータCOMPを有していてもよい。この場合、コンパレータCOMPの1つが基準のコンパレータとして扱われ、基準のコンパレータを除くコンパレータCOMPの閾値が基準のコンパレータの閾値に合わせられる。

30

【0031】

例えば、3個のコンパレータCOMPにより2ビットのフラッシュ型アナログデジタルコンバータを形成でき、15個のコンパレータCOMPにより4ビットのフラッシュ型アナログデジタルコンバータを形成できる。フラッシュ型アナログデジタルコンバータでは、複数のコンパレータCOMPの閾値は、制御回路CNT2により互いに異なる値に設定され、各コンパレータCOMPの出力信号の論理に応じて、入力信号VIP、VINの電圧差を示すデジタル値が生成される。

【0032】

以上、この実施形態においても、上述した実施形態と同様の効果を得ることができる。さらに、複数のコンパレータCOMP a、COMP bの出力ノードOP a、OP bに接続される負荷の量に応じて閾値をそれぞれ変更可能なコンパレータシステムCSYSにおいて、コンパレータCOMP a、COMP bの閾値を互いに合わせることができる。

40

【0033】

図3は、別の実施形態におけるコンパレータシステムCSYSの例を示している。上述した実施形態で説明した要素と同一の要素については、同一の符号を付し、これ等については、詳細な説明を省略する。

【0034】

この実施形態のコンパレータシステムCSYSは、コンパレータCOMP (COMP a、COMP b、COMP c)、入力電圧生成回路VIGEN、コモン電圧生成回路VCM GEN、キャパシタCP a、CNa、CP b、CN b、CP c、CN c、スイッチ回路S

50

W1、SW2、SW3および制御回路CNTを有している。コンパレータCOMP a、COMP b、COMP cは、互いに同じ回路であり、コンパレータCOMP a、COMP b、COMP cの動作は、図1のコンパレータCOMP aと同じである。

【0035】

各コンパレータCOMPは、出力ノードOP(OP a、OP b、OP c)、ON(ON a、ON b、ON c)に所定量の負荷を接続する機能を含んでいる。すなわち、各コンパレータCOMPは、図1および図2に示した制御回路CNT2の機能の一部を含んでいる。各コンパレータCOMPは、所定量の負荷を接続する機能を含んでいる点、クロックCLKに同期して動作する点、および差動の出力ノードOP(OP a、OP b、OP c)、ON(ON a、ON b、ON c)を有することを除き、図1に示したコンパレータCOMP aおよび図2に示したコンパレータCOMP bと同様の回路である。

10

【0036】

コンパレータCOMP cの入力ノードVIP cは、キャパシタCP cを介して入力端子VIPに接続されている。コンパレータCOMP cの入力ノードVIN cは、キャパシタCN cを介して入力端子VINに接続されている。各コンパレータCOMPの出力ノードOP、ONは、設定されている閾値に応じて、入力信号VIP、VINの電圧差を示す相補の出力信号を出力する。

【0037】

入力電圧生成回路VIGENは、図2に示した制御回路CNT3の機能の一部を含んでいる。入力電圧生成回路VIGENは、制御回路CNTのレジスタREGに設定される制御信号VCNTの値に応じて、電圧VP、VNを生成する。なお、電圧VP、VNは、入力電圧生成回路VIGENを形成することなく、通常動作期間に入力信号VIP、VINを生成する信号生成回路を用いて生成されてもよい。

20

【0038】

コモン電圧生成回路VCMGENは、入力ノードVIP a、VIN aに設定されるコモン電圧VCM aを制御信号CNT1 aの値に応じて生成し、入力ノードVIP b、VIN bに設定されるコモン電圧VCM bを制御信号CNT1 bの値に応じて生成する。また、コモン電圧生成回路VCMGENは、入力ノードVIP c、VIN cに設定されるコモン電圧VCM cを制御信号CNT1 cの値に応じて生成する。例えば、コモン電圧生成回路VCMGENは、抵抗型デジタルアナログコンバータや容量型デジタルアナログコンバータを用いて形成される。なお、コモン電圧生成回路VCMGENは、コンパレータシステムCSSの外部(例えば、コンパレータシステムCSSが搭載されるチップの外部)に配置されてもよい。

30

【0039】

制御回路CNTは、制御信号VCNT、CNT1 a、CNT1 b、CNT1 c、制御信号CP a(CP a1 - CP a16)、CN a(CN a1 - CN a16)、CP b(CP b1 - CP b16)、CN b(CN b1 - CN b16)、CP c(CP c1 - CP c16)、CN c(CN c1 - CN c16)として出力する値を保持するレジスタREGを有している。制御信号CP a、CN aは、コンパレータCOMP a内に形成される負荷生成回路の動作を制御する。制御信号CP b、CN bは、コンパレータCOMP b内に形成される負荷生成回路の動作を制御する。制御信号CP c、CN cは、コンパレータCOMP c内に形成される負荷生成回路の動作を制御する。また、制御回路CNTは、スイッチ制御信号SCNT1、SCNT2、SCNT3を出力する機能を有している。

40

【0040】

スイッチ回路SW1は、入力端子VIPをキャパシタCP a、CP b、CP cの一端であるノードVIP0 a、VIP0 b、VIP0 cにそれぞれ接続するスイッチを有している。また、スイッチ回路SW1は、入力端子VINをキャパシタCN a、CN b、CN cの一端であるノードVIN0 a、VIN0 b、VIN0 cにそれぞれ接続するスイッチとを有している。スイッチ回路SW1の各スイッチは、例えば、CMOSTランスマッションゲートにより形成されており、制御回路CNTにより生成されるスイッチ制御信号SC

50

NT 1によりオンまたはオフされる。

【0041】

スイッチ回路SW 2は、ノードVIP 0 a、VIN 0 a、VIP 0 b、VIN 0 b、VIP 0 c、VIN 0 cを接地線VSSにそれぞれ接続するスイッチを有している。スイッチ回路SW 2の各スイッチは、例えば、nMOSトランジスタにより形成されており、制御回路CNTにより生成されるスイッチ制御信号SCNT 2によりオンまたはオフされる。

【0042】

スイッチ回路SW 3は、入力ノードVIP a、VIN aをコモン電圧線VCM aに接続するスイッチ、入力ノードVIP b、VIN bをコモン電圧線VCM bに接続するスイッチ、および入力ノードVIP c、VIN cをコモン電圧線VCM cに接続するスイッチを有している。スイッチ回路SW 3の各スイッチは、例えば、CMOSトランスマッションゲートにより形成されており、制御回路CNTにより生成されるスイッチ制御信号SCNT 3によりオンまたはオフされる。例えば、制御回路CNTは、クロックCLKに同期してスイッチ制御信号SCNT 1、SCNT 2、SCNT 3を生成する。

10

【0043】

制御回路CNT、コモン電圧生成回路VCM GEN、スイッチ回路SW 3は、コンパレータCOMPの一对の入力ノード(VIP a、VIN a等)にコモン電圧(VCM a等)を設定する第1制御回路の一例である。制御回路CNT、入力電圧生成回路VIG ENおよびスイッチ回路SW 1は、電圧VP、VNを入力端子VIP、VINにそれぞれ供給する第3制御回路の一例である。

20

【0044】

図4は、図3に示したコンパレータCOMP aの例を示している。コンパレータCOMP b、COMP cは、図4に示す符号中の“a”が“b”または“c”に変わることを除き、コンパレータCOMP aと同じである。

【0045】

コンパレータCOMP aは、pMOSトランジスタP 1、P 2、nMOSトランジスタN 1、N 2、N 3、N 4、スイッチ回路SW 4、SW 5および負荷生成回路LD GEN - Pa、LD GEN - Naを有している。pMOSトランジスタP 1およびnMOSトランジスタN 1、N 3は、電源線VDDとノードSSとの間に直列に接続されている。pMOSトランジスタP 2およびnMOSトランジスタN 2、N 4は、電源線VDDとノードSSとの間に直列に接続されている。

30

【0046】

pMOSトランジスタP 1、P 2およびnMOSトランジスタN 1、N 2により、一方の入力が他方の出力に接続されたラッチ回路が形成されている。pMOSトランジスタP 1およびnMOSトランジスタN 1のドレインおよびpMOSトランジスタP 2およびnMOSトランジスタN 2のゲートは、出力ノードOP aに接続されている。pMOSトランジスタP 2およびnMOSトランジスタN 2のドレインおよびpMOSトランジスタP 1およびnMOSトランジスタN 1のゲートは、出力ノードOP bに接続されている。nMOSトランジスタN 3は、ゲートを入力ノードVIP aに接続し、ドレインをノードDPを介してnMOSトランジスタN 1のソースに接続している。nMOSトランジスタN 4は、ゲートを入力ノードVIN aに接続し、ドレインをノードDNを介してnMOSトランジスタN 2のソースに接続している。

40

【0047】

スイッチ回路SW 4は、クロックCLKのハイレベル期間にオンしてノードSSを接地線VSSに接続し、クロックCLKのロウレベル期間にオフするスイッチを有している。例えば、スイッチ回路SW 4は、クロックCLKをゲートで受けるnMOSトランジスタにより形成されている。スイッチ回路SW 5は、電源線VDDと出力ノードOP a、ON aおよびノードDP、DNとをそれぞれ接続するスイッチを有している。例えば、スイッチ回路SW 5の各スイッチは、クロックCLKをゲートで受けるpMOSトランジスタに

50

より形成されており、クロックCLKのロウレベル期間にオンし、クロックCLKのハイレベル期間にオフする。

【0048】

負荷生成回路LDGEN- Paは、出力ノードOPaに接続された16個のキャパシタCPと、各キャパシタCPと接地線VSSとの間に配置された16個のスイッチSP (SP1、SP2、...、SP16)とを有している。各スイッチSPは、例えば、制御信号CPa (CPa1、CPa2、...、CPa16)をゲートで受けるnMOSトランジスタにより形成されている。各スイッチSPは、対応する制御信号CPaが論理1のときにオンし、対応する制御信号CPaが論理0のときにオフする。キャパシタCPの容量値は、互いに同じに設計されている。負荷生成回路LDGEN- Paは、論理1に設定される制御信号CPaの数に応じて、出力ノードOPaに接続される負荷の量を変更する。

10

【0049】

負荷生成回路LDGEN- Naは、出力ノードONaに接続された16個のキャパシタCNと、各キャパシタCNと接地線VSSとの間に配置された16個のスイッチSN (SN1、SN2、...、SN16)とを有している。各スイッチSNは、例えば、制御信号CNa (CNa1、CNa2、...、CNa16)をゲートで受けるnMOSトランジスタにより形成されている。各スイッチSNは、対応する制御信号CNaが論理1のときにオンし、対応する制御信号CNaが論理0のときにオフする。キャパシタCNの容量値は、互いに同じに設計されており、キャパシタCPの容量値と同じである。負荷生成回路LDGEN- Naは、論理1の制御信号CNaの数に応じて、出力ノードONaに接続される負荷の量を変更する。

20

【0050】

図3に示した制御回路CNTおよび図4に示した負荷生成回路LDGEN- Pa、LDGEN- Naは、各コンパレータCOMPの出力ノードに接続される負荷の量を設定する第2制御回路の一例である。なお、負荷生成回路LDGEN- Pa、LDGEN- Naは、ノードDP、DNにそれぞれ接続されてもよい。あるいは、負荷生成回路LDGEN- Pa、LDGEN- Naは、各コンパレータCOMPの外部に形成されてもよい。

【0051】

また、スイッチSPの数およびスイッチSNの数は、16個に限定されない。例えば、各キャパシタCP、CNの容量値を半分にしてキャパシタCP、CNの数を2倍にし、スイッチSP、SNの数を2倍にしてもよい。また、負荷生成回路LDGEN- Paにおいて、各キャパシタCPは、スイッチSPと接地線VSSとの間に配置されてもよい。負荷生成回路LDGEN- Naにおいて、各キャパシタCNは、スイッチSNと接地線VSSとの間に配置されてもよい。

30

【0052】

さらに、負荷生成回路LDGEN- Paは、キャパシタCPの代わりに電流源を配置し、制御信号CPaの反転論理を各スイッチSP1-SP16で受けてもよい。この場合にも、制御信号CPaに応じて出力ノードONaに接続される負荷の量を変更できる。同様に、負荷生成回路LDGEN- Naは、キャパシタCNの代わりに電流源を配置し、制御信号CNaの反転論理を各スイッチSN1-SN16で受けてもよい。

40

【0053】

図5は、図4に示したコンパレータCOMPaの動作の例を示している。コンパレータCOMPb、COMPcの動作は、図5の符号OPa、ONaを、符号OPb、ONbまたは符号OPc、ONcに置き換えることで表される。コンパレータCOMPaは、入力電圧VIPが入力電圧VINより高いとき(図5の符号+の向き)、出力ノードOPaに論理0を出力し、出力ノードONaに論理1を出力する。コンパレータCOMPaは、入力電圧VIPが入力電圧VINより低いとき(図5の符号-の向き)、出力ノードOPaに論理1を出力し、出力ノードONaに論理0を出力する。

【0054】

図6は、図4に示したコンパレータCOMPaにおいて、出力ノードOPa、ONaに

50

接続される負荷の量と閾値の変動量との関係の例を示している。図6は、コモン電圧 V_{CMa} が600mVに設定されるときの特性の例を示している。コンパレータCOMPb、COMPcの特性も図6と同様である。

【0055】

図6において、“fast”の電気的特性を示すコンパレータCOMPaは、“typ”の電気的特性を示すコンパレータCOMPaより動作電流が多い。“slow”の電気的特性を示すコンパレータCOMPaは、“typ”の電気的特性を示すコンパレータCOMPaより動作電流が少ない。例えば、“fast”は、コンパレータCOMPa内のpMOSトランジスタ閾値電圧（絶対値）およびnMOSトランジスタの閾値電圧が相対的に低いときの特性、あるいは、動作温度が相対的に低いときの特性である。“slow”は、コンパレータCOMPa内のpMOSトランジスタ閾値電圧（絶対値）およびnMOSトランジスタの閾値電圧が相対的に高いときの特性、あるいは、動作温度が相対的に高いときの特性である。

10

【0056】

この実施形態では、スイッチSP1-SP16の少なくとも1つがオンされるとき、全てのスイッチSN1-SN16はオフされる。スイッチSN1-SN16の少なくとも1つがオンされるとき、全てのスイッチSP1-SP16はオフされる。図6では、スイッチSN1-SN16のオンの数を負の値で示している。

【0057】

オンされるスイッチSP1-SP16の数が増え、出力ロードOPaに接続される負荷の量が増え、コンパレータCOMPaの閾値は増加する。一方、オンされるスイッチSN1-SN16の数が増え、出力ロードONaに接続される負荷の量が増え、コンパレータCOMPaの閾値は減少し、負の値を示す。

20

【0058】

“fast”の特性では、オンされるスイッチSP、SNの数の変化に伴う閾値の変動量は、“typ”での閾値の変動量に比べて大きい。反対に、“slow”の特性では、オンされるスイッチSP、SNの数の変化に伴う閾値の変動量は、“typ”での閾値の変動量に比べて小さい。この実施形態では、例えば、コンパレータCOMPa、COMPb、COMPcの動作電流等の電気的特性がばらつき、閾値が互いに異なるときに、コンパレータCOMPa、COMPcの閾値をコンパレータCOMPbの閾値に合わせるために、図3に示したコモン電圧 V_{CMb} 、 V_{CMc} が調整される。

30

【0059】

図7は、図4に示したコンパレータCOMPaにおいて、コモン電圧 V_{CMa} と閾値の変動量との関係の例を示している。図7では、コモン電圧 V_{CMa} の符号を“Vcm”と表記している。コンパレータCOMPb、COMPcの特性も図7と同様である。

【0060】

図7中の菱形の記号は、図6と同様に、“typ”の特性を示すコンパレータCOMPaにおいて、コモン電圧 V_{CMa} が600mVに設定されるときの特性を示している。菱形以外の記号は、特性が“fast”のコンパレータCOMPaにおいて、コモン電圧 V_{CMa} を変えたときの特性を示している。

40

【0061】

コンパレータCOMPaの閾値は、コモン電圧 V_{CMa} を下げることで低くなり、コモン電圧 V_{CMa} を上げることで高くなる。例えば、特性が“fast”のコンパレータCOMPaの閾値は、コモン電圧 V_{CM} が基準値（600mV）より低い545mVに設定されることで、特性が“typ”のコンパレータCOMPaの閾値に合わせられる。

【0062】

図8は、図4に示したコンパレータCOMPaにおいて、コモン電圧 V_{CMa} と閾値の変動量との関係の別の例を示している。図8では、コモン電圧 V_{CMa} の符号を“Vcm”と表記している。コンパレータCOMPb、COMPcの特性も図8と同様である。

【0063】

50

図8中の菱形の記号は、図6と同様に、特性が“typ”のコンパレータCOMP aにおいて、コモン電圧VCM aが600mVに設定されるときの特性を示している。菱形以外の記号は、特性が“slow”のコンパレータCOMP aにおいて、コモン電圧VCM aを変えたときの特性を示している。

【0064】

図7と同様に、コンパレータCOMP aの閾値は、コモン電圧VCM aを下げることで低くなり、コモン電圧VCM aを上げることで高くなる。例えば、特性が“slow”のコンパレータCOMP aの閾値は、コモン電圧VCM aが基準値(600mV)より高い665mVに設定されることで、特性が“typ”のコンパレータCOMP aの閾値に合わせられる。

10

【0065】

図9は、図3に示したコンパレータシステムCSYSの動作の例を示している。例えば、コンパレータシステムCSYSは、パワーオン後に、検出期間および補正期間を含む初期化期間を経て通常動作期間に移行する。図9に示すステップS100-S300は、説明を分かりやすくするための便宜上の区分けであり、実際には、コンパレータシステムCSYSの回路により、図9に示す動作が連続的に実施される。なお、初期化期間は、例えば、通常動作期間中に温度が変化したときに実施されてもよく、通常動作期間中に所定の頻度で実施されてもよい。

【0066】

ステップS100は、検出期間に実施される。ステップS100では、複数のコンパレータCOMPのうちの1つ(例えば、基準となるコンパレータCOMP b)について、所定量の負荷が出力ノードOP bに接続されたときの閾値の変動量が検出される。ステップS100の具体例は、図10および図11に示す。

20

【0067】

ステップS200は、補正期間に実施される。ステップS200では、検出期間に使用される基準のコンパレータを除くコンパレータ(例えば、コンパレータCOMP a、COMP c)の閾値をコンパレータCOMP bの閾値に合わせるために、コモン電圧VCM(例えば、VCM a、VCM c)が求められる。ステップS200の具体例は、図12から図14に示す。

30

【0068】

ステップS300では、各コンパレータCOMP a、COMP b、COMP cの負荷生成回路LDGEN(LDGEN-P a、LDGEN-N a等)を用いて、閾値が設定される。例えば、フラッシュ型アナログデジタルコンバータに内蔵されるコンパレータシステムCSYSでは、コンパレータCOMP a、COMP b、COMP cの閾値は、互いに異なる値に設定される。

【0069】

この後、コンパレータシステムCSYSは、通常動作期間に移行し、ステップS400において、コンパレータCOMP a、COMP b、COMP cを用いて、入力信号VIP、VINの電圧の比較動作を実施する。

【0070】

図10は、図9に示したステップS100の動作の例を示している。なお、図10では、説明を簡単にするために、図3に示したスイッチ回路SW1、SW2、SW3の動作説明は省略する。スイッチ回路SW1、SW2、SW3の動作は、図11で説明する。

40

【0071】

まず、ステップS102において、図3に示した制御回路CNTは、コモン電圧生成回路VCMGENに制御信号CNT1bを出力し、コンパレータCOMP bの入力ノードVIP b、VIN bに設定するコモン電圧VCM bを値V1に設定する。電圧値V1は、入力ノードVIP b、VIN bの電圧差を正しく判定するための基準のコモン電圧(例えば600mV)であり、コンパレータCOMP a、COMP b、COMP cの電気的特性に応じて予め決められる。

50

【 0 0 7 2 】

ステップ S 1 0 4 において、制御回路 C N T は、制御信号 C P b 1 - C P b 1 6 を論理 1 に設定し、制御信号 C N b 1 - C N b 1 6 を論理 0 に設定する。これにより、コンパレータ C O M P b において、負荷生成回路 L D G E N - P b の全てのスイッチ C P (図 4) はオンし、負荷生成回路 L D G E N - N b の全てのスイッチ C N (図 4) はオフする。

【 0 0 7 3 】

コンパレータ C O M P b は、出力ノード O P b に接続可能な最大量の負荷が接続された状態になり、図 6 に示したように、閾値は正側にシフトする。例えば、コンパレータ C O M P b の電気的特性が “ t y p ” のとき、閾値の変動量は + 1 6 0 m V である。この状態では、出力ノード O P b は、入力ノード V I P b 、 V I N b の電圧差 (V I P b - V I N b) が 1 6 0 m V 以上のとき論理 0 になり、電圧差が 1 6 0 m V より小さいとき論理 1 になる。

10

【 0 0 7 4 】

制御回路 C N T は、入力電圧生成回路 V I G E N により生成される電圧 V P 、 V N を互いに等しくするために、制御信号 V C N T を出力する。これにより、入力ノード V I P b 、 V I N b の電圧は互いに等しくなり、出力ノード O P b は論理 1 になる。

【 0 0 7 5 】

次に、ステップ S 1 0 6 において、制御回路 C N T は、電圧 V P を 1 ステップ上げ、電圧 V N を 1 ステップ下げるために、制御信号 V C N T の値を変化する。例えば、1 ステップは 5 m V である。ステップ S 1 0 8 において、制御回路 C N T は、出力ノード O P b が論理 0 に変化したか否かを判定する。

20

【 0 0 7 6 】

制御回路 C N T は、出力ノード O P b が論理 1 に保持されているとき、電圧 V P 、 V N の差が、出力ノード O P b に接続された負荷による閾値の変動量に達していないと判断し、ステップ S 1 0 6 に戻る。制御回路 C N T は、出力ノード O P b が論理 0 に変化したとき、電圧 V P 、 V N の差 V P - V N が、出力ノード O P b に接続された負荷による閾値の変動量 (この例では、 1 6 0 m V) と等しくなったと判断し、ステップ S 1 1 0 に移行する。

【 0 0 7 7 】

ステップ S 1 1 0 では、現在の電圧 V P 、 V N の値と、オンしているスイッチ C P の数とが、レジスタ R E G に保持される。例えば、電圧 V P 、 V N の値およびオンしているスイッチ C P の数は、制御信号 V C N T の値および制御信号 C P b 1 - C P b 1 6 の値としてレジスタ R E G に保持される。レジスタ R E G に保持される電圧 V P 、 V N の差は、負荷の接続により変化する閾値の変動量を相殺するための値である。なお、レジスタ R E G に設定されている値を用いて、オンするスイッチ C P の数および電圧 V P 、 V N の値が設定される場合、レジスタ R E G は、ステップ S 1 0 2 、 S 1 0 6 が実施されるときに、オンするスイッチ C P の数および電圧 V P 、 V N の値をそれぞれ保持する。

30

【 0 0 7 8 】

この実施形態では、閾値の変動量に対応する電圧差 V P - V N は、出力ノード O P b に接続可能な最大量の負荷が接続された状態のコンパレータ C O M P b により求められる。図 6 に示したように、閾値の変動量は、出力ノードに接続される負荷量が大きいほど大きくなる。求める電圧差 V P - V N は、閾値の変動量に追従して大きくなる。このため、出力ノード O P b に最大量の負荷を接続することにより、閾値の変動量と、閾値の変動量に対応する電圧差 V P - V N との誤差を小さくできる。すなわち、出力ノード O P b に最大量の負荷を接続することにより、閾値の変動量を正確に求めることができる。

40

【 0 0 7 9 】

なお、ステップ S 1 0 0 の動作として、負荷生成回路 L D G E N - N b の全てのスイッチ C N をオンし、負荷生成回路 L D G E N - P b 全てのスイッチ C P をオフしてもよい。この場合、コンパレータ C O M P b の閾値は負側にシフトし、電圧 V P 、 V N が互いに等しいとき、出力ノード O P b は論理 0 を出力する。そして、出力ノード O P b が論理 1 に

50

変化するまで、電圧 V_P が順に下げられ、電圧 V_N が順に上げられる。制御回路CNTは、出力ノードOPbが論理1に変化したときに、電圧 V_P 、 V_N の差が、出力ノードONbに接続された負荷による閾値の変動量(この例では、 -160mV)と等しくなったと判断する。そして、このときの電圧 V_P 、 V_N の値と、オンしているスイッチCNの数とがレジスタREGに保持される。

【0080】

図11は、図9に示したステップS100を実行するコンパレータシステムCYSの動作波形の例を示している。制御回路CNTは、クロックCLKのハイレベル期間にスイッチ回路SW2、SW3のスイッチをオンするために、スイッチ制御信号SCNT2、SCNT3を論理1に設定する。スイッチ回路SW2のスイッチのオンにより、図3に示したノードVIPb、VINbは、接地電圧VSSに設定される。スイッチ回路SW3のスイッチのオンにより、図3に示したキャパシタCPb、CNbにコモン電圧VCMbが充電され、入力ノードVIPb、VINbはコモン電圧VCMbに設定される。例えば、コモン電圧VCMbの値V1は、基準値(600mV)である。

【0081】

ステップS100の実行の開始時に、制御回路CNTは、制御信号CPb1 - CPb16を論理1に設定し、制御信号CNb1 - CNb16を論理0に設定する。この例では、入力ノードVIPb、VINbの初期電圧が互いに等しいため、出力ノードOPbは論理1に変化する。

【0082】

制御回路CNTは、クロックCLKのロウレベル期間にスイッチ回路SW1のスイッチをオンするために、スイッチ制御信号SCNT1を論理1に設定する。また、制御回路CNTは、クロックサイクル毎に、電圧 V_P を順に上げ、電圧 V_N を順に下げる。そして、各クロックサイクルにおいて、クロックCLKのハイレベル期間に入力ノードVIPb、VINbがコモン電圧VCMb(=V1)に設定され、クロックCLKのロウレベル期間に電圧 V_P 、 V_N の差が、入力ノードVIPb、VINbの電圧差として現れる。

【0083】

この例では、入力ノードVIPb、VINbの電圧差が値VTになったとき、出力ノードOPbが論理1から論理0に変化する。電圧差VTは、出力ノードONbに接続された負荷による閾値の変動量と等しい。制御回路CNTは、出力ノードOPbが論理0に変化したときの電圧 V_P 、 V_N の値を示す制御信号VCNTの値と、オンしているスイッチCPの数とを示す制御信号CPb1 - CPb16の値とをレジスタREGに保持する。

【0084】

図12は、図9に示したステップS200の動作の例を示している。図12は、コンパレータCOMPaの閾値をコンパレータCOMPbの閾値に合わせる動作を示している。コンパレータCOMPcの閾値をコンパレータCOMPbの閾値に合わせる動作は、コンパレータCOMPbの閾値に合わせる動作に続いて実施される。コンパレータCOMPcの閾値に合わせる動作は、図12に示す符号中の“a”を“c”に変えることにより実現される。スイッチ回路SW1、SW2、SW3の動作は、図13および図14で説明する。

【0085】

以降の説明を簡単にするために、コンパレータCOMPbの特性は“typ”であり、コンパレータCOMPaの特性は、“fast”であり、コンパレータCOMPcの特性は、“slow”であるとする。

【0086】

まず、ステップS202において、制御回路CNTは、レジスタREGに保持している負荷生成回路LDGEN-PbのスイッチCPのオンの数と同じ数(例えば16個)を、負荷生成回路LDGEN-PaのスイッチCPのオンの数としてレジスタREGに設定する。また、制御回路CNTは、電圧 V_P 、 V_N を設定するために、レジスタREGに保持している電圧 V_P 、 V_N の値を示す制御信号VCNTを出力する。

【 0 0 8 7 】

ステップ S 2 0 4 において、制御回路 C N T は、コモン電圧生成回路 V C M G E N に制御信号 C N T 1 a を出力し、コンパレータ C O M P a の入力ノード V I P a、V I N a に設定するコモン電圧 V C M a を基準値 V 1 (例えば、6 0 0 m V) に設定する。コンパレータ C O M P a において、スイッチ C P のオンによる閾値の増加量は、増加量に対応する電圧 V P、V N の印加により相殺される。換言すれば、コンパレータ C O M P a は、入力ノード V I P a、V I N a の電圧が等しいときと同じ状態になる。

【 0 0 8 8 】

この例では、コンパレータ C O M P a の特性は “ f a s t ” である。このため、スイッチ C P がオンしているときのコンパレータ C O M P a の閾値の変動量は、図 7 に正方形の記号で示したように、電気的特性が “ t y p ” のコンパレータ C O M P b の閾値に比べて高い側にシフトする。コンパレータ C O M P a は、入力ノード V I P a、V I N a の電圧が等しいときと同じ状態であるため、ステップ S 2 0 4 の処理後に、閾値が相対的に高いコンパレータ C O M P a の出力ノード O P a は、論理 1 になる。

10

【 0 0 8 9 】

ステップ S 2 0 6 において、出力ノード O P a が論理 1 のとき、処理はステップ S 2 0 8 に移行し、出力ノード O P a が論理 0 のとき、処理はステップ S 2 1 2 に移行する。ステップ S 2 0 8 において、制御回路 C N T は、コンパレータ C O M P a の閾値をコンパレータ C O M P b の閾値に近づけるために、制御信号 C N T 1 a の値を変化し、コモン電圧 V C M a を下げる。

20

【 0 0 9 0 】

ステップ S 2 1 0 において、制御回路 C N T は、出力ノード O P a が論理 0 に変化したか否かを判定する。制御回路 C N T は、出力ノード O P a が論理 1 を維持しているとき、コモン電圧 V C M a の調整による閾値の補正が完了していないと判断し、ステップ S 2 0 8 に戻る。

【 0 0 9 1 】

制御回路 C N T は、出力ノード O P a が論理 0 に変化したとき、コモン電圧 V C M a の調整による閾値の補正が完了し、コンパレータ C O M P a の閾値がコンパレータ C O M P b の閾値と等しくなったと判断し、ステップ S 2 1 6 に移行する。例えば、図 7 に示したように、コモン電圧 V c m (V C M a) が 5 4 5 m V になったときに、ステップ S 2 1 0 の判定は “ Y e s ” になる。そして、ステップ S 2 1 6 において、制御回路 C N T は、現在のコモン電圧 V C M a を設定するための制御信号 C N T 1 a の値をレジスタ R E G に保持する。

30

【 0 0 9 2 】

一方、コンパレータ C O M P a の電気的特性が “ s l o w ” のとき、コンパレータ C O M P a の閾値は、図 8 に正方形の記号で示したように、電気的特性が “ t y p ” のコンパレータ C O M P b の閾値に比べて低い側にシフトする。コンパレータ C O M P a は、入力ノード V I P a、V I N a の電圧が等しいときと同じ状態であるため、ステップ S 2 0 4 の処理後に、閾値が相対的に低いコンパレータ C O M P a の出力ノード O P a は、論理 0 になり、ステップ S 2 1 2、S 2 1 4 が実行される。なお、ステップ S 2 1 4、S 2 1 6 の処理は、電気的特性が “ s l o w ” のコンパレータ C O M P c のコモン電圧 V C M c を設定するための処理も示している。

40

【 0 0 9 3 】

ステップ S 2 1 2 において、制御回路 C N T は、コンパレータ C O M P a の閾値をコンパレータ C O M P b の閾値に近づけるために、制御信号 C N T 1 a の値を変化し、コモン電圧 V C M a を上げる。ステップ S 2 1 4 において、制御回路 C N T は、出力ノード O P a が論理 1 に変化したか否かを判定する。制御回路 C N T は、出力ノード O P a が論理 0 を維持しているとき、コモン電圧 V C M a の調整による閾値の補正が完了していないと判断し、ステップ S 2 1 2 に戻る。

【 0 0 9 4 】

50

制御回路CNTは、出力ノードOPaが論理1に変化したとき、コモン電圧VCMaの調整による閾値の補正が完了し、コンパレータCOMPaの閾値がコンパレータCOMPbの閾値と等しくなったと判断し、ステップS216に移行する。例えば、図8に示したように、コモン電圧Vcm(VCMa)が665mVになったときに、ステップS214の判定は“ Yes ”になる。

【0095】

図13は、図9に示したステップS200を実行するコンパレータシステムCSYSの動作波形の例を示している。図13は、電気的特性が“ fast ”のコンパレータCOMPaのコモン電圧VCMaを設定するための動作波形を示している。すなわち、図13は、図12に示したステップS202 - S210、S216の動作を示している。図11と同じ動作については、詳細な説明は省略する。スイッチ制御信号SCNT1、SCNT2、SCNT3の波形は、図11と同じである。

10

【0096】

まず、制御回路CNTは、制御信号CPa1 - CPa16を論理1に設定し、制御信号CNa1 - CNa16を論理0に設定する。制御回路CNTは、コンパレータCOMPaの入力ノードVIPa、VINaに設定するコモン電圧VCMaを基準値V1(例えば、600mV)に設定するために、制御信号CNT1aを出力する。この例では、入力ノードVIPa、VINaの初期電圧は互いに等しいため、出力ノードOPaは論理1に設定される。

【0097】

次に、制御回路CNTは、最初のクロックサイクルにおいて、図10のステップS110でレジスタREGに保持した制御信号VCNTの値を出力する。入力電圧生成回路VIGENは、制御信号VCNTに応じて電圧VPを上げ、電圧VNを下げ、電圧差VT(例えば、160mV)を有する電圧VP、VNを生成する。電圧VP、VNの電圧差は、スイッチ制御信号SCNT1のハイレベル期間に入力ノードVIPa、VINaに伝達される。コンパレータCOMPaの特性は、“ fast ”のため、最初のクロックサイクルにおいて、出力ノードOPaは論理1を維持する。

20

【0098】

この後、制御回路CNTは、出力ノードOPaの論理が反転するまで、クロックサイクル毎にコモン電圧VCMaを順に下げる。例えば、制御回路CNTは、クロックCLKの立ち上がりエッジに同期して出力ノードOPaの論理を判定する。そして、制御回路CNTは、出力ノードOPaが論理0に変化したときのコモン電圧VCMaの値VSETaを示す制御信号CNT1aの値をレジスタREGに保持する。保持したコモン電圧VSETaは、図9に示した初期化期間後の通常動作期間に使用される。

30

【0099】

図14は、図9に示したステップS200を実行するコンパレータシステムCSYSの動作波形の別の例を示している。図14は、電気的特性が“ slow ”のコンパレータCOMPcのコモン電圧VCMcを設定するための動作波形を示している。すなわち、図14は、図12に示したステップS202 - S206、S212 - S216の動作を示している。図11および図13と同じ動作については、詳細な説明は省略する。スイッチ制御信号SCNT1、SCNT2、SCNT3の波形は、図11と同じである。

40

【0100】

まず、制御回路CNTは、図12と同様に、制御信号CPc1 - CPc16を論理1に設定し、制御信号CNc1 - CNc16を論理0に設定する。制御回路CNTは、コンパレータCOMPcの入力ノードVIPc、VINcに設定するコモン電圧VCMcを基準値V1(例えば、600mV)に設定するために、制御信号CNT1cを出力する。この例では、入力ノードVIPc、VINcの初期電圧が互いに等しいため、出力ノードOPcは論理1に設定される。

【0101】

次に、制御回路CNTは、図13と同様に、電圧差VT(例えば、160mV)を有す

50

る電圧 V_P 、 V_N を生成するために、最初のクロックサイクルにおいて、図10のステップS110でレジスタREGに保持した制御信号VCNTの値を出力する。電圧 V_P 、 V_N の電圧差は、スイッチ制御信号SCNT1のハイレベル期間に入力ノードVIPc、VINcに伝達される。コンパレータCOMPcの電気的特性は、“slow”のため、最初のクロックサイクルにおいて、出力ノードOPcは論理0に変化する。

【0102】

この後、制御回路CNTは、出力ノードOPcの論理が反転するまで、クロックサイクル毎に共通電圧VCMcを順に上げる。例えば、制御回路CNTは、クロックCLKの立ち上がりエッジに同期して出力ノードOPcの論理を判定する。そして、制御回路CNTは、出力ノードOPcが論理1に変化したときの共通電圧VCMcの値VSETcを示す制御信号CNT1cの値をレジスタREGに保持する。

10

【0103】

図15は、図3に示したコンパレータシステムCSYSを応用したアナログデジタルコンバータADCの例を示している。例えば、アナログデジタルコンバータADCは、4ビットのフラッシュ型アナログデジタルコンバータであり、コンパレータシステムCSYSおよびエンコーダENCを有している。

【0104】

例えば、コンパレータシステムCSYSは、15個のコンパレータCOMP (COMP a - COMP o) を有しており、増加したコンパレータCOMPに対応する回路および信号線が、図3に比べて増えている。各スイッチ回路SW1、SW2、SW3は、図3と同様に、コンパレータCOMP a - COMP oに対応するスイッチを有している。スイッチ回路SW1、SW2、SW3の他の要素との接続関係は、図3と同様である。

20

【0105】

入力電圧生成回路VIGENは、レジスタREGに設定される制御信号VCNTの値に応じて、電圧 V_P 、 V_N を生成する。共通電圧生成回路VCMGENは、コンパレータCOMP a - COMP oにそれぞれ対応する制御信号CNT1a - CNT1oに応じて、15種類の共通電圧VCMa - VCMoを生成する。制御信号CNT1a - CNT1oの値は、レジスタREGに保持される。生成された共通電圧VCMa、VCMb、VCMc、...、VCMoは、スイッチ回路SW3を介して入力ノードVIPa / VINa、VIPb / VINb、VIPc / VINc、...、VIPo / VINOにそれぞれ伝達される。

30

【0106】

各コンパレータCOMP a - COMP oは、図4と同様に、一对の負荷生成回路LDGEN - Pa、LDGEN - Naを有している。各コンパレータCOMP a - COMP oの負荷生成回路LDGEN - PaのスイッチSP1 - SP16を制御する制御信号(CPa1 - CPa16等)の値は、レジスタREGに保持される。各コンパレータCOMP a - COMP oの負荷生成回路LDGEN - NaのスイッチSN1 - SN16を制御する制御信号(CNa1 - CNa16等)の値は、レジスタREGに保持される。そして、レジスタREGに保持されている値に応じてスイッチSP、SNのオン/オフを制御する制御信号(CPa1 - CPa16、CNa1 - CNa16等)が出力される。

40

【0107】

制御回路CNTは、図3と同様に、スイッチ回路SW1、SW2、SW3をそれぞれ制御するスイッチ制御信号SCNT1、SCNT2、SCNT3をクロックCLKに同期して生成する。制御回路CNTは、各コンパレータCOMP a - COMP oの閾値を判定するために、図7に示したステップS100、S200の処理中に、各コンパレータCOMP a - COMP oの出力信号OPa、OPb、OPc、...、OPoを受ける。

【0108】

図15に示すコンパレータシステムCSYSでは、図7に示したステップS100を実施することにより、コンパレータCOMP a - COMP oの1つである基準のコンパレータCOMPの出力ノードに所定量の負荷を接続したときの閾値の変動量が、電圧 V_P 、 V_N

50

Nの差として求められる。次に、図7に示したS200を基準のコンパレータCOMPを除くコンパレータCOMP毎に実施することにより、各コンパレータCOMP_a - COMP_oの閾値を互いに等しくするためのコモン電圧VCM(基準のコンパレータCOMPの顧問電圧を除く)が求められる。

【0109】

この後、図7に示したステップS300を実施することにより、負荷生成回路LDGEN - Pa、LDGEN - Naを用いて、コンパレータCOMP_a - COMP_oの閾値が所定の値に切り換えられる。そして、通常動作期間中に、ステップS200で求められたコモン電圧VCM_a - VCM_oを用いてステップS400が実施される。各コンパレータCOMP_a - COMP_oは、入力信号VIP、VINの電圧差に応じて、論理0または論理1の出力信号OP(OP_a、OP_b、OP_c、...、OP_o)、ON(ON_a、ON_b、ON_c、...、ON_o)を出力する。

10

【0110】

例えば、エンコーダENCは、出力ノードON_a、ON_b、ON_c、...、ON_oの論理を出力値VO15、VO14、VO13、...、VO1として受け、入力信号VIP、VINの電圧差を示すデジタル値D3 - D0を出力する。

【0111】

図16は、図15に示したコンパレータCOMP_a - COMP_oの通常動作時の閾値の設定例を示している。図16に示した閾値の設定は、図9に示したステップS300により実施される。

20

【0112】

例えば、コンパレータCOMP_a - COMP_gでは、オンするスイッチSP1 - SP16(図4)の数が順に減らされ、コンパレータCOMP_i - COMP_oでは、オンするスイッチSN1 - SN16(図4)の数が順に増やされる。コンパレータCOMP_a - COMP_hでは、全てのスイッチSN1 - SN16はオフされ、コンパレータCOMP_h - COMP_oでは、全てのスイッチSP1 - SP16はオフされる。

【0113】

これにより、図6に示した特性にしたがって、コンパレータCOMP_{a1} - COMP_oの閾値は、図16の下から上に向けて順に高くなる。コンパレータCOMP_a - COMP_gの閾値は正になり、コンパレータCOMP_i - COMP_oの閾値は負になる。なお、図16では、オンするスイッチSP、SNの数を2個ずつ変化しているが、コンパレータCOMP_hを中心として、1個ずつ変化させてもよい。このとき、コンパレータCOMP_a内でオンするスイッチSPの数およびコンパレータCOMP_o内でオンするスイッチSNの数は、それぞれ7個になる。

30

【0114】

図17は、図15に示したアナログデジタルコンバータADCの動作の例を示している。例えば、コンパレータCOMP_a - COMP_oの閾値は、図16に示す状態に設定されている。アナログデジタルコンバータADCは、通常動作期間に差動の入力信号VIP、VINを受ける。

【0115】

入力信号VIP、VINの電圧差VIP - VINが大きいほど、コンパレータCOMP_{a1} - COMP_oの出力ノードON_a - ON_oから出力される論理1の数は増える。一方、入力信号VIP、VINの電圧差VIP - VINが小さいほど、コンパレータCOMP_{a1} - COMP_oの出力ノードON_a - ON_oから出力される論理0の数は増える。

40

【0116】

エンコーダENCは、論理0と論理1を出力する出力ノードONの境界に基づいてデジタル値D3 - D0を求め、求めた値を出力する。但し、エンコーダENCは、全ての出力ノードON_a - ON_oが論理0のとき、デジタル値D3 - D0 = "0"を出力し、全ての出力ノードON_a - ON_oが論理1のとき、デジタル値D3 - D0 = "15"を出力する。

50

【 0 1 1 7 】

デジタル値 D 3 - D 0 は、電圧差 V I P - V I N が小さいほど小さくなり、電圧差 V I P - V I N が大きいほど大きくなる。“ 0 ” から “ 7 ” のデジタル値 D 3 - D 0 は、電圧差 V I P - V I N が負のときに出力される。“ 8 ” から “ 1 5 ” のデジタル値 D 3 - D 0 は、電圧差 V I P - V I N が正のときに出力される。このようにして、入力信号 V I P、V I N の電圧差 V I P - V I N は、4 ビットのデジタル値 D 4 - D 0 に変換される。

【 0 1 1 8 】

なお、図 1 5 に示したアナログデジタルコンバータ A D C において、入力端子 V I N で基準電圧を受け、入力端子 V I P で基準電圧に対して正および負に変化する信号を受けてもよい。また、図 1 5 に示したコンパレータシステム C S Y S に 3 1 個のコンパレータ C O M P を形成し、通常動作期間に、3 1 個のコンパレータ C O M P 内のオンするスイッチ S P、S N の数を 1 個ずつ変えることで、入力信号 V I P、V I N の電圧差 V I P - V I N を 5 ビットのデジタル値 D 4 - D 0 に変換できる。

10

【 0 1 1 9 】

以上、この実施形態においても、上述した実施形態と同様の効果を得ることができる。さらに、図 1 2 に示したステップ S 2 0 0 の処理をコンパレータシステム C S Y S 内に形成されるコンパレータ C O M P a 1 - C O M P c 毎に実施することで、コンパレータ C O M P a 1 - C O M P c の閾値を互いに合わせることができる。

【 0 1 2 0 】

コモン電圧生成回路 V C M G E N により、コンパレータ C O M P 毎にコモン電圧 V C M を生成することで、補正期間に閾値を補正するためのコモン電圧 V C M をコンパレータ C O M P 毎に求めることができ、互いに異なるコモン電圧 V C M を用いてコンパレータ C O M P a 1 - C O M P c の閾値を互いに合わせることができる。

20

【 0 1 2 1 】

検出期間において、出力ノード O P b に最大量の負荷を接続することにより、閾値の変動量と、閾値の変動量に対応する電圧差 V P - V N との誤差を小さくでき、閾値の変動量を正確に求めることができる。

【 0 1 2 2 】

以上の実施形態において説明した発明を整理して、付記として開示する。

(付記 1)

入力信号をそれぞれ受ける一対の入力端子に接続される一対のキャパシタと、
前記キャパシタを介して前記入力信号を受け一対の入力ノードと、前記入力信号の電圧差を示す出力信号を出力する出力ノードとを有する少なくとも 1 つのコンパレータと、
前記一対の入力ノードにコモン電圧を設定する第 1 制御回路と、
前記出力ノードに接続される負荷の量を設定する第 2 制御回路と、
前記コンパレータの閾値を補正する補正期間に、所定量の負荷が基準のコンパレータの出力ノードに接続されるときに閾値の変動量に対応する電圧差を有する第 1 電圧および第 2 電圧を前記一対の入力端子にそれぞれ供給する第 3 制御回路と
を備え、

30

前記第 1 制御回路は、前記補正期間に、前記所定量の負荷が前記出力ノードに接続された状態で、前記出力信号の論理が反転するまで前記コモン電圧を変更し、前記出力信号の論理が反転するときの前記コモン電圧を前記補正期間後の通常動作期間に使用することを特徴とするコンパレータシステム。

40

(付記 2)

前記第 2 制御回路は、前記補正期間の前の検出期間に、前記所定量の負荷を前記コンパレータの 1 つである前記基準のコンパレータの前記出力ノードに接続し、

前記第 3 制御回路は、前記検出期間に、前記第 1 電圧および前記第 2 電圧の電圧差を変更し、前記出力信号の論理が反転するときの前記第 1 電圧および前記第 2 電圧の電圧差を、所定量の負荷が前記基準のコンパレータの出力ノードに接続されているときの閾値の変動量として検出し、前記出力信号の論理が反転するときの前記第 1 電圧および前記第 2 電

50

圧を、前記補正期間において前記基準のコンパレータを除くコンパレータに使用することを特徴とする付記 1 記載のコンパレータシステム。

(付記 3)

前記第 1 制御回路は、前記補正期間に、前記基準のコンパレータを除くコンパレータ毎に、前記出力信号の論理が反転するときの前記共通電圧の値を求め、求めた前記共通電圧を前記補正期間後の通常動作期間にそれぞれ使用すること

を特徴とする付記 2 記載のコンパレータシステム。

(付記 4)

前記第 1 制御回路は、前記コンパレータ毎に前記共通電圧を生成する共通電圧生成回路を備えていること

を特徴とする付記 3 記載のコンパレータシステム。

(付記 5)

前記所定量の負荷は、前記出力ノードに接続可能な最大量の負荷であること

を特徴とする付記 1 ないし付記 4 のいずれか 1 項に記載のコンパレータシステム。

(付記 6)

前記入力端子と前記キャパシタとの間の第 1 ノードにそれぞれ配置され、前記入力信号を前記入力ノードに供給するときにオンされる第 1 スイッチと、

前記第 1 ノードと接地線との間にそれぞれ配置され、前記入力ノードを前記共通電圧に設定するときにオンされる第 2 スイッチと、

前記入力ノードと前記第 1 制御回路との間にそれぞれ配置され、前記入力ノードを前記共通電圧に設定するときにオンされる第 3 スイッチと

を備えていることを特徴とする付記 1 ないし付記 5 のいずれか 1 項に記載のコンパレータシステム。

(付記 7)

前記第 2 制御回路は、前記出力ノードに接続される可変容量回路を含むこと

を特徴とする付記 1 ないし付記 6 のいずれか 1 項に記載のコンパレータシステム。

(付記 8)

付記 1 ないし付記 7 のいずれか 1 項に記載のコンパレータシステムと、

前記コンパレータシステムからの出力信号の論理に基づいて、前記入力信号の電圧差を示すデジタル値を生成するエンコーダと

を備え、

前記第 2 制御回路は、通常動作期間中に前記出力ノードにそれぞれ接続する負荷の量を、複数の前記コンパレータで互いに相違させることを特徴とするアナログデジタルコンパレータ。

(付記 9)

入力信号をそれぞれ受ける一対の入力端子に一対のキャパシタを介してそれぞれ接続される一対の入力ノードと、前記入力信号の電圧差を示す出力信号を出力する出力ノードとを有するコンパレータの閾値調整方法であって、

前記コンパレータの閾値を補正する補正期間に、

前記出力ノードに所定量の負荷を接続し、

前記所定量の負荷が基準のコンパレータの出力ノードに接続されるときに閾値の変動量に対応する電圧差を有する第 1 電圧および第 2 電圧を前記一対の入力端子にそれぞれ供給し、

前記所定量の負荷が前記出力ノードに接続された状態で、前記出力信号の論理が反転するまで前記共通電圧を変更し、

前記出力信号の論理が反転するときの前記共通電圧を前記補正期間後の通常動作期間に使用すること

を特徴とするコンパレータの閾値補正方法。

(付記 10)

前記補正期間の前の検出期間に、

10

20

30

40

50

前記所定量の負荷を前記コンパレータの1つである基準のコンパレータの前記出力ノードに接続し、

前記第1電圧および前記第2電圧の電圧差を変更し、

前記出力信号の論理が反転するときの前記第1電圧および前記第2電圧の電圧差を、所定量の負荷が前記基準のコンパレータの出力ノードに接続されているときの閾値の変動量として検出し、前記出力信号の論理が反転するときの前記第1電圧および前記第2電圧を前記補正期間において前記基準のコンパレータを除くコンパレータに使用すること

を特徴とする付記9記載のコンパレータの閾値補正方法。

(付記11)

前記補正期間に、前記基準のコンパレータを除くコンパレータ毎に、前記出力信号の論理が反転するときの前記コモン電圧の値を求め、求めた前記コモン電圧を前記補正期間後の通常動作期間にそれぞれ使用すること

を特徴とする付記10記載のコンパレータの閾値補正方法。

【0123】

以上の詳細な説明により、実施形態の特徴点および利点は明らかになるであろう。これは、特許請求の範囲がその精神および権利範囲を逸脱しない範囲で前述のような実施形態の特徴点および利点にまで及ぶことを意図するものである。また、当該技術分野において通常の知識を有する者であれば、あらゆる改良および変更に容易に想到できるはずであり、発明性を有する実施形態の範囲を前述したものに限定する意図はなく、実施形態に開示された範囲に含まれる適当な改良物および均等物に拠ることも可能である。

【符号の説明】

【0124】

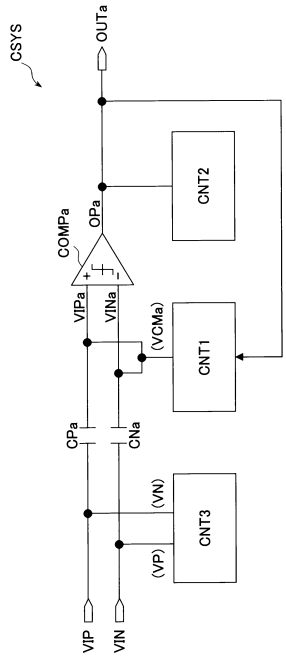
CNT、CNT1、CNT2、CNT3 制御回路；CNa - CNo キャパシタ；COMP a - COMP o コンパレータ；CP a - CP o キャパシタ；CSYS コンパレータシステム；ENC エンコーダ；LDGEN - Pa、LDGEN - Na 負荷生成回路；OP a - OP o 出力ノード；REG レジスタ；SW1 - SW5 スイッチ回路；VCM a - VCM o コモン電圧；VCMGEN コモン電圧生成回路；VIGEN 入力電圧生成回路；VIP、VIN 入力端子；VIP a - VIP o、VIN a - VIn o 入力ノード

10

20

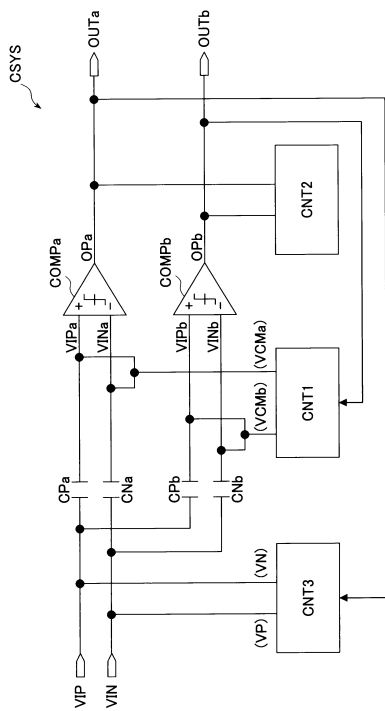
【 図 1 】

一実施形態におけるコンパレータシステムの例を示す図



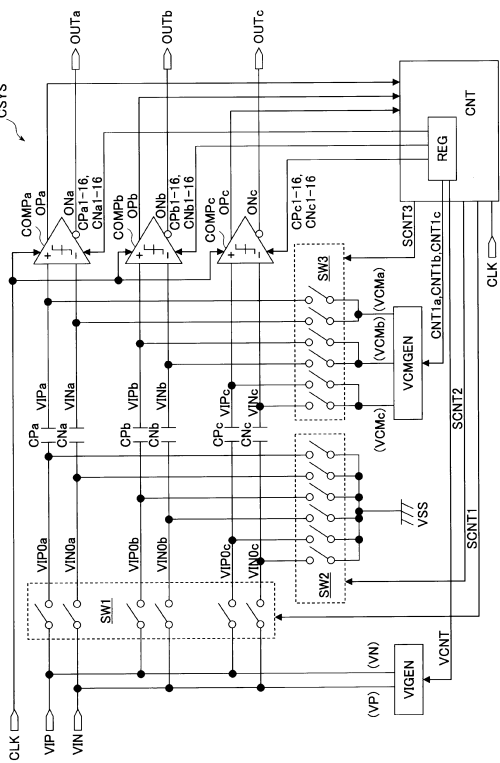
【 図 2 】

別の実施形態におけるコンパレータシステムの例を示す図



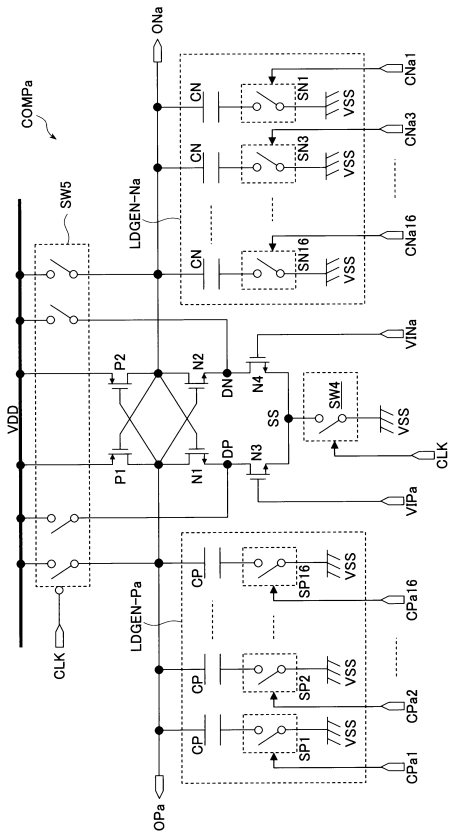
【 図 3 】

別の実施形態におけるコンパレータシステムの例を示す図



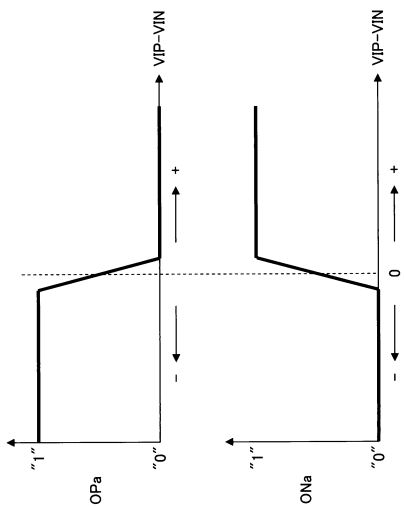
【 図 4 】

図3に示したコンパレータの例を示す図



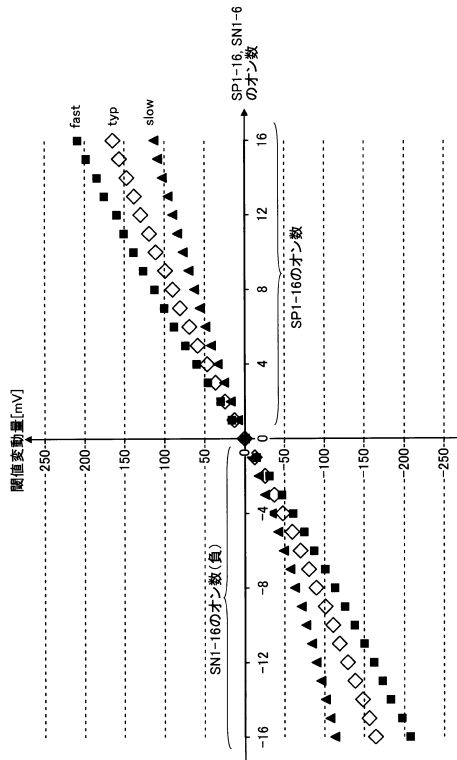
【 図 5 】

図4に示したコンパレータの動作の例を示す図



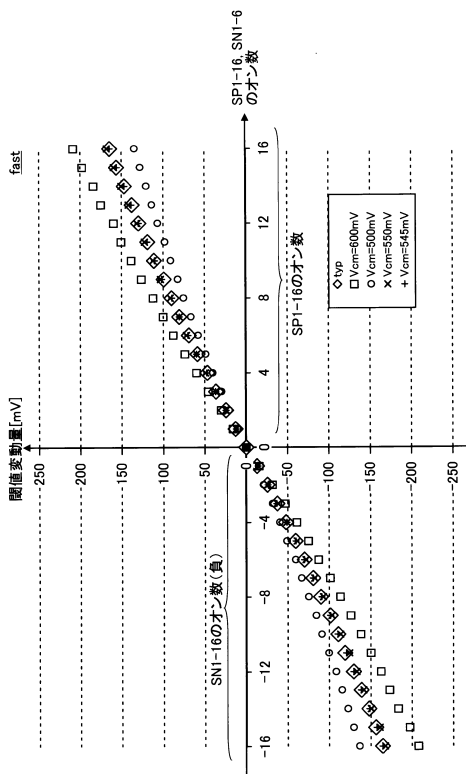
【 図 6 】

図4に示したコンパレータにおいて、出力ノードに接続される負荷の量と閾値の変動量との関係の例を示す図



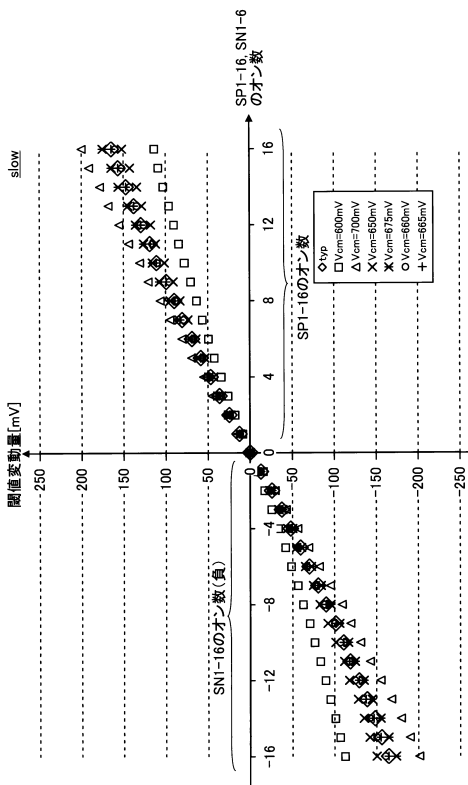
【 図 7 】

図4に示したコンパレータにおいて、コモン電圧と閾値の変動量との関係の例を示す図

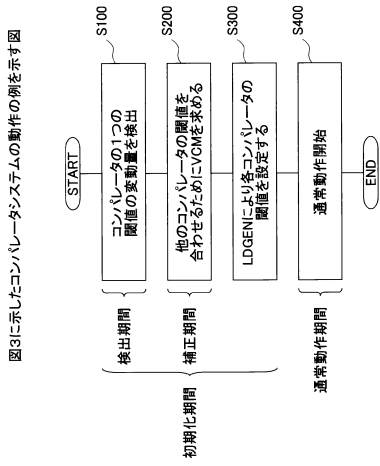


【 図 8 】

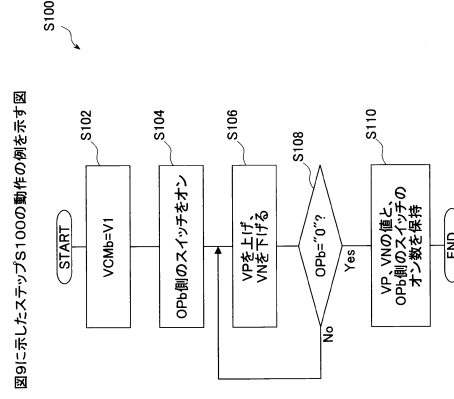
図4に示したコンパレータにおいて、コモン電圧と閾値の変動量との関係の別の例を示す図



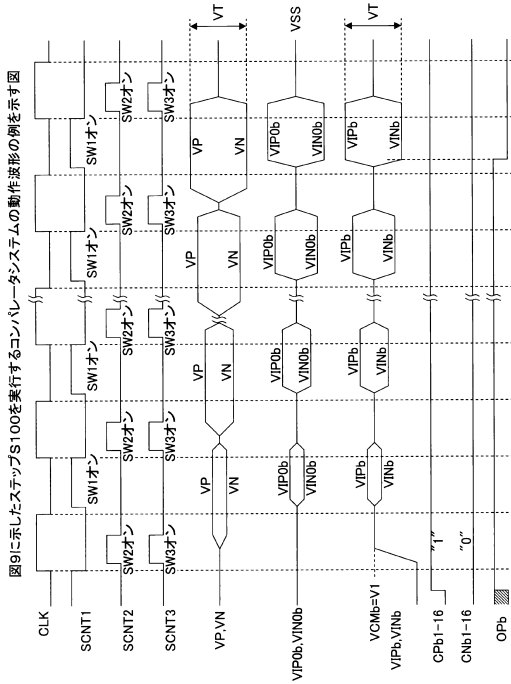
【 図 9 】



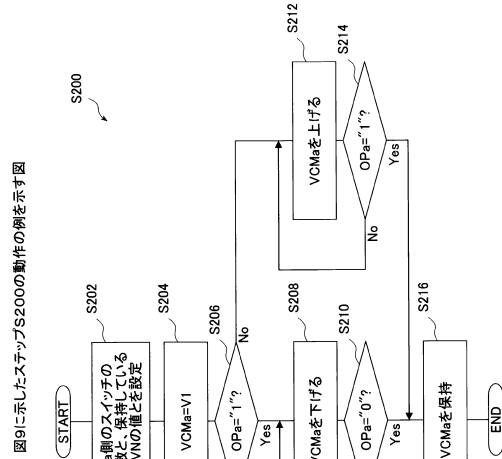
【 図 10 】



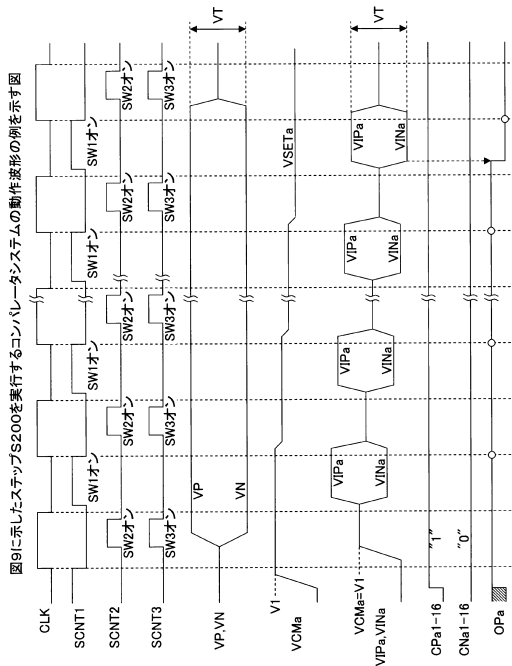
【 図 11 】



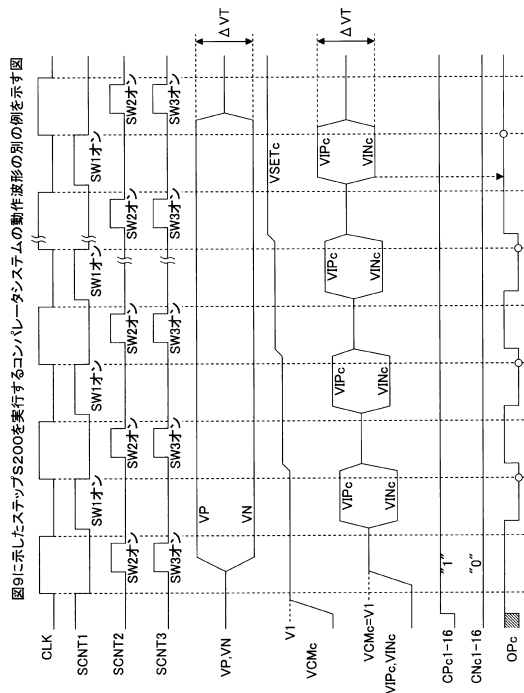
【 図 12 】



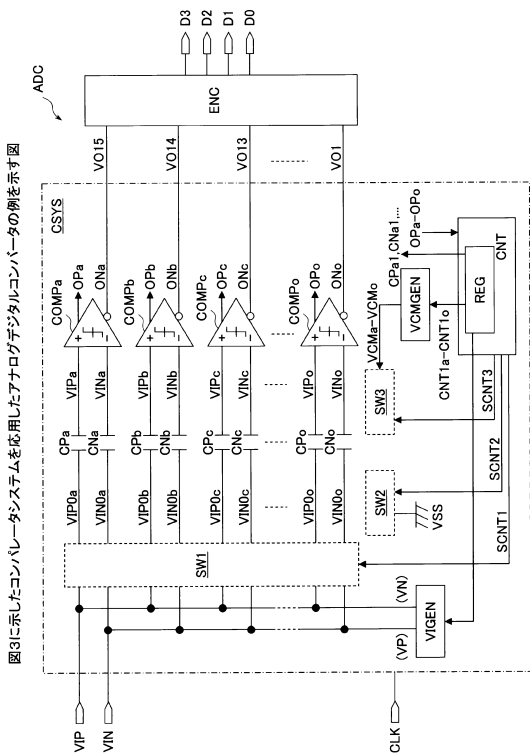
【 図 1 3 】



【 図 1 4 】



【 図 1 5 】



【 図 1 6 】

図15に示したコンパレータの通常動作時の閾値の設定例を示す図

コンパレータ	オンする SPT-SP16の数	オンする SNT-SN16の数	設定される閾値
COMPa	14	0	高い(正)
COMPb	12	0	
COMPc	10	0	
COMPd	8	0	
COMPe	6	0	
COMPf	4	0	
COMPg	2	0	
COMPg	0	0	0
COMPi	0	2	
COMPj	0	4	
COMPk	0	6	
COMPi	0	8	
COMPm	0	10	
COMPn	0	12	
COMPo	0	14	低い(負)

【 図 17 】

図15に示したアナログデジタルコンバータの動作の例を示す図

コンパレータ (出力コード)	出力コードの論理															
	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
COMP _a	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
COMP _b	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
COMP _c	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
COMP _d	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1
COMP _e	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1
COMP _f	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1
COMP _g	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1
COMP _h	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1
COMP _i	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1
COMP _j	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1
COMP _k	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1
COMP _l	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1
COMP _m	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1
COMP _n	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1
COMP _o	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1
D3-D0 (十進数)	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15

フロントページの続き

(56)参考文献 特開2003-060505(JP,A)
特開2008-153875(JP,A)
特開2010-213042(JP,A)
特開2010-109937(JP,A)

(58)調査した分野(Int.Cl., DB名)
H03M 1/00 - 1/88
H03K 5/08