

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2009-194322

(P2009-194322A)

(43) 公開日 平成21年8月27日(2009.8.27)

(51) Int. Cl.

H01L 23/12 (2006.01)

F I

H01L 23/12 501B

H01L 23/12 J

テーマコード (参考)

審査請求 未請求 請求項の数 18 O L (全 39 頁)

(21) 出願番号 特願2008-36235 (P2008-36235)
 (22) 出願日 平成20年2月18日 (2008.2.18)

(71) 出願人 000190688
 新光電気工業株式会社
 長野県長野市小島田町80番地
 (74) 代理人 100070150
 弁理士 伊東 忠彦
 (72) 発明者 堀内 章夫
 長野県長野市小島田町80番地 新光電気
 工業株式会社内
 (72) 発明者 宮坂 俊次
 長野県長野市小島田町80番地 新光電気
 工業株式会社内

(54) 【発明の名称】 半導体装置の製造方法、半導体装置及び配線基板

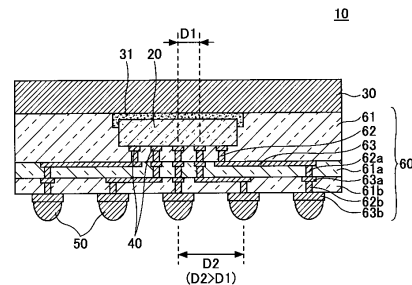
(57) 【要約】 (修正有)

【課題】複雑な構造の高密度配線基板を用いずに半導体チップの端子電極の間隔をC4バンプピッチ等の一般的な端子間隔に対応させることができる半導体装置の製造方法、半導体装置及び配線基板を提供する。

【解決手段】半導体チップ20を端子電極40が設けられた面が露出されるように支持基板30に実装する工程と、前記半導体チップ20の前記端子電極40が設けられた面を覆うように絶縁層61を形成する工程と、前記端子電極40と接続し、前記絶縁層61を貫通する貫通電極62を形成する工程と、前記絶縁層61上に、前記貫通電極62と接続した金属配線63を形成する工程と、前記金属配線63と接続し、隣接する端子電極40同士の間隔である第1の間隔D1より広い第2の間隔D2を隣接する端子電極同士の間隔として有する外部端子電極50を形成する工程と、を有する半導体装置の製造方法、該製造方法を用いて製造される半導体装置及び配線基板。

【選択図】 図2

本発明の第1の実施の形態に係る半導体装置を模式的に示す断面図



【特許請求の範囲】

【請求項 1】

半導体チップを該半導体チップの複数の端子電極が設けられた面が露出されるように支持基板に実装する半導体チップ実装工程と、

前記半導体チップの前記端子電極が設けられた面を覆うように絶縁層を形成する絶縁層形成工程と、

前記端子電極と接続し、前記絶縁層を貫通する貫通電極を形成する貫通電極形成工程と、

前記絶縁層上に、前記貫通電極と接続した金属配線を形成する金属配線形成工程と、

前記金属配線上に、前記金属配線を外部と接続する外部端子電極を形成する外部端子電極形成工程と、を有する半導体装置の製造方法であって、

隣接する前記外部端子電極同士の間隔は、隣接する前記端子電極同士の間隔より大きいことを特徴とする半導体装置の製造方法。

【請求項 2】

前記半導体チップ実装工程は、接着剤を用いて前記半導体チップを前記支持基板に接着することを特徴とする請求項 1 記載の半導体装置の製造方法。

【請求項 3】

前記支持基板は、銅板又はコパール板であることを特徴とする請求項 1 又は 2 記載の半導体装置の製造方法。

【請求項 4】

前記絶縁層は、エポキシ系樹脂又はポリイミド系樹脂であることを特徴とする請求項 1 乃至 3 何れか一項に記載の半導体装置の製造方法。

【請求項 5】

前記半導体チップ実装工程は、

前記支持基板上に第 1 の金属膜を形成し、前記第 1 の金属膜上に第 2 の金属膜を形成する金属膜形成工程と、

前記第 2 の金属膜に、前記半導体チップを嵌合する嵌合孔を形成する嵌合孔形成工程と、

前記半導体チップを前記嵌合孔に嵌合し、接着剤を用いて前記嵌合孔に接着する嵌合接着工程と、を有することを特徴とする請求項 1 記載の半導体装置の製造方法。

【請求項 6】

前記嵌合孔形成工程は、前記第 2 の金属膜上にドライフィルムレジストを積層し、前記ドライフィルムレジストを露光、現像して前記嵌合孔に対応したレジストパターンを形成し、前記レジストパターンが形成された前記第 2 の金属膜をエッチングすることを特徴とする請求項 5 記載の半導体装置の製造方法。

【請求項 7】

前記支持基板は、銅板、コパール板、ニッケル板又はガラスエポキシ基板の何れか一つであることを特徴とする請求項 5 又は 6 記載の半導体装置の製造方法。

【請求項 8】

前記第 1 の金属膜は、金を含むことを特徴とする請求項 5 乃至 7 何れか一項に記載の半導体装置の製造方法。

【請求項 9】

前記第 2 の金属膜は、銅であることを特徴とする請求項 5 乃至 8 何れか一項に記載の半導体装置の製造方法。

【請求項 10】

前記半導体チップ実装工程は、

前記支持基板に前記半導体チップを嵌合する嵌合孔を形成する嵌合孔形成工程と、

前記半導体チップを前記嵌合孔に嵌合し、接着剤を用いて前記嵌合孔に接着する嵌合接着工程と、を有することを特徴とする請求項 1 記載の半導体装置の製造方法。

【請求項 11】

前記半導体チップを前記支持基板に実装する工程は、前記半導体チップを前記支持基板に接着する工程と、を有することを特徴とする請求項 1 記載の半導体装置の製造方法。

10

20

30

40

50

前記嵌合孔形成工程は、前記支持基板にドライフィルムレジストを積層し、前記ドライフィルムレジストを露光、現像して前記嵌合孔に対応したレジストパターンを形成し、前記レジストパターンが形成された前記支持基板をエッチングすることを特徴とする請求項 10 記載の半導体装置の製造方法。

【請求項 12】

前記支持基板は、銅板又はコパール板であることを特徴とする請求項 10 又は 11 記載の半導体装置の製造方法。

【請求項 13】

半導体チップと、
前記半導体チップを支持する支持基板と、
前記半導体チップに設けられた複数の端子電極と、
前記端子電極を外部と接続する外部端子電極と、
前記端子電極と前記外部端子電極との間を電氣的に接続するファンアウト部と、を有する半導体装置であって、
前記ファンアウト部は、
前記端子電極を被覆するための絶縁層と、
前記端子電極と接続し、前記絶縁層を貫通する貫通電極と、
前記貫通電極と接続し、前記絶縁層上に形成される金属配線と、を有し、
隣接する前記外部端子電極同士の間隔は、隣接する前記端子電極同士の間隔より大きいことを特徴とする半導体装置。

10

20

【請求項 14】

前記半導体チップは、接着剤により前記支持基板に接着され、前記端子電極が設けられた面が前記絶縁層で被覆されることを特徴とする請求項 13 記載の半導体装置。

【請求項 15】

前記支持基板上に、第 1 の金属膜を介して第 2 の金属膜が設けられ、
該第 2 の金属膜に、前記半導体チップを嵌合する嵌合孔が形成され、
前記半導体チップは、前記端子電極が設けられた面が露出されるように前記嵌合孔に嵌合され、接着剤により前記嵌合孔に接着されていることを特徴とする請求項 13 又は 14 記載の半導体装置。

30

【請求項 16】

前記支持基板に、前記半導体チップを嵌合する嵌合孔が形成され、
前記半導体チップは、前記端子電極が設けられた面が露出されるように前記嵌合孔に嵌合され、接着剤により前記嵌合孔に接着されていることを特徴とする請求項 13 又は 14 記載の半導体装置。

【請求項 17】

前記半導体チップは複数であることを特徴とする請求項 13 乃至 16 何れか一項に記載の半導体装置。

【請求項 18】

請求項 13 乃至 17 何れか一項に記載の半導体装置を実装した配線基板であって、
前記外部端子電極に対応して設けられた配線基板端子電極を有し、
前記外部端子電極と前記配線基板端子電極とは電氣的に接続されることを特徴とする配線基板。

40

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体装置の製造方法、半導体装置及び配線基板に係り、特に半導体チップの端子電極の間隔を配線基板の端子電極の間隔に対応させるための半導体装置の製造方法、半導体装置及び配線基板に関する。

【背景技術】

【0002】

50

ユビキタス・ネットワーク社会の到来とともに、電子機器は高速化、高性能化に加え、小型軽量化が要求されるようになってきている。中でも、半導体の微細化技術の進歩と相まって、システムLSI等のICを構成する半導体チップは、ますます高集積化が進んでいる。高集積化に伴って、半導体チップの端子電極（ピン）の数は増大（多ピン化）する。

【0003】

このように、半導体チップの多ピン化が進むにつれて、半導体チップの端子電極の間隔（ピッチ）は狭くなる。例えば、デザインルール0.35 μm 世代においては、60 μm 程度の狭ピッチが必要になるなど、100 μm 、70 μm 、50 μm 等の狭ピッチが一般的になってきている。

10

【0004】

一方で、このような半導体チップが実装される配線基板においては、従来の端子電極の隣接する端子電極同士の間隔は、C4バンプピッチに代表されるように、100 μm ~200 μm 程度と大きい。前述した100 μm 、70 μm 、50 μm 等の狭ピッチに対応できる配線基板の製造は困難である。従って、前記した多ピン化に伴って狭ピッチ化した端子電極を有する半導体チップを配線基板に実装し、電気的な接続を行うための技術が重要になってきている。

【0005】

一般的に、多ピン化された半導体チップを配線基板に実装し、配線基板との電気的接続をとる実装方法として重要な方法は、フリップチップ接続である。従来の一般的な実装技術は、半導体チップの回路面を上にして、金の細線を使って端子と配線するワイヤボンディングであった。しかしフリップチップ接続では、半導体チップの回路面を下にし、はんだや金の端子（バンプ）を用い、半導体チップを配線基板に接続することで、電気的な接続を行う。フリップチップ接続は、ワイヤボンディングより配線の長さが短いため、電気特性に優れ、高速化や高密度化に対応できる。また、半導体チップの真下にも端子を二次元的に配置できるため、数千ピンという多ピン化（多端子化）が容易、といった特長を備えている。さらに、構造上、半導体チップ背面から熱を逃がすことが可能なため、放熱性にも優れている。

20

【0006】

このうち、半導体チップの端子電極の間隔が、配線基板の端子電極の間隔と比べて小さい場合には、直接配線基板に実装することは困難である。図1に、半導体チップ120の端子電極140の間隔D1が、配線基板170の端子電極150の間隔D2と比べて小さい場合の半導体チップ120及び配線基板170の模式的な断面図を示す。このような場合、半導体チップと配線基板との間に、絶縁層と配線層を複雑に積層した高密度多層配線基板を介し、半導体チップをフリップチップにより高密度多層配線基板に実装し、半導体チップを実装した高密度多層配線基板をBGA接合により一般配線基板（マザーボード）に実装する実装方法が行われる。これがFCBGA（Flip Chip Ball Grid Array）である。FCBGAにおいては、高密度多層配線基板を一般配線基板に実装する実装方法がBGAであるが、BGAではなくPGA（Pin Grid Array）、LGA（Line Grid Array）の場合もあり、それぞれFCPGA、FCLGA、と呼ばれる。

30

40

【0007】

しかしながら、上記のようなFCBGA等の場合、絶縁層と配線層を複雑に積層した高密度多層配線基板を用いなくてはならないという問題があった。

【0008】

このような複雑な積層構造を有する高密度多層配線基板を用いずに、半導体チップを直接配線基板と電気的に接続することができる半導体装置の製造方法としては、半導体チップを直接配線基板に埋め込み、内部に実装する方法と、半導体チップを機械的に支持し、発熱した熱を熱伝導する機能を有する基板に実装した半導体装置を、はんだボール等により配線基板に実装する方法と、がある。

【0009】

50

半導体チップを直接配線基板に埋め込む方法であるが、配線基板の内部に半導体チップを内蔵するための凹部を形成する方法である。特許文献1には、多層配線基板の内部に半導体チップが内蔵され、半導体チップの端子電極がトランジション層を介して配線基板内に配線される方法が開示されている。

【0010】

また、半導体チップを機械的に支持し、発熱した熱を熱伝導する機能を有する基板に実装した半導体装置を、はんだボール等により配線基板に実装する方法であるが、所定の基板に所定の実装方法を用いて実装し、従来の配線基板の端子電極に対応した外部端子電極を形成し、はんだボール等の実装方法を用いて半導体チップを配線基板に実装する方法である。特許文献2には、金属からなる底板と樹脂複合材からなる枠材とで凹部を形成し、前記凹部に半導体チップを埋め込み、絶縁層を設け、従来の配線基板の端子電極に対応した外部端子電極を形成する半導体装置の製造方法の例が開示されている。また、特許文献3には、機械的に安定で高熱伝導率を有する基板を選択し、前記基板に空洞を儲け、半導体チップを取り付け、半導体チップの端子電極と接続される配線と絶縁層からなる薄膜オーバレイを設け、半導体チップと配線基板を接続する半導体装置の製造方法の例が開示されている。

10

【特許文献1】特開2003-7896号公報

【特許文献2】特開2002-16173号公報

【特許文献3】特開平6-236941号公報

【発明の開示】

20

【発明が解決しようとする課題】

【0011】

ところが、従来用いられてきた半導体装置の製造方法、半導体装置及び配線基板には、以下のような問題があった。

【0012】

まず、特許文献1に開示されている方法であるが、任意の配線基板を用いることができなくなるといった問題があった。具体的には、半導体チップを内蔵するための凹部を、配線基板表面にザグリ加工等により形成しなければならず、構造上凹部加工がし易い材質及び構造の配線基板を用意しなくてはならないため、任意の配線基板を用いることができないという問題があった。

30

【0013】

また、特許文献2に開示されている方法であるが、枠材を設ける工程が必要になるといった問題があった。具体的には、樹脂複合材よりなるパッケージング材に半導体チップの形状に対応した孔を開け、該孔を開けたパッケージング材よりなる枠材を金属板よりなる底板にプレス積層する、という工程が必要になる。加えて、その後上面に絶縁膜を設けるため、枠材の厚さを半導体チップの厚さと等しくしなくてはならない。これらの加工工程の安定性、信頼性に課題があり、その結果、半導体チップを支持する機械的強度や半導体チップからの発熱を放散させるための熱伝導性が低下するという問題があった。

【0014】

更に、特許文献3に開示されている方法であるが、空洞の形成方法が考慮されていないという問題があった。具体的には、空洞は半導体チップより僅かに大きい寸法にフライス加工される方法が開示されているだけであり、加工精度、信頼性に欠け、C4 bumps pitch等の一般的な端子間隔を有する従来の配線基板に応じて自由に接続端子を設計することは困難である。

40

【0015】

本発明は上記の点に鑑みてなされたものであり、複雑な構造の高密度配線基板を用いずに、半導体チップの端子電極の間隔をC4 bumps pitch等の一般的な端子間隔に対応させることができ、その結果、従来の配線基板を用いながら、半導体チップを支持する機械的強度や半導体チップからの発熱を放散させるための熱伝導性を向上させることができる半導体装置の製造方法、半導体装置及び配線基板を提供することを目的とする。

50

【課題を解決するための手段】

【0016】

上記の課題を解決するために本発明では、次に述べる各手段を講じたことを特徴とするものである。

【0017】

第1の発明に係る半導体装置の製造方法は、

半導体チップを該半導体チップの複数の端子電極が設けられた面が露出されるように支持基板に実装する半導体チップ実装工程と、

前記半導体チップの前記端子電極が設けられた面を覆うように絶縁層を形成する絶縁層形成工程と、

前記端子電極と接続し、前記絶縁層を貫通する貫通電極を形成する貫通電極形成工程と

、前記絶縁層上に、前記貫通電極と接続した金属配線を形成する金属配線形成工程と、

前記金属配線上に、前記金属配線を外部と接続する外部端子電極を形成する外部端子電極形成工程と、を有する半導体装置の製造方法であって、

隣接する前記外部端子電極同士の間隔は、隣接する前記端子電極同士の間隔より大きいことを特徴とする。

【0018】

第2の発明は、第1の発明に係る半導体装置の製造方法において、

前記半導体チップ実装工程は、接着剤を用いて前記半導体チップを前記支持基板に接着することを特徴とする。

【0019】

第3の発明は、第1又は第2の発明に係る半導体装置の製造方法において、

前記支持基板は、銅板又はコパール板であることを特徴とする。

【0020】

第4の発明は、第1～第3の何れか一つの発明に係る半導体装置の製造方法において、

前記絶縁層は、エポキシ系樹脂又はポリイミド系樹脂であることを特徴とする。

【0021】

第5の発明は、第1の発明に係る半導体装置の製造方法において、

前記半導体チップ実装工程は、

前記支持基板上に第1の金属膜を形成し、前記第1の金属膜上に第2の金属膜を形成する金属膜形成工程と、

前記第2の金属膜に、前記半導体チップを嵌合する嵌合孔を形成する嵌合孔形成工程と

、前記半導体チップを前記嵌合孔に嵌合し、接着剤を用いて前記嵌合孔に接着する嵌合接着工程と、を有することを特徴とする。

【0022】

第6の発明は、第5の発明に係る半導体装置の製造方法において、

前記嵌合孔形成工程は、前記第2の金属膜上にドライフィルムレジストを積層し、前記ドライフィルムレジストを露光、現像して前記嵌合孔に対応したレジストパターンを形成し、前記レジストパターンが形成された前記第2の金属膜をエッチングすることを特徴とする。

【0023】

第7の発明は、第5又は第6の発明に係る半導体装置の製造方法において、

前記支持基板は、銅板、コパール板、ニッケル板又はガラスエポキシ基板の何れか一つであることを特徴とする。

【0024】

第8の発明は、第5～第7の何れか一つの発明に係る半導体装置の製造方法において、

前記第1の金属膜は、金を含むことを特徴とする。

【0025】

第 9 の発明は、第 5 ~ 第 8 の何れか一つの発明に係る半導体装置の製造方法において、前記第 2 の金属膜は、銅であることを特徴とする。

【 0 0 2 6 】

第 1 0 の発明は、第 1 の発明に係る半導体装置の製造方法において、前記半導体チップ実装工程は、

前記支持基板に前記半導体チップを嵌合する嵌合孔を形成する嵌合孔形成工程と、

前記半導体チップを前記嵌合孔に嵌合し、接着剤を用いて前記嵌合孔に接着する嵌合接着工程と、を有することを特徴とする。

【 0 0 2 7 】

第 1 1 の発明は、第 1 0 の発明に係る半導体装置の製造方法において、

前記嵌合孔形成工程は、前記支持基板にドライフィルムレジストを積層し、前記ドライフィルムレジストを露光、現像して前記嵌合孔に対応したレジストパターンを形成し、前記レジストパターンが形成された前記支持基板をエッチングすることを特徴とする。

10

【 0 0 2 8 】

第 1 2 の発明は、第 1 0 又は第 1 1 の発明に係る半導体装置の製造方法において、前記支持基板は、銅板又はコパール板であることを特徴とする。

【 0 0 2 9 】

第 1 3 の発明は、

半導体チップと、

前記半導体チップを支持する支持基板と、

前記半導体チップに設けられた複数の端子電極と、

前記端子電極を外部と接続する外部端子電極と、

前記端子電極と前記外部端子電極との間を電氣的に接続するファンアウト部と、を有する半導体装置であって、

前記ファンアウト部は、

前記端子電極を被覆するための絶縁層と、

前記端子電極と接続し、前記絶縁層を貫通する貫通電極と、

前記貫通電極と接続し、前記絶縁層上に形成される金属配線と、を有し、

隣接する前記外部端子電極同士の間隔は、隣接する前記端子電極同士の間隔より大きいことを特徴とする。

20

30

【 0 0 3 0 】

第 1 4 の発明は、第 1 3 の発明に係る半導体装置において、

前記半導体チップは、接着剤により前記支持基板に接着され、前記端子電極が設けられた面が前記絶縁層で被覆されることを特徴とする。

【 0 0 3 1 】

第 1 5 の発明は、第 1 3 又は第 1 4 の発明に係る半導体装置において、

前記支持基板上に、第 1 の金属膜を介して第 2 の金属膜が設けられ、

該第 2 の金属膜に、前記半導体チップを嵌合する嵌合孔が形成され、

前記半導体チップは、前記端子電極が設けられた面が露出されるように前記嵌合孔に嵌合され、接着剤により前記嵌合孔に接着されていることを特徴とする。

40

【 0 0 3 2 】

第 1 6 の発明は、第 1 3 又は第 1 4 の発明に係る半導体装置において、

前記支持基板に、前記半導体チップを嵌合する嵌合孔が形成され、

前記半導体チップは、前記端子電極が設けられた面が露出されるように前記嵌合孔に嵌合され、接着剤により前記嵌合孔に接着されていることを特徴とする。

【 0 0 3 3 】

第 1 7 の発明は、第 1 3 ~ 第 1 6 の何れか一つの発明に係る半導体装置において、

前記半導体チップは複数であることを特徴とする。

【 0 0 3 4 】

第 1 8 の発明は、第 1 3 ~ 第 1 7 の何れか一つの発明に係る半導体装置を実装した配線

50

基板であって、

前記外部端子電極に対応して設けられた配線基板端子電極を有し、

前記外部端子電極と前記配線基板端子電極とは電氣的に接続されることを特徴とする。

【発明の効果】

【0035】

本発明によれば、半導体チップの端子電極の間隔をC4バンプピッチ等の一般的な端子間隔に対応させることによって従来の配線基板を用いることができ、半導体チップを支持する機械的強度や半導体チップからの発熱を放散させるための熱伝導性を向上させることができる。

【発明を実施するための最良の形態】

【0036】

次に、本発明を実施するための最良の形態について図面と共に説明する。

(第1の実施の形態)

図2乃至図3Bを参照し、本発明の第1の実施の形態に係る半導体装置を説明する。

【0037】

最初に、図2を参照し、本実施の形態に係る半導体装置を説明する。

【0038】

図2は、本実施の形態に係る半導体装置を模式的に示す断面図である。

【0039】

図2に示されるように、本実施の形態に係る半導体装置10は、半導体チップ20と、支持基板30と、端子電極40と、外部端子電極50と、ファンアウト部60と、を有する。

【0040】

半導体チップ20は、半導体装置10の電氣的な機能を有する。半導体チップ20は、半導体チップ20の外部と電氣的に接続するための端子電極40を有する。隣接する端子電極40同士の間隔を第1の間隔D1とする。例えば、D1は50~100μm程度とすることができる。

【0041】

支持基板30には、接着剤31を介して半導体チップ20が、端子電極40が設けられた面と反対側の面をもって接着される。支持基板30は、半導体チップ20を支持し、半導体装置10の機械的な強度を確保すると同時に、半導体チップ20で発熱される熱を放熱するためのものである。

【0042】

外部端子電極50は、ファンアウト部60の最表面に設けられる。外部端子電極50は、半導体装置10の外部と電氣的に接続するための端子電極である。隣接する外部端子電極50同士の間隔を第2の間隔D2とする。例えば、D2は150μm~180μm程度とすることができる。

【0043】

ここで、外部端子電極50の全てにおいて、隣接する外部端子電極50同士の間隔D2は、端子電極40の全てにおいて、隣接する端子電極40同士の間隔D1よりも大きい。即ち、隣接する外部端子電極50同士の最小間隔は、隣接する端子電極40同士の最大間隔よりも大きい。

【0044】

ファンアウト部60は、絶縁層61と、貫通電極62と、金属配線63と、を有する。ファンアウト部60は、第1の間隔D1を有する端子電極40と、第2の間隔D2を有する外部端子電極50と、を接続するためのものである。

【0045】

絶縁層61は、半導体チップ20及び半導体チップ20に設けられた端子電極40を被覆するように、設けられる。貫通電極62は、端子電極40と接続され、絶縁層61を貫通するように設けられる。金属配線63は、貫通電極62と接続され、絶縁層61の表面

10

20

30

40

50

を配線される。

【0046】

絶縁層61は、支持基板30に接着剤31を介して接着された半導体チップ20の端子電極40が設けられた面を被覆する。また、図2に示されるように、半導体チップ20の側面を被覆することができる。

【0047】

絶縁層61、貫通電極62、金属配線63は、少なくとも1層ずつ形成される。D1とD2がほぼ等しいときは、絶縁層61、貫通電極62、金属配線63は、それぞれ1層ずつ形成し、端子電極40と、外部端子電極50と、を電氣的に接続することができる。しかし、例えばD2がD1の2倍程度あるなど、D2がD1よりかなり大きい場合は、配線が交錯することを避けるため、絶縁層61、貫通電極62、金属配線63は、それぞれ複数層ずつ形成することができる。本実施の形態では、図2に示されるように、絶縁層61、貫通電極62、金属配線63がそれぞれ3層ずつ形成されており、支持基板30及び半導体チップ20に近い方から順に、絶縁層61、61a、61b、貫通電極62、62a、62b、金属配線63、63a、63bとする。前述した外部端子電極50は、ファンアウト部60の最表面に設けられた金属配線63bに接続されるように設けられる。

10

【0048】

次に、本実施の形態に係る半導体装置10による、半導体チップ20の隣接する端子電極40同士の間隔である第1の間隔D1を隣接する外部端子電極50同士の間隔である第2の間隔D2に広げるファンアウト機能、機械的強度確保の機能、及び熱伝導性確保の機能について説明する。

20

【0049】

まず、ファンアウト機能について説明する。

【0050】

始めに、貫通電極62は、端子電極40に接続して垂直に形成されるため、その間隔は、第1の間隔D1と同一である。

【0051】

次に、5つの貫通電極62に接続された5つの金属配線63のうち、左右外側を除いた中心の3つの金属配線63は、貫通電極62の直上に接続して形成されるため、その間隔は第1の間隔D1と同一である。しかし、左右外側の2つの貫通電極62に接続された金属配線63は、左右外側の2つの貫通電極62の位置から左右外側に向かって配線される。これは、第1の間隔D1を第2の間隔D2に広げるためである。本実施の形態では、例えば、左右両側の2つの金属配線63は、中心の貫通電極から $2 \times D2$ の距離まで配線される。

30

【0052】

次に、貫通電極62aは、金属配線63に接続して垂直に形成されるため、左右外側を除いた中心の3つの貫通電極62aの間隔は、第1の間隔D1と同一であり、左右外側の2つの貫通電極62aは、中心の貫通電極62aと $2 \times D2$ の間隔を有する。

【0053】

次に、5つの貫通電極62aに接続された5つの金属配線63aのうち、中心と、左右一番外側に位置する3つの金属配線63aは、貫通電極62aの直上に接続して形成される。しかし、左右外側から2番目に位置する2つの金属配線63aは、貫通電極62aの位置から左右外側に向かって配線される。これは、第1の間隔D1を第2の間隔D2に広げるためである。本実施の形態では、例えば、左右外側から2番目に位置する2つの金属配線63aは、中心の貫通電極からD2の距離まで配線される。

40

【0054】

次に、貫通電極62bは、金属配線63aに接続して垂直に形成される。そのため、5つの貫通電極62bの間隔は、第2の間隔D2と同一である。

【0055】

次に、5つの金属配線63bは、5つの貫通電極62bの直上に接続して形成される。

50

そのため、5つの金属配線63bの間隔は、第2の間隔D2と同一である。

【0056】

最後に、5つの金属配線63bに接続して5つの外部端子電極50が形成される。従って、端子電極40の間隔である第1の間隔D1は、第2の間隔D2に広げられた外部の端子電極50に接続される。

【0057】

以上のようにして、隣接する端子電極40同士の間隔である第1の間隔D1を隣接する外部端子電極50同士の間隔である第2の間隔D2に広げるファンアウト機能が機能する。

【0058】

次に、半導体装置10の機械的強度確保の機能及び熱伝導性確保の機能について説明する。

【0059】

半導体装置10は、半導体チップ20と端子電極40と同数の外部端子電極50を有し、隣接する外部端子電極50同士の間隔である第2の間隔D2は、隣接する端子電極40同士の間隔である第1の間隔D1に比べて大きい。従って、半導体装置10の面積は半導体チップ20の面積に比べて大きい。半導体チップ20に比べて大きな半導体装置10の機械的強度は、主として支持基板30によって確保される。また、本実施の形態に係る半導体装置10では、接着剤31、絶縁層61は、半導体チップ20を支持基板30に固定するために用いられるため、接着剤31、絶縁層61によっても機械的強度は確保される。

【0060】

一方、半導体チップ20は、接着剤31、絶縁層61を通じて支持基板30に熱的に接触される。また、端子電極40から貫通電極62、62a、62b、金属配線63、63a、63bを通じて外部端子電極50に電氣的に接続されると同時に、熱的にも接続される。従って、本実施の形態に係る半導体装置10では、半導体チップ20で発生される熱を放熱するための熱伝導性は確保される。

【0061】

次に、半導体装置10を構成する好適な材料を説明する。

【0062】

まず、支持基板30であるが、特に限定されないものの、例えば、銅板、アルミ板またはコパル板等の金属板を用いることができる。絶縁層61であるが、特に限定されないものの、例えば、エポキシ系樹脂、フェノール系樹脂、フェノキシ樹脂、ポリイミド系樹脂、ポリフェニレン系樹脂、ポリオレフィン系樹脂、フッ素系樹脂を用いることができる。貫通電極62であるが、特に限定されないものの、例えば、銅を用いることができる。接着剤31であるが、特に限定されないものの、例えば、エポキシ樹脂に銀を添加させた高熱伝導性エポキシ接着剤又は金シリコンを用いることができる。金属配線63であるが、特に限定されないものの、例えば、スズ、クロム、チタン、ニッケル、亜鉛、コバルト、金、銅などを用いることができる。外部端子電極50であるが、特に限定されないものの、例えば、半田を用いることができる。

(第1の実施の形態に係る半導体装置の製造方法)

次に、図3A及び図3Bを参照し、本実施の形態に係る半導体装置の製造方法について説明する。

【0063】

図3A及び図3Bは、本実施の形態に係る半導体装置の製造方法を模式的に示す図である。

【0064】

まず、図3A(a)に示される半導体チップ実装工程において、支持基板30上に、半導体チップ20を接着する。この場合、例えば厚さが100~1000μmの銅板よりなる支持基板30上の半導体チップ20が接着される接着面に、予め接着剤31を塗布し、

10

20

30

40

50

該接着剤 31 が塗布された支持基板 30 上に、半導体チップ 20 を載置し、接着する。また、半導体チップ 20 は、端子電極 40 が設けられた面が露出（フェイスアップ）されるように支持基板 30 に接着される。

【0065】

次に、図 3 A (b) に示される絶縁層形成工程において、エポキシ系樹脂又はポリイミド系樹脂よりなる絶縁層 61 を形成する。このとき、例えば 100 ~ 800 μm の高さの半導体チップ 20 の端子電極 40 が設けられた面を、更に、例えば 5 ~ 30 μm の厚さで覆うように、絶縁層 61 を形成する。すなわち、絶縁層 61 の厚さは、半導体チップ 20 の高さである例えば 100 ~ 800 μm と、半導体チップ 20 の端子電極 40 を被覆する厚さである例えば 5 ~ 30 μm と、の合計であり、半導体チップ 20 の端子電極 40 は、絶縁層 61 によって被覆される。また、半導体チップ 20 の側面 21 を隙間なく覆うように、絶縁層 61 を形成することもできる。本実施の形態では、図 3 A (b) に示されるように、半導体チップ 20 の側面 21 も絶縁層 61 によって隙間なく覆われる。

10

【0066】

次に、図 3 A (c) に示される工程において、加工方法は特に限定されるものではないが、例えばレーザにより、絶縁層 61 に、端子電極 40 にまで到達する貫通孔 64 を形成する。

【0067】

次に、図 3 A (d) に示される貫通電極形成工程及び金属配線形成工程において、例えば、セミアディティブ法により、前記貫通孔 64 を埋設するように貫通電極 62 を形成するとともに、貫通電極 62 と接続される金属配線 63 を形成する。

20

【0068】

このとき、図 3 A (d) に図示される 5 つの端子電極 40 のうち、左右両側の一番外側にある 2 つの端子電極 40 に接続された金属配線 63 は、端子間隔を広げるため、左右両側に広がるように配設される。

【0069】

次に、図 3 B (a) 及び図 3 B (b) に示される工程において、図 3 A (b) ~ 図 3 A (d) に示された絶縁層 61 の形成、絶縁層 61 への貫通孔 64 の形成、貫通電極 62 及び金属配線 63 の形成を 2 回繰返す。ただし、1 回目の繰返しにおいて、絶縁層は 61 a、貫通孔は 64 a、貫通電極は 62 a、金属配線は 63 a、であり、2 回目の繰返しにおいて、絶縁層は 61 b、貫通孔は 64 b、貫通電極は 62 b、金属配線は 63 b、である。絶縁層 61 a、61 b の厚さは、例えば 5 ~ 30 μm とすることができる。金属配線 63 a において、図 3 B (a) に図示される 5 つの端子電極 40 のうち、左右両側とも外側から 2 番目に位置する 2 つの端子電極に接続された金属配線 63 a は、端子間隔を広げるため、左右両側に広がるように配設される。その結果、2 回目の繰返しにおいて、図 3 B (b) に示されるように、貫通電極 62 b、金属配線 63 b は、第 1 の間隔 D1 より広い第 2 の間隔 D2 をもって等間隔に配設される。

30

【0070】

次に、図 3 B (c) に示される外部端子電極形成工程において、金属配線 63 b に接続された外部端子電極 50 を形成する。外部端子電極 50 は、半田又は電解めっきによる銅を形成することにより、形成される。

40

【0071】

以上、本実施の形態に係る半導体装置によれば、半導体チップの端子電極の間隔を C4 バンプピッチ等の一般的な端子間隔に対応させることによって従来の配線基板を用いることができ、半導体チップを支持する機械的強度や半導体チップからの発熱を放散させるための熱伝導性を向上させることができる。

【0072】

なお、本実施の形態に係る半導体装置 10 では、ファンアウト機能を確保するために 3 層の絶縁層 61、貫通電極 62、金属配線 63 を用いているが、任意の端子電極 40 が互いに交錯することなく外部端子電極 50 に接続されることが可能であれば、層数、金属配

50

線の長さは、これに限られるものではない。

【0073】

また、本実施の形態に係る半導体装置の製造方法では、例えばセミアディティブ法により、貫通電極62、62a、62bを形成するとともに、金属配線63、63a、63bを形成するが、貫通電極62、62a、62bと、金属配線63、63a、63bと、を別々の工程により形成してもよい。

(第1の実施の形態の第1の変形例)

次に、図4乃至図6を参照し、本発明の第1の実施の形態の第1の変形例について説明する。

【0074】

最初に、図4を参照し、本変形例に係る半導体装置を説明する。

【0075】

図4は、本変形例に係る半導体装置を模式的に示す断面図である。ただし、以下の文中では、先に説明した部分には同一の符号を付し、説明を省略する場合がある(以下の変形例についても同様)。

【0076】

本変形例に係る半導体装置は、支持基板上に第1の金属膜を介して第2の金属膜が設けられ、該第2の金属膜に、半導体チップを嵌合する嵌合孔が形成される点で、第1の実施の形態に係る半導体チップと相違する。

【0077】

図4を参照するに、第1の実施の形態において、半導体チップが接着剤により支持基板に接着され、端子電極が設けられた面が絶縁層で被覆されるのと相違し、本変形例に係る半導体装置10aは、支持基板30上に第1の金属膜32を介して第2の金属膜33が設けられ、該第2の金属膜33に、半導体チップ20を嵌合する嵌合孔34が形成され、半導体チップ20は端子電極40が設けられた面が露出されるように嵌合孔34に嵌合され、接着剤31により嵌合孔34に接着されることが特徴である。

【0078】

図4に示されるように、本変形例に係る半導体装置10aは、半導体チップ20と、支持基板30と、端子電極40と、外部端子電極50と、ファンアウト部60と、を有する。半導体チップ20、端子電極40、外部端子電極50の構造は、第1の実施の形態に係る半導体装置10と同一である。

【0079】

一方、支持基板30は、両面を第1の金属膜32で被覆される。また支持基板30の片面には、第1の金属膜32を介して第2の金属膜33が形成される。第2の金属膜33の厚さは、半導体チップ20の高さとほぼ同一である。第2の金属膜は、平面視において半導体チップ20とほぼ同一の形状に除去され、嵌合孔34が形成される。嵌合孔34には、接着剤31を介して半導体チップ20が、端子電極40が設けられた面と反対側の面をもって接着される。

【0080】

また、ファンアウト部60を構成する最初の絶縁層61は、第1の実施の形態において、半導体チップ20の高さとほぼ同一の厚さを有する部分があるのに対し、本変形例では、半導体チップ20と嵌合孔34との隙間を除いた全ての部分で、半導体チップ20の端子電極40を被覆する厚さを有する。

【0081】

次に、ファンアウト機能、機械的強度確保の機能、熱伝導性確保の機能であるが、ファンアウトの機能については、第1の実施の形態と同様の機能を有する。また、機械的強度、熱伝導性については、半導体チップ20が嵌合孔34に嵌合されることにより、半導体チップ20の側面が第2の金属膜33で覆われる。そのため、第1の実施の形態と比較して、より機械的強度、熱伝導性を向上させることができる。

【0082】

10

20

30

40

50

次に、半導体装置 10 a を構成する好適な材料を説明する。絶縁層 6 1、貫通電極 6 2、接着剤 3 1、金属配線 6 3、外部端子電極 5 0 は、第 1 の実施の形態と同一の材料を用いることができる。

【0083】

支持基板 3 0 であるが、特に限定されないものの、例えば、ニッケル板を用いることができる。また、第 1 の金属膜であるが、特に限定されないものの、例えば、金を用いることができる。さらに、第 2 の金属膜として、特に限定されないものの、例えば、銅を用いることができる。

(第 1 の実施の形態の第 1 の変形例に係る半導体装置の第 1 の製造方法)

次に、図 5 A 乃至図 5 C を参照し、本変形例に係る半導体装置の第 1 の製造方法について説明する。

10

【0084】

図 5 A 乃至図 5 C は、本変形例に係る半導体装置の第 1 の製造方法を模式的に示す図である。

【0085】

まず、図 5 A (a) に示されるように、例えば厚さが 100 ~ 1000 μm のニッケル板よりなる支持基板 3 0 を用意する。予め、ニッケル板よりなる支持基板 3 0 の両面には、金の電解めっきを行い、例えば厚さが 30 ~ 400 nm の金よりなる第 1 の金属膜 3 2 を形成しておく。

【0086】

20

次に、図 5 A (b) に示される金属膜形成工程において、支持基板 3 0 に金めっきによって形成された第 1 の金属膜 3 2 上に、銅の電解めっきを行い、例えば厚さが 100 ~ 800 μm の銅よりなる第 2 の金属膜 3 3 を形成する。この 100 ~ 800 μm の厚さは、例えば 100 ~ 800 μm の半導体チップ 2 0 の高さにはほぼ等しい。

【0087】

次に、図 5 A (c) に示される嵌合孔形成工程において、第 2 の金属膜 3 3 上にドライフィルムレジスト 3 5 よりなるレジストパターンを形成する。即ち、第 2 の金属膜 3 3 上に、例えば厚さが 10 ~ 30 μm のドライフィルムレジスト 3 5 を積層し、ドライフィルムレジスト 3 5 を露光、現像し、半導体チップ 2 0 の平面視における形状に対応した部分を除去したレジストパターンを形成する。このレジストパターンの形状は、その後第 2 の金属膜 3 3 に形成される半導体チップ 2 0 を嵌合するための嵌合孔 3 4 の形状に対応したものである。

30

【0088】

次に、図 5 A (d) に示される嵌合孔形成工程において、第 2 の金属膜 3 3 上に形成されたドライフィルムレジスト 3 5 よりなるレジストパターンをエッチング保護膜とし、塩化第二銅をエッチング液として、銅よりなる第 2 の金属膜 3 3 をエッチングし、嵌合孔 3 4 を形成する。このとき、銅よりなる第 2 の金属膜 3 3 の深さ方向にエッチングが進展していくが、金めっきにより形成された第 1 の金属膜 3 2 の表面にエッチングが達すると、エッチングの進展が止まるため、半導体チップ 2 0 を嵌合する嵌合孔 3 4 の半導体チップ 2 0 を搭載する搭載面 3 6 の平坦性を確保することができる。また、嵌合孔 3 4 の深さは第 2 の金属膜 3 3 の厚さに等しく、第 2 の金属膜 3 3 の厚さは、例えば 100 ~ 800 μm である半導体チップ 2 0 の高さにはほぼ等しいため、嵌合孔 3 4 の深さは半導体チップ 2 0 の高さにはほぼ等しい。

40

【0089】

次に、図 5 B (a) に示される嵌合接着工程において、嵌合孔 3 4 に半導体チップ 2 0 を嵌合し、接着剤 3 1 を用いて半導体チップ 2 0 を嵌合孔 3 4 に接着する。ここで、接着剤 3 1 であるが、高熱伝導性エポキシ接着剤を用いることもできるが、搭載面 3 6 が金で形成されているため、半導体チップ 2 0 との間での金シリコンによる共晶結合により接着することもできる。

【0090】

50

次に、図 5 B (b) に示される絶縁層形成工程において、エポキシ系樹脂又はポリイミド系樹脂よりなる絶縁層 6 1 を形成する。具体的には、嵌合孔 3 4 に嵌合された半導体チップ 2 0 の端子電極 4 0 が設けられた面及び第 2 の金属膜 3 3 の表面を覆うように、例えば厚さが 5 ~ 3 0 μm の絶縁層 6 1 を形成する。前述したように、嵌合孔 3 4 の深さは半導体チップ 2 0 の高さにはほぼ等しいため、嵌合孔 3 4 に嵌合された半導体チップ 2 0 の端子電極 4 0 が設けられた面及び第 2 の金属膜 3 3 の表面はほぼ等しい高さである。加えて、半導体チップ 2 0 の側面 2 1 と嵌合孔 3 4 との隙間も絶縁層 6 1 で埋められる。以上のようにして、半導体チップ 2 0 の端子電極 4 0 は、絶縁層 6 1 によって被覆され、平坦化される。

【 0 0 9 1 】

次に、例えばレーザにより、貫通孔 6 4 を形成し (図 5 B (c))、例えば、セミアディティブ法により、貫通電極 6 2 を形成するとともに金属配線 6 3 を形成する (図 5 B (d))。更に、図 5 B (b) ~ 図 5 B (d) の工程を 2 回繰り返してファンアウト部 6 0 を形成し (図 5 C (a) 及び図 5 C (b))、外部端子電極 5 0 を形成する (図 5 C (c))。これらの図 5 B (c)、図 5 B (d)、図 5 C (a) ~ 図 5 C (c) に示される工程は、第 1 の実施の形態の製造方法において図 3 A (c)、図 3 A (d)、図 3 B (a) ~ 図 3 B (c) に示される工程と同一である。また、1 回目の繰返しにおいて、絶縁層は 6 1 a、貫通孔は 6 4 a、貫通電極は 6 2 a、金属配線は 6 3 a、であり、2 回目の繰返しにおいて、絶縁層は 6 1 b、貫通孔は 6 4 b、貫通電極は 6 2 b、金属配線は 6 3 b、であるのは、第 1 の実施の形態と同一である。

(第 1 の実施の形態の第 1 の変形例に係る半導体装置の第 2 の製造方法)

次に、図 5 B 乃至図 6 を参照し、本変形例に係る半導体装置の第 2 の製造方法について説明する。

【 0 0 9 2 】

本製造方法は、アディティブ工法を用いて第 2 の金属膜に嵌合孔を形成する点で、本変形例に係る半導体装置の第 1 の製造方法と相違する。

【 0 0 9 3 】

図 6 を参照するに、本変形例に係る半導体装置の第 1 の製造方法において、支持基板上に第 2 の金属膜を形成した後、嵌合孔に対応したレジストパターンを形成し、第 2 の金属膜をエッチングして嵌合孔を形成するのと相違し、本製造方法は、支持基板上に第 1 の金属膜を形成した後、第 2 の金属膜を形成する前に、嵌合孔に対応したレジストパターンを形成し、その後、第 2 の金属膜を形成し、レジストパターンを除去し、第 2 の金属膜に嵌合孔を形成することが特徴である。

【 0 0 9 4 】

図 6 は、本変形例に係る半導体装置の第 2 の製造方法を模式的に示す図である。また以下では、図 6 (a) ~ 図 6 (d)、図 5 B (a) ~ 図 5 B (d)、図 5 C (a) ~ 図 5 C (c) を用いて、本製造方法を説明する。

【 0 0 9 5 】

まず、図 6 (a) に示されるように、例えば厚さが 1 0 0 ~ 1 0 0 0 μm のニッケル板よりなる支持基板 3 0 を用意する。予め、ニッケル板よりなる支持基板 3 0 の両面には、金の電解めっきを行い、例えば厚さが 3 0 ~ 4 0 0 nm の金よりなる第 1 の金属膜 3 2 を形成しておく。これは、本変形例に係る半導体装置の第 1 の製造方法において図 5 A (a) に示される工程と同一である。

【 0 0 9 6 】

次に、図 6 (b) に示される工程において、第 1 の金属膜 3 2 上にドライフィルムレジスト 3 5 よりなるレジストパターンを形成する。即ち、第 1 の金属膜 3 2 上に、例えば厚さが 1 0 ~ 3 0 μm のドライフィルムレジスト 3 5 を積層し、ドライフィルムレジスト 3 5 を露光、現像し、半導体チップ 2 0 の平面視における形状に対応した形状を有するレジストパターンを形成する。このレジストパターンの形状は、その後第 2 の金属膜 3 3 に形成される半導体チップ 2 0 を嵌合するための嵌合孔 3 4 の形状に対応したものである。た

10

20

30

40

50

だし、本変形例に係る半導体装置の第1の製造方法と比べると、レジストパターンの形状はポジネガ逆のパターンの形状になっている。

【0097】

次に、図6(c)に示される工程において、レジストパターンの形成された第1の金属膜32上に、銅の電解めっきを行い、例えば厚さ100~800 μ mの銅よりなる第2の金属膜33を形成する。この100~800 μ mの厚さは、例えば100~800 μ mの半導体チップ20の高さにほぼ等しい。

【0098】

次に、図6(d)に示される工程において、レジストパターンとして残っているドライフィルムレジスト35の全面を露光、現像し、ドライフィルムレジストを剥離する。その結果、第2の金属膜33に、半導体チップ20を嵌合するための嵌合孔34が形成される。嵌合孔34の深さは第2の金属膜33の厚さに等しく、第2の金属膜33の厚さは、例えば100~800 μ mである半導体チップ20の高さにほぼ等しいため、嵌合孔34の深さは半導体チップ20の高さにほぼ等しい。

10

【0099】

それ以後、嵌合孔34に半導体チップ20を嵌合して接着する工程から、外部端子電極50を形成する工程は、本変形例に係る半導体装置の第1の製造方法における図5B(a)~図5B(d)、図5C(a)~図5C(c)と同一の工程を行う。

【0100】

以上、本変形例に係る半導体装置によれば、半導体チップの端子電極の間隔をC4バンピッチ等の一般的な端子間隔に対応させることができ、半導体チップが嵌合孔に嵌合されることにより、より機械的強度、熱伝導性を向上させることができる。

20

【0101】

なお、本変形例に係る半導体装置10aでは、ファンアウト機能を確保するために3層の絶縁層61、貫通電極62、金属配線63を用いているが、任意の端子電極40が互いに交錯することなく外部端子電極50に接続されることが可能であれば、層数、金属配線の長さは、これに限られるものではない。

【0102】

また、本実施の形態に係る半導体装置の製造方法では、例えば、セミアディティブ法により、貫通電極62、62a、62bを形成するとともに、金属配線63、63a、63bを形成するが、貫通電極62、62a、62bと、金属配線63、63a、63bと、を別々の工程により形成してもよい。

30

(第1の実施の形態の第2の変形例)

次に、図7乃至図9を参照し、本発明の第1の実施の形態の第2の変形例について説明する。

【0103】

最初に、図7を参照し、本変形例に係る半導体装置を説明する。

【0104】

図7は、本変形例に係る半導体装置を模式的に示す断面図である。

【0105】

本変形例に係る半導体装置は、支持基板上に形成される第1の金属膜が支持基板表面処理膜を介して設けられる点で、第1の実施の形態の第1の変形例に係る半導体装置と相違する。

40

【0106】

図7を参照するに、第1の実施の形態の第1の変形例において、第1の金属膜が支持基板上に直接形成されるのと相違し、本変形例に係る半導体装置10bは、第1の金属膜32が、支持基板表面処理膜37を介して支持基板30上に形成されることが特徴である。

【0107】

図7に示されるように、本変形例に係る半導体装置10bは、半導体チップ20と、支持基板30と、端子電極40と、外部端子電極50と、ファンアウト部60と、を有する

50

。半導体チップ 20、端子電極 40、外部端子電極 50、ファンアウト部 60 の構造は、第 1 の実施の形態の第 1 の変形例に係る半導体装置 10a と同一である。

【0108】

一方、支持基板 30 は、両面を支持基板表面処理膜 37 で被覆され、その表面を第 1 の金属膜 32 で被覆される。また支持基板 30 の片面において、第 1 の金属膜 32 の表面に第 2 の金属膜 33 が形成される。第 2 の金属膜 33 の厚さが、半導体チップ 20 の高さとはほぼ等しく、嵌合孔 34 が形成され、嵌合孔 34 に半導体チップ 20 が嵌合され、接着されるのは、第 1 の実施の形態の第 1 の変形例と同一である。

【0109】

第 1 の金属膜 32 が、支持基板表面処理膜 37 を介して支持基板 30 上に形成されるのは、支持基板 30 及び第 1 の金属膜 32 の組合せとして、任意の材料の組合せを用いるためである。即ち、第 2 の金属膜 33 のエッチングストッパ層として機能する第 1 の金属膜 32 を支持基板 30 上に直接形成することが難しい場合、支持基板表面処理膜 37 を介することによって、第 1 の金属膜 32 を支持基板 30 上に形成することができる。

10

【0110】

具体的には、支持基板 30 として例えば銅板を用い、第 1 の金属膜 32 として例えば金めっきによる金を用いる場合、銅板上に直接金めっきを行うと、金と銅が拡散してしまい、金めっきを行うことができない。従って、金と銅の拡散バリアとして、例えばニッケルよりなる支持基板表面処理膜 37 を支持基板 30 の表面に設ける。その他の好適な材料は、第 1 の実施の形態の第 1 の変形例と同一のものを用いることができる。

20

【0111】

また、ファンアウト機能、機械的強度確保の機能、熱伝導性確保の機能については、第 1 の実施の形態の第 1 の変形例と同様の機能を有するため、特に、機械的強度、熱伝導性については、第 1 の実施の形態と比較して、より機械的強度、熱伝導性を向上させることができる。

(第 1 の実施の形態の第 2 の変形例に係る半導体装置の第 1 の製造方法)

次に、図 8A 乃至図 8C を参照し、本変形例に係る半導体装置の第 1 の製造方法について説明する。

【0112】

図 8A 乃至図 8C は、本変形例に係る半導体装置の第 1 の製造方法を模式的に示す図である。

30

【0113】

まず、図 8A (a) に示されるように、例えば厚さが 100 ~ 1000 μm の銅板よりなる支持基板 30 を用意する。予め、銅板よりなる支持基板 30 の両面には、ニッケルの無電解めっきを行い、例えば厚さが 3 ~ 10 μm のニッケルよりなる支持基板表面処理膜 37 を形成する。次に、金の電解めっきを行い、例えば厚さが 30 ~ 400 nm の金よりなる第 1 の金属膜 32 を形成する。

【0114】

次に、銅の電解めっきを行って銅よりなる第 2 の金属膜 33 を形成し (図 8A (b))、第 2 の金属膜 33 上にドライフィルムレジスト 35 よりなるレジストパターンを形成し (図 8A (c))、銅よりなる第 2 の金属膜 33 を第 1 の金属膜 32 の表面までエッチングして嵌合孔 34 を形成し (図 8A (d))、嵌合孔 34 に半導体チップ 20 を嵌合して接着し (図 8B (a))、半導体チップ 20 の端子電極 40 を被覆するように、絶縁層 61 を形成する (図 8B (b))。更に、例えばレーザにより、貫通孔 64 を形成し (図 8B (c))、例えば、セミアディティブ法により、貫通電極 62 を形成するとともに金属配線 63 を形成する (図 8B (d))。これらの図 8A (b) ~ 図 8A (d)、図 8B (a) ~ 図 8B (d) に示される工程は、第 1 の実施の形態の第 1 の変形例において図 5A (b) ~ 図 5A (d)、図 5B (a) ~ 図 5B (d) に示される工程と同一である。

40

【0115】

次に、図 8B (b) ~ 図 8B (d) の工程を 2 回繰り返してファンアウト部 60 を形成

50

し(図8C(a)及び図8C(b))、外部端子電極50を形成する(図8C(c))。これらの図8C(a)~図8C(c)に示される工程は、第1の実施の形態の第1の変形例において図5C(a)~図5C(c)に示される工程と同一である。また、1回目の繰返しにおいて、絶縁層は61a、貫通孔は64a、貫通電極は62a、金属配線は63a、であり、2回目の繰返しにおいて、絶縁層は61b、貫通孔は64b、貫通電極は62b、金属配線は63b、であるのは、第1の実施の形態の第1の変形例と同一である。

(第1の実施の形態の第2の変形例に係る半導体装置の第2の製造方法)

次に、図8B乃至図9を参照し、本変形例に係る半導体装置の第2の製造方法について説明する。

【0116】

本製造方法は、アディティブ工法を用いて第2の金属膜に嵌合孔を形成する点で、本変形例に係る半導体装置の第1の製造方法と相違する。

【0117】

図9を参照するに、本変形例に係る半導体装置の第1の製造方法において、支持基板上に第2の金属膜を形成した後、嵌合孔に対応したレジストパターンを形成し、第2の金属膜をエッチングして嵌合孔を形成すると相違し、本製造方法は、支持基板の上に第1の金属膜を形成した後、第2の金属膜を形成する前に、嵌合孔に対応したレジストパターンを形成し、その後、第2の金属膜を形成し、レジストパターンを除去し、第2の金属膜に嵌合孔を形成することが特徴である。

【0118】

図9は、本変形例に係る半導体装置の第2の製造方法を模式的に示す図である。また、以下では、図9(a)~図9(d)、図8B(a)~図8B(d)、図8C(a)~図8C(c)を用いて、本製造方法を説明する。

【0119】

まず、図9(a)に示されるように、例えば厚さが100~1000 μm の銅板よりなる支持基板30を用意する。予め、銅板よりなる支持基板30の両面には、ニッケルの無電解めっきを行い、例えば厚さが3~10 μm のニッケルよりなる支持基板表面処理膜37を形成する。次に、金の電解めっきを行い、例えば厚さが30~400nmの金よりなる第1の金属膜32を形成する。これは、本変形例に係る半導体装置の第1の製造方法において図8A(a)に示される工程と同一である。

【0120】

次に、図9(b)に示される工程において、第1の金属膜32上にドライフィルムレジスト35よりなるレジストパターンを形成する。即ち、第1の金属膜32上に、例えば厚さ10~30 μm のドライフィルムレジスト35を積層し、ドライフィルムレジスト35を露光、現像し、半導体チップ20の平面視における形状に対応した形状を有するレジストパターンを形成する。このレジストパターンの形状は、その後第2の金属膜33に形成される半導体チップ20を嵌合するための嵌合孔34の形状に対応したものである。ただし、本変形例に係る半導体装置の第1の製造方法と比べると、レジストパターンの形状はボジネガ逆のパターンになっている。

【0121】

次に、図9(c)に示される工程において、レジストパターンの形成された第1の金属膜32上に、銅の電解めっきを行い、例えば厚さが100~800 μm の銅よりなる第2の金属膜33を形成する。この100~800 μm の厚さは、例えば100~800 μm の半導体チップ20の高さにほぼ等しい。

【0122】

次に、図9(d)に示される工程において、レジストパターンとして残っているドライフィルムレジスト35の全面を露光、現像し、ドライフィルムレジストを剥離する。その結果、第2の金属膜33に、半導体チップ20を嵌合するための嵌合孔34が形成される。嵌合孔34の深さは第2の金属膜33の厚さに等しく、第2の金属膜33の厚さは、例えば100~800 μm である半導体チップ20の高さにほぼ等しいため、嵌合孔34の

10

20

30

40

50

深さは半導体チップ20の高さにほぼ等しい。

【0123】

それ以後、嵌合孔34に半導体チップ20を嵌合して接着する工程から、外部端子電極50を形成する工程は、本変形例に係る半導体装置の第1の製造方法における図8B(a)~図8B(d)、図8C(a)~図8C(c)と同一の工程を行う。

【0124】

以上、本変形例に係る半導体装置によれば、支持基板と第1の金属膜について、より広い範囲の材料を用いることができ、半導体チップの端子電極の間隔をC4バンプピッチ等の一般的な端子間隔に対応させることができ、半導体チップが嵌合孔に嵌合されることにより、より機械的強度、熱伝導性を向上させることができる。

10

【0125】

なお、本変形例に係る半導体装置10bでは、ファンアウト機能を確保するために3層の絶縁層61、貫通電極62、金属配線63を用いているが、任意の端子電極40が互いに交錯することなく外部端子電極50に接続されることが可能であれば、層数、金属配線の長さは、これに限られるものではない。

【0126】

また、本実施の形態に係る半導体装置の製造方法では、例えば、セミアディティブ法により、貫通電極62、62a、62bを形成するとともに、金属配線63、63a、63bを形成するが、貫通電極62、62a、62bと、金属配線63、63a、63bと、を別々の工程により形成してもよい。

20

(第1の実施の形態の第3の変形例)

次に、図10乃至図11Cを参照し、本発明の第1の実施の形態の第3の変形例について説明する。

【0127】

最初に、図10を参照し、本変形例に係る半導体装置を説明する。

【0128】

図10は、本変形例に係る半導体装置を模式的に示す断面図である。

【0129】

本変形例に係る半導体装置は、支持基板が絶縁体基板の表面に銅箔を貼り付けた基板である点で、第1の実施の形態の第2の変形例に係る半導体チップと相違する。

30

【0130】

図10を参照するに、第1の実施の形態の第2の変形例において、支持基板が金属基板であるのと相違し、本変形例に係る半導体装置10cは、支持基板30が、絶縁体基板の表面に銅箔を貼り付けた基板であることが特徴である。

【0131】

図10に示されるように、本変形例に係る半導体装置10cは、半導体チップ20と、支持基板30と、端子電極40と、外部端子電極50と、ファンアウト部60と、を有する。半導体チップ20、端子電極40、外部端子電極50、ファンアウト部60の構造は、第1の実施の形態の第2の変形例に係る半導体装置10bと同一である。

40

【0132】

一方、支持基板30は、金属基板ではなく、絶縁体基板である。支持基板30の両面には銅箔38が貼り付けられる。支持基板30の両面において、銅箔の表面は支持基板表面処理膜37で被覆され、その上を第1の第1の金属膜32で被覆される。また支持基板30の片面において、第1の金属膜32上に第2の金属膜33が形成される。第2の金属膜33の厚さが、半導体チップ20の高さとほぼ等しく、嵌合孔34が形成され、嵌合孔34に半導体チップ20が嵌合され、接着されるのは、第1の実施の形態の第2の変形例と同一である。

【0133】

支持基板30が、金属基板ではなく、絶縁体基板であるのは、実装基板として一般的な絶縁体基板を用いるためである。即ち、支持基板30として、例えばガラスエポキシ基板

50

を用いる場合でも、本変形例によれば、半導体装置 10c を製造することができる。

【0134】

具体的には、支持基板 30 として例えばガラスエポキシ板を用い、第 1 の金属膜 32 として例えば金めっきによる金を用いることができる。ガラスエポキシ板よりなる支持基板 30 の表面に銅箔 38 を貼り付けることによって、銅箔 38 上に、例えばニッケルよりなる支持基板表面処理膜 37 を設け、支持基板表面処理膜 37 上に、第 1 の金属膜 32 として金めっきによる金を用いることができる。ニッケルよりなる支持基板表面処理膜 37 は、銅箔 38 上に金めっきを行って金よりなる第 1 の金属膜 32 を形成するためのものであり、第 1 の実施の形態の第 2 の変形例と同一である。

【0135】

また、ファンアウト機能、機械的強度確保の機能、熱伝導性確保の機能については、第 1 の実施の形態の第 2 の変形例と同様の機能を有するため、特に、機械的強度、熱伝導性については、第 1 の実施の形態と比較して、より機械的強度、熱伝導性を向上させることができる。

(第 1 の実施の形態の第 3 の変形例に係る半導体装置の第 1 の製造方法)

次に、図 11A 乃至図 11C を参照し、本変形例に係る半導体装置の第 1 の製造方法について説明する。

【0136】

図 11A 乃至図 11C は、本変形例に係る半導体装置の第 1 の製造方法を模式的に示す図である。

【0137】

まず、図 11A (a) に示されるように、例えば厚さが 100 ~ 1000 μm のガラスエポキシ板よりなる支持基板 30 を用意する。予め、ガラスエポキシ板よりなる支持基板 30 の両面には、例えば厚さが 10 ~ 100 μm の銅箔 38 が貼り付けられ、さらに、支持基板 30 の両面において、銅箔 38 の表面にニッケルの無電解めっきを行い、例えば厚さが 3 ~ 10 μm のニッケルよりなる支持基板表面処理膜 37 を形成する。次に、支持基板 30 の両面において、支持基板表面処理膜 37 の表面に金の電解めっきを行い、例えば厚さが 30 ~ 400 nm の金よりなる第 1 の金属膜 32 を形成する。

【0138】

次に、銅の電解めっきを行って銅よりなる第 2 の金属膜 33 を形成し (図 11A (b))、第 2 の金属膜 33 上にドライフィルムレジスト 35 よりなるレジストパターンを形成し (図 11A (c))、銅よりなる第 2 の金属膜 33 を第 1 の金属膜 32 の表面までエッチングして嵌合孔 34 を形成し (図 11A (d))、嵌合孔 34 に半導体チップ 20 を嵌合して接着し (図 11B (a))、半導体チップ 20 の端子電極 40 を被覆するように、絶縁層 61 を形成する (図 11B (b))。更に、例えばレーザにより、貫通孔 64 を形成し (図 11B (c))、例えば、セミアディティブ法により、貫通電極 62 を形成するとともに金属配線 63 を形成する (図 11B (d))。これらの図 11A (b) ~ 図 11A (d)、図 11B (a) ~ 図 11B (d) に示される工程は、第 1 の実施の形態の第 1 の変形例において図 5A (b) ~ 図 5A (d)、図 5B (a) ~ 図 5B (d) に示される工程と同一である。

【0139】

次に、図 11B (b) ~ 図 11B (d) の工程を 2 回繰り返してファンアウト部 60 を形成し (図 11C (a) 及び図 11C (b))、外部端子電極 50 を形成する (図 11C (c))。これらの図 11C (a) ~ 図 11C (c) に示される工程は、第 1 の実施の形態の第 1 の変形例において図 5C (a) ~ 図 5C (c) に示される工程と同一である。また、1 回目の繰返しにおいて、絶縁層は 61a、貫通孔は 64a、貫通電極は 62a、金属配線は 63a、であり、2 回目の繰返しにおいて、絶縁層は 61b、貫通孔は 64b、貫通電極は 62b、金属配線は 63b、であるのは、第 1 の実施の形態の第 1 の変形例と同一である。

(第 1 の実施の形態の第 3 の変形例に係る半導体装置の第 2 の製造方法)

10

20

30

40

50

次に、図 1 1 B 乃至図 1 2 を参照し、本変形例に係る半導体装置の第 2 の製造方法について説明する。

【 0 1 4 0 】

本製造方法は、アディティブ工法を用いて第 2 の金属膜に嵌合孔を形成する点で、本変形例に係る半導体装置の第 1 の製造方法と相違する。

【 0 1 4 1 】

図 1 2 を参照するに、本変形例に係る半導体装置の第 1 の製造方法において、支持基板上に第 2 の金属膜を形成した後、嵌合孔に対応したレジストパターンを形成し、第 2 の金属膜をエッチングして嵌合孔を形成するのと相違し、本製造方法は、支持基板上に第 1 の金属膜を形成した後、第 2 の金属膜を形成する前に、嵌合孔に対応したレジストパターンを形成し、その後、第 2 の金属膜を形成し、レジストパターンを除去し、第 2 の金属膜に嵌合孔を形成することが特徴である。

10

【 0 1 4 2 】

図 1 2 は、本変形例に係る半導体装置の第 2 の製造方法を模式的に示す図である。以下、図 1 2 (a) ~ 図 1 2 (d)、図 1 1 B (a) ~ 図 1 1 B (d)、図 1 1 C (a) ~ 図 1 1 C (c) を用いて、本製造方法を説明する。

【 0 1 4 3 】

まず、図 1 2 (a) に示されるように、例えば厚さが 1 0 0 ~ 1 0 0 0 μm のガラスエポキシ板よりなる支持基板 3 0 を用意する。予め、ガラスエポキシ板よりなる支持基板 3 0 の両面には、例えば厚さが 1 0 ~ 1 0 0 μm の銅箔 3 8 が貼り付けられ、さらに、支持基板 3 0 の両面において、銅箔 3 8 の表面にニッケルの無電解めっきを行い、例えば厚さが 3 ~ 1 0 μm のニッケルよりなる支持基板表面処理膜 3 7 を形成する。次に、支持基板 3 0 の両面において、支持基板表面処理膜 3 7 の表面に金の電解めっきを行い、例えば厚さが 3 0 ~ 4 0 0 nm の金よりなる第 1 の金属膜 3 2 を形成する。これは、本変形例に係る半導体装置の第 1 の製造方法において図 1 1 A (a) に示される工程と同一である。

20

【 0 1 4 4 】

次に、図 1 2 (b) に示される工程において、第 1 の金属膜 3 2 上にドライフィルムレジスト 3 5 よりなるレジストパターンを形成する。即ち、第 1 の金属膜 3 2 上に、例えば厚さが 1 0 ~ 3 0 μm のドライフィルムレジスト 3 5 を積層し、ドライフィルムレジスト 3 5 を露光、現像し、半導体チップ 2 0 の平面視における形状に対応した形状を有するレジストパターンを形成する。このレジストパターンの形状は、その後第 2 の金属膜 3 3 に形成される半導体チップ 2 0 を嵌合するための嵌合孔 3 4 の形状に対応したものである。ただし、本変形例に係る半導体装置の第 1 の製造方法と比べると、レジストパターンの形状はポジネガ逆のパターンになっている。

30

【 0 1 4 5 】

次に、図 1 2 (c) に示される工程において、レジストパターンの形成された第 1 の金属膜 3 2 上に、銅の電解めっきを行い、例えば厚さが 1 0 0 ~ 8 0 0 μm の銅よりなる第 2 の金属膜 3 3 を形成する。この 1 0 0 ~ 8 0 0 μm の厚さは、例えば 1 0 0 ~ 8 0 0 μm の半導体チップ 2 0 の高さにはほぼ等しい。

【 0 1 4 6 】

次に、図 1 2 (d) に示される工程において、レジストパターンとして残っているドライフィルムレジスト 3 5 の全面を露光、現像し、ドライフィルムレジストを剥離する。その結果、第 2 の金属膜 3 3 に、半導体チップ 2 0 を嵌合するための嵌合孔 3 4 が形成される。嵌合孔 3 4 の深さは第 2 の金属膜 3 3 の高さに等しく、第 2 の金属膜 3 3 の高さは、例えば 1 0 0 ~ 8 0 0 μm である半導体チップ 2 0 の高さにはほぼ等しいため、嵌合孔 3 4 の深さは半導体チップ 2 0 の高さにはほぼ等しい。

40

【 0 1 4 7 】

それ以後、嵌合孔 3 4 に半導体チップ 2 0 を嵌合して接着する工程から、外部端子電極 5 0 を形成する工程は、本変形例に係る半導体装置の第 1 の製造方法における図 1 1 B (a) ~ 図 1 1 B (d)、図 1 1 C (a) ~ 図 1 1 C (c) と同一の工程を行う。

50

【0148】

以上、本変形例に係る半導体装置によれば、支持基板について、より広い範囲の材料を用いることができ、半導体チップの端子電極の間隔をC4バンブピッチ等の一般的な端子間隔に対応させることができ、半導体チップが嵌合孔に嵌合されることにより、より機械的強度、熱伝導性を向上させることができる。

【0149】

なお、本変形例に係る半導体装置10cでは、ファンアウト機能を確保するために3層の絶縁層61、貫通電極62、金属配線63を用いているが、任意の端子電極40が互いに交錯することなく外部端子電極50に接続されることが可能であれば、層数、金属配線の長さは、これに限られるものではない。

【0150】

また、本実施の形態に係る半導体装置の製造方法では、例えば、セミアディティブ法により、貫通電極62、62a、62bを形成するとともに、金属配線63、63a、63bを形成するが、貫通電極62、62a、62bと、金属配線63、63a、63bと、を別々の工程により形成してもよい。

(第1の実施の形態の第4の変形例)

次に、図13及び図14を参照し、本発明の第1の実施の形態の第4の変形例について説明する。

【0151】

最初に、図13を参照し、本変形例に係る半導体装置を説明する。

【0152】

図13は、本変形例に係る半導体装置を模式的に示す断面図である。

【0153】

本変形例に係る半導体装置は、一体の支持基板に、半導体チップを嵌合する嵌合孔が形成される点で、第1の実施の形態に係る半導体チップと相違する。

【0154】

図13を参照するに、第1の実施の形態において、半導体チップが接着剤により支持基板に接着され、端子電極が設けられた面が絶縁層で被覆されるのと相違し、本変形例に係る半導体装置10dは、支持基板上30に、半導体チップ20を嵌合する嵌合孔34が形成され、半導体チップ20は端子電極40が設けられた面が露出されるように嵌合孔34に嵌合され、接着剤31により嵌合孔に接着されることが特徴である。

【0155】

図13に示されるように、本変形例に係る半導体装置10dは、半導体チップ20と、支持基板30と、端子電極40と、外部端子電極50と、ファンアウト部60と、を有する。半導体チップ20、端子電極40、外部端子電極50の構造は、第1の実施の形態に係る半導体装置10と同一である。

【0156】

一方、支持基板30は、一体の支持基板であり、平面視において半導体チップ20とほぼ同一の形状で、半導体チップ20とほぼ同一の深さに該当する部分が除去され、嵌合孔34が形成される。嵌合孔34には、接着剤31を介して半導体チップ20が、端子電極40が設けられた面と反対側の面をもって接着される。

【0157】

また、ファンアウト部60において、最初の絶縁層61は、第1の実施の形態に係る半導体装置10において、半導体チップ20の側面も被覆するため、平面視において半導体チップ20とほぼ同一の厚さの部分有するのに対し、嵌合孔34に嵌合された半導体チップ20の端子電極40が設けられた面及び支持基板30を被覆する構造であるため、全ての部分でほぼ均一の厚さを有する。

【0158】

次に、ファンアウト機能、機械的強度確保の機能、熱伝導性確保の機能であるが、ファンアウトの機能については、第1の実施の形態と同様の機能を有する。また、機械的強度

10

20

30

40

50

、熱伝導性については、半導体チップ20が嵌合孔34に嵌合されることにより、半導体チップ20の側面が支持基板30で覆われる。そのため、第1の実施の形態と比較して、より機械的強度、熱伝導性を向上させることができる。

【0159】

次に、半導体装置10dを構成する好適な材料を説明する。絶縁層61、貫通電極62、接着剤31、金属配線63、外部端子電極50は、第1の実施の形態と同一の材料を用いることができる。

【0160】

支持基板30であるが、機械的強度や熱伝導性に優れた基板であれば特に限定されるものではないが、銅板を用いることができる。

(第1の実施の形態の第4の変形例に係る半導体装置の製造方法)

次に、図14A乃至図14Cを参照し、本変形例に係る半導体装置の製造方法について説明する。

【0161】

図14A乃至図14Cは、本変形例に係る半導体装置の製造方法を模式的に示す図である。

【0162】

まず、図14A(a)に示されるように、例えば厚さが100~1000 μ mの銅板よりなる支持基板30を用意する。

【0163】

次に、図14A(b)に示される嵌合孔形成工程において、銅板よりなる支持基板30上にドライフィルムレジスト35よりなるレジストパターンを形成する。即ち、支持基板30上に、ドライフィルムレジスト35を積層し、ドライフィルムレジスト35を露光、現像し、半導体チップ20の平面視における形状に対応した部分を除去したレジストパターンを形成する。このレジストパターンの形状は、その後支持基板30に形成される半導体チップ20を嵌合するための嵌合孔34の形状に対応したものである。

【0164】

次に、図14A(c)に示される嵌合孔形成工程において、支持基板30上に形成されたドライフィルムレジスト35よりなるレジストパターンをエッチング保護膜とし、塩化第二銅をエッチング液として、銅よりなる支持基板30をエッチングし、嵌合孔34を形成する。このとき、銅よりなる支持基板30の深さ方向にエッチングが進展していくが、エッチング時間を管理することにより、嵌合孔34に嵌合する半導体チップ20の厚さとほぼ同一の深さになった時点でエッチングを終了させ、嵌合孔34を形成する。

【0165】

次に、嵌合孔34に半導体チップ20を嵌合して接着し(図14B(a))、半導体チップ20の端子電極40を被覆するように、絶縁層61を形成し(図14B(b))、例えばレーザにより貫通孔64を形成し(図14B(c))、例えば、セミアディティブ法により、貫通電極62を形成するとともに金属配線63を形成する(図14B(d))。これらの図14B(a)~図14B(d)に示される工程は、第1の実施の形態の第1の変形例において図5B(a)~図5B(d)に示される工程と同一である。

【0166】

更に、図14B(b)~図14B(d)の工程を2回繰り返してファンアウト部60を形成し(図14C(a)及び図14C(b))、外部端子電極50を形成する(図14C(c))。これらの図14C(a)~図14C(c)に示される工程は、第1の実施の形態の第1の変形例において図5C(a)~図5C(c)に示される工程と同一である。また、1回目の繰返しにおいて、絶縁層は61a、貫通孔は64a、貫通電極は62a、金属配線は63a、であり、2回目の繰返しにおいて、絶縁層は61b、貫通孔は64b、貫通電極は62b、金属配線は63b、であるのは、第1の実施の形態の第1の変形例と同一である。

【0167】

10

20

30

40

50

以上、本変形例に係る半導体装置によれば、支持基板について、より広い範囲の材料を用いることができ、半導体チップの端子電極の間隔をC4バンプピッチ等の一般的な端子間隔に対応させることができ、半導体チップが嵌合孔に嵌合されることにより、より機械的強度、熱伝導性を向上させることができる。

【0168】

なお、本変形例に係る半導体装置10cでは、ファンアウト機能を確保するために3層の絶縁層61、貫通電極62、金属配線63を用いているが、任意の端子電極40が互いに交錯することなく外部端子電極50に接続されることが可能であれば、層数、金属配線の長さは、これに限られるものではない。

【0169】

また、本実施の形態に係る半導体装置の製造方法では、例えば、セミアディティブ法により、貫通電極62、62a、62bを形成するとともに、金属配線63、63a、63bを形成するが、貫通電極62、62a、62bと、金属配線63、63a、63bと、を別々の工程により形成してもよい。

(第1の実施の形態の第5の変形例)

次に、図15を参照し、本発明の第1の実施の形態の第5の変形例に係る半導体装置を説明する。

【0170】

図15は、本変形例に係る半導体装置を模式的に示す断面図である。

【0171】

本変形例に係る半導体装置は、一つの支持基板に、複数の半導体チップが実装される点で、第1の実施の形態に係る半導体装置10と相違する。

【0172】

図15を参照するに、第1の実施の形態において、一つの支持基板に一つの半導体チップが実装されるのと相違し、本変形例に係る半導体装置10eは、一つの支持基板30に複数の半導体チップ20が実装されることが特徴である。

【0173】

図15に示されるように、本変形例に係る半導体装置10eは、半導体チップ20と、支持基板30と、端子電極40と、外部端子電極50と、ファンアウト部60と、を有する。半導体チップ20、端子電極40の構造は、第1の実施の形態に係る半導体装置10と同一である。

【0174】

一方、支持基板30には、接着剤31を介して複数の半導体チップ20が、端子電極40が設けられた面と反対側の面をもって接着される。一つの支持基板30に実装される半導体チップ20の数は、2つ以上であれば特に限定されるものではないが、例えば本変形例に係る半導体装置10eのように2つの半導体チップ20が実装されることが可能である。このとき、第1の実施の形態に係る半導体装置10に比べて、支持基板30の平面視における面積は大きくなる。

【0175】

また、外部端子電極50は、複数の半導体チップ20の端子電極40に対応して形成される。従って、第1の実施の形態に係る半導体装置10に比べて、外部端子電極50の数は多くなる。

【0176】

また、ファンアウト部60の厚さ方向の構造は、絶縁層61、61a、61b、貫通電極62、62a、62b、金属配線63、63a、63b、を有し、第1の実施の形態に係る半導体装置10と同様であるが、一つの支持基板30に半導体チップ20が複数実装されるため、第1の実施の形態に係る半導体装置10に比べると、貫通電極62、62a、62b、金属配線63、63a、63b、は半導体チップ20の個数に対応して数が多くなる。

【0177】

10

20

30

40

50

更に、複数の半導体チップ20同士が、金属配線63、63a、63bで接続されていてもよい。

【0178】

以上、本変形例に係る半導体装置によれば、複数の半導体チップを一つの半導体装置に実装し、一般的な配線基板の端子間隔に対応させることができる。

(第1の実施の形態の第6の変形例)

次に、図16を参照し、本発明の第1の実施の形態の第6の変形例に係る半導体装置を説明する。

【0179】

図16は、本変形例に係る半導体装置を模式的に示す断面図である。

10

【0180】

本変形例に係る半導体装置は、一つの支持基板に、複数の半導体チップが実装される点で、第1の実施の形態の第1の変形例に係る半導体装置10aと相違する。

【0181】

図16を参照するに、第1の実施の形態の第1の変形例において、一つの支持基板に一つの半導体チップが実装されるのと相違し、本変形例に係る半導体装置10fは、一つの支持基板30に複数の半導体チップ20が実装されることが特徴である。

【0182】

図16に示されるように、本変形例に係る半導体装置10fは、半導体チップ20と、支持基板30と、端子電極40と、外部端子電極50と、ファンアウト部60と、を有する。半導体チップ20、端子電極40の構造は、第1の実施の形態の第1の変形例に係る半導体装置10aと同一である。一方、支持基板30、外部端子電極50、ファンアウト部60は、第1の実施の形態の第5の変形例に係る半導体装置10eが、第1の実施の形態に係る半導体装置10において半導体チップ20を複数実装した構造であるのと同一の対応関係になるような変形がなされる。

20

【0183】

更に、複数の半導体チップ20同士が、金属配線63、63a、63bで接続されていてもよい。

【0184】

以上、本変形例に係る半導体装置によれば、複数の半導体チップを一つの半導体装置に実装し、一般的な配線基板の端子間隔に対応させることができる。

30

(第1の実施の形態の第7の変形例)

次に、図17を参照し、本発明の第1の実施の形態の第7の変形例に係る半導体装置を説明する。

【0185】

図17は、本変形例に係る半導体装置を模式的に示す断面図である。

【0186】

本変形例に係る半導体装置は、一つの支持基板に、複数の半導体チップが実装される点で、第1の実施の形態の第2の変形例に係る半導体装置10bと相違する。

【0187】

40

図17を参照するに、第1の実施の形態の第2の変形例において、一つの支持基板に一つの半導体チップが実装されるのと相違し、本変形例に係る半導体装置10gは、一つの支持基板30に複数の半導体チップ20が実装されることが特徴である。

【0188】

図17に示されるように、本変形例に係る半導体装置10gは、半導体チップ20と、支持基板30と、端子電極40と、外部端子電極50と、ファンアウト部60と、を有する。半導体チップ20、端子電極40の構造は、第1の実施の形態の第2の変形例に係る半導体装置10bと同一である。一方、支持基板30、外部端子電極50、ファンアウト部60は、第1の実施の形態の第5の変形例に係る半導体装置10eが、第1の実施の形態に係る半導体装置10において半導体チップ20を複数実装した構造であるのと同一の

50

対応関係になるような変形がなされる。

【0189】

更に、複数の半導体チップ20同士が、金属配線63、63a、63bで接続されていてもよい。

【0190】

以上、本変形例に係る半導体装置によれば、複数の半導体チップを一つの半導体装置に実装し、一般的な配線基板の端子間隔に対応させることができる。

(第1の実施の形態の第8の変形例)

次に、図18を参照し、本発明の第1の実施の形態の第8の変形例に係る半導体装置を説明する。

10

【0191】

図18は、本変形例に係る半導体装置を模式的に示す断面図である。

【0192】

本変形例に係る半導体装置は、一つの支持基板に、複数の半導体チップが実装される点で、第1の実施の形態の第3の変形例に係る半導体装置10cと相違する。

【0193】

図18を参照するに、第1の実施の形態の第3の変形例において、一つの支持基板に一つの半導体チップが実装されるのと相違し、本変形例に係る半導体装置10hは、一つの支持基板30に複数の半導体チップ20が実装されることが特徴である。

20

【0194】

図18に示されるように、本変形例に係る半導体装置10hは、半導体チップ20と、支持基板30と、端子電極40と、外部端子電極50と、ファンアウト部60と、を有する。半導体チップ20、端子電極40の構造は、第1の実施の形態の第3の変形例に係る半導体装置10cと同一である。一方、支持基板30、外部端子電極50、ファンアウト部60は、第1の実施の形態の第5の変形例に係る半導体装置10eが、第1の実施の形態に係る半導体装置10において半導体チップ20を複数実装した構造であるのと同一の対応関係になるような変形がなされる。

【0195】

更に、複数の半導体チップ20同士が、金属配線63、63a、63bで接続されていてもよい。

30

【0196】

以上、本変形例に係る半導体装置によれば、複数の半導体チップを一つの半導体装置に実装し、一般的な配線基板の端子間隔に対応させることができる。

(第1の実施の形態の第9の変形例)

次に、図19を参照し、本発明の第1の実施の形態の第9の変形例に係る半導体装置を説明する。

【0197】

図19は、本変形例に係る半導体装置を模式的に示す断面図である。

【0198】

本変形例に係る半導体装置は、一つの支持基板に、複数の半導体チップが実装される点で、第1の実施の形態の第4の変形例に係る半導体装置10dと相違する。

40

【0199】

図19を参照するに、第1の実施の形態の第4の変形例において、一つの支持基板に一つの半導体チップが実装されるのと相違し、本変形例に係る半導体装置10iは、一つの支持基板30に複数の半導体チップ20が実装されることが特徴である。

【0200】

図19に示されるように、本変形例に係る半導体装置10iは、半導体チップ20と、支持基板30と、端子電極40と、外部端子電極50と、ファンアウト部60と、を有する。半導体チップ20、端子電極40の構造は、第1の実施の形態の第4の変形例に係る半導体装置10dと同一である。一方、支持基板30、外部端子電極50、ファンアウト

50

部 60 は、第 1 の実施の形態の第 5 の変形例に係る半導体装置 10 e が、第 1 の実施の形態に係る半導体装置 10 において半導体チップ 20 を複数実装した構造であるのと同様の対応関係になるような変形がなされる。

【0201】

更に、複数の半導体チップ 20 同士が、金属配線 63、63a、63b で接続されていてもよい。

【0202】

以上、本変形例に係る半導体装置によれば、複数の半導体チップを一つの半導体装置に実装し、一般的な配線基板の端子間隔に対応させることができる。

(第 2 の実施の形態)

次に、図 20 を参照し、本発明の第 2 の実施の形態に係る配線基板を説明する。

【0203】

図 20 は、本実施の形態に係る配線基板を模式的に示す断面図である。

【0204】

図 20 に示されるように、本実施の形態に係る配線基板 100 は、半導体装置 10 と、配線基板基体 70 と、を有する。

【0205】

半導体装置 10 は、第 1 の実施の形態に係る半導体装置 10 と同一であり、半導体チップ 20 と、支持基板 30 と、端子電極 40 と、外部端子電極 50 と、ファンアウト部 60 と、を有する。隣接する端子電極 40 同士の間隔である第 1 の間隔 D1 と、隣接する外部端子電極 50 同士の間隔である第 2 の間隔 D2 と、の大きさは、 $D1 < D2$ の関係を有する。D1 は、特に限定されないものの、例えば、 $50 \sim 100 \mu\text{m}$ であり、D2 は、特に限定されないものの、例えば、 $150 \sim 180 \mu\text{m}$ である。

【0206】

配線基板基体 70 は、半導体装置 10 を実装するための配線基板を構成する基体である。配線基板基体 70 は、配線基板基体 70 の表面に設けられ、半導体装置 10 の外部端子電極 50 に対応して設けられた配線基板端子電極 71 と、配線基板基体 70 の裏面に設けられた配線基板端子電極 71 と電気的に接続されている配線基板裏面端子電極 72 と、配線基板基体 70 の表面及び裏面に設けられた絶縁層 73 を有する。配線基板端子電極 71 の間隔は半導体装置 10 の隣接する外部端子電極 50 同士の間隔である第 2 の間隔 D2 と等しく、C4 バンプピッチ等の一般的な端子間隔である $150 \sim 180 \mu\text{m}$ の間隔を有する。即ち、配線基板基体 70 は、従来から広く用いられる配線基板の基体である。

【0207】

半導体装置 10 の外部端子電極 50 は、配線基板基体 70 の配線基板端子電極 71 と半田接合され、電気的に接続される。即ち、配線基板 100 は、半導体装置 10 と電気的に接続される。

【0208】

以上、本変形例に係る配線基板によれば、C4 バンプピッチ等の一般的な端子間隔より狭い間隔で配設される端子電極を有する半導体チップを、一般的な端子間隔で配設される接続端子を有する配線基板に実装することができる。

(第 2 の実施の形態の第 1 の変形例)

次に、図 21 を参照し、本発明の第 2 の実施の形態の第 1 の変形例に係る配線基板を説明する。

【0209】

図 21 は、本変形例に係る配線基板を模式的に示す断面図である。

【0210】

本変形例に係る配線基板は、配線基板に実装される半導体装置が第 1 の実施の形態の第 1 の変形例に係る半導体装置 10 a である点で、第 2 の実施の形態に係る配線基板と相違する。

【0211】

10

20

30

40

50

図 2 1 を参照するに、第 2 の実施の形態において、第 1 の実施の形態に係る半導体装置 1 0 が実装されるのと相違し、本変形例に係る配線基板 1 0 0 a においては、第 1 の実施の形態の第 1 の変形例に係る半導体装置 1 0 a が実装されることが特徴である。

【 0 2 1 2 】

図 2 1 に示されるように、本変形例に係る配線基板 1 0 0 a は、半導体装置 1 0 a と、配線基板基体 7 0 と、を有する。

【 0 2 1 3 】

半導体装置 1 0 a は、第 1 の実施の形態の第 1 の変形例に係る半導体装置 1 0 a と同一であり、第 1 の間隔 $D 1$ で設けられた端子電極 4 0 と、第 2 の間隔 $D 2$ ($> D 1$) で設けられた外部端子電極 5 0 と、を有する。配線基板基体 7 0 は、半導体装置 1 0 a の外部端子電極 5 0 に対応し、第 2 の間隔 $D 2$ ($> D 1$) で設けられた配線基板端子電極 7 1 を有する。外部端子電極 5 0 と、配線基板端子電極 7 1 は、電氣的に接続されているのは、第 2 の実施の形態と同一である。

10

【 0 2 1 4 】

以上、本変形例に係る配線基板によれば、 $C 4$ バンプピッチ等の一般的な端子間隔より狭い間隔で配設される端子電極を有する半導体チップを、一般的な端子間隔で配設される接続端子を有する配線基板に実装することができる。

(第 2 の実施の形態の第 2 の変形例)

次に、図 2 2 を参照し、本発明の第 2 の実施の形態の第 2 の変形例に係る配線基板を説明する。

20

【 0 2 1 5 】

図 2 2 は、本変形例に係る配線基板を模式的に示す断面図である。

【 0 2 1 6 】

本変形例に係る配線基板は、配線基板に実装される半導体装置が第 1 の実施の形態の第 2 の変形例に係る半導体装置 1 0 b である点で、第 2 の実施の形態に係る配線基板と相違する。

【 0 2 1 7 】

図 2 2 を参照するに、第 2 の実施の形態において、第 1 の実施の形態に係る半導体装置 1 0 が実装されるのと相違し、本変形例に係る配線基板 1 0 0 b においては、第 1 の実施の形態の第 2 の変形例に係る半導体装置 1 0 b が実装されることが特徴である。

30

【 0 2 1 8 】

図 2 2 に示されるように、本変形例に係る配線基板 1 0 0 b は、半導体装置 1 0 b と、配線基板基体 7 0 と、を有する。

【 0 2 1 9 】

半導体装置 1 0 b は、第 1 の実施の形態の第 2 の変形例に係る半導体装置 1 0 b と同一であり、第 1 の間隔 $D 1$ で設けられた端子電極 4 0 と、第 2 の間隔 $D 2$ ($> D 1$) で設けられた外部端子電極 5 0 と、を有する。配線基板基体 7 0 は、半導体装置 1 0 b の外部端子電極 5 0 に対応し、第 2 の間隔 $D 2$ ($> D 1$) で設けられた配線基板端子電極 7 1 を有する。外部端子電極 5 0 と、配線基板端子電極 7 1 は、電氣的に接続されているのは、第 2 の実施の形態と同一である。

40

【 0 2 2 0 】

以上、本変形例に係る配線基板によれば、 $C 4$ バンプピッチ等の一般的な端子間隔より狭い間隔で配設される端子電極を有する半導体チップを、一般的な端子間隔で配設される接続端子を有する配線基板に実装することができる。

(第 2 の実施の形態の第 3 の変形例)

次に、図 2 3 を参照し、本発明の第 2 の実施の形態の第 3 の変形例に係る配線基板を説明する。

【 0 2 2 1 】

図 2 3 は、本変形例に係る配線基板を模式的に示す断面図である。

【 0 2 2 2 】

50

本変形例に係る配線基板は、配線基板に実装される半導体装置が第1の実施の形態の第3の変形例に係る半導体装置10cである点で、第2の実施の形態に係る配線基板と相違する。

【0223】

図23を参照するに、第2の実施の形態において、第1の実施の形態に係る半導体装置10が実装されるのと相違し、本変形例に係る配線基板100cにおいては、第1の実施の形態の第3の変形例に係る半導体装置10cが実装されることが特徴である。

【0224】

図23に示されるように、本変形例に係る配線基板100cは、半導体装置10cと、配線基板基体70と、を有する。

【0225】

半導体装置10cは、第1の実施の形態の第3の変形例に係る半導体装置10cと同一であり、第1の間隔D1で設けられた端子電極40と、第2の間隔D2($> D1$)で設けられた外部端子電極50と、を有する。配線基板基体70は、半導体装置10cの外部端子電極50に対応し、第2の間隔D2($> D1$)で設けられた配線基板端子電極71を有する。外部端子電極50と、配線基板端子電極71は、電氣的に接続されているのは、第2の実施の形態と同一である。

【0226】

以上、本変形例に係る配線基板によれば、C4バンプピッチ等の一般的な端子間隔より狭い間隔で配設される端子電極を有する半導体チップを、一般的な端子間隔で配設される接続端子を有する配線基板に実装することができる。

(第2の実施の形態の第4の変形例)

次に、図24を参照し、本発明の第2の実施の形態の第4の変形例に係る配線基板を説明する。

【0227】

図24は、本変形例に係る配線基板を模式的に示す断面図である。

【0228】

本変形例に係る配線基板は、配線基板に実装される半導体装置が第1の実施の形態の第4の変形例に係る半導体装置10dである点で、第2の実施の形態に係る配線基板と相違する。

【0229】

図24を参照するに、第2の実施の形態において、第1の実施の形態に係る半導体装置10が実装されるのと相違し、本変形例に係る配線基板100dにおいては、第1の実施の形態の第4の変形例に係る半導体装置10dが実装されることが特徴である。

【0230】

図24に示されるように、本変形例に係る配線基板100dは、半導体装置10dと、配線基板基体70と、を有する。

【0231】

半導体装置10dは、第1の実施の形態の第4の変形例に係る半導体装置10dと同一であり、第1の間隔D1で設けられた端子電極40と、第2の間隔D2($> D1$)で設けられた外部端子電極50と、を有する。配線基板基体70は、半導体装置10dの外部端子電極50に対応し、第2の間隔D2($> D1$)で設けられた配線基板端子電極71を有する。外部端子電極50と、配線基板端子電極71は、電氣的に接続されているのは、第2の実施の形態と同一である。

【0232】

以上、本変形例に係る配線基板によれば、C4バンプピッチ等の一般的な端子間隔より狭い間隔で配設される端子電極を有する半導体チップを、一般的な端子間隔で配設される接続端子を有する配線基板に実装することができる。

(第2の実施の形態の第5の変形例)

次に、図25を参照し、本発明の第2の実施の形態の第5の変形例に係る配線基板を説

10

20

30

40

50

明する。

【0233】

図25は、本変形例に係る配線基板を模式的に示す断面図である。

【0234】

本変形例に係る配線基板は、配線基板に実装される半導体装置が第1の実施の形態の第5の変形例に係る半導体装置10eである点で、第2の実施の形態に係る配線基板と相違する。

【0235】

図25を参照するに、第2の実施の形態において、第1の実施の形態に係る半導体装置10が実装されるのと相違し、本変形例に係る配線基板100eにおいては、第1の実施の形態の第5の変形例に係る半導体装置10eが実装されることが特徴である。

10

【0236】

図25に示されるように、本変形例に係る配線基板100eは、半導体装置10eと、配線基板基体70と、を有する。

【0237】

半導体装置10eは、第1の実施の形態の第5の変形例に係る半導体装置10eと同一であり、第1の間隔D1で設けられた端子電極40と、第2の間隔D2 (> D1)で設けられた外部端子電極50と、を有する。配線基板基体70は、半導体装置10eの外部端子電極50に対応し、第2の間隔D2 (> D1)で設けられた配線基板端子電極71を有する。外部端子電極50と、配線基板端子電極71は、電氣的に接続されているのは、第2の実施の形態と同一である。

20

【0238】

以上、本変形例に係る配線基板によれば、C4パンプピッチ等の一般的な端子間隔より狭い間隔で配設される端子電極を有する半導体チップを、一般的な端子間隔で配設される接続端子を有する配線基板に実装することができる。

【図面の簡単な説明】

【0239】

【図1】従来の配線基板を説明するための図であり、半導体チップの端子電極の間隔が、配線基板の端子電極の間隔と比べて小さい場合の半導体チップ及び配線基板を模式的に示す断面図である。

30

【図2】本発明の第1の実施の形態に係る半導体装置を模式的に示す断面図である。

【図3A】本発明の第1の実施の形態に係る半導体装置の製造方法を模式的に示す図(その1)である。

【図3B】本発明の第1の実施の形態に係る半導体装置の製造方法を模式的に示す図(その2)である。

【図4】本発明の第1の実施の形態の第1の変形例に係る半導体装置を模式的に示す断面図である。

【図5A】本発明の第1の実施の形態の第1の変形例に係る半導体装置の第1の製造方法を模式的に示す図(その1)である。

【図5B】本発明の第1の実施の形態の第1の変形例に係る半導体装置の第1の製造方法を模式的に示す図(その2)である。

40

【図5C】本発明の第1の実施の形態の第1の変形例に係る半導体装置の第1の製造方法を模式的に示す図(その3)である。

【図6】本発明の第1の実施の形態の第1の変形例に係る半導体装置の第2の製造方法を模式的に示す図である。

【図7】本発明の第1の実施の形態の第2の変形例に係る半導体装置を模式的に示す断面図である。

【図8A】本発明の第1の実施の形態の第2の変形例に係る半導体装置の第1の製造方法を模式的に示す図(その1)である。

【図8B】本発明の第1の実施の形態の第2の変形例に係る半導体装置の第1の製造方法

50

を模式的に示す図（その２）である。

【図８Ｃ】本発明の第１の実施の形態の第２の変形例に係る半導体装置の第１の製造方法を模式的に示す図（その３）である。

【図９】本発明の第１の実施の形態の第２の変形例に係る半導体装置の第２の製造方法を模式的に示す図である。

【図１０】本発明の第１の実施の形態の第３の変形例に係る半導体装置を模式的に示す断面図である。

【図１１Ａ】本発明の第１の実施の形態の第３の変形例に係る半導体装置の第１の製造方法を模式的に示す図（その１）である。

【図１１Ｂ】本発明の第１の実施の形態の第３の変形例に係る半導体装置の第１の製造方法を模式的に示す図（その２）である。

【図１１Ｃ】本発明の第１の実施の形態の第３の変形例に係る半導体装置の第１の製造方法を模式的に示す図（その３）である。

【図１２】本発明の第１の実施の形態の第３の変形例に係る半導体装置の第２の製造方法を模式的に示す図である。

【図１３】本発明の第１の実施の形態の第４の変形例に係る半導体装置を模式的に示す断面図である。

【図１４Ａ】本発明の第１の実施の形態の第４の変形例に係る半導体装置の製造方法を模式的に示す図（その１）である。

【図１４Ｂ】本発明の第１の実施の形態の第４の変形例に係る半導体装置の製造方法を模式的に示す図（その２）である。

【図１４Ｃ】本発明の第１の実施の形態の第４の変形例に係る半導体装置の製造方法を模式的に示す図（その３）である。

【図１５】本発明の第１の実施の形態の第５の変形例に係る半導体装置を模式的に示す断面図である。

【図１６】本発明の第１の実施の形態の第６の変形例に係る半導体装置を模式的に示す断面図である。

【図１７】本発明の第１の実施の形態の第７の変形例に係る半導体装置を模式的に示す断面図である。

【図１８】本発明の第１の実施の形態の第８の変形例に係る半導体装置を模式的に示す断面図である。

【図１９】本発明の第１の実施の形態の第９の変形例に係る半導体装置を模式的に示す断面図である。

【図２０】本発明の第２の実施の形態に係る配線基板を模式的に示す断面図である。

【図２１】本発明の第２の実施の形態の第１の変形例に係る配線基板を模式的に示す断面図である。

【図２２】本発明の第２の実施の形態の第２の変形例に係る配線基板を模式的に示す断面図である。

【図２３】本発明の第２の実施の形態の第３の変形例に係る配線基板を模式的に示す断面図である。

【図２４】本発明の第２の実施の形態の第４の変形例に係る配線基板を模式的に示す断面図である。

【図２５】本発明の第２の実施の形態の第５の変形例に係る配線基板を模式的に示す断面図である。

【符号の説明】

【０２４０】

１０、１０ａ、１０ｂ、１０ｃ、１０ｄ、１０ｅ、１０ｆ、１０ｇ、１０ｈ、１０ｉ 半導体装置

２０ 半導体チップ

３０ 支持基板

10

20

30

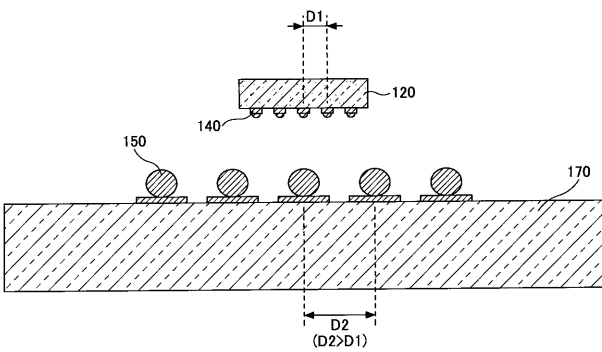
40

50

- 3 1 接着剤
- 3 2 第 1 の金属膜
- 3 3 第 2 の金属膜
- 3 4 嵌合孔
- 3 5 ドライフィルムレジスト
- 3 6 搭載面
- 3 7 支持基板表面処理膜
- 3 8 銅箔
- 4 0 端子電極
- 5 0 外部端子電極 10
- 6 0 ファンアウト部
- 6 1、6 1 a、6 1 b 絶縁層
- 6 2、6 2 a、6 2 b 貫通電極
- 6 3、6 3 a、6 3 b 金属配線
- 6 4、6 4 a、6 4 b 貫通孔
- 7 0 配線基板基体
- 7 1 配線基板端子電極
- 7 2 配線基板裏面端子電極
- 7 3 絶縁層
- 1 0 0、1 0 0 a、1 0 0 b、1 0 0 c、1 0 0 d、1 0 0 e 配線基板 20
- D 1 第 1 の間隔
- D 2 第 2 の間隔

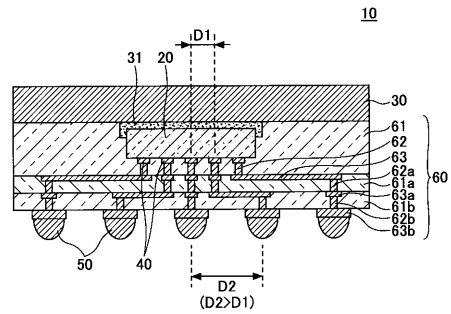
【 図 1 】

従来の配線基板を説明するための図であり、
 半導体チップの端子電極の間隔が、
 配線基板の端子電極の間隔と比べて小さい場合の
 半導体チップ及び配線基板を模式的に示す断面図



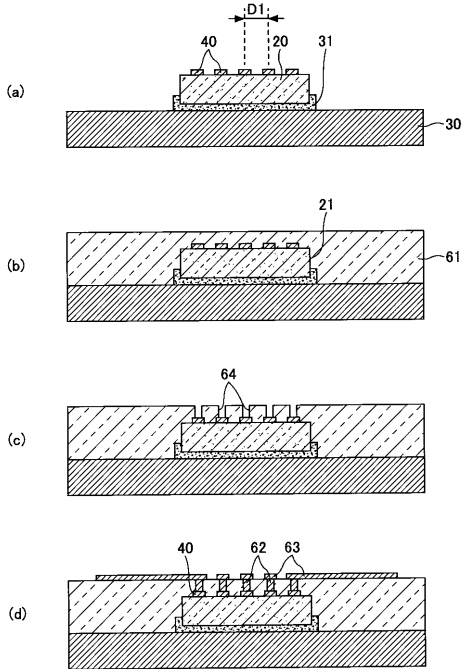
【 図 2 】

本発明の第1の実施の形態に係る半導体装置を模式的に示す断面図



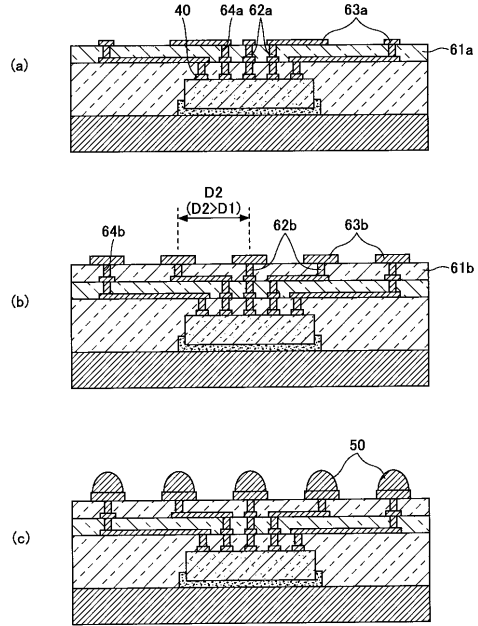
【 図 3 A 】

本発明の第1の実施の形態に係る
半導体装置の製造方法を模式的に示す図(その1)



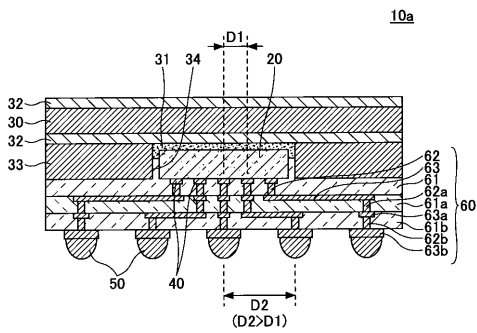
【 図 3 B 】

本発明の第1の実施の形態に係る
半導体装置の製造方法を模式的に示す図(その2)



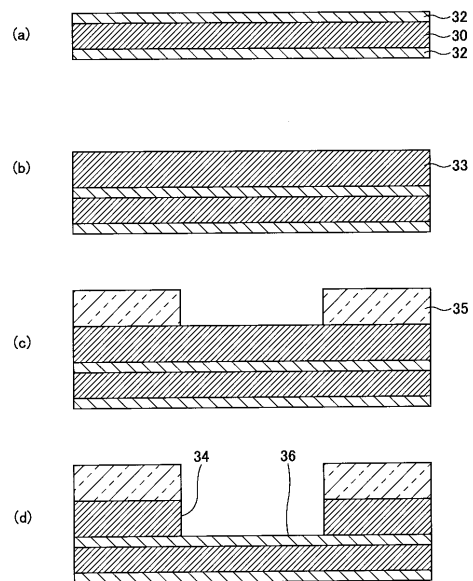
【 図 4 】

本発明の第1の実施の形態の第1の変形例に係る
半導体装置を模式的に示す断面図



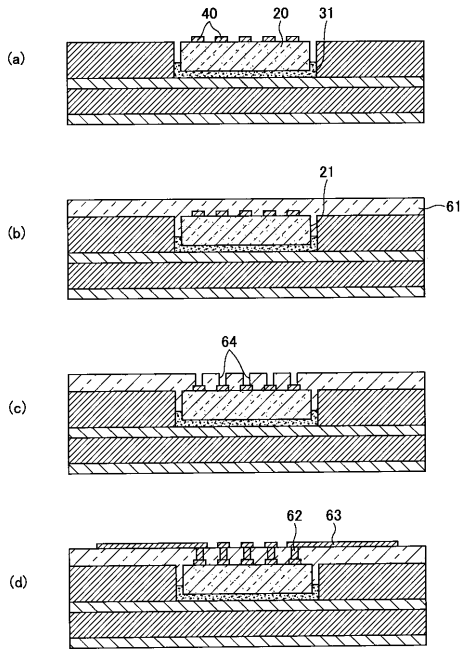
【 図 5 A 】

本発明の第1の実施の形態の第1の変形例に係る
半導体装置の第1の製造方法を模式的に示す図(その1)



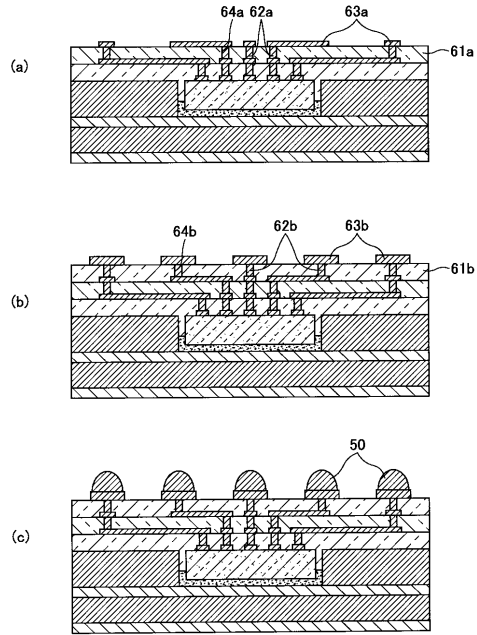
【図 5 B】

本発明の第1の実施の形態の第1の変形例に係る
半導体装置の第1の製造方法を模式的に示す図(その2)



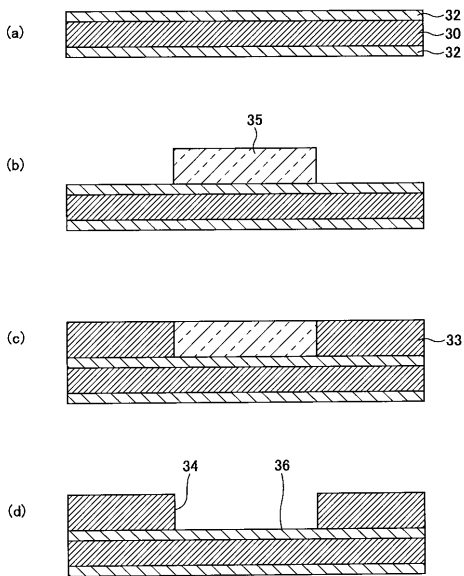
【図 5 C】

本発明の第1の実施の形態の第1の変形例に係る
半導体装置の第1の製造方法を模式的に示す図(その3)



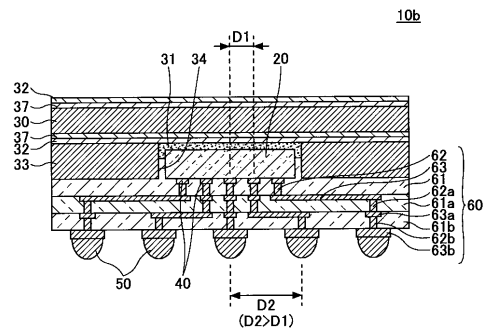
【図 6】

本発明の第1の実施の形態の第1の変形例に係る
半導体装置の第2の製造方法を模式的に示す図



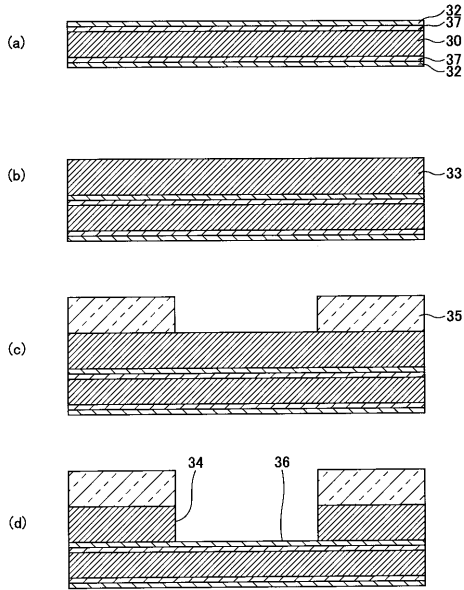
【図 7】

本発明の第1の実施の形態の第2の変形例に係る
半導体装置を模式的に示す断面図



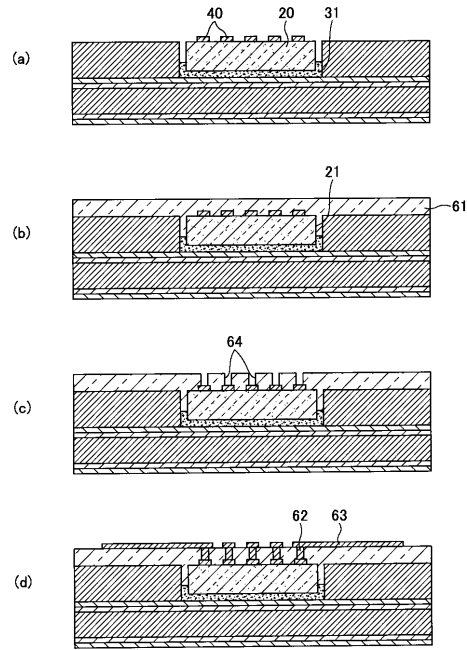
【 図 8 A 】

本発明の第1の実施の形態の第2の変形例に係る
半導体装置の第1の製造方法を模式的に示す図(その1)



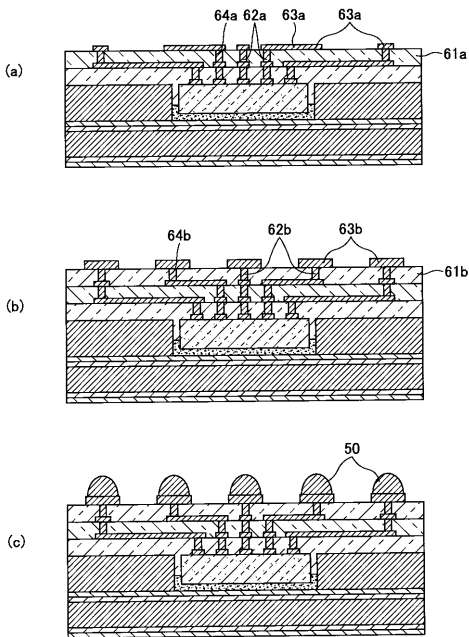
【 図 8 B 】

本発明の第1の実施の形態の第2の変形例に係る
半導体装置の第1の製造方法を模式的に示す図(その2)



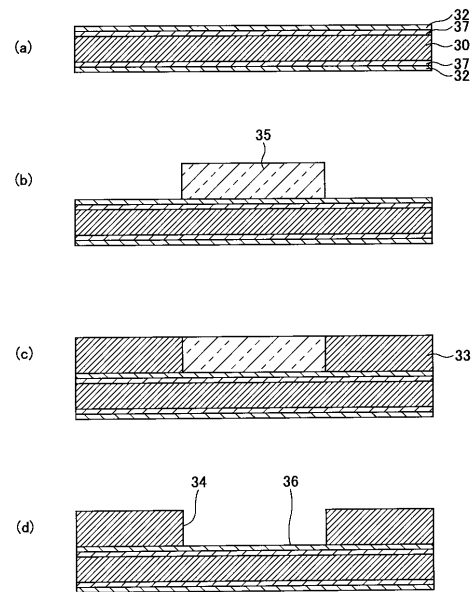
【 図 8 C 】

本発明の第1の実施の形態の第2の変形例に係る
半導体装置の第1の製造方法を模式的に示す図(その3)



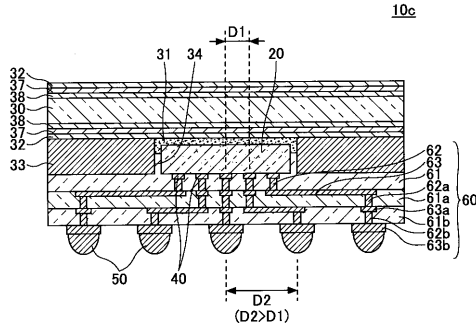
【 図 9 】

本発明の第1の実施の形態の第2の変形例に係る
半導体装置の第2の製造方法を模式的に示す図



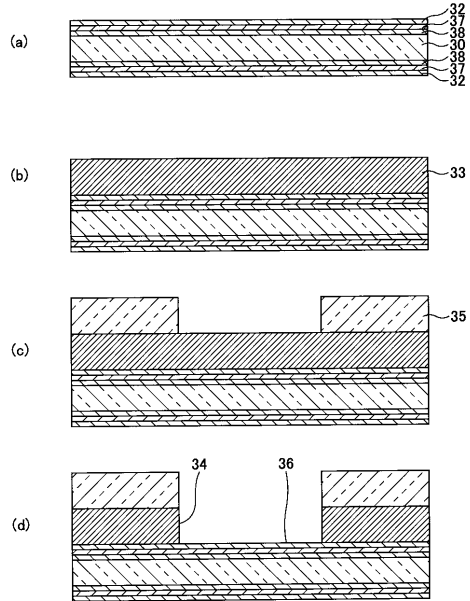
【 図 1 0 】

本発明の第1の実施の形態の第3の変形例に係る
半導体装置を模式的に示す断面図



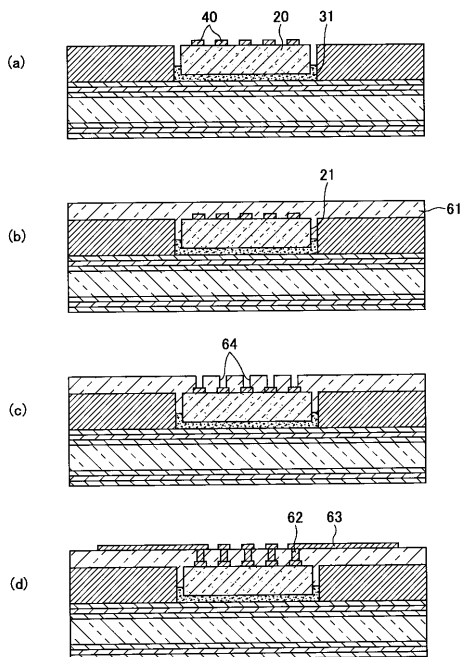
【 図 1 1 A 】

本発明の第1の実施の形態の第3の変形例に係る
半導体装置の第1の製造方法を模式的に示す図(その1)



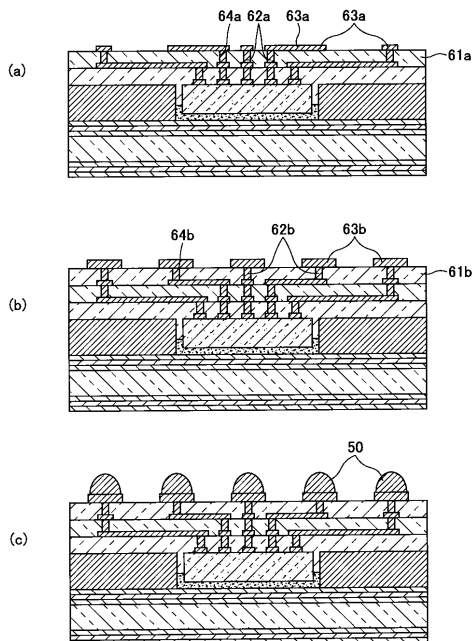
【 図 1 1 B 】

本発明の第1の実施の形態の第3の変形例に係る
半導体装置の第1の製造方法を模式的に示す図(その2)



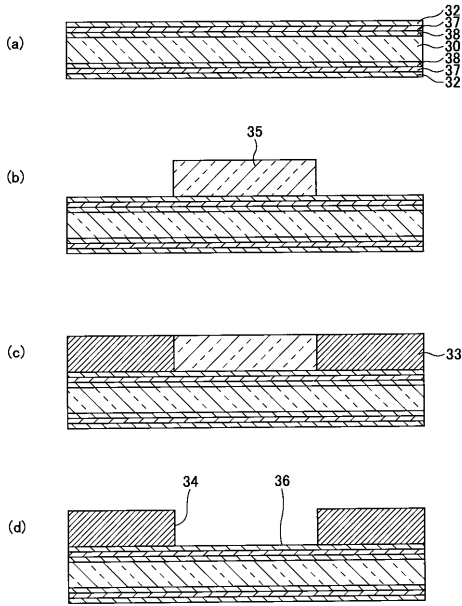
【 図 1 1 C 】

本発明の第1の実施の形態の第3の変形例に係る
半導体装置の第1の製造方法を模式的に示す図(その3)



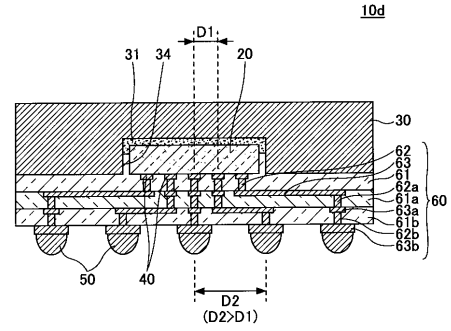
【 図 1 2 】

本発明の第1の実施の形態の第3の変形例に係る半導体装置の第2の製造方法を模式的に示す図



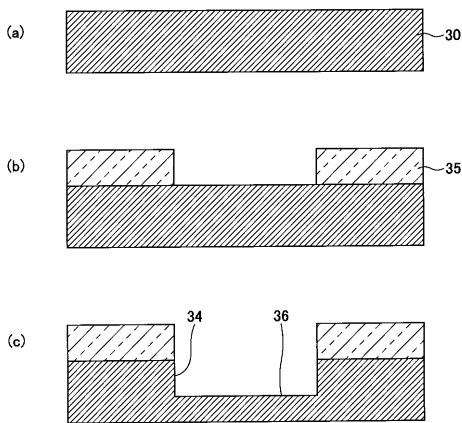
【 図 1 3 】

本発明の第1の実施の形態の第4の変形例に係る半導体装置を模式的に示す断面図



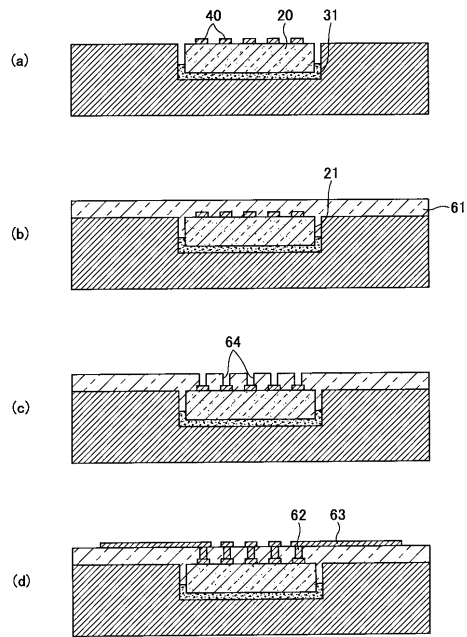
【 図 1 4 A 】

本発明の第1の実施の形態の第4の変形例に係る半導体装置の製造方法を模式的に示す図(その1)



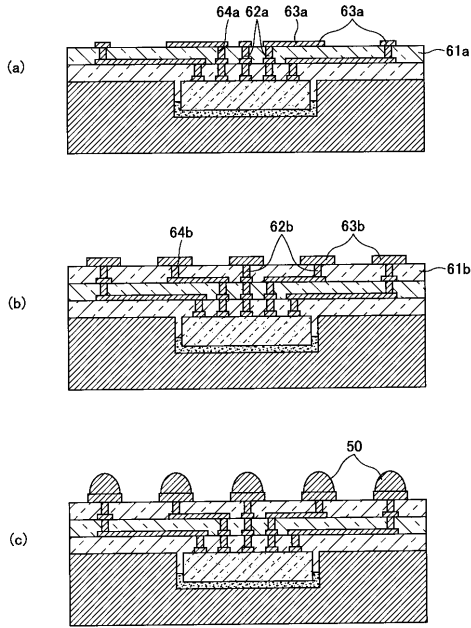
【 図 1 4 B 】

本発明の第1の実施の形態の第4の変形例に係る半導体装置の製造方法を模式的に示す図(その2)



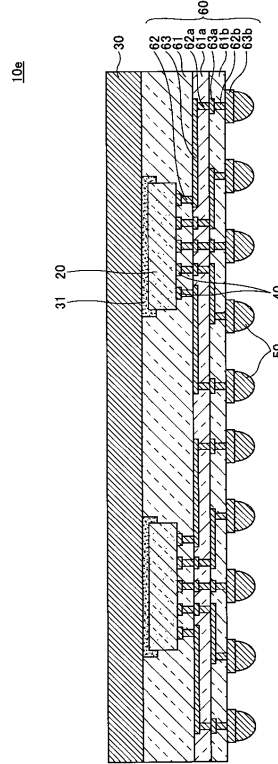
【 図 1 4 C 】

本発明の第1の実施の形態の第4の変形例に係る半導体装置の製造方法を模式的に示す図(その3)



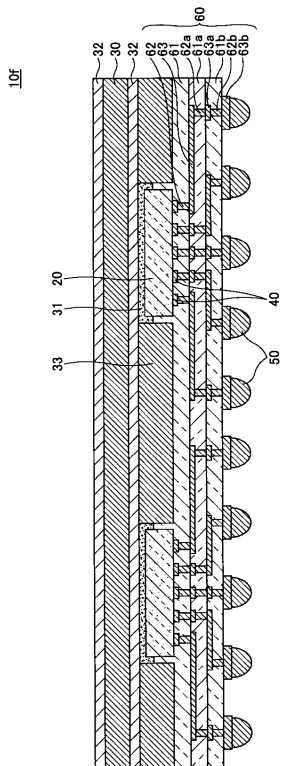
【 図 1 5 】

本発明の第1の実施の形態の第5の変形例に係る半導体装置を模式的に示す断面図



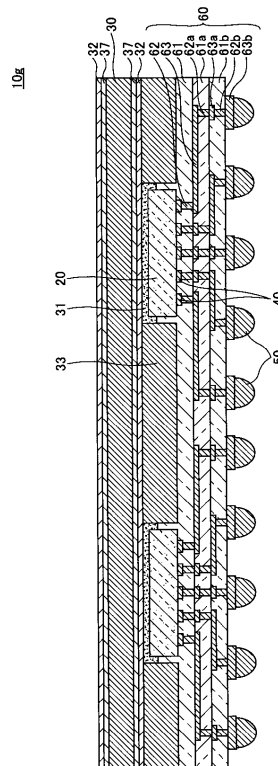
【 図 1 6 】

本発明の第1の実施の形態の第6の変形例に係る半導体装置を模式的に示す断面図



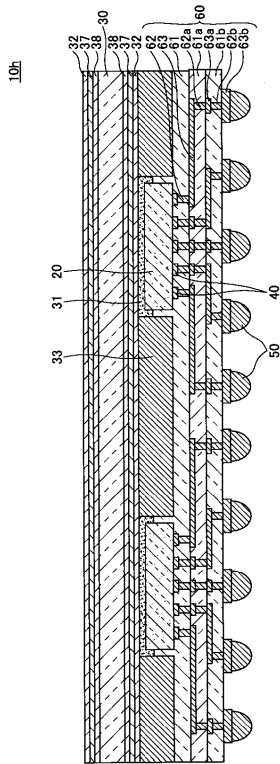
【 図 1 7 】

本発明の第1の実施の形態の第7の変形例に係る半導体装置を模式的に示す断面図



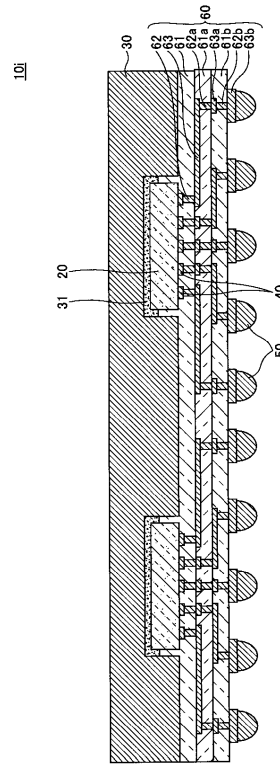
【図18】

本発明の第1の実施の形態の第8の変形例に係る半導体装置を模式的に示す断面図



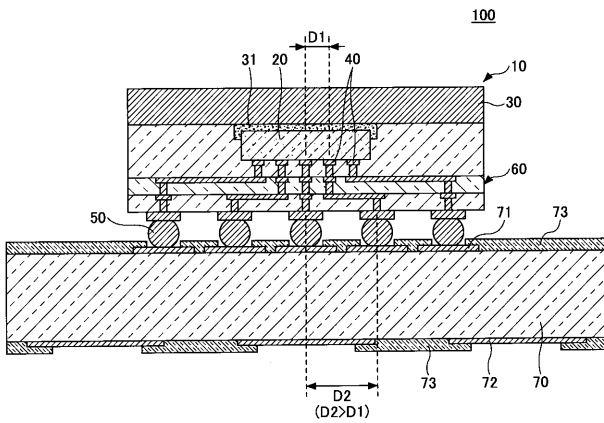
【図19】

本発明の第1の実施の形態の第9の変形例に係る半導体装置を模式的に示す断面図



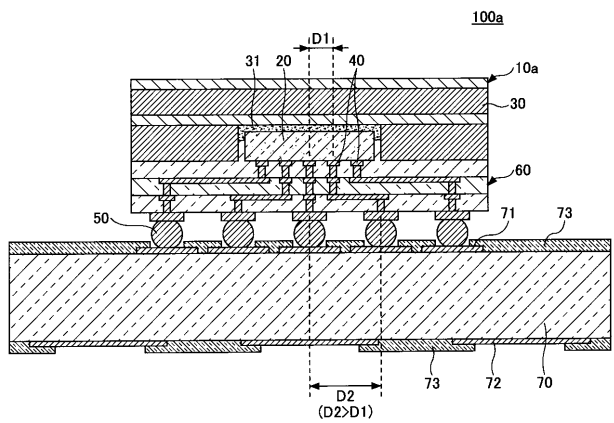
【図20】

本発明の第2の実施の形態に係る配線基板を模式的に示す断面図



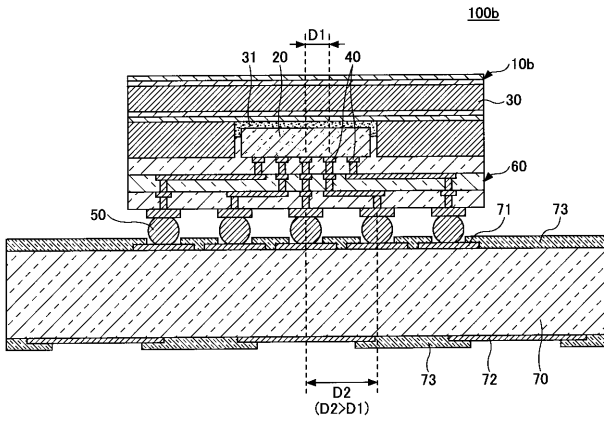
【図21】

本発明の第2の実施の形態の第1の変形例に係る配線基板を模式的に示す断面図



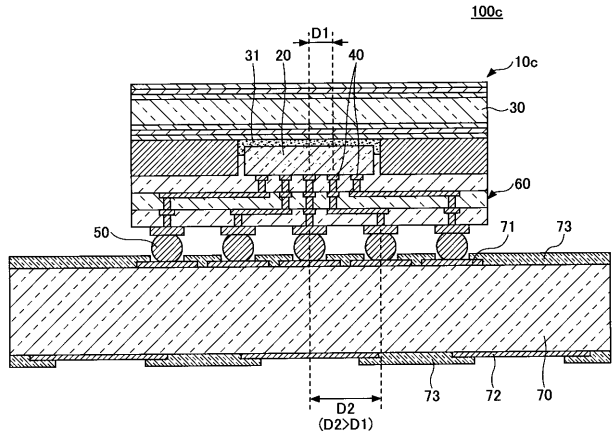
【 図 2 2 】

本発明の第2の実施の形態の第2の変形例に係る配線基板を模式的に示す断面図



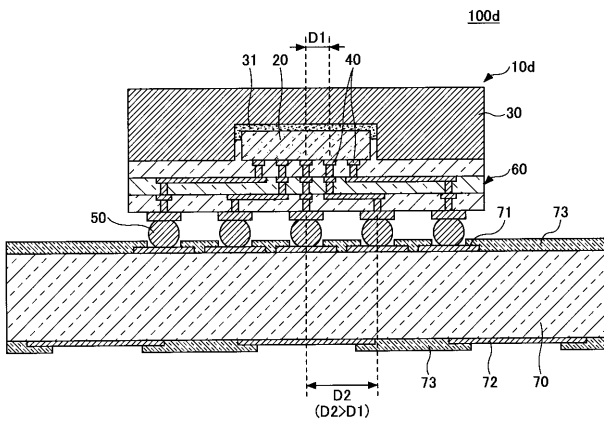
【 図 2 3 】

本発明の第2の実施の形態の第3の変形例に係る配線基板を模式的に示す断面図



【 図 2 4 】

本発明の第2の実施の形態の第4の変形例に係る配線基板を模式的に示す断面図



【 図 2 5 】

本発明の第2の実施の形態の第5の変形例に係る配線基板を模式的に示す断面図

