

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3590158号
(P3590158)

(45) 発行日 平成16年11月17日(2004.11.17)

(24) 登録日 平成16年8月27日(2004.8.27)

(51) Int. Cl.⁷

F I

H O 1 L 27/146

H O 1 L 27/14

A

H O 4 N 5/335

H O 4 N 5/335

E

請求項の数 5 (全 12 頁)

<p>(21) 出願番号 特願平7-242325 (22) 出願日 平成7年8月29日(1995.8.29) (65) 公開番号 特開平9-64332 (43) 公開日 平成9年3月7日(1997.3.7) 審査請求日 平成14年8月26日(2002.8.26)</p>	<p>(73) 特許権者 000000376 オリンパス株式会社 東京都渋谷区幡ヶ谷2丁目4番2号 (74) 代理人 100087273 弁理士 最上 健治 (72) 発明者 高柳 功 東京都渋谷区幡ヶ谷2丁目4番2号 オ リンパス光学工業株式会社内 審査官 齋藤 恭一</p>
-----------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------	--------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------

最終頁に続く

(54) 【発明の名称】 MOS増幅型撮像装置

(57) 【特許請求の範囲】

【請求項1】

入射光量に応じた光電荷を生成するゲート電極を備えたMIS型フォトダイオードと、該MIS型フォトダイオードの少なくとも一部にオーバーラップさせて形成した該MIS型フォトダイオードで生成された光電荷を蓄積する電荷蓄積領域と、該電荷蓄積領域の電位を初期化するリセットスイッチと、前記電荷蓄積領域に制御電極が接続され、前記蓄積電荷に応じた出力信号を発生する増幅トランジスタと、該増幅トランジスタの出力端子と出力信号線とを接続する選択スイッチとからなる画素を配列して構成し、少なくとも前記電荷蓄積領域は光学的に遮光され、前記MIS型フォトダイオードのゲート電極印加電圧を撮像条件に応じて変化させるようにしたMOS増幅型撮像装置において、前記MIS型フォトダイオードのゲート電極印加電圧は、電子及び正孔の閾値電圧に対応させて変化させ、前記ゲート電極下に反転層が形成され光量に対するダイナミックレンジの広い広ダイナミックレンジの撮像条件と、前記MIS型フォトダイオードの表面が空乏化し高感度で光検出を行う撮像条件と、前記ゲート電極下に蓄積層が形成されシャッター動作を行う撮像条件とを切り替えるように構成したことを特徴とするMOS増幅型撮像装置。

10

【請求項2】

前記MIS型フォトダイオードのゲート電極は、光生成電荷蓄積期間の一部又は全期間中に、界面に蓄積層が形成される電圧を印加するように構成したことを特徴とする請求項1記載のMOS増幅型撮像装置。

【請求項3】

20

前記電荷蓄積領域は、二つ以上の複数の領域に分離形成されていると共に、該複数の電荷蓄積領域は電氣的に共通に接続されていることを特徴とする請求項 1 又は 2 記載の M O S 増幅型撮像装置。

【請求項 4】

前記 M I S 型フォトダイオードは、二つ以上の複数の領域に分離形成されていることを特徴とする請求項 1 ~ 3 のいずれか 1 項に記載の M O S 増幅型撮像装置。

【請求項 5】

前記複数の M I S 型フォトダイオードのゲート電極は、独立にゲート電圧が印加されていることを特徴とする請求項 4 記載の M O S 増幅型撮像装置。

【発明の詳細な説明】

10

【0001】

【発明の属する技術分野】

この発明は、M O S (Metal Oxide Semiconductor) 増幅型撮像装置に関し、特に高フレームレート撮像時の感度向上と撮像照度のダイナミックレンジの向上を図ることの可能な M O S 増幅型撮像装置に関する。

【0002】

【従来の技術】

一般に、高フレームレート撮像では、1 フレームの蓄積時間がフレームレートの逆数に比例して減少するため、一画素当たりの入射フォトン数も減少し、同一光量での S / N が劣化する。この S / N 劣化を防ぐため、実際の撮影現場では、照明を強化して入射フォトン数の減少を補っている。しかしながら、千フレーム / 秒を超えるフレームレートで撮像するには、照明の強化のみでは対応が困難となるため、この領域で利用されている固体撮像装置では、30 μ m 角や 60 μ m 角まで画素サイズを大きくし、一画素当たりの入射フォトン数を稼いで S / N を向上させている。

20

【0003】

半導体固体撮像素子として現在最も多用されている C C D の場合、このような画素ピッチの大きいイメージセンサを構成しようとする、画素ピッチの増大に伴って転送効率が劣化してしまう。それを補うためには、画素配列を複数の領域に分割し、複数の並列 C C D を用いて並列転送及び並列出力方式をとらざるを得ない。ところが、C C D のノイズ対策として最も効果のある相関 2 重サンプリング回路は、駆動タイミングが高速且つ複雑なことから消費電力が大きいことから、出力線の数だけ設け、且つ動作を最適化させることが現実的には困難である。したがって、読み出しアンプでのノイズが大きくなり、汎用の C C D 固体撮像装置と比べて画質が著しく劣化してしまう。

30

【0004】

一方、M O S 型固体撮像装置は X - Y アドレス選択読み出しのため、画素ピッチが大きくなっても読み出しスピードに支障がないと共に、大面積画素の設計が容易である。したがって、高フレームレート撮像用の大面積、小画素数の固体撮像装置としては、M O S 型固体撮像装置が主流となっている。

【0005】

ところが、このような M O S 型固体撮像装置の欠点として、出力信号が小さいことが上げられる。M O S 型固体撮像装置は画素に蓄積された光生成電荷を出力端子から直接出力し、外部の電流電圧変換アンプを介して映像信号に変えている。読み出しのデータレートを上げるためには、当然ながら映像信号の帯域も広くなる。その結果、アンプノイズが信号電荷に対して大きくなり、S / N を劣化させてしまう。これが M O S 型固体撮像装置のフレームレートの上限を決定する要因の一つとなっている。

40

【0006】

M O S 型撮像装置の利点を有したままで、アンプノイズの影響を改善する方式として、例えば Savvas G. Chamberlain " Photosensitivity and Scanning of Silicon Image Detector Arrays " [IEEE J. Solid-State Circuit, vol. sc-4, No. 6, pp. 333-342(1969)] という論文、あるいは特開昭 5 0 - 1 3 4 3 9 3 号公報に記載されているような M O S 増

50

幅型撮像装置が知られている。

【0007】

次に、図8に基づいて従来のMOS増幅型撮像装置について簡単に説明する。図8は従来のMOS増幅型撮像装置の画素の基本構成を示したものであり、p型の半導体基板100と該半導体基板100の表面に形成したn型拡散領域101とで接合フォトダイオードを形成し、n型拡散領域101はリセットスイッチ102を介してリセット電圧電源 V_{RS} に接続されている。またn型拡散領域101は、増幅トランジスタ103のゲート端子に接続されている。増幅トランジスタ103の出力端子は、画素選択スイッチ104を介して信号出力線105に接続されている。

【0008】

次に、このような構成の画素の基本動作について説明する。まずリセットパルス V_{RS} をリセットスイッチ102のゲートに印加し、リセットスイッチ102をオンさせることにより、フォトダイオードのn型拡散領域101の電圧を V_{RS} に固定する。その後リセットスイッチ102をオフさせ、光電荷の蓄積を開始する。光電荷の蓄積に伴って、n型拡散領域101の電位が変化する。その変化量は V は次式(1)により求められる。

$$V = Q_{ph} / (C_j + C_g) \dots \dots \dots (1)$$

ここで、 Q_{ph} は蓄積電荷、 C_j はフォトダイオードの接合容量、 C_g は増幅トランジスタ103のゲート容量である。

【0009】

電荷蓄積期間終了後、選択パルス V_{SEL} を選択スイッチ104のゲート電極に印加することにより選択スイッチ104をオンさせ、信号電流を信号出力線105に出力する。このとき流れる信号電流 I_{out} は V に依存し、その変化量 I_{out} は近似的に次式(2)により表される。

$$I_{out} = g_m^* \times V \dots \dots \dots (2)$$

ここで、 g_m^* は増幅トランジスタ103の g_m 及び選択スイッチ104のオン抵抗を含めた電荷読み出し回路の電圧-電流変換利得であり、オーダー的には 1×10^{-3} (A/V)から 1×10^{-4} (A/V)である。

【0010】

このように構成された画素の出力信号を外部のアンプで検出する場合、1画素あたりの出力信号電荷量 Q_{out} は、出力データレートを f_{out} とすれば、次式(3)で表される。

$$Q_{out} = I_{out} / f_{out} = \{ g_m^* / \{ (C_j + C_g) \times f_{out} \} \} \times Q_{ph} \dots \dots \dots (3)$$

出力信号電荷量としては、入力された光生成電荷 Q_{ph} を、 $g_m^* / \{ (C_j + C_g) \times f_{out} \}$ 倍に増幅させたと等価になる。一般的な値として、 f_{out} を10MHz、 $(C_j + C_g)$ を20pFとすると、この増幅率は数100から数1000になる。

【0011】

このように構成された増幅型撮像装置では、前記MOS型撮像装置と比べて出力信号量が大きいため、出力データレートを高くした場合においても、電圧電圧変換アンプのノイズの影響を抑えることができる。したがって、このような増幅型撮像装置は高速の読み出しに適しており、当然のことながら高フレームレート撮像用の固体撮像装置としても有利なものである。

【0012】

なお、上記従来例の説明においては、説明を簡単にするために画素の出力を電流出力として説明して来たが、ソースフォロワ等を用いた電圧出力の場合においても、上記従来技術の説明内容は本質的には変わらないものである。

【0013】

【発明が解決しようとする課題】

ところで、上記構成の画素を用いた従来のMOS増幅型撮像装置においては、次のような問題点が存在する。前述したように、1000フレーム/秒を越えるような高フレームレート撮像において良好なS/Nを得ようとするには、画素サイズ及び1画素あたりの受光面積

10

20

30

40

50

を大きくする必要がある。従来のMOS増幅型撮像装置の画素構造で受光面積を増大させると、それに伴ってフォトダイオードの接合容量 C_j も増大する。その結果として、式(3)における増幅率 $g_m / \{ (C_j + C_g) \times f_{out} \}$ が減少し、結果としてMOS型撮像装置に対する優位性がなくなってしまうという問題がある。また、接合容量 C_j が増加すると蓄積領域のリセット時に発生する $kT(C_j + C_g)$ ノイズが増大し、S/Nを劣化させることにもなる。ここで、 k はボルツマン定数、 T は絶対温度である。また、高感度を目的として $(C_j + C_g)$ を小さくした場合、今度は電荷蓄積領域の電位変化が大きくなるため、飽和電荷数が減少してしまい、飽和入射光量が低下し、入射光量に対するダイナミックレンジが低下してしまうという問題点が生じる。

【0014】

本発明は、従来のMOS増幅型固体撮像装置における上記問題点を解決するためになされたもので、請求項1記載の発明は、画素の開口面積を増大させた場合でも増倍率が変化せず、S/Nの優れたMOS増幅型固体撮像装置を実現させると共に、入射光量が十分に大きい場合においては飽和信号量を増加させ、検知可能な光量のダイナミックレンジを大きくとれるMOS増幅型撮像装置を実現することを目的としている。また請求項2記載の発明は、請求項1記載のMOS増幅型撮像装置においてシャッター動作を実現することを目的としており、請求項3及び4記載の発明は、請求項1又は2記載のMOS増幅型撮像装置において高速動作特性を向上させることを目的とし、請求項5記載の発明は、請求項4記載のMOS増幅型撮像装置においてダイナミックレンジ設定の自由度を向上させることを目的としている。

【0015】

【課題を解決するための手段】

上記問題点を解決するため、請求項1記載の発明は、入射光量に応じた光電荷を生成するゲート電極を備えたMIS(Metal Insulator Semiconductor)型フォトダイオードと、該MIS型フォトダイオードの少なくとも一部にオーバーラップさせて形成した該MIS型フォトダイオードで生成された光電荷を蓄積する電荷蓄積領域と、該電荷蓄積領域の電位を初期化するリセットスイッチと、前記電荷蓄積領域に制御電極が接続され、前記蓄積電荷に応じた出力信号を発生する増幅トランジスタと、該増幅トランジスタの出力端子と出力信号線とを接続する選択スイッチとからなる画素を配列して構成し、少なくとも前記電荷蓄積領域は光学的に遮光され、前記MIS型フォトダイオードのゲート電極印加電圧を撮像条件に応じて変化させるようにしたMOS増幅型撮像装置において、前記MIS型フォトダイオードのゲート電極印加電圧は、電子及び正孔の閾値電圧に対応させて変化させ、前記ゲート電極下に反転層が形成され光量に対するダイナミックレンジの広い広ダイナミックレンジの撮像条件と、前記MIS型フォトダイオードの表面が空乏化し高感度で光検出を行う撮像条件と、前記ゲート電極下に蓄積層が形成されシャッター動作を行う撮像条件とを切り替えるように構成するものである。

【0016】

このように構成されたMOS増幅型撮像装置においては、入射光量が少ない場合には前記MIS型フォトダイオードのゲート電極にMIS型フォトダイオードの界面が空乏化する電圧を印加することにより、光生成された電荷を効率よく前記電荷蓄積領域に収集することが可能となるため、前記MIS型フォトダイオードの面積を増大させ受光面積を大きくしても、電荷蓄積領域の容量値は一定に保つことが可能となり、その結果、高感度のMOS増幅型撮像装置を実現することができる。また、前記電荷蓄積領域の容量が増加しないため、受光面積を大きくしても前記電荷蓄積領域の電圧をリセットする際に発生するリセットノイズの増加も抑えることができる。更に、入射光量が大きい場合には、前記MIS型フォトダイオードのゲート電極に界面が反転する電圧を印加することにより、MIS型フォトダイオードの界面も電荷蓄積領域として機能させ、蓄積容量を増加させることにより飽和電荷数を増加させ、撮像可能な入射光量範囲を広くすることも可能となる。更にまた、ゲート電極下に蓄積層が形成される電圧を印加することにより、シャッター動作を行わせることが可能となる。

10

20

30

40

50

【0017】

請求項2記載の発明は、光生成電荷蓄積期間の一部又は全期間において、前記MIS型フォトダイオードのゲート電極に、界面に蓄積層が形成されるような電圧を印加するように構成するものである。これにより、光生成電荷蓄積期間の一部又は全期間に亘り光生成電荷の蓄積を停止し、シャッタ動作を行わせることが可能となる。

【0018】

請求項3記載の発明は、前記電荷蓄積領域を分割して複数領域設けるものである。これにより、実効的に信号電荷の拡散距離が短くなるため、光生成電荷が前記電荷蓄積領域に到達する時間も短くなり、高速性を向上させることが可能となる。また、請求項4記載の発明は、前記MIS型フォトダイオードを分割して複数領域設けるものである。これによ

10

【0019】

請求項5記載の発明は、請求項4記載のMOS増幅型撮像装置における分割したMIS型フォトダイオードのそれぞれのゲート電極に対して、独立にゲート電圧を印加するものである。これにより、前記複数のMIS型フォトダイオードが反転する電位を各々任意に設定することが可能となり、請求項1記載のMOS増幅型撮像装置と比べて感度設定の自由度を、より向上させることが可能になる。

【0020】

【発明の実施の形態及び実施例】

20

(第1実施例)

次に、実施例について説明する。図1は、本発明に係るMOS増幅型撮像装置の第1実施例における画素部の構成を示す図である。この実施例の画素部は、n型半導体基板1の上部に形成されたpウエル2の表面に、MIS型フォトダイオード3を形成し、該MIS型フォトダイオード3の一部にオーバーラップさせて、n型拡散領域により構成される電荷蓄積領域4を形成する。電荷蓄積領域4はリセットスイッチ5を介してリセット電源 V_{RS} に接続されると共に、増幅トランジスタ6のゲート電極に接続されている。増幅トランジスタ6の出力端子は、選択スイッチ7を介して信号出力線8に接続されるようになっている。MIS型フォトダイオード3のゲート電極にはDC電圧 V_G が印加されている。そして遮光膜9により、電荷蓄積領域4を含めてMIS型フォトダイオード3以外の領域は遮

30

【0021】

このように構成された画素部の電荷蓄積及び信号読み出し動作について説明する。まずMIS型フォトダイオード3のゲート電極にDC電圧 V_G を印加した状態において、リセットスイッチ5のゲート電極にリセットパルス V_{RS} を印加し、リセットスイッチ5をオンさせる。これにより電荷蓄積領域4の電圧は V_{RS} に固定されると共に、電荷蓄積領域4の電位を初期化する。その後リセットスイッチ5をオフさせ、光生成電荷の蓄積を開始する。遮光膜9の開口部を通してMIS型フォトダイオード3に入射した光は、MIS型フォト

40

【0022】

本発明によるMOS増幅型撮像装置は、MIS型フォトダイオード3のゲート電極に印加する電圧 V_G を変化させることにより、光電変換特性を切り替えることが可能となるものであり、図2及び図3を用いて詳細に説明する。図2の(A)~(C)は前記MIS型フ

50

フォトダイオード3のゲート電極に印加する電圧 V_G の値による、光生成電子の挙動の変化を概念的に示したものである。なお図1に示した画素部と同じ部位については同じ符号を付して示している。図2の(A)は、MIS型フォトダイオード3のゲート電極に電子の反転層が形成される電圧、すなわち電子の閾値電圧 V_{Tn} よりも高い電圧を印加した場合を示している。この場合、MIS型フォトダイオード3下のpウエル2の表面には、電子による反転層11が形成されており、蓄積容量はMIS型フォトダイオード3の絶縁膜容量と、電荷蓄積領域の接合容量と、図2の(A)では図示を省略しているが、増幅トランジスタ6のゲート容量の総和となる。蓄積されている光生成電荷 Q_{ph} に対する電荷蓄積領域4の電位変化 V を、MIS型フォトダイオードの絶縁膜容量 C_{ox} 、電荷蓄積領域4の接合容量 C_j 、増幅トランジスタ6のゲート容量 C_g を用いて表すと、次式(4)となる。

$$V = Q_{ph} / (C_{ox} + C_j + C_g) \quad \dots \quad (4)$$

【0023】

図2の(B)は、MIS型フォトダイオード3のゲート電極に、閾値電圧 V_{Tn} 以下の電圧で且つMIS型フォトダイオード3の表面が空乏化する電圧、すなわち正孔の閾値電圧 V_{Tp} より大なる電圧を印加した場合を示している。この場合、光生成された電子はゲート表面に添って電荷蓄積領域4に流れ込むことになる。その結果、MIS型フォトダイオード3の下には電荷は蓄積されず、蓄積容量は電荷蓄積領域4の接合容量 C_j 及び増幅トランジスタ6のゲート容量 C_g となり、電荷蓄積領域4の電位変化 V は、次式(5)で表される。

$$V = Q_{ph} / (C_j + C_g) \quad \dots \quad (5)$$

上記(5)式よりわかるように、電位変化 V はMIS型フォトダイオード3の面積、すなわち受光部面積に依存しなくなる。したがって、画素サイズを大きくして受光部面積を増大させても、式(3)で表される電荷増幅率を一定に保つことが可能となる。

【0024】

図3は図2の(A)、(B)に示した上記2つの条件での光電変換特性を模式的に示したものである。 $V_G > V_{Tn}$ とした図2の(A)の条件では、トータルの蓄積容量が最も大きくなり、式(3)で表される電荷増幅率は低下するが、飽和電荷数は増加するため、十分な光量が得られるような条件では、光量に対するダイナミックレンジを稼ぐことができる。また、 $V_{Tn} > V_G > V_{Tp}$ とした図2の(B)の条件では、蓄積容量が小さいため電荷増幅率は大きく、光量に対するダイナミックレンジは低下するが、高感度で光を検出することが可能となる。

【0025】

図2の(C)は、MIS型フォトダイオード3のゲート電極に、正孔蓄積層12が形成されるような負電圧、すなわち V_{Tp} よりも小さな電圧を印加した場合を示している。この場合、MIS型フォトダイオード3の半導体表面には電子に対するバリアが形成されるため、MIS型フォトダイオード3の下の半導体領域内で光生成された電子は電荷蓄積領域4には蓄積されず半導体基板1へ排出される。ちなみに、電荷蓄積領域4の近傍で光生成電子が発生すると、MIS型フォトダイオード3のゲートに印加する電圧 V_G によらず、電子は電荷蓄積領域4に流入することになるが、遮光膜9により電荷蓄積領域4への光入射を防いでいるので、電荷蓄積領域4近傍での光生成電子の発生はない。したがってMIS型フォトダイオード3のゲート電極に、正孔蓄積層12が形成されるような負電圧、すなわち V_{Tp} よりも小さな電圧を印加した場合には、光生成電子の蓄積は全く行われなくなる。これは、すなわちカメラのシャッターを閉じていることと等価になり、例えば通常はMIS型フォトダイオード3のゲート電極に V_{Tp} 以下の電圧を印加しておき、電荷蓄積期間の一部でMIS型フォトダイオード3のゲート電極に V_{Tp} 以上の電圧を印加することにより、シャッター動作を行わせることができる。

【0026】

以上図1～図3に基づいて説明したように、本実施例によれば、受光部面積を大きくしても電荷増幅率の低下しないMOS増幅型撮像装置を実現することが可能となる。また、画素のMIS型フォトダイオード3のゲート電極に印加する電圧により、画素の蓄積容量及

10

20

30

40

50

び実効的な開口面積を可変することが可能となり、低照度時の高感度撮像モード、照度が大きい場合に飽和電荷数を増やし光量のダイナミックレンジを稼ぐモード、及びシャッター動作を行うことができ、さまざまな用途に対応可能なMOS増幅型撮像装置を実現することができる。更に半導体基板1とpウエル2間に逆電圧を印加することにより、シャッター動作時に半導体基板1へ電子の排出を速やかに行うことが可能となると共に、浮遊電子の隣接する画素への拡散も抑えることが可能となり、クロストーク抑圧にも効果がある。

【0027】

(第2実施例)

次に、本発明によるMOS増幅型撮像装置の高速動作時の特性を向上させる第2実施例について説明する。図4は第2実施例における画素部の構成を示す図であり、図1に示した第1実施例と同様に機能する部分については同一の符号を付して示している。構造的に第1実施例と異なる点は、電荷蓄積領域を電荷蓄積領域4-1、電荷蓄積領域4-2に分離すると共に、光電変換を行うMIS型フォトダイオードをMIS型フォトダイオード3-1とMIS型フォトダイオード3-2及びMIS型フォトダイオード3-3に分離し、電荷蓄積領域4-1と電荷蓄積領域4-2とは電氣的に接続し、MIS型フォトダイオード3-1とMIS型フォトダイオード3-2及びMIS型フォトダイオード3-3も電氣的に共通に接続している点である。

【0028】

このように構成された第2実施例のMOS増幅型撮像装置の画素部は第1実施例の画素部と比べて、より高速動作が可能となるものである。次に、この理由について説明する。高フレームレートで撮像する場合、画素の読み出しスピードに高速性が要求される以外に、光生成電荷の収集にも高速性が要求される。従来例において説明したように、高フレーム撮像時にS/Nを稼ぐには画素の受光面積を大きくする必要がある。ところがMIS型フォトダイオードを空乏化させて動作させた場合、MIS型フォトダイオード下の空乏層内で発生した光生成電子が電荷蓄積領域に達するには時間がかかる。発生箇所から電荷蓄積領域までの距離をL、電子の拡散係数をDとすると、電子が収集されるのに要する時定数は、おおよそ次式(6)で表される。

$$= 4 \times L^2 / (\pi^2 \times D) \dots \dots \dots (6)$$

室温における電子の拡散係数Dは約 $1.5 \times 10^9 \mu\text{m}^2 / \text{sec}$ であるので、Lを $50 \mu\text{m}$ とすれば、時定数は約 $0.68 \mu\text{sec}$ となる。すなわちこれ以上速い現象に対しては、画素のレスポンスがなくなる。また、高フレームレート撮像を行う場合は、リセット時間も短縮する必要があるが、リセット時間が よりも短いか同等まで短くなると、リセットの不完全が発生し、残像を発生させることになる。

【0029】

本実施例においては、電荷蓄積領域を電荷蓄積領域4-1、電荷蓄積領域4-2に分離すると共に、光電変換を行うMIS型フォトダイオードをMIS型フォトダイオード3-1とMIS型フォトダイオード3-2及びMIS型フォトダイオード3-3に分離しているため、電子発生箇所から電荷蓄積領域までの距離Lすなわち電子の拡散距離が、分割しない場合と比べて短くなる。したがって、式(6)に示した電子の拡散に要する時間が短くなり、MIS型フォトダイオード下で発生した電子の電荷蓄積領域への収集速度が向上し、素子の光に対するレスポンスが向上すると共に残像も抑えることができる。

【0030】

以上のように、本実施例によれば、第1実施例で述べたような高感度性及び高機能性を有したままで、画素サイズを大きくしても高速性に優れたMOS増幅型撮像装置を実現することができる。また、MIS型フォトダイオード及び電荷蓄積領域の分割数は本実施例に示した分割数に限られるものではなく、いくつにしてもよい。

【0031】

(第3実施例)

前記図4に示した第2実施例では、画素部におけるMIS型フォトダイオード及び電荷蓄

10

20

30

40

50

積領域の分割態様を断面構造で示したが、平面形状で示した場合、分離される電荷蓄積領域は島状に孤立させて分布させるように構成してもよい。図5は、電荷蓄積領域を島状に分布させた第3実施例の画素を示す上面図である。なお図5においては、煩雑をさけるため、画素構成要素の中でMIS型フォトダイオード及び電荷蓄積領域のみを示している。本実施例は、MIS型フォトダイオード3の一部に複数の窓3aを開け、それぞれの窓3aに複数の電荷蓄積領域4-1~4-nを形成するものである。

【0032】

このように構成された画素においては、光生成された電子eは、MIS型フォトダイオード3の半導体表面に拡散し、電荷蓄積領域4-1~4-nのいずれかに到達する。このとき発生点に近い電荷蓄積領域に達する確率が最も高いため、実効的な電子の拡散距離は、電荷蓄積領域4-1~4-nの間隔Lの約1/2、すなわち約L/2となり、画素サイズに対して電子の拡散距離を短くすることが可能となる。したがって本実施例で示すように、電荷蓄積領域を複数の島状に分割し形成することによっても、第2実施例で述べたような高感度性及び高機能性を有したままで、画素サイズを大きくしても、高速性に優れたMOS増幅型撮像装置を実現することができる。

10

【0033】

(第4実施例)

図6は、第4実施例の画素部の構成を示す図であり、第1実施例と同様に機能する部分については同一の符号を付して示している。構造的に第1実施例と異なる点は、光電変換素子として機能するMIS型フォトダイオードを第1のMIS型フォトダイオード3-1と第2のMIS型フォトダイオード3-2に分割すると共に、それぞれ独立にゲート電圧を印加できるように構成している点である。

20

【0034】

説明を簡単にするため第1実施例では説明を省略したが、MIS型フォトダイオード3-1及び3-2の閾値電圧 V_{Tn} は電荷蓄積領域4の電圧にも依存する。電荷蓄積領域4の電圧を V_s 、半導体領域(pウエル)2の電圧を0VとしたときMIS型フォトダイオードの半導体表面に電子の反転層が形成される条件は、次式(7)で表される。

$$V_G > V_{Tn0} + (1 + \gamma) \times V_s \quad \dots \dots (7)$$

ここで、 V_{Tn0} は $V_s = 0$ のときの電子の閾値電圧で、 γ は閾値電圧の基板変調係数であり、通常0.7程度の値である。

30

【0035】

次に、MIS型フォトダイオード3-1及び3-2印加するゲート電圧 V_{G-1} 及び V_{G-2} を、次式(8)の条件を満たすように設定する。

$$V_{Tp} < V_{G-1} < V_{G-2} < V_{Tn0} + (1 + \gamma) \times V_{RS} \quad \dots \dots (8)$$

これにより、電荷蓄積領域4をリセット電圧 V_{RS} にリセットした時点では、MIS型フォトダイオード3-1及び3-2の半導体表面は空乏化しており、そのため蓄積容量は電荷蓄積領域4の接合容量 C_j 及び増幅トランジスタ6のゲート容量 C_g の和となり、第1実施例の図2の(A)に示した状態と同様になる。その後、電荷蓄積期間に入り電子が電荷蓄積領域4に蓄積されていくにしたがって、 V_s は減少していき、

$$V_{G-2} > V_{Tn0} + (1 + \gamma) \times V_s \quad \dots \dots (9)$$

40

が成立する時点から、MIS型フォトダイオード3-2の表面には反転層が形成され、それ以降蓄積容量にはMIS型フォトダイオード3-2の絶縁膜容量 C_{ox2} が付加される。

【0036】

更に電荷が蓄積され、

$$V_{G-1} > V_{Tn0} + (1 + \gamma) \times V_s \quad \dots \dots (10)$$

が成立すると、MIS型フォトダイオード3-1の表面にも反転層が形成され、それ以降の蓄積容量にはMIS型フォトダイオード3-1の絶縁膜容量 C_{ox1} も付加される。従来例及び第1実施例で説明したように、画素の電荷増幅率は蓄積容量に反比例するので、本実施例の画素の光電変換特性は図7に示すように折れ曲がり特性となる。

【0037】

50

このように構成した画素を用いたMOS増幅型撮像装置においては、低照度領域では感度が高く、高照度領域では信号圧縮されるため、光量のダイナミックレンジを大きく稼ぐことができる。また、その圧縮特性が、特定の照度を境界としてそれぞれの領域では線形であるため、信号の伸長も容易である。

【0038】

なお本実施例においては、MIS型フォトダイオードの数を二つとして説明してきたが、二つに限られるものではなく、第1実施例で説明したような一つのMIS型フォトダイオードの場合でも折れ曲がり点は1点であるが、同様の動作及び効果を得ることができる。また三つ以上のMIS型フォトダイオードを設けた場合でも同様である。

【0039】

【発明の効果】

以上実施例に基づいて説明したように、請求項1記載の発明によれば、撮像条件に応じてMIS型フォトダイオードのゲート電極印加電圧を電子及び正孔の閾値電圧に対応させて変化させるように構成し、入射光量が少ない場合には、前記MIS型フォトダイオードのゲート電極にMIS型フォトダイオードの界面が空乏化する電圧を印加することにより、光生成された電荷を効率良く電荷蓄積領域に収集することが可能となるため、前記MIS型フォトダイオードの面積を増大させ受光面積を大きくしても、電荷蓄積領域の容量値は一定に保つことが可能となり、その結果、高感度のMOS増幅型撮像装置を実現することができる。また、前記電荷蓄積領域の容量が増加しないため、受光面積を大きくしても前記電荷蓄積領域の電圧をリセットする際に発生するリセットノイズの増加も抑えることができる。更に、入射光量が大きい場合には、前記MIS型フォトダイオードのゲート電極に界面が反転する電圧を印加することにより、MIS型フォトダイオードの界面も電荷蓄積領域として機能させ、蓄積容量を増加させることにより飽和電荷数を増加させ、撮像可能な入射光量範囲を広くすることも可能となる。

【0040】

また請求項2記載の発明によれば、光生成電荷の蓄積を選択的に停止し、シャッタ動作を行わせることが可能となる。また請求項3及び4記載の発明によれば、実効的に信号電荷の拡散距離が短くなるため、光生成電荷が前記電荷蓄積領域に到達する時間を短くすることができ、高速性を向上させることが可能となる。また請求項5記載の発明によれば、分割したMIS型フォトダイオードのそれぞれのゲート電極に対して独立にゲート電圧を印加することにより、複数のMIS型フォトダイオードが反転する電位をそれぞれ任意に設定することが可能となり、感度設定の自由度をより向上させることが可能となる。

【図面の簡単な説明】

【図1】本発明に係るMOS増幅型撮像装置の第1実施例の画素構成を示す図である。

【図2】図1に示した第1実施例においてMIS型フォトダイオードのゲート電極への印加電圧の変化による動作態様の変化を示す説明図である。

【図3】図1に示した第1実施例の画素の光電変換特性を示す図である。

【図4】本発明の第2実施例の画素構成を示す図である。

【図5】本発明の第3実施例の画素構成を示す図である。

【図6】本発明の第4実施例の画素構成を示す図である。

【図7】図6に示した第4実施例の画素の光電変換特性を示す図である。

【図8】従来のMOS増幅型固体撮像装置の画素の構成例を示す図である。

【符号の説明】

- 1 n型半導体基板
- 2 pウエル
- 3, 3-1, 3-2, 3-3 MIS型フォトダイオード
- 3a 窓
- 4, 4-1, 4-2, … 4-n n型電荷蓄積領域
- 5 リセットスイッチ
- 6 増幅トランジスタ

10

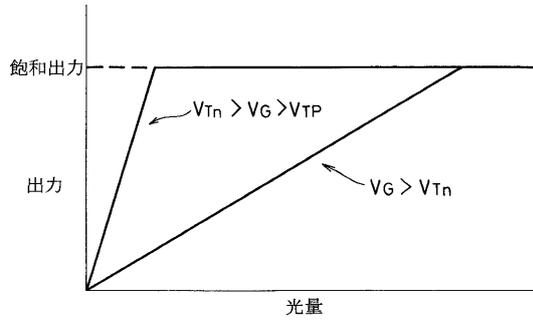
20

30

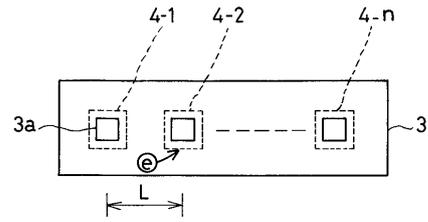
40

50

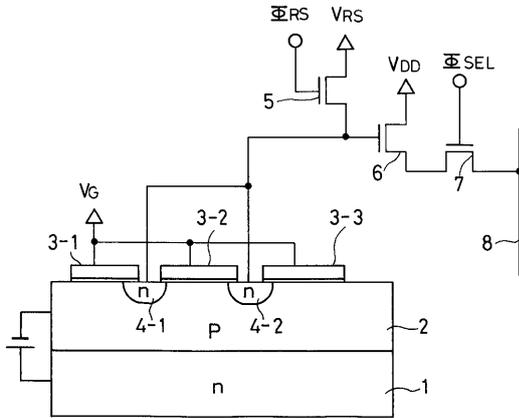
【 図 3 】



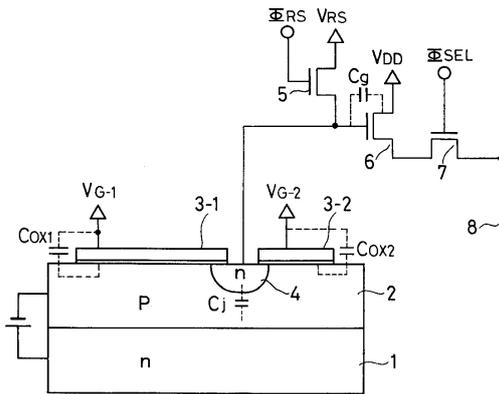
【 図 5 】



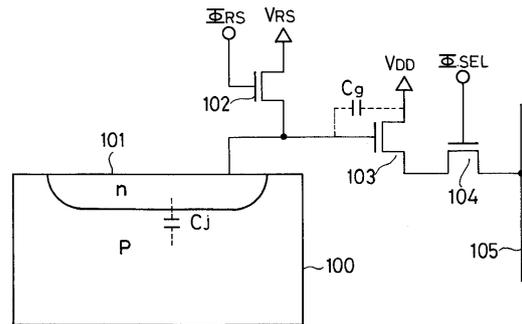
【 図 4 】



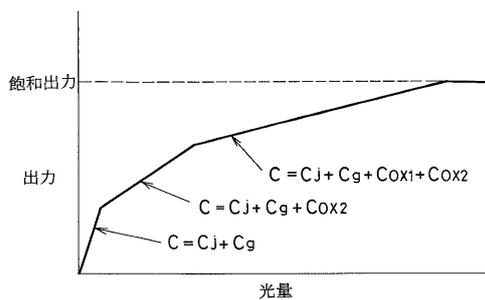
【 図 6 】



【 図 8 】



【 図 7 】



フロントページの続き

- (56)参考文献 特開昭60-046177(JP,A)
特開平04-134862(JP,A)
特開平03-290958(JP,A)
特開平02-050480(JP,A)
特開平09-046596(JP,A)

(58)調査した分野(Int.Cl.⁷, DB名)

H01L 27/14 ~ H01L 27/148

H04N 5/335