



(12) 发明专利

(10) 授权公告号 CN 111161766 B

(45) 授权公告日 2021.12.03

(21) 申请号 201911007102.5

(51) Int.Cl.

(22) 申请日 2019.10.22

G11C 7/10 (2006.01)

(65) 同一申请的已公布的文献号

G11C 7/22 (2006.01)

申请公布号 CN 111161766 A

G11C 11/4093 (2006.01)

G11C 11/4096 (2006.01)

(43) 申请公布日 2020.05.15

审查员 张慧敏

(30) 优先权数据

16/182,680 2018.11.07 US

(73) 专利权人 瑞昱半导体股份有限公司

地址 中国台湾新竹

(72) 发明人 纪国伟 余俊琦 张志伟 周格至

陈世昌

(74) 专利代理机构 北京康信知识产权代理有限

责任公司 11240

代理人 王红艳

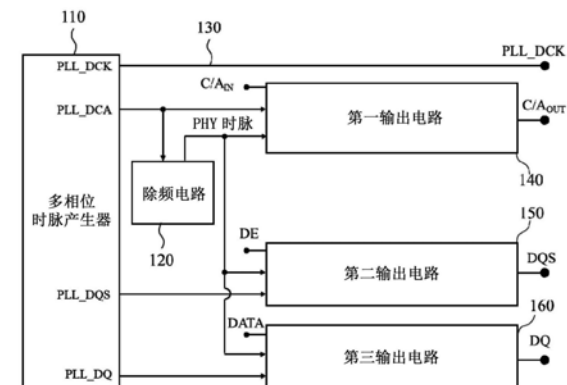
权利要求书4页 说明书8页 附图7页

(54) 发明名称

DDR SDRAM物理层接口电路与DDR SDRAM控制装置

(57) 摘要

本发明涉及DDR SDRAM物理层接口电路与DDR SDRAM控制装置。本发明的DDR SDRAM物理层接口电路使用较少电路面积并能调整内存控制器与储存电路之间的信号的相位,包含:多相位时脉产生器产生多个时脉包含参考时脉、第一时脉、第二时脉与第三时脉;除频电路依据该第一时脉产生物理层时脉;时脉输出路径输出该参考时脉给该储存电路;第一输出电路依据该内存控制器的第一输入信号、第一时脉与物理层时脉输出第一输出信号给该储存电路;第二输出电路依据该内存控制器的第二输入信号、第二时脉与物理层时脉输出第二输出信号给该储存电路;以及第三输出电路依据该内存控制器的第三输入信号、第三时脉与物理层时脉输出第三输出信号给该储存电路。



100

1. 一种双倍数据率同步动态随机存取内存物理层接口电路, 耦接于一内存控制器与一储存电路之间, 该双倍数据率同步动态随机存取内存物理层接口电路包含:

一多相位时脉产生器, 用来产生多个时脉, 该多个时脉包含一储存电路参考时脉、一第一时脉、一第二时脉以及一第三时脉, 其中该第二时脉的相位不同于该第三时脉的相位;

一除频电路, 用来依据该第一时脉产生一物理层时脉;

一时脉输出路径, 耦接该多相位时脉产生器, 用来输出该储存电路参考时脉给该储存电路;

一第一输出电路, 用来依据该内存控制器之一第一输入信号、该第一时脉与该物理层时脉输出一第一输出信号给该储存电路;

一第二输出电路, 用来依据该内存控制器之一第二输入信号、该第二时脉与该物理层时脉输出一第二输出信号给该储存电路; 以及

一第三输出电路, 用来依据该内存控制器之一第三输入信号、该第三时脉与该物理层时脉输出一第三输出信号给该储存电路。

2. 根据权利要求1所述的双倍数据率同步动态随机存取内存物理层接口电路, 其中, 该除频电路包含:

一除频器, 用来依据该第一时脉产生该物理层时脉; 以及

一物理层时脉闸控电路, 用来依据该内存控制器之一物理层时脉致能信号输出或暂停输出该物理层时脉给该第一输出电路、该第二输出电路与该第三输出电路;

该第一输出电路包含:

一第一时脉闸控电路, 用来依据该内存控制器之一第一闸控信号输出或暂停输出该第一时脉给一第一先进先出缓冲器; 以及

该第一先进先出缓冲器, 用来依据该第一输入信号、该第一时脉与该物理层时脉输出该第一输出信号给该储存电路;

该第二输出电路包含:

一第二时脉闸控电路, 用来依据该内存控制器之一第二闸控信号输出或暂停输出该第二时脉给一第二先进先出缓冲器; 以及

该第二先进先出缓冲器, 用来依据该第二输入信号、该第二时脉与该物理层时脉输出该第二输出信号给该储存电路; 以及

该第三输出电路包含:

一第三时脉闸控电路, 用来依据该内存控制器之一第三闸控信号输出或暂停输出该第三时脉给一第三先进先出缓冲器; 以及

该第三先进先出缓冲器, 用来依据该第三输入信号、该第三时脉与该物理层时脉输出该第三输出信号给该储存电路。

3. 根据权利要求2所述的双倍数据率同步动态随机存取内存物理层接口电路, 其中, 该物理层时脉闸控电路包含:

一物理层时脉闸控组件, 用来接收该物理层时脉致能信号与该物理层时脉, 并依据该物理层时脉致能信号输出或暂停输出该物理层时脉给该第一输出电路、该第二输出电路与该第三输出电路;

该第一时脉闸控电路包含:

—第一时脉先进先出缓冲器,用来依据该第一闸控信号、该物理层时脉与该第一时脉输出一第一时脉致能信号;以及

—第一时脉闸控组件,用来接收该第一时脉致能信号与该第一时脉,并依据该第一时脉致能信号输出或暂停输出该第一时脉给该第一先进先出缓冲器;

该第二时脉闸控电路包含:

—第二时脉先进先出缓冲器,用来依据该第二闸控信号、该物理层时脉与该第二时脉输出一第二时脉致能信号;以及

—第二时脉闸控组件,用来接收该第二时脉致能信号与该第二时脉,并依据该第二时脉致能信号输出或暂停输出该第二时脉给该第二先进先出缓冲器;

该第三时脉闸控电路包含:

—第三时脉先进先出缓冲器,用来依据该第三闸控信号、该物理层时脉与该第三时脉输出一第三时脉致能信号;以及

—第三时脉闸控组件,用来接收该第三时脉致能信号与该第三时脉,并依据该第三时脉致能信号输出或暂停输出该第三时脉给该第三先进先出缓冲器。

4. 根据权利要求1所述的双倍数据率同步动态随机存取内存物理层接口电路,其中该多相位时脉产生器包含:

—时脉产生器,用来产生一基础时脉;

—致能开关,用来输出一致能信号;以及

多个时脉输出电路,包含:

—储存电路参考时脉输出电路,用来依据一参考时脉相位设定、该基础时脉与该致能信号输出该储存电路参考时脉;

—第一时脉输出电路,用来依据一第一时脉相位设定、该基础时脉与该致能信号输出该第一时脉;

—第二时脉输出电路,用来依据一第二时脉相位设定、该基础时脉与该致能信号输出该第二时脉;以及

—第三时脉输出电路,用来依据一第三时脉相位设定、该基础时脉与该致能信号输出该第三时脉。

5. 根据权利要求4所述的双倍数据率同步动态随机存取内存物理层接口电路,其中,

该储存电路参考时脉输出电路包含:

—参考时脉相位调整电路,用来依据该基础时脉产生一输入参考时脉;

—参考时脉致能同步器,用来依据该致能信号与该输入参考时脉产生一参考时脉致能信号;以及

—参考时脉突波消除电路,用来依据该参考时脉致能信号与该输入参考时脉输出该储存电路参考时脉;

该第一时脉输出电路包含:

—第一时脉相位调整电路,用来依据该基础时脉产生一输入第一时脉;

—第一时脉致能同步器,用来依据该致能信号与该输入第一时脉产生一第一时脉致能信号;以及

—第一时脉突波消除电路,用来依据该第一时脉致能信号与该输入第一时脉输出该第

一时脉；

该第二时脉输出电路包含：

一第二时脉相位调整电路，用来依据该基础时脉产生一输入第二时脉；

一第二时脉致能同步器，用来依据该致能信号与该输入第二时脉产生一第二时脉致能信号；以及

一第二时脉突波消除电路，用来依据该第二时脉致能信号与该输入第二时脉输出该第二时脉；以及

该第三时脉输出电路包含：

一第三时脉相位调整电路，用来依据该基础时脉产生一输入第三时脉；

一第三时脉致能同步器，用来依据该致能信号与该输入第三时脉产生一第三时脉致能信号；以及

一第三时脉突波消除电路，用来依据该第三时脉致能信号与该输入第三时脉输出该第三时脉。

6. 一种双倍数据率同步动态随机存取内存物理层接口电路，耦接于一内存控制器与一储存电路之间，该双倍数据率同步动态随机存取内存物理层接口电路包含：

一多相位时脉产生器，用来产生一储存电路参考时脉与多个控制时脉，其中该多个控制时脉包含一第一时脉与一第二时脉；

一时脉输出路径，用来输出该储存电路参考时脉给该储存电路；

一除频电路，用来依据该第一时脉产生一物理层时脉；

多个时脉闸控电路，用来依据该内存控制器之闸控而操作，从而输出或暂停输出该物理层时脉、输出或暂停输出该第一时脉、以及输出或暂停输出该第二时脉；以及

多个先进先出缓冲器，用来于该多个时脉闸控电路输出该物理层时脉、该第一时脉与该第二时脉时，依据该内存控制器之输出控制、该物理层时脉与该多个控制时脉而操作，从而输出一第一输出信号、一第二输出信号以及一第三输出信号给该储存电路。

7. 一种双倍数据率同步动态随机存取内存控制装置，包含：

一内存控制器，用来控制数据传送与数据接收，以及输出一控制信号与一节电信号；以及

一双倍数据率同步动态随机存取内存物理层电路，耦接于该内存控制器与一储存电路之间，并用来输出该控制信号给该储存电路以及依据该节电信号执行一节电操作，

其中，该储存电路用来依据该控制信号储存或输出数据；并且

其中该双倍数据率同步动态随机存取内存物理层电路包含：

一多相位时脉产生器，用来产生一储存电路参考时脉与多个控制时脉，其中该多个控制时脉包含一第一时脉与一第二时脉；

一时脉输出路径，用来输出该储存电路参考时脉给该储存电路；

一除频电路，用来依据该第一时脉产生一物理层时脉；

至少一时脉闸控电路，用来依据该节电信号而操作，从而输出或暂停输出该物理层时脉、该第一时脉以及该第二时脉的至少其中之一给多个先进先出缓冲器的至少其中之一；以及

该多个先进先出缓冲器，用来于该物理层时脉、该第一时脉与该第二时脉被输出给该

多个先进先出缓冲器时,依据该内存控制器之控制、该物理层时脉与该多个控制时脉而操作,从而输出一第一输出信号、一第二输出信号以及一第三输出信号给该储存电路。

8.根据权利要求7所述的双倍数据率同步动态随机存取内存控制装置,其中该多个控制时脉包含一第三时脉,该至少一时脉闸控电路用来依据该节电信号输出或暂停输出该物理层时脉、该第一时脉、该第二时脉以及该第三时脉的至少其中之一。

9.根据权利要求8所述的双倍数据率同步动态随机存取内存控制装置,其中该多个先进先出缓冲器包含:

一第一先进先出缓冲器,用来依据该内存控制器的第一控制、该物理层时脉与该第一时脉输出该第一输出信号;

一第二先进先出缓冲器,用来依据该内存控制器的第二控制、该物理层时脉与该第二时脉输出该第二输出信号;以及

一第三先进先出缓冲器,用来依据该内存控制器的第三控制、该物理层时脉与该第三时脉输出该第三输出信号。

DDR SDRAM物理层接口电路与DDR SDRAM控制装置

技术领域

[0001] 本发明是关于双倍数据率同步动态随机存取内存 (DDR SDRAM) 物理层接口电路与DDR SDRAM控制装置,尤其是关于电路面积较小及/或耗电量较少的DDR SDRAM物理层接口电路与DDR SDRAM控制装置。

背景技术

[0002] 随着双倍数据率同步动态随机存取内存 (DDR SDRAM) 的技术的演进,申请人于美国专利US 9,570,130B2中提出利用延迟锁定回路(delay-locked loop, DLL) 来处理高速DDR SDRAM应用下时序不容易收敛和时脉树延迟(clock tree latency) 太长的问题。然而,在上述先前技术的电路面积与节能方面,申请人认为有进一步改进的空间。

发明内容

[0003] 本发明之一目的在于提供一种双倍数据率同步动态随机存取内存 (DDR SDRAM) 物理层接口电路与DDR SDRAM控制装置,以在电路面积及节能方面做改善。

[0004] 本发明的DDR SDRAM物理层接口电路的一实施例无需使用耗用大量电路面积的延迟锁定回路,即能调整一内存控制器与一储存电路之间的信号的相位。该实施例包含一多相位时脉产生器、一除频电路、一时脉输出路径、一第一输出电路、一第二输出电路以及一第三输出电路。该多相位时脉产生器用来产生多个时脉,该多个时脉包含一储存电路参考时脉、一第一时脉、一第二时脉以及一第三时脉,其中该第二时脉的相位不同于该第三时脉的相位。该除频电路用来依据该第一时脉产生一物理层时脉。该时脉输出路径耦接该多相位时脉产生器,用来输出该储存电路参考时脉给该储存电路。该第一输出电路用来依据该内存控制器的一第一输入信号、该第一时脉与该物理层时脉输出一第一输出信号给该储存电路。该第二输出电路用来依据该内存控制器的一第二输入信号、该第二时脉与该物理层时脉输出一第二输出信号给该储存电路。该第三输出电路用来依据该内存控制器之一第三输入信号、该第三时脉与该物理层时脉输出一第三输出信号给该储存电路。

[0005] 本发明的DDR SDRAM物理层接口电路的另一实施例除能调整一内存控制器与一储存电路之间的信号的相位,也能执行节电操作。该实施例包含一多相位时脉产生器、一时脉输出路径、一除频电路、多个时脉闸控电路、以及多个先进先出缓冲器。该多相位时脉产生器用来产生一储存电路参考时脉与多个控制时脉,其中该多个控制时脉包含一第一时脉与一第二时脉。该时脉输出路径用来输出该储存电路参考时脉给该储存电路。该除频电路用来依据该第一时脉产生一物理层时脉。该多个时脉闸控电路分别用来依据该内存控制器的闸控而操作,从而输出或暂停输出该物理层时脉、输出或暂停输出该第一时脉、以及输出或暂停输出该第二时脉。该多个先进先出缓冲器用于该多个时脉闸控电路输出该物理层时脉、该第一时脉与该第二时脉时,依据该内存控制器的输出控制、该物理层时脉与该多个控制时脉而操作,从而输出一第一输出信号、一第二输出信号以及一第三输出信号给该储存电路。

[0006] 本发明的DDR SDRAM控制装置的一实施例能够执行节能操作。该实施例包含一内存控制器与一DDR SDRAM物理层电路。该内存控制器用来控制数据传送与数据接收,以及输出一控制信号与一节电信号。该DDR SDRAM物理层电路耦接于该内存控制器与一储存电路之间,用来输出该控制信号给该储存电路以及依据该节电信号执行一节电操作,其中该储存电路用来依据该控制信号储存或输出数据。

[0007] 有关本发明的特征、操作与功效,现配合图式作优选实施例详细说明如下。

附图说明

[0008] 图1示出本发明的DDR SDRAM物理层接口电路的实施例;

[0009] 图2示出图1的实施例的实施范例;

[0010] 图3a示出用于图2的物理层时脉闸控电路的实施的闸控电路范例;

[0011] 图3b示出用于图2的第一、第二与第三时脉闸控电路的每一个的实施的闸控电路范例;

[0012] 图4示出图3a~图3b的闸控组件的实施例;

[0013] 图5示出图1的多相位时脉产生器的实施例;

[0014] 图6示出可作为图5的每一输出电路的输出电路范例;

[0015] 图7示出本发明的DDR SDRAM物理层接口电路的另一实施例;

[0016] 图8示出本发明的DDR SDRAM物理层接口电路的又一实施例;

[0017] 图9示出本发明的DDR SDRAM物理层接口电路的再一实施例;以及

[0018] 图10示出本发明的DDR SDRAM控制装置的实施例能够执行节电操作。

具体实施方式

[0019] 本发明公开了一种双倍数据率同步动态随机存取内存(DDRSDRAM)物理层接口电路以及一DDR SDRAM控制装置。相较于申请人的专利(US 9,570,130B2)的发明,本发明的DDR SDRAM物理层接口电路与DDR SDRAM控制装置具有电路面积较小及/或耗电量较少的优势。值得注意的是,本领域普通技术人员可参考该美国专利(US 9,570,130B2)来了解本发明的背景知识。

[0020] 图1示出本发明的DDR SDRAM物理层接口电路的一实施例,本实施例可用来调整一内存控制器与一储存电路之间的信号的相位,而无需使用耗用大量电路面积的延迟锁定回路。图1的DDR SDRAM物理层接口电路100包含一多相位时脉产生器110、一除频电路120、一时脉输出路径130、一第一输出电路140、一第二输出电路150以及一第三输出电路160。

[0021] 请参阅图1。多相位时脉产生器110(例如:具有多个相位插补器(phase interpolators)的锁相回路)用来产生多个时脉,该多个时脉包含一储存电路参考时脉(亦即:用于储存电路的操作的时脉PLL_DCK)、一第一时脉(例如:用于一命令/地址信号的输出的时脉PLL_DCA)、一第二时脉(例如:用于一数据选通(data strobe)信号的输出的时脉PLL_DQS)以及一第三时脉(例如:用于一数据信号的输出的时脉PLL_DQ),其中该第二时脉的相位不同于该第三时脉的相位;举例而言,PLL_DQS与PLL_DQ之间的相位差为90度或为数百皮秒符合一DDR标准规范。除频电路120用来依据该第一时脉产生一物理层时脉(PHY clock)。时脉输出路径130耦接多相位时脉产生器110,用来输出该储存电路参考时脉

给该储存电路。第一输出电路140用来依据该内存控制器的一第一输入信号(例如:一输入命令/地址信号 C/A_{IN})、该第一时脉与该物理层时脉输出一第一输出信号(例如:一输出命令/地址信号 C/A_{OUT})给该储存电路。第二输出电路150用来依据该内存控制器的一第二输入信号(例如:一数据致能信号DE)、该第二时脉与该物理层时脉输出一第二输出信号(例如:一数据选通信号DQS)给该储存电路。该第三输出电路160用来依据该内存控制器的一第三输入信号(例如:一数据信号DATA)、该第三时脉与该物理层时脉输出一第三输出信号(例如:一数据输出信号DQ)给该储存电路。为便于了解图1的实施例,PLL_DCA作为该第一时脉,PLL_DQS作为该第二时脉,PLL_DQ作为该第三时脉, C/A_{IN} 作为该第一输入信号,DE作为该第二输入信号,DATA作为该第三输入信号,第一输出信号为 C/A_{OUT} ,第二输出信号为DQS,以及第三输出信号为DQ。值得注意的是,这些信号PLL_DCK、 C/A_{IN} 、 C/A_{OUT} 、DQS、DQ、DE与DATA为本领域的现有信号,故其细节在此省略。

[0022] 图2示出图1的实施例的操作范例。如图2所示,除频电路120包含:一除频器122,用来依据该第一时脉产生该物理层时脉;以及一物理层时脉闸控电路(PHY clock gating circuit)124,用来依据该内存控制器的一物理层时脉致能信号输出或暂停输出该物理层时脉给第一输出电路140、第二输出电路150与第三输出电路160。第一输出电路140包含:一第一时脉闸控电路142,用来依据该内存控制器的一第一闸控信号输出或暂停输出该第一时脉给一第一先进先出缓冲器(第一FIFO)144;以及该第一先进先出缓冲器144,用来依据来自一信号端DIN的该第一输入信号、该第一时脉与该物理层时脉输出该第一输出信号给该储存电路。第二输出电路150包含:一第二时脉闸控电路152,用来依据该内存控制器的一第二闸控信号输出或暂停输出该第二时脉给一第二先进先出缓冲器(第二FIFO)154;以及该第二先进先出缓冲器154,用来依据该第二输入信号、该第二时脉与该物理层时脉输出该第二输出信号给该储存电路。第三输出电路160包含:一第三时脉闸控电路162,用来依据该内存控制器之一第三闸控信号输出或暂停输出该第三时脉给一第三先进先出缓冲器(第三FIFO)164;以及该第三先进先出缓冲器164,用来依据该第三输入信号、该第三时脉与该物理层时脉输出该第三输出信号给该储存电路。值得注意的是,第一/第二/第三时脉是作为第一/第二/第三先进先出缓冲器144/154/164的一读取控制时脉RCLK,物理层时脉是作为第一/第二/第三先进先出缓冲器144/154/164的一写入控制时脉WCLK。

[0023] 于图2的一操作范例中,物理层时脉闸控电路124包含一物理层时脉闸控组件(例如:图3a的闸控组件30)用来接收该物理层时脉致能信号(例如:图3a的时脉致能信号)与该物理层时脉(例如:图3a的物理层时脉(PHY clock)),并用来依据该物理层时脉致能信号输出或暂停输出该物理层时脉给第一输出电路140、第二输出电路150与第三输出电路160。于上述操作范例中,第一/第二/第三时脉闸控电路142/152/162包含:一第一/第二/第三时脉先进先出缓冲器(例如:图3b的先进先出缓冲器310),用来依据该第一/第二/第三闸控信号(例如:图3b的时脉闸控信号)、该物理层时脉(例如:图3b的物理层时脉(PHY clock))与该第一/第二/第三时脉(例如:图3b的时脉信号)输出一第一/第二/第三时脉致能信号(例如:图3b的时脉致能信号);以及一第一/第二/第三时脉闸控组件(例如:图3b的闸控组件320),用来接收该第一/第二/第三时脉致能信号与该第一/第二/第三时脉,并依据该第一/第二/第三时脉致能信号输出或暂停输出该第一/第二/第三时脉给第一/第二/第三先进先出缓冲器144/154/164。

[0024] 图3a示出图2的物理层时脉闸控电路124的操作的闸控电路范例;图3b示出图2的第一时脉闸控电路142、第二时脉闸控电路152与第三时脉闸控电路162的每一个的操作的闸控电路范例。图3a的物理层时脉闸控电路124包含一闸控组件30,闸控组件30用来接收该时脉致能信号与该物理层时脉,从而依据该时脉致能信号输出该物理层时脉。图3b的闸控电路300包含一先进先出缓冲器310与一闸控组件320。先进先出缓冲器310包含三个输入端(亦即:图3b的DIN、RCLK与WCLK)分别用来接收该内存控制器的一时脉闸控信号、一时脉信号与该物理层时脉,先进先出缓冲器310另包含一个输出端(亦即:图3b的DOUT)用来输出一时脉致能信号;据此,先进先出缓冲器310可用来实现前述第一、第二与第三时脉先进先出缓冲器的每一个。闸控组件320用来接收该时脉致能信号与该时脉信号,从而依据该时脉致能信号输出该时脉信号;据此,闸控组件320可用来实现前述第一、第二与第三时脉闸控组件的每一个。

[0025] 图4示出图3a的闸控组件30与图3b的闸控组件320的每一个的实施例。图4的闸控组件320包含串联的闩锁器(latch)410与与门(ANDgate)420,既然闩锁器与与门的结构与操作为本领域之现有技术,其细节在此省略。

[0026] 图5示出图1之多相位时脉产生器110的一实施例。多相位时脉产生器110包含:一时脉产生器510;一致能开关520;以及多个时脉输出电路包含一储存电路参考时脉输出电路530、一第一时脉输出电路540、一第二时脉输出电路550与一第三时脉输出电路560。时脉产生器510用来产生一基础时脉(PLL_CLK)。致能开关520用来输出一致能信号(EN)。储存电路参考时脉输出电路530用来依据一参考时脉相位设定、该基础时脉与该致能信号输出该储存电路参考时脉(PLL_DCK)。第一/第二/第三时脉输出电路540/550/560用来依据一第一/第二/第三时脉相位设定、该基础时脉与该致能信号输出该第一/第二/第三时脉(PLL_DCA/PLL_DQS/PLL_DQ)。

[0027] 于图5的实施例的操作范例中,储存电路参考时脉输出电路530包含:一参考时脉相位调整电路(例如:图6的相位插补器610),用来依据该基础时脉与该参考时脉相位设定产生一输入参考时脉(例如:图6的时脉PH_CLK);一参考时脉致能同步器(例如:图6的同步器620),用来依据该致能信号与该输入参考时脉产生一参考时脉致能信号(例如:图6的信号CLK_EN);以及一参考时脉突波消除电路(例如:图6的突波消除电路630),用来依据该参考时脉致能信号与该输入参考时脉输出该储存电路参考时脉。于图5的操作例的同一操作范例中,该第一/第二/第三时脉输出电路540/550/560包含:一第一/第二/第三时脉相位调整电路(例如:图6之相位插补器610),用来依据该基础时脉与该第一/第二/第三时脉相位设定产生一输入第一/第二/第三时脉(例如:图6的时脉PH_CLK);一第一/第二/第三时脉致能同步器(例如:图6的同步器620),用来依据该致能信号与该输入第一/第二/第三时脉产生一第一/第二/第三时脉致能信号(例如:图6的信号CLK_EN);以及一第一/第二/第三时脉突波消除电路(例如:图6的突波消除电路630),用来依据该第一/第二/第三时脉致能信号与该输入第一/第二/第三时脉输出该第一/第二/第三时脉。

[0028] 图6示出可用来实现储存电路参考时脉输出电路530、第一时脉输出电路540、第二时脉输出电路550与第三时脉输出电路560之每一个的输出电路范例。图6的输出电路600包含一相位插补器610、一同步器620与一突波消除电路630。相位插补器610用来依据该基础时脉PLL_CLK以及一预设相位设定(例如:前述参考时脉相位设定或前述第一/第二/第三时

脉相位设定)产生一时脉PH_CLK。同步器620用来依据致能开关520之信号EN以及相位插补器610的时脉PH_CLK产生一信号CLK_EN。突波消除电路630用来依据同步器620的信号CLK_EN与相位插补器610之时脉PH_CLK输出该时脉PH_CLK。

[0029] 图7示出本发明的DDR SDRAM物理层接口电路的另一实施例,此实施例可用来调整一内存控制器与一储存电路之间的信号的相位,并能执行一节电操作。图7之DDR SDRAM物理层接口电路700包含一多相位时脉产生器710、一时脉输出路径720、一除频电路730、多个时脉闸控电路740与多个先进先出缓冲器750。多相位时脉产生器710用来产生一储存电路参考时脉(亦即:前述时脉PLL_DCK)与多个控制时脉,其中该多个控制时脉包含一第一时脉(first clock)(例如:前述时脉PLL_DCA)与一第二时脉(second clock)(例如:前述时脉PLL_DQS或PLL_DQ)。时脉输出路径720用来输出该储存电路参考时脉给该储存电路。除频电路730用来依据该第一时脉产生一物理层时脉(PHY clock)。多个时脉闸控电路740用来依据该内存控制器之闸控(gating control)而操作,从而输出或暂停输出该物理层时脉、输出或暂停输出该第一时脉、以及输出或暂停输出该第二时脉。多个先进先出缓冲器750(例如:图2之第一先进先出缓冲器144、第二先进先出缓冲器154与第三先进先出缓冲器164)用于该多个时脉闸控电路740输出该物理层时脉、该第一时脉与该第二时脉时,依据该内存控制器的输出控制、该物理层时脉与该多个控制时脉而操作,从而输出一第一输出信号(例如:前述之命令/地址信号C/A_{OUT})、一第二输出信号(例如:前述的数据选通信号DQS)以及一第三输出信号(例如:前述的数据输出信号DQ)给该储存电路。

[0030] 于图7的实施例的操作范例中,多相位时脉产生器710的多个控制时脉进一步包含一第三时脉(例如:前述时脉PLL_DQS与PLL_DQ的其中之一,此时该些控制时脉的第二时脉是时脉PLL_DQS与PLL_DQ的其中另一),且该些时脉闸控电路740(例如:图2之物理层时脉闸控电路124、第一时脉闸控电路142、第二时脉闸控电路152与第三时脉闸控电路162)用来依据该内存控制器的一节能信号(例如:前述物理层时脉致能信号、第一闸控信号、第二闸控信号与第三闸控信号的至少其中之一)输出或暂停输出该物理层时脉、该第一时脉、该第二时脉与该第三时脉的至少其中之一。

[0031] 于图7的实施例的另一操作范例中,一延迟锁定回路被导入以接收来自多相位时脉产生器710的第二时脉,从而依据该第二时脉产生一第三时脉(其均等或不同于前述第三时脉)。更详细地说,如图8所示,DDRSDRAM物理层接口电路800进一步包含一延迟锁定回路(DLL)810,该延迟锁定回路810用来依据该第二时脉与一相位差设定输出该第二时脉与该第三时脉,藉此该第二时脉与该第三时脉之间的相位差为90度或数百皮秒符合一DDR标准规范;接着,该第二时脉与该第三时脉被分别输出至该些时脉闸控电路740的一第二时脉闸控电路(例如:图2的第二时脉闸控电路152)与一第三时脉闸控电路(例如:图2的第三时脉闸控电路162)。

[0032] 于图7的实施例的又一操作范例中,一延迟锁定回路被导入以接收来自该些时脉闸控电路740的其中之一(例如:第二时脉闸控电路)的第二时脉,从而依据该第二时脉产生一第三时脉(其均等或不同于前述第三时脉)。更详细地说,如图9所示,DDR SDRAM物理层接口电路900进一步包含一延迟锁定回路(DLL)910,该延迟锁定回路910用来依据该第二时脉与一相位差设定输出该第二时脉与该第三时脉,由此该第二时脉与该第三时脉之间的相位差为90度或数百皮秒符合一DDR标准规范;接着,该第二时脉与该第三时脉被分别输出至该

些先进先出缓冲器750的一第二先进先出缓冲器(例如:图2的第二先进先出缓冲器154)与一第三先进先出缓冲器(例如:图2的第三先进先出缓冲器164)。

[0033] 图10示出本发明的DDR SDRAM控制装置的实施例能够执行节电操作。图10的DDR SDRAM控制装置1000包含一内存控制器1010与一DDR SDRAM物理层电路1020,其中DDR SDRAM物理层电路1020耦接于内存控制器1010与一储存电路1030之间。内存控制器1010可通过一系统总线耦接至一主机,内存控制器1010用来控制数据传输与数据接收,并输出一控制信号(例如:一命令/地址信号C/A)、一数据信号与一节能信号(例如:前述物理层时脉致能信号、第一闸控信号、第二闸控信号与第三闸控信号的至少其中之一)。DDR SDRAM物理层电路1020耦接内存控制器1010,用来调整内存控制器1010与储存电路1030之间的信号的相位,并用来输出该控制信号给储存电路1030,以及用来依据该节电信号执行节电操作(例如:时脉闸控操作)。储存电路1030耦接DDR SDRAM物理层电路1020,用来依据该控制信号储存或输出数据。

[0034] 于图10的实施例的操作范例中,DDR SDRAM物理层电路1020包含图7的DDR SDRAM物理层接口电路700除了该些时脉闸控电路740;换言之,DDR SDRAM物理层电路1020选择性地包含该些时脉闸控电路740。具体而言,DDR SDRAM物理层电路1020包含至少一时脉闸控电路(例如:图2的物理层时脉闸控电路124、第一时脉闸控电路142、第二时脉闸控电路152与第三时脉闸控电路162的至少其中之一),而非包含全部的时脉闸控电路740。

[0035] 由于本领域普通技术人员能够参考图1~9的实施例的公开来了解图10的实施例的细节与变化,亦即图1~9之实施例的一部或全部技术特征可合理地应用于图10之实施例中,重复及冗余之说明在此省略。

[0036] 综上所述,相较于先前技术,本发明既省成本又能节能。

[0037] 虽然本发明之实施例如上所述,然而该些实施例并非用来限定本发明,本技术领域普通技术人员可依据本发明的明示或隐含的内容对本发明之技术特征施以变化,凡此种变化均可能属于本发明所寻求的专利保护范畴,换言之,本发明之专利保护范围须视本说明书的申请专利范围所界定者为准。

[0038] **【符号说明】**

[0039] 100 DDR SDRAM物理层接口电路

[0040] 110 多相位时脉产生器

[0041] 120 除频电路

[0042] 130 时脉输出路径

[0043] 140 第一输出电路

[0044] 150 第二输出电路

[0045] 160 第三输出电路

[0046] PLL_DCK 储存电路参考时脉

[0047] PLL_DCA 第一时脉

[0048] PLL_DQS 第二时脉

[0049] PLL_DQ 第三时脉

[0050] PHY clock 物理层时脉

[0051] C/A_{IN} 第一输入信号

- [0052] C/A_{OUT} 第一输出信号
- [0053] DE 第二输入信号
- [0054] DQS 第二输出信号
- [0055] DATA 第三输入信号
- [0056] DQ 第三输出信号
- [0057] 122 除频器
- [0058] 124 物理层时脉闸控电路
- [0059] 142 第一时脉闸控电路
- [0060] 144 第一FIFO(第一先进先出缓冲器)
- [0061] 152 第二时脉闸控电路
- [0062] 154 第二FIFO(第二先进先出缓冲器)
- [0063] 162 第三时脉闸控电路
- [0064] 164 第三FIFO(第三先进先出缓冲器)
- [0065] DIN、RCLK、WCLK 输入端
- [0066] DOUT 输出端
- [0067] 30 闸控组件
- [0068] 300 闸控电路
- [0069] 310 先进先出缓冲器
- [0070] 320 闸控组件
- [0071] 410 闩锁器
- [0072] 420 与门
- [0073] 510 时脉产生器
- [0074] 520 致能开关
- [0075] 530 储存电路参考时脉输出电路
- [0076] 540 第一时脉输出电路
- [0077] 550 第二时脉输出电路
- [0078] 560 第三时脉输出电路
- [0079] PLL_CLK 基础时脉
- [0080] EN 致能信号
- [0081] 600 输出电路
- [0082] 610 相位插补器
- [0083] 620 同步器
- [0084] 630 突波消除电路
- [0085] PH_CLK 时脉
- [0086] CLK_EN 信号
- [0087] 700 DDR SDRAM物理层接口电路
- [0088] 710 多相位时脉产生器
- [0089] 720 时脉输出路径
- [0090] 730 除频电路

- [0091] 740 多个时脉闸控电路
- [0092] 750 多个先进先出缓冲器
- [0093] first clock 第一时脉
- [0094] second clock 第二时脉
- [0095] 800 DDR SDRAM物理层接口电路
- [0096] 810 DLL (延迟锁定回路)
- [0097] third clock 第三时脉
- [0098] 900 DDR SDRAM物理层接口电路
- [0099] 910 DLL (延迟锁定回路)
- [0100] 1000 DDR SDRAM控制装置
- [0101] 1010 内存控制器
- [0102] 1020 DDR SDRAM物理层电路
- [0103] 1030 储存电路。

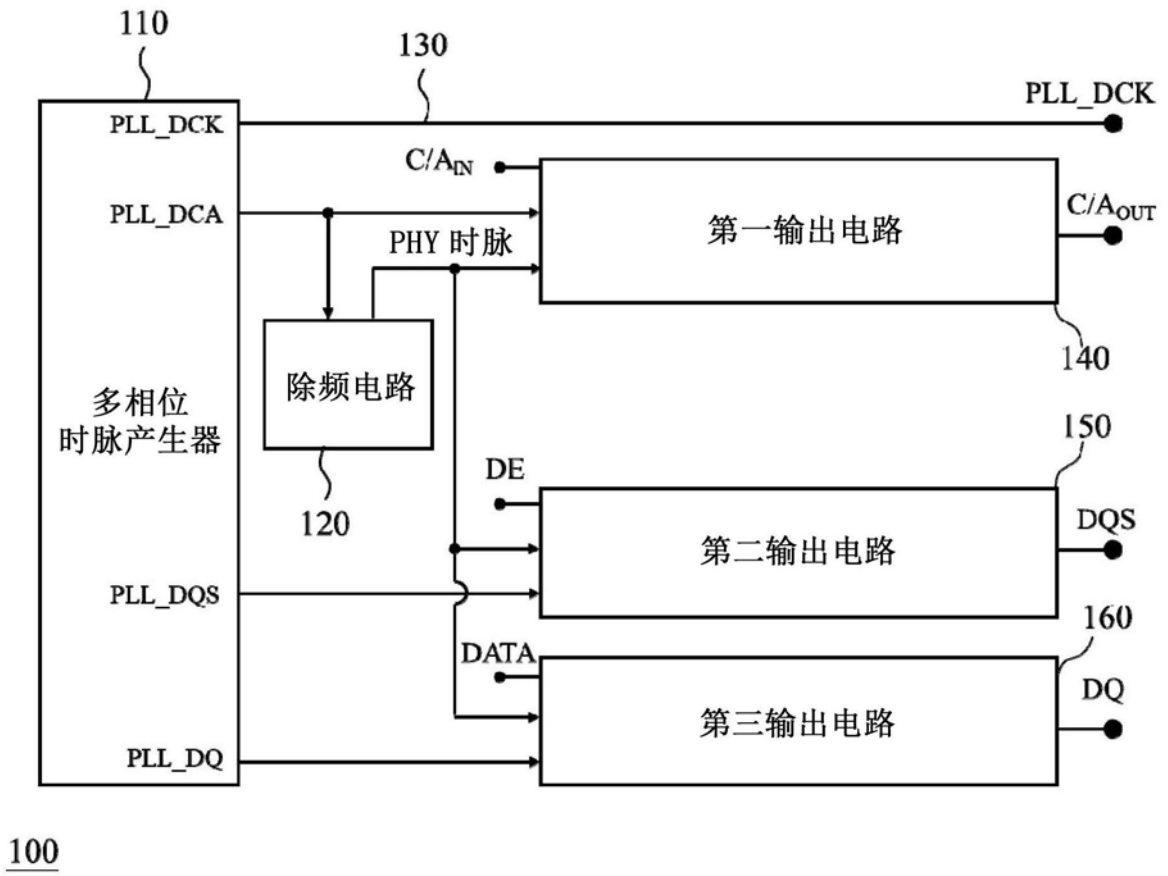


图1

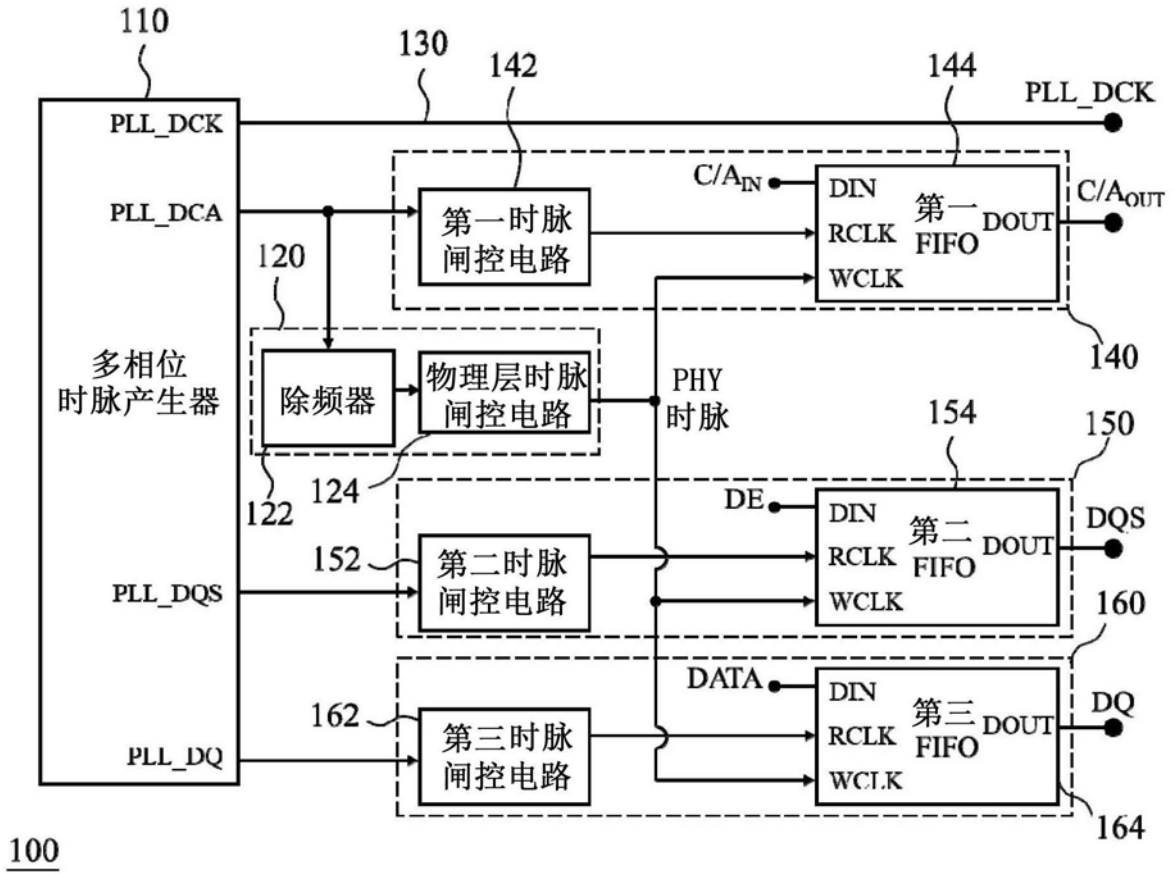


图2

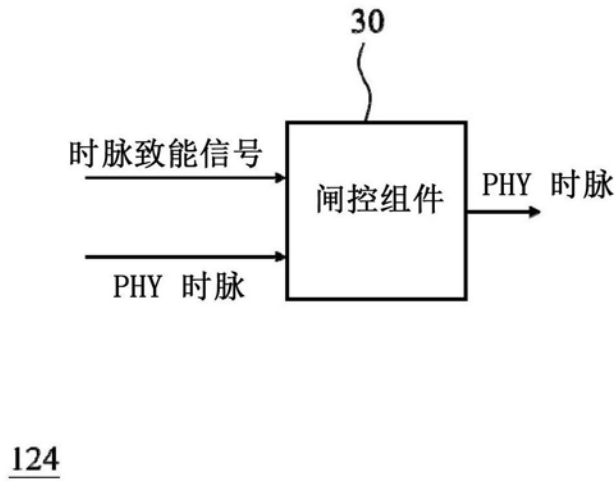
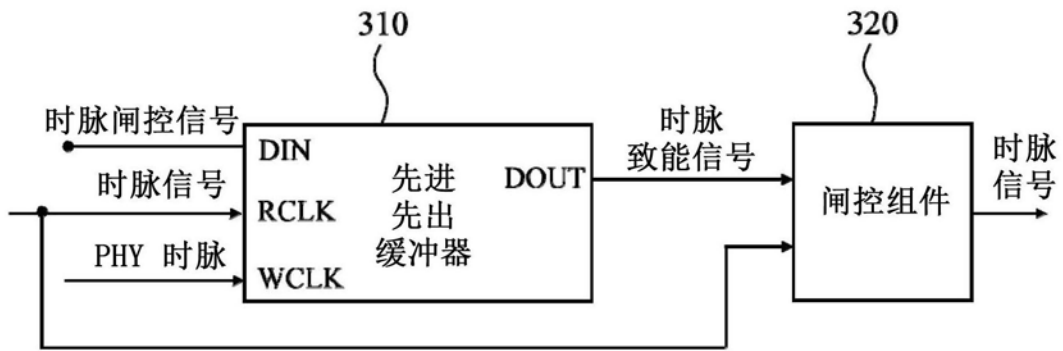
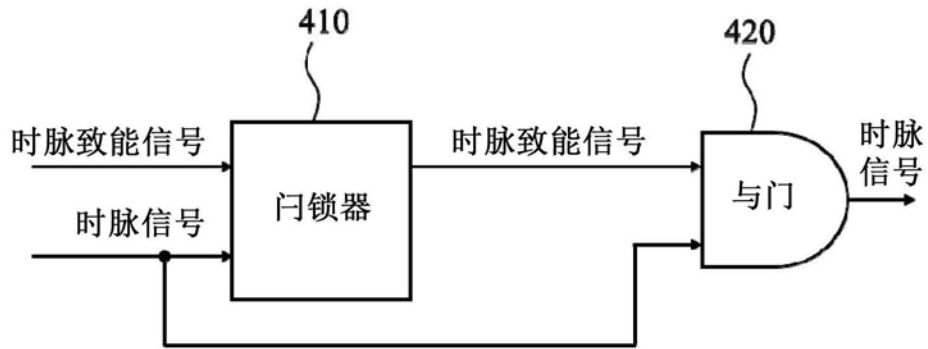


图3a



300

图3b



320

图4

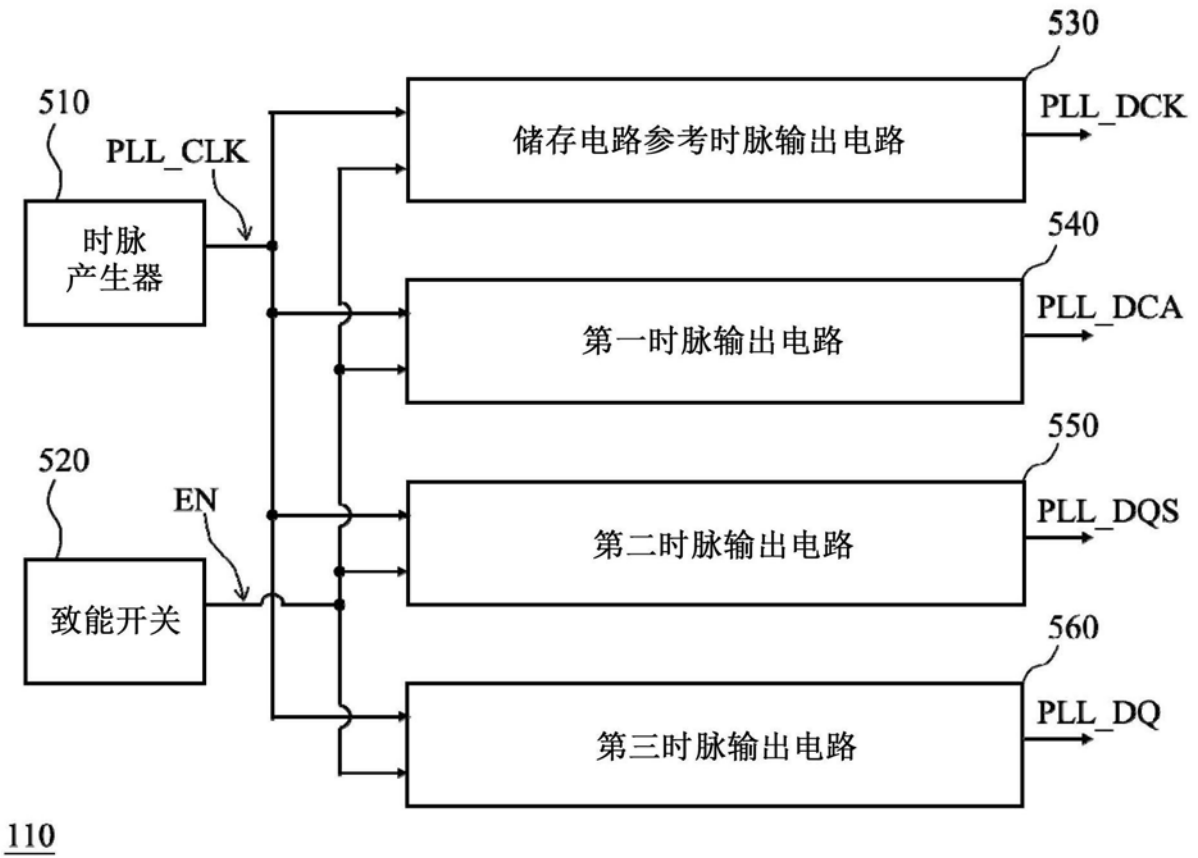


图5

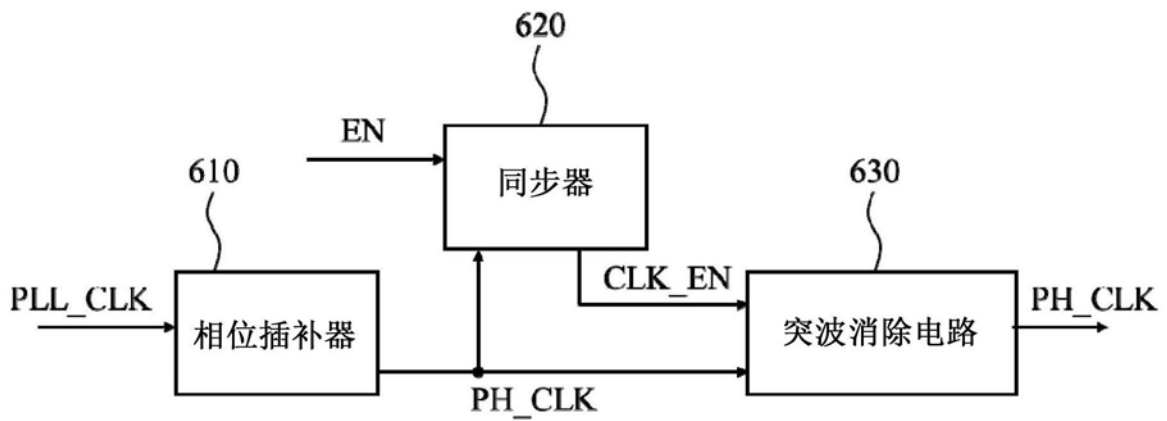
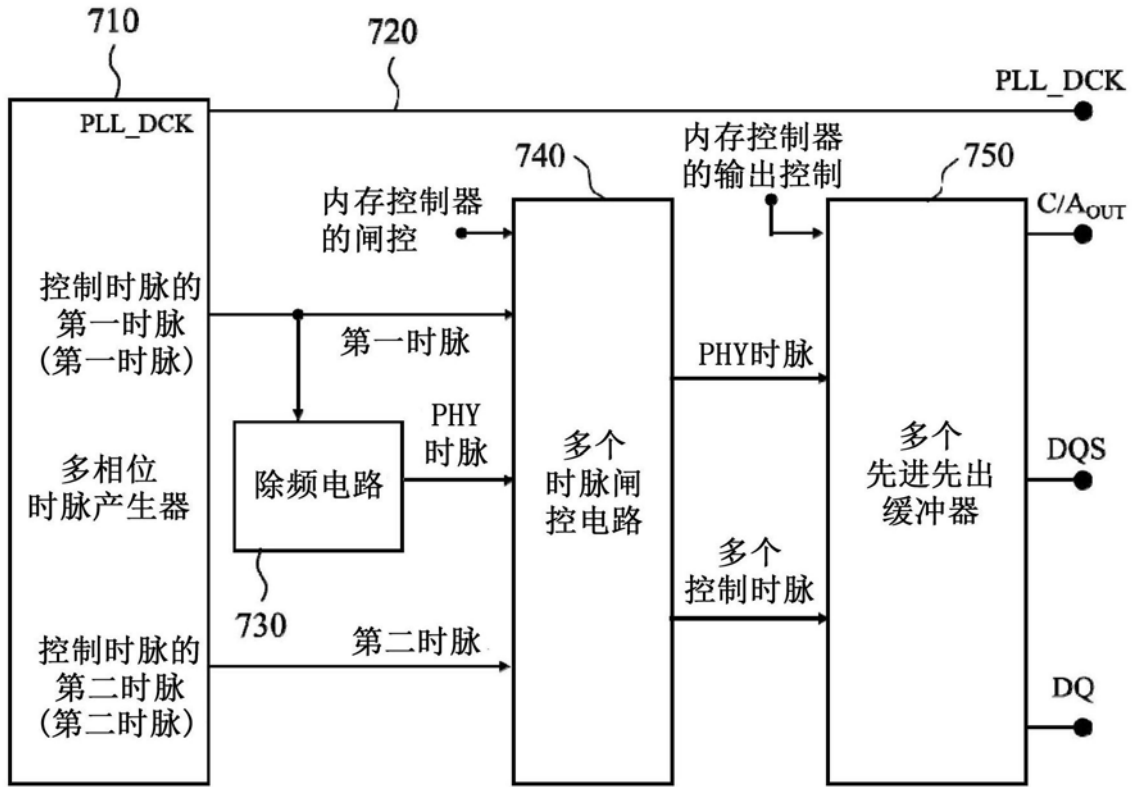
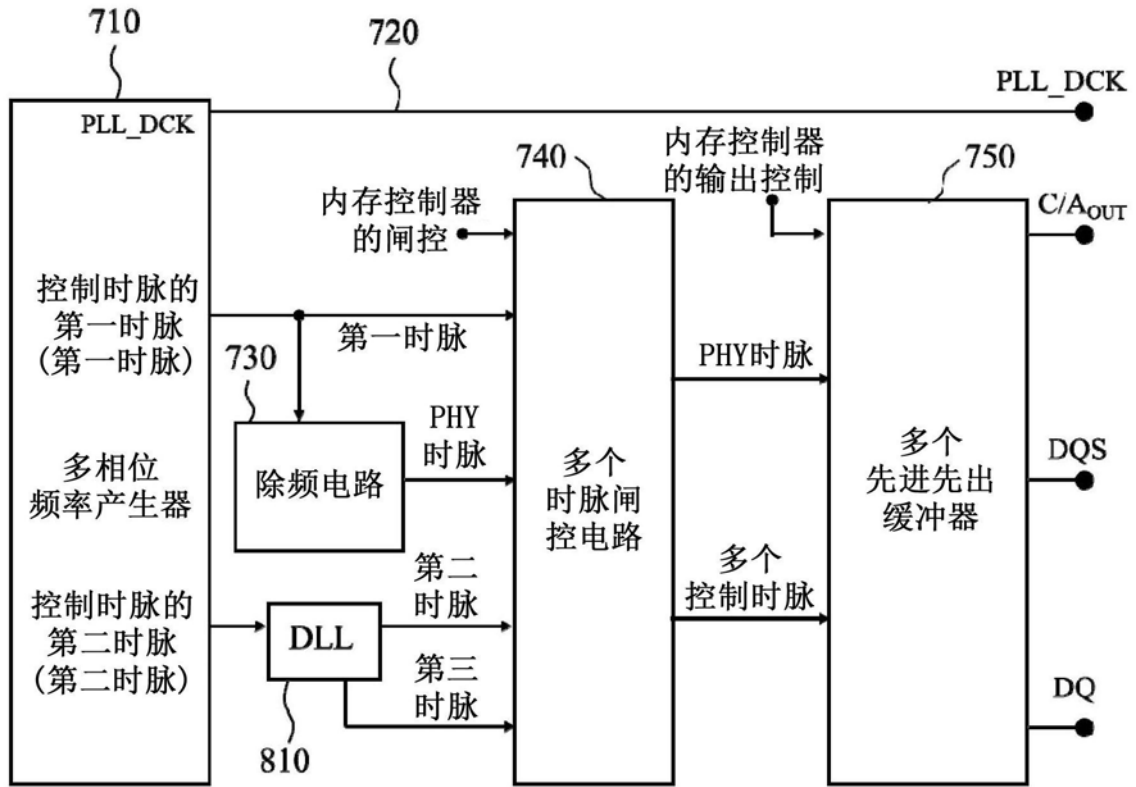


图6



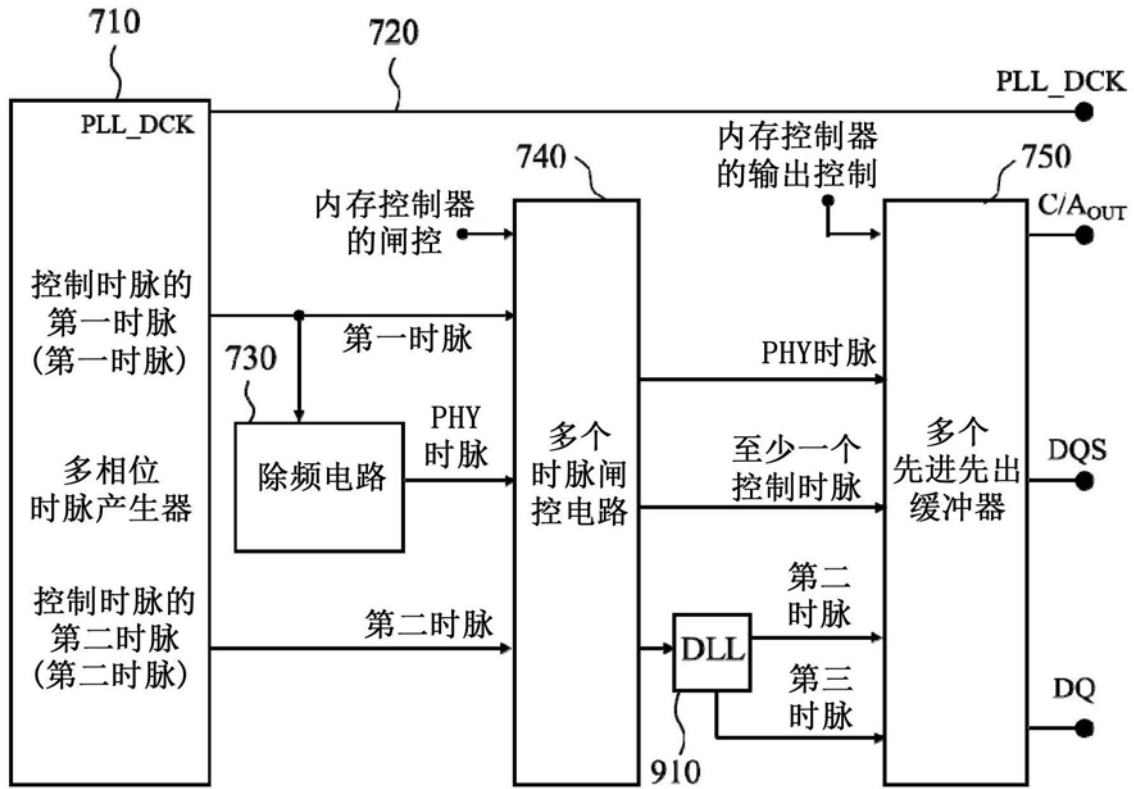
700

图7



800

图8



900

图9

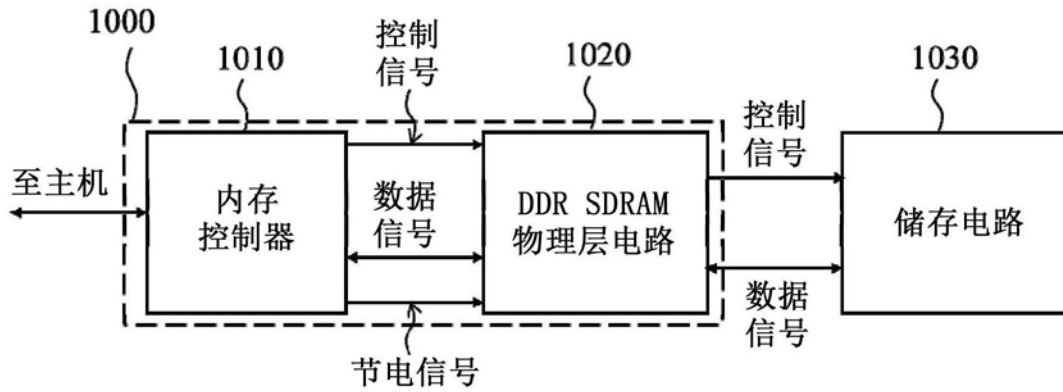


图10