

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3693721号

(P3693721)

(45) 発行日 平成17年9月7日(2005.9.7)

(24) 登録日 平成17年7月1日(2005.7.1)

(51) Int. Cl.<sup>7</sup>

F I

G06F 15/78

G06F 15/78 510K

G06F 11/22

G06F 11/22 310D

G06F 12/16

G06F 12/16 330A

請求項の数 8 (全 20 頁)

(21) 出願番号	特願平7-293127	(73) 特許権者	302062931 NECエレクトロニクス株式会社 神奈川県川崎市中原区下沼部1753番地
(22) 出願日	平成7年11月10日(1995.11.10)	(73) 特許権者	000232036 NECマイクロシステム株式会社 神奈川県川崎市中原区小杉町1丁目403番53
(65) 公開番号	特開平9-134339	(74) 代理人	100124914 弁理士 徳丸 達雄
(43) 公開日	平成9年5月20日(1997.5.20)	(72) 発明者	明山 慎一郎 東京都港区芝五丁目7番1号 日本電気株式会社内
審査請求日	平成7年11月10日(1995.11.10)	(72) 発明者	安田 貞宏 東京都港区芝五丁目7番1号 日本電気株式会社内
審判番号	不服2001-7772(P2001-7772/J1)		
審判請求日	平成13年5月10日(2001.5.10)		最終頁に続く

(54) 【発明の名称】フラッシュメモリ内蔵マイクロコンピュータ及びそのテスト方法

(57) 【特許請求の範囲】

【請求項1】

外部回路との間で少なくともデータ、アドレス信号及び制御信号の授受を行う入出力ポート及びシリアル・コミュニケーション・インタフェースを含むインタフェース部と、通常動作モード、オンボード書込み動作モード及び各種テストモードを含む動作モードを設定、制御するモード制御部と、前記動作モードでの書込み指示を受け前記インタフェース部を介して入力されたプログラムを指定アドレスに順次書込んで記憶し読出し指示を受け指定アドレスから前記プログラムを順次読出すフラッシュEEPROM部と、前記動作モードでの書込み指示を受け伝達されたデータを指定アドレスに書込んで記憶し読出し指示を受け指定アドレスから記憶データを読出すRAM部と、前記フラッシュEEPROM部にプログラムを書込むための書込み用プログラムを記憶しておき前記動作モードでの読出し指示を受け指定アドレスから前記書込み用プログラムを順次読出す書込み用ROM部と、前記モード制御部により設定制御された動作モードに従って前記インタフェース部、フラッシュEEPROM部、RAM部及び書込み用ROM部を含む各部の動作指示、制御を行い所定のプログラム処理を行う中央処理部と、前記インタフェース部、フラッシュEEPROM部、RAM部、書き込み用ROM部及び中央処理部を接続するバスとを有するフラッシュメモリ内蔵マイクロコンピュータにおいて、前記各種テストモード内に前記書込み用プログラムのエミュレーションを行うエミュレーションテストモードを設け、このエミュレーションテストモード時には、前記モード制御部により前記書込み用ROM部以外の各部を前記オンボード書込み動作モードと同一の動作モードとなるように設定制御すると

10

20

共に前記書き込み用ROM部を前記バスから切り離し前記入出力ポートを前記バスに接続する切換回路を備え、書き込み用ROM部を非活性状態とすると共に前記インタフェース部のうちの前記オンボード書き込み動作モード時には使用しない前記入出力ポートを活性化状態として前記書き込み用ROM部に対する読出し指示、アドレス指定をこの入出力ポートを介して外部回路に伝達し、この外部回路に書き込まれたプログラムによって前記中央処理部によるフラッシュEEPROMへの書き込み及び消去動作をテストすることを特徴とするフラッシュメモリ内蔵マイクロコンピュータ。

【請求項2】

前記中央処理部は前記外部回路に書き込まれたプログラムに基づいて前記シリアル・コミュニケーション・インタフェースを介して前記フラッシュEEPROMに書き込むべきデータが書き込まれたデータ供給源にアクセスしこのデータを前記フラッシュEEPROMに書き込むことを特徴とする請求項1記載のフラッシュメモリ内蔵マイクロコンピュータ。

10

【請求項3】

オンボード書き込み動作モード時に、インタフェース部を介して所定の単位ずつ取込まれる書き込み用のデータのこの所定の単位のデータが取込まれる時間を検出してこの時間が予め設定された時間より短いか否か判別するデータ受信時間検出判別回路と、このデータ受信時間検出判別回路によって前記所定の単位のデータが取込まれる時間が前記予め設定された時間より短いと判定されたときには前記所定の単位のデータを中央処理部のレジスタ回路及びRAM部を含む記憶領域のうちの前記所定の記憶領域に一旦保持したのち所定のタイミングでフラッシュEEPROM部に伝達し、否と判定されたときには前記所定の単位のデータを直接前記フラッシュEEPROM部に伝達するデータ伝達制御手段とを設けた請求項1記載のフラッシュメモリ内蔵マイクロコンピュータ。

20

【請求項4】

フラッシュEEPROM部に、データの書き込み時間を決定する書き込み制御パルス及び消去時間を決定する消去制御パルスを発生する制御回路を含み、この制御回路を、前記書き込み時間及び消去時間それぞれと対応する値を保持するモジュロ・レジスタと、書き込み動作時、消去動作時に所定のタイミングで前記書き込み制御パルス、消去制御パルスを活性化レベルに立上らせると共にクロックパルスのカウントを開始しそのカウント値が前記モジュロ・レジスタの保持値と一致したとき前記書き込み制御パルス、消去制御パルスを非活性化レベルとするパルス発生部と、前記モジュロ・レジスタに保持される値を設定するレジスタ値設定手段とを備えた回路とした請求項1に記載のフラッシュメモリ内蔵マイクロコンピュータ。

30

【請求項5】

制御回路に、クロックパルスの周波数を検出する周波数検出回路を設け、レジスタ値設定手段を、前記周波数検出回路で検出された周波数の従ってモジュロ・レジスタに保持される値を設定する回路とした請求項4記載のフラッシュメモリ内蔵マイクロコンピュータ。

【請求項6】

制御回路に、モジュロ・レジスタに保持されている値と対応するパルス値より広いパルス幅の書き込み制御パルス、消去制御パルスを発生するように制御するパルス幅拡大制御手段を設けた請求項4記載のフラッシュメモリ内蔵マイクロコンピュータ。

40

【請求項7】

パルス幅拡大制御手段を、クロックパルスのカウント値がモジュロ・レジスタの保持値と一致した後、所定の時間経過後に書き込み制御パルス、消去制御パルスを非活性化レベルとする割込み回路とした請求項6記載のフラッシュメモリ内蔵マイクロコンピュータ。

【請求項8】

パルス幅拡大制御手段を、伝達されたクロックパルスを所定数間引いてカウントするようにするクロック伝達制御回路とした請求項6記載のフラッシュメモリ内蔵マイクロコンピュータ。

50

## 【発明の詳細な説明】

## 【0001】

## 【発明の属する技術分野】

本発明はフラッシュメモリ内蔵マイクロコンピュータ及びそのテスト方法に関し、特にフラッシュメモリに対するオンボード書込みの機能を備えたフラッシュメモリ内蔵マイクロコンピュータ及びそのテスト方法に関する。

## 【0002】

## 【従来の技術】

信号処理やシステム制御のためのプログラム（以下、これらを制御プログラムという）を格納するROMを内蔵し、所定のシステムに組込まれるマイクロコンピュータは、現在、カメラ、AV機器、自動車をはじめ、産業用等の大型システムに至るまで広範囲に使用されている。そして、このようなシステムにおいては、システムニーズの多様化や急速な発展に伴って、その更新や変更が必然的となってきており、制御用プログラムを格納するROMも、当初のマスクROMから、EPROMを経てEEPROM、フラッシュEEPROMへと変化しつつある。

10

## 【0003】

このようなシステムに使用されるフラッシュメモリ内蔵マイクロコンピュータの従来の代表的な一例（第1の例）を図8に示す（例えば、特開平5-266219号公報参照）。

## 【0004】

このフラッシュメモリ内蔵マイクロコンピュータは、内部のデータ、アドレス信号及び制御信号を含む各種信号を伝達する内部バスのデータバスDB及びアドレスABと（制御信号バスは図示省略）、この内部バス（DB、AB等）と外部回路との間で各種信号の授受を行う入出力ポート6a、6b及びシリアル・コミュニケーション・インタフェース部7と、通常動作モード、オンボード書込み動作モード及び各種テストモードを含む動作モードを設定、制御するモード制御部5xと、所定の動作モードで書込み指示を受け所定のインタフェース、例えばシリアル・コミュニケーション・インタフェース部7を介して入力され内部バスに伝達された制御プログラムを伝達された指定アドレスに順次書込んで記憶し読出し指示を受け伝達された指定アドレスから記憶されている制御プログラムを内部バス（データバスDB）に順次読出すフラッシュEEPROM部2と、所定の動作モードで書込み指示を受け内部バスを介して伝達されたデータを指定アドレスに書込んで記憶し読出し指示を受け指定アドレスから記憶データを内部バス（データバスDB）に読出すRAM部3と、フラッシュEEPROM部2に制御プログラムを書込むための書込み用プログラムを記憶しておき所定の動作モードで読出し指示を受け指定アドレスからこの書込み用プログラムを順次内部バス（データバスDB）に読出す書込み用ROM部4と、モード制御部5xにより設定制御された動作モードに従って入出力ポート6a、6b、シリアル・コミュニケーション・インタフェース部7、フラッシュEEPROM部2、RAM部3、書込み用ROM部4を含む各部の動作指示、制御を行って所定のプログラム処理を行う中央処理部1とを有する構成となっている。

20

30

## 【0005】

次に、このフラッシュメモリ内蔵マイクロコンピュータの各動作モードにおける動作について説明する。

40

## 【0006】

まず、通常動作モード、すなわち、このフラッシュメモリ内蔵マイクロコンピュータ（以下、「本マイコン」と省略することもある）が所定のシステム内で通常の動作を行うときの動作について、図9（A）に示されたブロック図を参照し説明する。

## 【0007】

モード制御部5xは、例えば入出力ポート6aからデータバスDBを介して入力されるモード設定信号が通常動作モードを指定していることを知り、この通常動作モードに関与する各部、すなわち、中央処理部1、フラッシュEEPROM部2、RAM部3、シリアル・コミュニケーション・インタフェース部7（本マイコンが組込まれるシステムによって

50

は、入出力ポート(6a, 6b)共、又は入出力ポートのみ)をデータバスDA, アドレスバスAD(及び図示省略されているが制御信号バス)に接続する。又、主として中央処理部1に通常動作モードであることを知らせる。

【0008】

中央処理部1は、通常動作モードであることを知り、フラッシュEEPROM2から順次制御プログラムを読み出し、この制御プログラムに従って各部を制御すると共に、シリアル・コミュニケーション・インタフェース部7を介して入力される外部回路(システム側)からの各種信号に対し所定の処理を行って外部回路に戻したり、各種信号に対する処理実行中の中間結果をRAM部3に書込んで記憶させ、またこのRAM部3からのデータを読み出して所定の処理を行う等のプログラム処理を実行する。

10

【0009】

次に、このフラッシュメモリ内蔵マイクロコンピュータをシステムに実装した状態で本マイコンのフラッシュEEPROM部2に制御プログラムを書込むオンボード書込み動作モードにおける動作について説明する。このオンボード書込み動作モードの場合には、図9(B)に示されたブロック図のように、モード制御部5xによって接続、制御される。

【0010】

シリアル・コミュニケーション・インタフェース部7には、例えば、書込み用アダプタを介して制御プログラム供給源と接続されている。

【0011】

中央処理部1は、オンボード書込み動作モードであることを知り、書込み用ROM部4から書込み用プログラムを読み込み、この書込み用プログラムに従って、シリアル・コミュニケーション・インタフェース部7及び書込み用アダプタを介して制御プログラム供給源からの制御プログラムを読み込み、フラッシュEEPROM部2に書込む。この際、読込んだプログラムを一旦RAM部3に格納してからフラッシュEEPROM部2に書込むようにした例もある。この書込みの際には、書込みペリファイも同時に行なわれる。

20

【0012】

次に、テストモードのうちの中央処理部1を中心とした処理動作のテスト(CPU系テストという)を行うときの動作について説明する。この場合は、モード制御部5xによりCPU系テストモードに設定制御され、図10(A)に示されたように、CPU系テストを行うためのテスト用プログラムを格納したテスト用外部メモリ200を入出力ポート6a(又はシリアル・コミュニケーション・インタフェース部7でもよい)を介して内部バスと接続する。このとき、フラッシュEEPROM部2はデータバスDBから切離される。フラッシュEEPROM部2に代えてテスト用外部メモリ200から読み出されるテスト用プログラムによってCPUを動作させ、効率的にテストを行うためである。

30

【0013】

中央処理部1は、CPU系テストモードであることを知り、テスト用外部メモリ200からテスト用プログラムを順時読み込み、このテスト用プログラムに従って所定の処理を実行する。また、処理中の中間結果等はRAM部3に一時保管され、各種の処理結果は入出力ポート6aを介してテスト用外部メモリ200に出力されるか、図示されていないが、他の入出力ポートから出力される。こうして、中央処理部1を中心とした処理動作のテストが行なわれる。

40

【0014】

なお、テスト用外部メモリ200及び後述するメモリテスト装置300はLSIテスターであってもよい。この場合、テスト用外部メモリ200から読み出されるテスト用プログラムはLSIテスターのドライバーから印加されるテストパターンでも良い。この場合マイコンから出力される処理結果はLSIテスターに入力され、マイコンが正常動作しているかどうかテストされる。

【0015】

次に、テストモードのうちのフラッシュEEPROM部2をテストする(フラッシュメモリテスト)ときの動作について説明する。この場合は、モード制御部5xにより、図10

50

(B)に示されたように、入出力ポート6a, 内部バスを介してフラッシュEEPROM部2が外部のメモリテスト装置300と接続され、中央処理部1等の他のブロックは内部バスから切り離される。

【0016】

そして、メモリテスト装置300によって、フラッシュEEPROM部2に対し、消去テスト(ベリファイを含む)、書込みテスト(同じくベリファイを含む)等が実行される。このような形でフラッシュメモリテストを行うのは、中央処理部1を通して例えばオンボード書込みのルートを使って行うのでは、テスト時間が長くなりすぎるからである。

【0017】

このフラッシュメモリ内蔵マイクロコンピュータにおいて、フラッシュEEPROM部2に制御プログラムをオンボード書込みする場合、一般的にはシリアル・コミュニケーション・インタフェース部7を介して制御プログラム供給源と接続するが、入出力ポート(6a, 6b)介して接続することもある。

【0018】

シリアル・コミュニケーション・インタフェース部7には、その通信方式によって色々な種類があり、例えば、クロック信号, 送信データ, 受信データそれぞれを伝送する3本の信号線を使用するクロック同期式通信方式の3線式通信インタフェース、送信データ, 受信データそれぞれを伝送する2本の信号線を使用し、送信データ, 受信データにスタートビット, ストップビットを含む非同期式通信(UART)インタフェース、クロック信号と伝送データ, 受信データとをそれぞれ伝送する2本の信号線を使用する同期式通信方式のIICバス通信インタフェースなどがある。

【0019】

オンボード書込み動作モードにおいて、このシリアル・コミュニケーション・インタフェース部7として、これらのうちのどの通信インタフェースのどれを採用するかは、これら通信インタフェースの回路規模, 動作スピード等の特性, ノイズ等に対する耐環境性, 信号線数や、本マイコンが組込まれるシステム(以下、上位システムという)の使用分野、本マイコンに対するチップ面積の制約、上位システムとの整合性等を考慮して最適のものに決定され固定される。

【0020】

この従来のフラッシュメモリ内蔵マイクロコンピュータでは、オンボード書込み動作モード等のフラッシュEEPROM部2へのプログラムやデータの書込み動作時には、通常、図11に示すように、シリアル・コミュニケーション・インタフェース部7を介して、外部からのプログラムやデータ(以下、単にデータという)を所定の単位ずつ取込んで一旦中央処理部1のバッファ回路11に保持するかRAM部3に保持し、この後、所定のタイミングでフラッシュEEPROM部2に伝達して書込み動作を行っている。

【0021】

この書込み動作時におけるデータの書込み時間や、消去動作時におけるデータの消去時間は、フラッシュEEPROM部2内に設けられている制御回路により決定される。

【0022】

図12(A), (B)は一般的なフラッシュEEPROM部2内部構成の一例を示すブロック図及びその制御回路の書込み制御パルス発生部分のブロック図である。

【0023】

このフラッシュEEPROM部2は、複数のメモリセルトランジスタを行方向, 列方向に配置したメモリセルアレイ20と、このメモリセルアレイ20の所定のメモリセルトランジスタを選択してデータの書込み, 読出しを行う行選択回路21, 列デコーダ22, 列選択スイッチ回路23, 書込み回路24及びセンス増幅器25と、書込み動作時(中央処理部1からの書込み制御信号WEが活性化レベル)や消去動作時(消去制御信号ERが活性化レベル)にデータの書込み時間を決定する書込み制御パルスWEPやデータの消去時間を決定する消去制御パルスERPを発生すると共に内部書込み制御信号WEi, 内部消去制御信号ERiを発生して書込み動作, 消去動作を制御する制御回路26と、書込み動作

10

20

30

40

50

時に書込み制御パルスWEPに同期して同一パルス幅の書込み用電圧Vweを発生し書込み回路24を介して選択されメモリセルトランジスタのドレインに供給する書込み電圧発生回路28と、書込み動作時に選択されたメモリセルトランジスタの制御ゲートに書込み用の電圧を供給し読出し動作時には電源電圧を供給する電圧切換回路27と、消去動作時に消去制御パルスERPと同期して同一パルス幅の消去用電圧Verを発生しソース線SLを介してメモリセルアレイ20の全メモリセルトランジスタのソースに供給する消去電圧発生回路29とを備え、また、消去動作時には、内部消去制御信号Eriに従ってメモリセルアレイ20の全メモリセルトランジスタの制御ゲートを接地電位に、ドレインを開放状態にする構成となっている。

#### 【0024】

そしてこのフラッシュEEPROM部2の制御回路26には、書込み制御信号WEや消去制御信号ERなどのメモリ動作モード信号MMDと本マイコン内部の動作タイミングの基本となるクロックパルスCKとを受けてスタートパルスSTTを発生するタイミング制御部261と、スタートパルスSTTに应答してクロックパルスCKのカウントを開始するカウンタ262と、書込み制御パルスWEP、書込み用電圧Vweのパルス幅と対応する値を保持するモジュロ・レジスタ263と、カウンタ262からのカウント値がモジュロ・レジスタ263の保持値と一致したときストップパルスSTPを発生する比較回路264と、スタートパルスSTTで出力端、すなわち書込み制御パルスWEPを活性化レベルとしストップパルスSTPで非活性レベルとして所定のパルス幅の書込み制御パルスWEPを発生するパルス発生回路265とが含まれている。なお、消去制御パルスERPも制御回路26内の同様の回路によって生成される。そして、モジュロ・レジスタ263に保持される値は、本マイコン内部で使用されるクロックパルスCKの周波数によって定まり、通常固定化されていて、一定の書込み時間(例えば50μs)、消去時間(例えば2s)を保つようになっている。

#### 【0025】

##### 【発明が解決しようとする課題】

上述した従来のフラッシュ内蔵マイクロコンピュータは、テストモードにおいて中央処理部1を中心とした処理動作のテスト(CPU系テストモード)、及びフラッシュEEPROM部2の単独での動作テスト(フラッシュメモリテスト)は実施されるものの、この2つのモードのテストでは中央処理部1を動作させてフラッシュEEPROM部2の消去、書込みのテストを行うことは出来ないという問題点があった。

#### 【0026】

なぜならば、CPU系テストモードでは内部のフラッシュEEPROM部に代えてテスト用外部メモリ200から読み出されるプログラムにより動作させるため、フラッシュEEPROM部2はデータバスDBから切り離す必要があった。一方、フラッシュメモリテストではテスト時間を短縮するために中央処理装置1等を内部バスから切り離しフラッシュEEPROM部2を単独でテストする必要があったからである。

#### 【0027】

しかし、CPU系テストモードのテスト結果とフラッシュメモリテストのテスト結果がどちらも正常動作であったとしても、中央処理部1を動作させて中央処理部1の制御下でフラッシュEEPROM部2の消去、書込みを行った場合に正常に動作するという保証はない。なぜならば、中央処理部1からフラッシュEEPROM部2に与えられる消去信号、書込み信号の接続及びタイミング等についてはCPU系テスト及びフラッシュメモリテストのどちらにおいてもテストできないからである。

#### 【0028】

また、CPU系テスト及びフラッシュメモリテスト以外のテスト方法としては書込み用ROM部4の書込みプログラムを動作させて中央処理部1の制御下においてフラッシュEEPROM部2の消去、書込みのテストを行うことも考えられる。しかし、内蔵されている書込み用ROM部4にはシリアルインターフェース通信の初期設定等の実際のオンボード書込みには必要ではあるが、フラッシュEEPROM部2の消去、書込みのテストを行うため

10

20

30

40

50

には冗長な部分が含まれており効率よくテストを行うことができない。また、漏れのないテストのためには書込みROM部4にはない命令の組み合わせを使ってフラッシュEEPROM2の消去，書込みのテストが必要な場合もある。従って、書込み用ROM部4のプログラムを動作させてテストを行ったとしても、中央処理部1の制御下におけるフラッシュEEPROM部の消去，書込みのテストを十分に行うことは不可能であった。これらの理由は一般にROMを内蔵しているマイクロコンピュータが内蔵のROMのプログラムを動作させてテストを行うことにより、外部から命令を挿入してテストを行うことが一般的であるのと同じ理由である。

**【0029】**

また、オンボード書込み動作モード時以外には、書込み用ROM部4は全く使用されず常に非活性化状態にあり、一方、オンボード書込み動作モード時には、内蔵するメモリ領域のうちを使用しない領域もあってメモリの無駄があり、その分、チップ面積が増大するという問題点がある。

10

**【0030】**

また、オンボード書込み動作モードにおいて使用されるシリアル・コミュニケーション・インタフェース部7は、特定の通信方式の通信インタフェースに固定されているので、組込みできる上位システムの範囲が制限されるという問題点と、広範囲の上位システムに対応できるようにするには、通信方式の異なる通信インタフェースをオンボード書込み用として内蔵した複数種類のマイコンを準備する必要があり、製作，管理等が繁雑になるという問題点がある。

20

**【0031】**

また、オンボード書込み動作モード等でフラッシュEEPROM部2にデータ（プログラムを含む）を書込む際に、外部からの所定単位のデータを一旦、中央処理部1のバッファ回路11やRAM部3に取込んでからフラッシュEEPROM部2に伝達する構成となっているので、所定単位のデータの取込みに要する時間がこの所定単位のデータのフラッシュEEPROM部2への書込みに要する時間より長い場合には、中央処理部1等への一旦取込みに要する時間分だけ動作速度が遅くなるという問題点がある。

**【0032】**

また、フラッシュEEPROM部2にデータを書込むときの書込み時間、及びデータを消去するときの消去時間は、このフラッシュEEPROM部2内の制御回路26において、内部動作タイミングの基本となるクロックパルスCKをモジュロ・レジスタ263に保持されている値だけカウントして決定し、かつこのモジュロ・レジスタ263に保持されている値は固定されているので、上位システムの動作周波数が変更されたり、通信方式が変わったりして内部のクロックパルスCKの周波数が変更されると所定の書込み時間，消去時間を保つことができなくなり、上位システムに対する適応性が低いという問題点がある。

30

**【0033】**

従って、本発明の第1の目的は、従来のテスト方法ではテスト出来なかった中央処理部1を動作させて中央処理部1の制御下でフラッシュEEPROM部の消去，書込みが出来るかどうかをテストできるフラッシュメモリ内蔵マイコン及びフラッシュメモリ内蔵マイコン及びそのテスト方法を提供することであり、第2の目的は、内蔵するメモリ領域の無駄をはぶいてチップ面積を小さくすることができるフラッシュメモリ内蔵マイクロコンピュータを提供することであり、第3の目的は、1種類で異なる通信方式の上位システムとの通信が可能となって組込みできる上位システムの範囲を拡大することができ、製作，管理等を単純化することができるフラッシュメモリ内蔵マイクロコンピュータを提供することであり、第4の目的は、所定単位のデータを取込む時間が書込み時間より長い場合の動作速度を速くすることであり、第5の目的は、上位システムの動作周波数や通信方式等が変わっても書込み時間，消去時間が常に一定時間となって上位システムに対する適応性を向上させると共に安定した書込み特性，消去特性が得られるようにすることにある。

40

**【0034】**

【課題を解決するための手段】

50

第1の発明のフラッシュメモリ内蔵マイクロコンピュータは、外部回路との間で少なくともデータ、アドレス信号及び制御信号の授受を行う入出力ポート及びシリアル・コミュニケーション・インタフェースを含むインタフェース部と、通常動作モード、オンボード書込み動作モード及び各種テストモードを含む動作モードを設定、制御するモード制御部と、前記動作モードでの書込み指示を受け前記インタフェース部を介して入力されたプログラムを指定アドレスに順次書込んで記憶し読出し指示を受け指定アドレスから前記プログラムを順次読出すフラッシュEEPROM部と、前記動作モードでの書込み指示を受け伝達されたデータを指定アドレスに書込んで記憶し読出し指示を受け指定アドレスから記憶データを読出すRAM部と、前記フラッシュEEPROM部にプログラムを書込むための書込み用プログラムを記憶しておき前記動作モードでの読出し指示を受け指定アドレスから前記書込み用プログラムを順次読出す書込み用ROM部と、前記モード制御部により設定制御された動作モードに従って前記インタフェース部、フラッシュEEPROM部、RAM部及び書込み用ROM部を含む各部の動作指示、制御を行い所定のプログラム処理を行う中央処理部とを有するフラッシュメモリ内蔵マイクロコンピュータにおいて、前記各種テストモード内に前記書込み用プログラムのエミュレーションを行うエミュレーションテストモードを設け、このエミュレーションテストモード時には、前記モード制御部により前記書込み用ROM部以外の各部を前記オンボード書込み動作モードと同一の動作モードとなるように設定、制御し、かつ前記書込み用ROM部を非活性状態とすると共に前記インタフェース部のうちの前記オンボード書込み動作モード時には使用しない入出力ポートを活性化状態として前記書込み用ROM部に対する読出し指示、アドレス指定をこの入出力ポートを介して外部回路に伝達することで、前記書込み用プログラムと同等のプログラムを前記外部回路から取込むようにして構成される。

【0035】

第2の発明のフラッシュメモリ内蔵マイクロコンピュータのテスト方法は、前記第1の発明のフラッシュメモリ内蔵マイクロコンピュータのエミュレーションテストモード時に、活性化状態とされた入出力ポートに書込み用ROM部に格納されている書込み用プログラムと同一のプログラムを同一のアドレスに記憶する外部メモリを接続し、オンボード書込み動作モード時にフラッシュメモリへの制御用プログラムの供給源と接続するインタフェース部にはこの制御用プログラムと対応するエミュレーションテスト用のデータの供給源を接続して、オンボード書込み動作モードと同一の動作を実行し、前記書込み用プログラムのエミュレーションテストを行うようにして構成される。

【0036】

第3の発明のフラッシュメモリ内蔵マイクロコンピュータのテスト方法は、フラッシュEEPROM部と、通常時は前記フラッシュEEPROM部から読出した命令によって全体を制御する中央処理部と、動作モードに応じて活性化される周辺回路を有し、さらに前記中央処理部の制御下で前記フラッシュEEPROM部の書換えを行う機能を有するフラッシュメモリ内蔵マイクロコンピュータのテスト方法において、前記フラッシュEEPROM部から読出す命令に代えて外部から命令を入力することにより前記中央処理部を動作させ、前記フラッシュEEPROM部以外の前記中央処理部、周辺回路の機能をテストする工程と、前記中央処理部から前記フラッシュEEPROM部を切り離し、前記フラッシュEEPROM部単独で外部から入力される信号により直接、前記フラッシュEEPROM部の消去、書込みテストを行い、前記フラッシュEEPROM単独での機能をテストする工程と、外部から入力した命令によって前記中央処理部を動作させ、この中央処理部の制御下で前記フラッシュEEPROMの消去、書込みテストを行うことにより、前記フラッシュEEPROM部及び中央処理部の接続状態をテストする工程を少なくとも有して構成される。

【0037】

第4の発明のフラッシュメモリ内蔵マイクロコンピュータは、外部回路との間で少なくともデータ、アドレス信号及び制御信号の授受を行う入出力ポート及びシリアル・コミュニケーション・インタフェースを含むインタフェース部と、通常動作モード、オンボード書



込み動作モード及び各種テストモードを含む動作モードを設定、制御するモード制御部と、前記動作モードでの書込み指示を受け前記インタフェース部を介して入力されたプログラムを指定アドレスに順次書込んで記憶し読出し指示を受け指定アドレスから前記プログラムを順次読出すフラッシュEEPROM部と、前記動作モードでの書込み指示を受け伝達されたデータを指定アドレスに書込んで記憶し読出し指示を受け指定アドレスから記憶データを読出すRAM部と、前記フラッシュEEPROM部にプログラムを書込むための書込み用プログラムを記憶しておき前記動作モードでの読出し指示を受け指定アドレスから前記書込み用プログラムを順次読出す書込み用ROM部と、前記モード制御部により設定制御された動作モードに従って前記インタフェース部、フラッシュEEPROM部、RAM部及び書込み用ROM部を含む各部の動作指示、制御を行い所定の信号処理を行う中央処理部とを有するフラッシュメモリ内蔵マイクロコンピュータにおいて、前記書込み用ROM部に代えて、前記RAM部内の所定の領域に、所定の初期状態に前記書込み用プログラムが書込まれて記憶される書込みプログラム初期設定領域を設け、前記オンボード書込み動作モード時に、前記書込み用ROM部へのアクセスに代えて、前記RAM部の書込みプログラム初期設定領域にアクセスするようにして構成される。

10

**【0038】**

第5の発明のフラッシュメモリ内蔵マイクロコンピュータは、外部回路との間で少なくともデータ、アドレス信号及び制御信号の授受を行う入出力ポート及びシリアル・コミュニケーション・インタフェースを含むインタフェース部と、通常動作モード、オンボード書込み動作モード及び各種テストモードを含む動作モードを設定、制御するモード制御部と、前記動作モードでの書込み指示を受け前記インタフェース部を介して入力されたプログラムを指定アドレスに順次書込んで記憶し読出し指示を受け指定アドレスから前記プログラムを順次読出すフラッシュEEPROM部と、前記動作モードでの書込み指示を受け伝達されたデータを指定アドレスに書込んで記憶し読出し指示を受け指定アドレスから記憶データを読出すRAM部と、前記フラッシュEEPROM部にプログラムを書込むための書込み用プログラムを記憶しておき前記動作モードでの読出し指示を受け指定アドレスから前記書込み用プログラムを順次読出す書込み用ROM部と、前記モード制御部により設定制御された動作モードに従って前記インタフェース部、フラッシュEEPROM部、RAM部及び書込み用ROM部を含む各部の動作指示、制御を行い所定のプログラム処理を行う中央処理部とを有するフラッシュメモリ内蔵マイクロコンピュータにおいて、前記シリアル・コミュニケーション・インタフェースとして通信方式が異なる少なくとも2種類のシリアル・コミュニケーション・インタフェースを設け、これらシリアル・コミュニケーション・インタフェース及び入出力ポートのうちの一つを選択、指定する選択用レジスタを含み、この選択用レジスタの指示により前記シリアル・コミュニケーション・インタフェース及び入出力ポートのうち1種類を選択して外部回路との接続を制御すると共に選択されたインタフェースを通信可能状態に制御するインタフェース選択制御手段を設けて構成される。

20

30

**【0039】**

また、オンボード書込み動作モード時に、インタフェース部を介して所定の単位ずつ取込まれる書込み用のデータのこの所定の単位のデータが取込まれる時間を検出してこの時間が予め設定された時間より短いか否か判別するデータ受信時間検出判別回路と、このデータ受信時間検出判別回路によって前記所定の単位のデータが取込まれる時間が前記予め設定された時間より短いと判定されたときには前記所定の単位のデータを中央処理部のレジスタ回路及びRAM部を含む記憶領域のうち所定の記憶領域に一旦保持したのち所定のタイミングでフラッシュEEPROM部に伝達し、否と判定されたときには前記所定の単位のデータを直接前記フラッシュEEPROM部に伝達するデータ伝達制御手段とを設けて構成される。

40

**【0040】**

また、フラッシュEEPROM部に、データの書込み時間を決定する書込み制御パルス及び消去時間を決定する消去制御パルスを発生する制御回路を含み、この制御回路を、前記

50

書込み時間及び消去時間それぞれと対応する値を保持するモジュロ・レジスタと、書込み動作時、消去動作時に所定のタイミングで前記書込み制御パルス、消去制御パルスを活性化レベルに立上らせると共にクロックパルスのカウントを開始しそのカウント値が前記モジュロ・レジスタの保持値と一致したとき前記書込み制御パルス、消去制御パルスを非活性化レベルとするパルス発生部と、前記モジュロ・レジスタに保持される値を設定するレジスタ値設定手段とを備えた回路として構成され、更に制御回路に、クロックパルスの周波数を検出する周波数検出回路を設け、レジスタ値設定手段を、前記周波数検出回路で検出された周波数の従ってモジュロ・レジスタに保持される値を設定する回路とするか、制御回路に、モジュロ・レジスタに保持されている値と対応するパルス値より広いパルス幅の書込み制御パルス、消去制御パルスを発生するように制御するパルス幅拡大制御手段を設けて構成される。また、パルス幅拡大制御手段を、クロックパルスのカウント値がモジュロ・レジスタの保持値と一致した後、所定の時間経過後に書込み制御パルス、消去制御パルスを非活性化レベルとする割込み回路とするか、伝達されたクロックパルスを所定数間引いてカウントするようにするクロック伝達制御回路として構成される。

10

【0041】

【発明の実施の形態】

次に本発明の実施の形態について図面を参照して説明する。

【0042】

図1は本発明の第1の実施の形態を示すブロック図である。

【0043】

この実施の形態が図8に示された従来のフラッシュメモリ内蔵マイクロコンピュータと相違する点は、テストモードとして、書込み用プログラムのエミュレーションテストを行うためのエミュレーションテストモードを新たに設け、このエミュレーションテストモード時には、モード制御部5により書込み用ROM部4以外の各部をオンボード書込み動作モードと同一の動作モードとなるように設定、制御し、かつ書込み用ROM部4を非活性化状態とすると共にオンボード書込み動作モード時には使用しない入出力ポート6bを活性化状態として書込みROM部4に対する読出し指示、アドレス信号をこの入出力ポート6bを介して外部回路に伝達しこの外部回路からの書込み用プログラムと対応するプログラムを取込む切換回路8を設けた点にある。

20

【0044】

次に、この実施の形態の動作及びテスト方法について説明する。動作モードがエミュレーションテストモード以外では、モード制御部5によって図8～図10(A)、(B)に示された従来例のブロック構成と同一構成、同一動作となるので、その説明は省略する。

30

【0045】

動作モードがエミュレーションテストモードのときは、モード制御部5により、図2に示されたブロック構成に設定、制御され、また、入出力ポート6bには、外部回路として、書込み用プログラムを書込み用ROM部4と同一のアドレスに格納してこの書込み用ROM部4の代用となるエミュレーション用外部メモリ100が接続され、シリアル・コミュニケーション・インタフェース部7には、フラッシュEEPROM部2に書込むための制御用プログラムと対応するエミュレーションテスト用のデータの供給源が接続される。そして、オンボード書込み動作モードと同一の動作が実行される。ただし、このとき、書込み用ROM部4はエミュレーション用外部メモリ100に切換っており、中央処理部1からの書込み用ROM部4へのアクセスは、実際にはエミュレーション用外部メモリ100へのアクセスとなる。

40

【0046】

すなわち、中央処理部1は、書込み用ROM部4をアクセス(実際にはエミュレーション用外部メモリ100をアクセス)して書込み用プログラムを読み込み、この書込み用プログラムに従ってシリアル・コミュニケーション・インタフェース部7を介してエミュレーションテスト用のデータの供給源からこのエミュレーションテスト用のデータを読み込んでフラッシュEEPROM部2に書込む。この書込みの際には、書込み用プログラムの書込み

50

ベリファイルーチンによって書込みベリファイが実行されるので、この書込みベリファイの結果を見ることにより（例えば入出力ポート6a等から出力される）、書込みプログラムによるオンボード書込み動作が正常に実行されたか否かを判別することができる。

【0047】

オンボード書込み動作が正常ではないと判定されたときには、例えば、エミュレーションテスト用外部メモリ100に格納されているプログラムやエミュレーションテスト用のデータを一部修正、変更等を行って再度、オンボード書込み動作を実行する、などのプログラムバグ解析、ハードウェア不具合解析を行う。こうして、プログラムやエミュレーションテスト用のデータの一部修正、変更等の簡単な操作で、プログラムのデバッグ、ハードウェア不具合解析等ができる。

10

【0048】

また、エミュレーション用外部メモリ100に、消去、消去ベリファイを含む消去テスト用のプログラム（命令）、及び書込み、書込みベリファイを含む書込みテスト用のプログラム（命令）を格納させることにより、入出力ポート6bから挿入した命令によって中央処理部1を動作させて中央処理部1の制御下においてフラッシュEEPROM部2の消去、書込みのテストを行うことができる。これによって従来のCPU系テストモード、フラッシュメモリテストモードでは不可能であった中央処理部1からフラッシュEEPROM部2に与えられる消去信号、書込み信号の接続状態及びタイミング等のテストが行うことができ、漏れのないテストを効率的に行うことにより高品質なフラッシュEEPROM内蔵マイクロコンピュータを提供することができる。

20

【0049】

図3は本発明の第2の実施の形態を示すブロック図である。

【0050】

この実施の形態が図8に示された従来のフラッシュメモリ内蔵マイクロコンピュータと相違する点は、書込み用ROM部4に代えて、RAM部3内の所定の領域に、所定の初期状態に書込みプログラムが書込まれて記憶される書込みプログラム初期設定領域31を設けてRAM部3aとし、オンボード書込み動作モード時に、書込み用ROM部4へのアクセスに代えてRAM部3aの書込みプログラム処理設定領域にアクセスするようにした点にある。

【0051】

書込み用プログラム初期設定領域31への書込み用プログラムの書込みは、例えば、RAM部3の内の各メモリセルを2つの駆動用のトランジスタとこれら駆動用のトランジスタそれぞれの負荷抵抗とを備えたフリップフロップ回路とした場合、これら負荷抵抗の抵抗値を異なる値とすることにより、電源投入時等の初期状態において、これらメモリセルのデータを設定し、行うことができる。

30

【0052】

この実施の形態においては、オンボード書込み動作モード時には使用されないRAM部3aの領域を利用しその領域に電源投入時等の初期状態に書込み用プログラムを書込み、オンボード書込み動作モード時には書込み用ROM部(4)の代わりにこの書込み用プログラム初期設定領域31をアクセスし、フラッシュEEPROM部2へのプログラム書込み後は通常のRAMとして使用されるので、従来例の書込み用ROM部4が不要となり、その分チップ面積を小さくすることができ、またメモリ領域の無駄をはぶくことができる。

40

【0053】

図4は本発明の第3の実施の形態を示すブロック図である。

【0054】

この実施の形態が図8に示された従来のフラッシュメモリ内蔵マイクロコンピュータと相違する点は、シリアル・コミュニケーション・インタフェース部7の中に、通信方式が異なる非同期式通信インタフェース部71、3線式通信インタフェース部72及びIICバス通信インタフェース部73を設け、これらインタフェース部(71~73)及び入出力ポート6(6a, 6bを含む)のうちの1つを選択、指定するための選択用データを保持

50

する選択用レジスタ91を含みこの選択用レジスタ91の保持データにより上記インタフェース部(71~73)及び入出力ポート6のうちの1つを選択して外部回路との接続を制御しかつ選択されたインタフェースを通信可能状態に制御するインタフェース選択制御部9を設けた点にある。

【0055】

選択用レジスタ91への選択用データの設定、保持は、例えば、所定の端子にパルス信号を印加してそのパルス数と対応するデータを保持する方法、所定の端子の電圧と対応するデータを保持する方法、予め所定の内部メモリ(例えばフラッシュEEPROM部2やRAM部3)に格納または初期設定しておき所定のタイミング(例えば電源投入時や動作モード設定時)で選択用レジスタに設定、保持させる方法などがある。

10

【0056】

次にこの実施の形態の動作について説明する。

【0057】

電源投入時や動作モード設定時の初期状態において、インタフェース選択制御部9は、所定の端子の状態や所定の内部メモリに設定されたデータに従って選択用レジスタ91の保持データ(選択用データ)を設定する。この後、選択用レジスタ91に保持されている選択用データに従って、インタフェース選択制御部9は、非同期式通信インタフェース部71, 3線式通信インタフェース部72, IICバス通信インタフェース部73及び入出力ポート6(6a, 6b)のうちの1つを選択して外部回路と接続し、また、選択されたインタフェースを通信可能状態とする。

20

【0058】

こうして、所定の動作モード、例えばオンボード書込み動作モードにおいて、選択されたインタフェース、例えば非同期式通信インタフェース部71を介して外部回路との通信が可能となり、その動作モードを実行することができる。

【0059】

この実施の形態においては、上位システムの通信方式に合わせインタフェースを選択し上位システムとの通信が可能となるので、組込みできる上位システムの範囲を拡大することができ、また通信方式の異なる上位システムに対して1種類のマイコンを基準すればよいので、製作や管理等を単純化することができる。

【0060】

また、この実施の形態では、動作モードに応じてインタフェースを選択することができるので、使用動作モードに適したインタフェースにより上位システムとの通信が可能となる、という利点がある。

30

【0061】

図5は本発明の第4の実施の形態を示すブロック図である。

【0062】

この実施の形態は、オンボード書込み動作モード時に、シリアル・コミュニケーション・インタフェース部7を介して所定の単位ずつ取込まれる書込み用のデータのこの所定の単位のデータが取込まれる時間を検出してこの時間が予め設定した時間(例えばフラッシュEEPROM部2のデータの書込み時間)より短かいかなかを判別するデータ受信時間検出判別回路10を設け、中央処理部1a内に、データ受信時間検出判別回路10によって、所定の単位のデータが取込まれる時間が予め設定された時間より短いと判定されたときにはこの所定の単位のデータを中央処理部1a内のレジスタ回路11に一旦保持したのち所定のタイミングでフラッシュEEPROM部2に伝達し、否と判定されたときにはこの所定の単位のデータを直接フラッシュEEPROM部2に伝達するデータ伝達制御部12を設けたものである。

40

【0063】

なお、この実施の形態においては、所定の単位のデータを一旦保持する領域を、中央処理部1a内のレジスタ回路11としたが、RAM部3内の所定の領域であってもよい。

【0064】

50

この実施の形態においては、所定の単位のデータが取込まれる時間が予め設定された時間（書込み時間）より短い（すなわち、受信速度が速い）ときには、図11に示された従来例と同様に中央処理部1aのバッファ回路11等に一旦保持した後、フラッシュEEPROM部2に渡す。また、所定の単位のデータが取込まれる時間が予め設定された時間より長い（すなわち、受信速度が遅い）ときには、シリアル・コミュニケーション・インタフェース部7から直接フラッシュEEPROM部2に渡す。

【0065】

従って、受信速度が遅い場合、所定の単位のデータをバッファ回路11等に一旦保持する、という時間を省くことができるので、その分動作時間を短縮することができる。

【0066】

図6(A)、(B)及び図7(A)、(B)は本発明の第5の実施の形態及びその変形を示すフラッシュEEPROM内の制御回路の書込み制御パルス発生回路部分のブロック図である。

【0067】

図6(A)に示された実施の形態の制御回路26bが図12(B)に示された従来例の制御回路26と相違する点は、シリアル・コミュニケーション・インタフェース部7や入出力ポート6a、6b、又は特定の端子から入力される外部からの書込み時間データDtwの値をモジュロ・レジスタ263に保持させるレジスタ値設定回路266を設けた点にある。

【0068】

この実施の形態は、本マイコン内で使用されるクロックパルスCKの周波数が分っている場合に適用され、このクロックパルスCKの周波数の下で動作するとき、一定の書込み時間（例えば50μs）が得られるような値の書込み時間データDtwが外部から入力され、モジュロ・レジスタ263に設定される。

【0069】

図6(B)に示された実施の形態の制御回路26bは、本マイコン内部で使用されるクロックパルスCKの周波数が分っていない場合に適用され、クロックパルスCKの周波数を検出する周波数検出回路267と、この周波数検出回路267により検出された周波数に従ってモジュロ・レジスタ263に保持される値を設定するレジスタ値設定回路266aとを含む。

【0070】

この実施の形態においては、クロックパルスCKの周波数が分っていなくても、また外部から書込み時間データを入力しなくても、自動的に一定の書込み時間（50μs）が得られるようにモジュロ・レジスタ263の値が設定される。

【0071】

図7(A)、(B)に示された実施の形態の制御回路26c、26dは、書込み時間（50μs）と対応するカウンタ262のカウント値が、モジュロ・レジスタ263に設定できる最大値を越えるような場合にも一定の書込み時間（50μs）が得られるようにしたものであり、周波数検出回路267、レジスタ値設定回路266bのほかに、モジュロ・レジスタ263に保持されている値と対応するパルス幅より広いパルス幅の書込み制御パルスWEPが得られるように、パルス幅拡大制御手段の割込み回路268（図7(A)）又はクロック伝達制御回路269（図7(B)）を設けたものである。

【0072】

割込み回路268は、カウンタ262のカウント値がモジュロ・レジスタ263の保持値と一致した後、所定の時間の割込み時間経過後にストップパルスSTPを発生して書込み制御パルスWEPを非活性化レベルとする。こうするとことにより、モジュロ・レジスタ263の保持値（例えば保持可能な最大値）と対応する書込み制御パルスWEPをパルス幅より、割込み時間分パルス幅を拡大して一定の書込み時間（50μs）の書込み制御パルスWEPを得ることができる。

【0073】

10

20

30

40

50

クロック伝達制御回路269は、伝達されたクロックパルスCKを所定数間引いてカウンタ262に伝達するもので、クロックパルスCKが間引かれた分、モジュロ・レジスタ263の保持値と対応するパルス幅より拡大することができる。

【0074】

これら第5の実施の形態（及びその変形）においては、本マイコンで使用されるクロックパルスCKの周波数に従ってモジュロ・レジスタ263の保持値を設定でき、また保持させる値が保持可能な最大値を越えるような場合でも、越えた分だけパルス幅を拡大することができ、一定のパルス幅（50μs）の書込み制御パルスWEPを得ることができるので、上位システムの動作周波数や通信方式が変わってクロックパルスCKの周波数が変わっても、常に一定の書込み時間（50μs）を得ることができ、上位システムとの適応性を向上させると共に安定した書込み特性が得られる。

10

【0075】

なお、図6（A）、（B）及び図7（A）、（B）に示された実施の形態（及びその変形）においては、書込み制御パルスWEPの発生に係る回路部分のみを示したが、消去制御パルスEPRについても同様の回路で発生することができ、同様の作用効果を有する。また、周波数検出回路267をクロックパルスCKそのものの周波数を検出する回路としたが、受信データのスタートビット、ストップビットから内部で使用されるクロックパルスCKの周波数を検出することもできる。

【0076】

また、上述した第1～第5の実施の形態は、これらのうちの少なくとも2つ組合せて実施

20

【0077】

【発明の効果】

以上説明したように本発明は、CPU系テストモード、フラッシュメモリテストモードの他にエミュレーションテストモードを設け、エミュレーションテストモードにおいては所定の入出力ポートから挿入した命令によって中央処理部を動作させてこの中央処理部の制御下においてフラッシュEEPROM部の消去、書込みのテストを行うことができ、これによって従来例のCPU系テストモード、フラッシュメモリテストモードでは不可能であった中央処理部からフラッシュEEPROM部に与えられる消去信号、書き込み信号の接続状態及びタイミング等のテストが行うことができ、漏れのないテストを効率的に行うことにより高品質なフラッシュEEPROM内蔵マイクロコンピュータを提供することができ、さらに入出力ポートに外部メモリを接続し、読み出し指示、アドレス出力を本マイコンの入出力ポートから出力することにより書込み用ROM分に代えて外部メモリのプログラムによりオンボード書込み動作モードのエミュレーションができるので書込み用プログラムのデバッグ等を容易にすることが出来るという効果があり、書込み用ROM部に代えてRAM部に書込み用プログラム初期設定領域を設け、オンボード書込み動作モード時にその領域をアクセスする構成とすることにより、内蔵するメモリ領域の無駄をばいってチップ面積を小さくすることができ、通信方式の異なる複数のシリアル・コミュニケーション・インタフェースを設けてこれらインタフェース及び入出力ポートのうちの1つを選択使用する構成とすることにより、1種類で異なる通信方式の上位システムとの通信が可能となって組込みできる上位システムの範囲を拡大することができ、かつ製作、管理等を単純化することができ、所定の単位の手が外部から取込まれる時間が予め設定された時間より短いときには一旦中央処理部等の所定の領域に保持したのちフラッシュEEPROM部に伝達し長いときには直接フラッシュEEPROM部に伝達するようにしたので、上記時間が長い、すなわち、データの受信速度が遅い場合の動作速度を速くすることができ、クロックパルスの周波数を検出してモジュロ・レジスタの保持値を設定し、モジュロ・レジスタに設定可能な最大値を越えるような値を保持させるような事態になったときにはパルス幅拡大手段によりモジュロ・レジスタの保持値よりパルス幅を拡大して常に一定のパルス幅の書込み制御パルスが得られるようにしたので、上位システムの動作周波数や通信方式が変わって内部で使用するクロックパルスの周波数が変わっても常に一定の書込み時間、消去

30

40

50

時間を得ることができ、上位システムとの適応性を向上させると共に安定した書込み特性、消去特性を得ることができる効果がある。

【図面の簡単な説明】

【図 1】本発明の第 1 の実施の形態を示すブロック図である。

【図 2】図 1 に示された実施の形態の動作及びテスト方法を説明するためのブロック図である。

【図 3】本発明の第 2 の実施の形態を示すブロック図である。

【図 4】本発明の第 3 の実施の形態を示すブロック図である。

【図 5】本発明の第 4 の実施の形態を示すブロック図である。

【図 6】本発明の第 5 の実施の形態及びその変形を示すブロック図である。

10

【図 7】本発明の第 5 の実施の形態の他の変形を示すブロック図である。

【図 8】従来のフラッシュメモリ内蔵マイクロコンピュータの一例を示すブロック図である。

【図 9】図 8 に示されたフラッシュメモリ内蔵マイクロコンピュータの通常動作及びオンボード書込み動作を説明するためのブロック図である。

【図 10】図 8 に示されたフラッシュメモリ内蔵マイクロコンピュータの各テストモードの動作を説明するためのブロック図である。

【図 11】従来のフラッシュメモリ内蔵マイクロコンピュータの外部からのデータのフラッシュ E E P R O M 部への伝達経路に係る部分のブロック図である。

【図 12】従来のフラッシュメモリ内蔵マイクロコンピュータのフラッシュ E E P R O M 部の内部構成の一例を示すブロック図及びフラッシュ E E P R O M 部内の制御回路部分の一例を示すブロック図である。

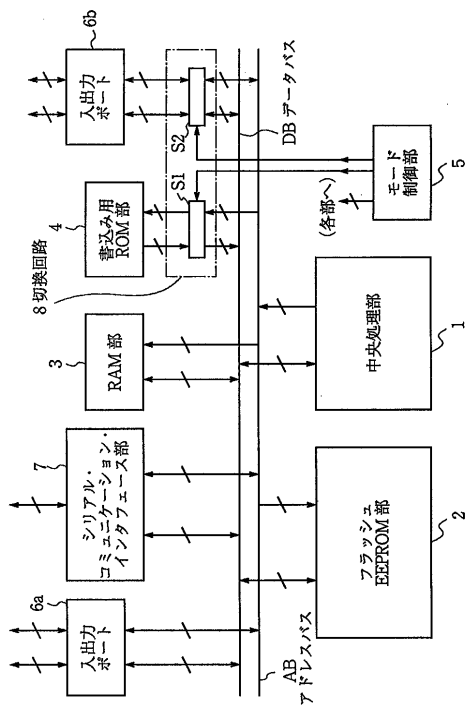
20

【符号の説明】

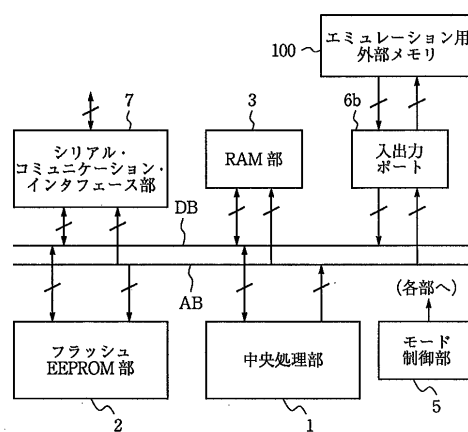
1, 1 a	中央処理部	
2	フラッシュ E E P R O M 部	
3, 3 a	R A M 部	
4	書込み用 R O M 部	
5, 5 a, 5 x	モード制御部	
6, 6 a, 6 b	入出力ポート	
7, 7 a	シリアル・コミュニケーション・インタフェース部	30
8	切換回路	
9	インタフェース選択制御部	
10	データ受信時間検出判別回路	
11	レジスタ伝達制御部	
12	データ伝達制御部	
20	メモリセルアレイ	
24	書込み回路	
26, 26 a ~ 26 d	制御回路	
27	電圧切換回路	
28	書込み電圧発生回路	40
29	消去電圧発生回路	
31	書込み用プログラム初期設定領域	
71	非同期式通信インタフェース部	
72	3線式通信インタフェース部	
73	I I C バス通信インタフェース部	
91	選択用レジスタ	
100	エミュレーション用外部メモリ	
200	テスト用外部メモリ	
261	タイミング制御部	
262	カウンタ	50

- 2 6 3      モジユロ・レジスタ
- 2 6 4      比較回路
- 2 6 5      パルス発生回路
- 2 6 6 , 2 6 6 a , 2 6 6 b      レジスタ値設定回路
- 2 6 7      周波数検出回路
- 2 6 8      割込み回路
- 2 6 9      クロック伝達制御回路
- A B      アドレスバス
- D B      データバス

【 図 1 】

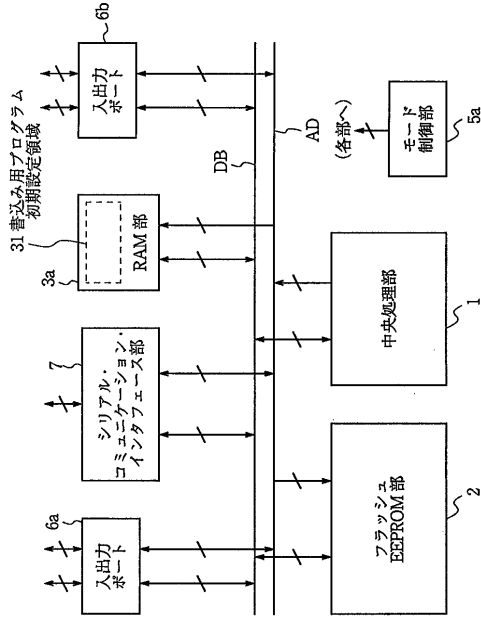


【 図 2 】

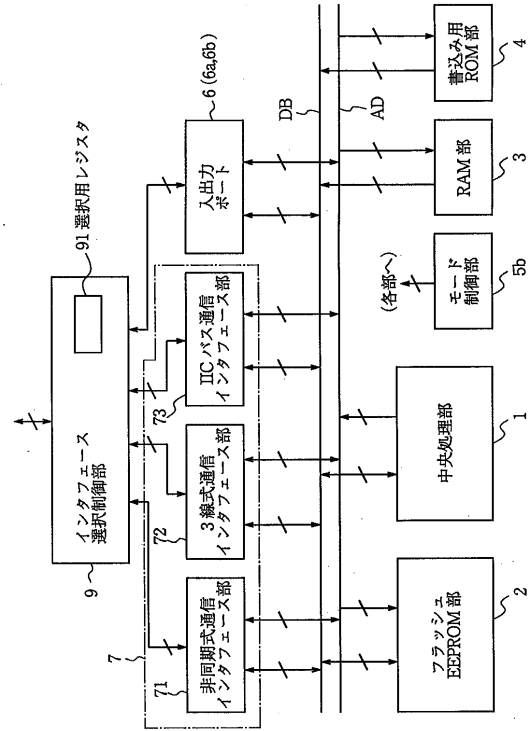




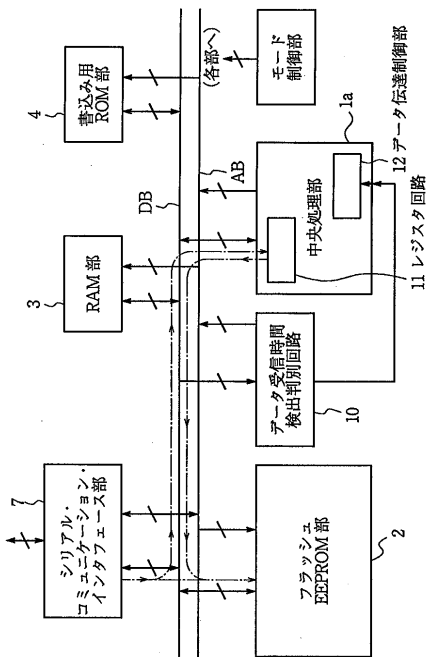
【図3】



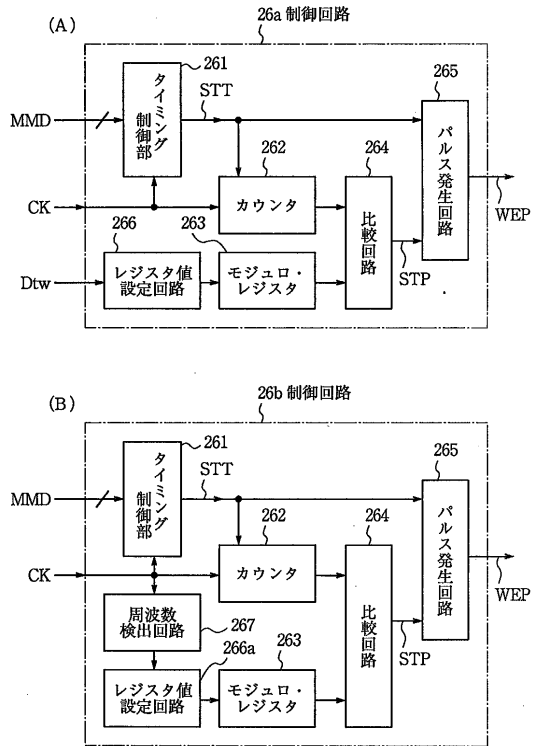
【図4】



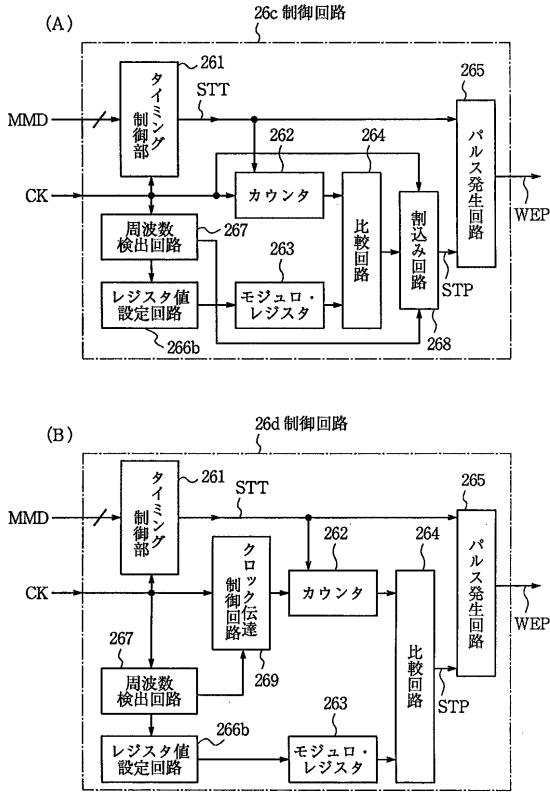
【図5】



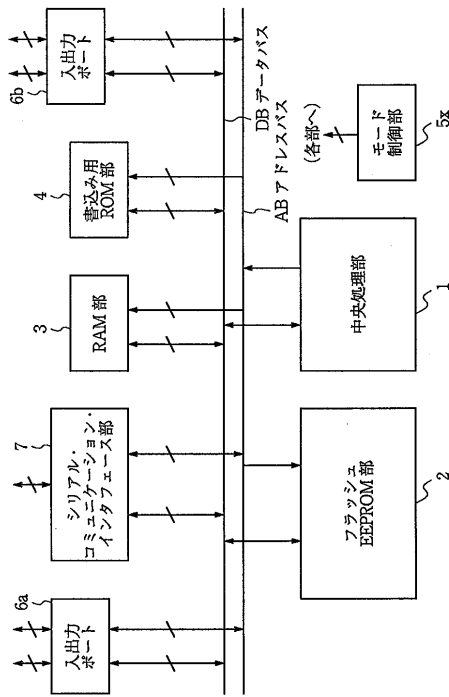
【図6】



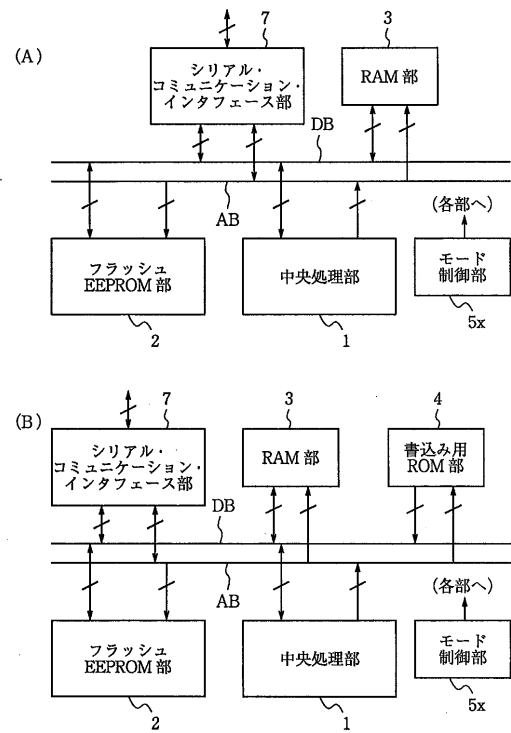
【図7】



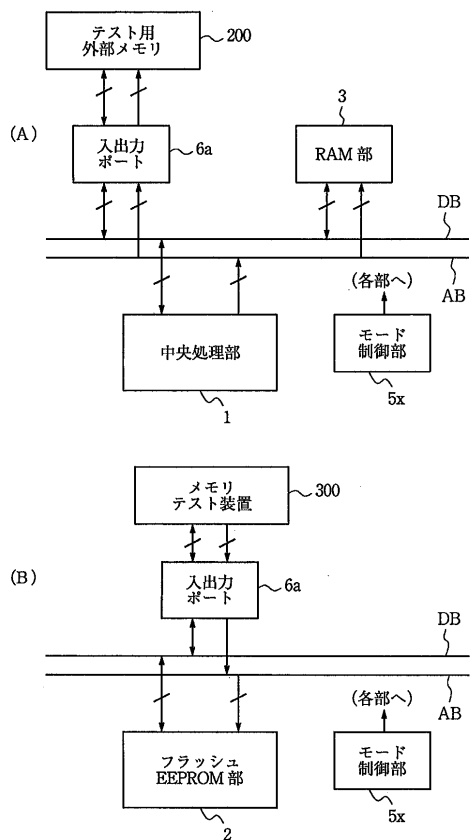
【図8】



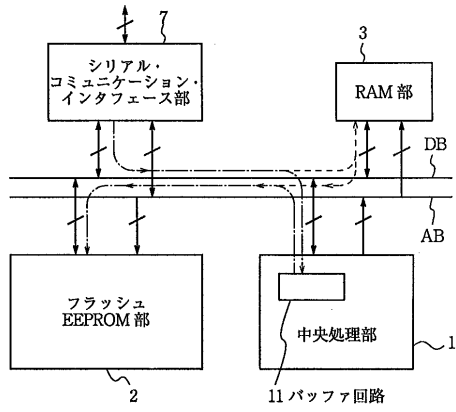
【図9】



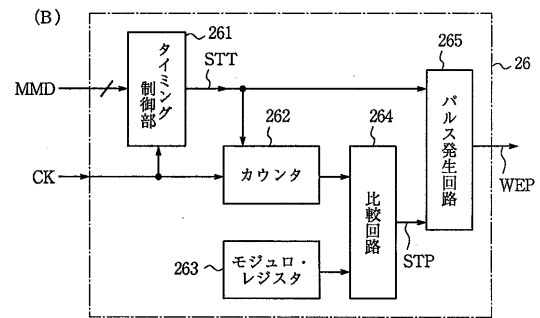
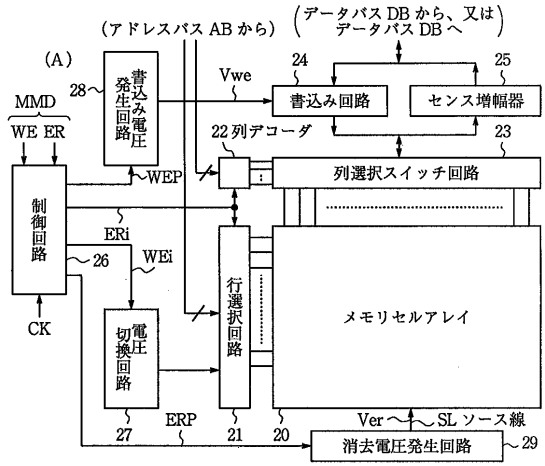
【図10】



【図 1 1】



【図 1 2】



## フロントページの続き

- (72)発明者 飯塚 裕一  
東京都港区芝五丁目7番1号 日本電気株式会社内
- (72)発明者 西本 浩秋  
神奈川県川崎市中原区小杉町一丁目403番53 日本電気アイシーマイコン  
システム株式会社内
- (72)発明者 長田 勇一  
神奈川県川崎市中原区小杉町一丁目403番53 日本電気アイシーマイコン  
システム株式会社内

## 合議体

審判長 川名 幹夫  
審判官 橋本 正弘  
審判官 松浦 功

- (56)参考文献 特開平07-29386(JP,A)  
特開昭62-98437(JP,A)

- (58)調査した分野(Int.Cl.<sup>7</sup>, DB名)  
G06F15/78